

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 6 月 8 日(08.06.2017)



(10) 国際公開番号
WO 2017/094874 A1

- (51) 国際特許分類:
H01L 21/60 (2006.01) *H01L 25/18* (2006.01)
B23K 20/00 (2006.01) *H01R 11/01* (2006.01)
H01L 25/065 (2006.01) *H05K 1/14* (2006.01)
H01L 25/07 (2006.01)
- (21) 国際出願番号: PCT/JP2016/085865
- (22) 国際出願日: 2016 年 12 月 2 日(02.12.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-236591 2015 年 12 月 3 日(03.12.2015) JP
- (71) 出願人: 国立大学法人東北大学 (TOHOKU UNIVERSITY) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目 1 番 1 号 Miyagi (JP). 富士フイルム株式会社 (FUJIFILM CORPORATION) [JP/JP]; 〒1068620 東京都港区西麻布 2 丁目 2 6 番 3 0 号 Tokyo (JP).
- (72) 発明者: 小柳 光正 (KOYANAGI Mitsumasa); 〒9808577 宮城県仙台市青葉区片平二丁目 1 番 1 号 国立大学法人東北大学内 Miyagi (JP). 田中徹 (TANAKA Tetsu); 〒9808577 宮城県仙台市青葉

区片平二丁目 1 番 1 号 国立大学法人東北大学内 Miyagi (JP). 福島 誉史 (FUKUSHIMA Takafumi); 〒9808577 宮城県仙台市青葉区片平二丁目 1 番 1 号 国立大学法人東北大学内 Miyagi (JP). 李 康旭 (LEE Kangwook); 〒9808577 宮城県仙台市青葉区片平二丁目 1 番 1 号 国立大学法人東北大学内 Miyagi (JP). 阿部 洋史 (ABE Hirofumi); 〒4210396 静岡県榛原郡吉田町川尻 4 0 0 0 番地 富士フイルム株式会社内 Shizuoka (JP). 堀田 吉則 (HOTTA Yoshinori); 〒4210396 静岡県榛原郡吉田町川尻 4 0 0 0 番地 富士フイルム株式会社内 Shizuoka (JP).

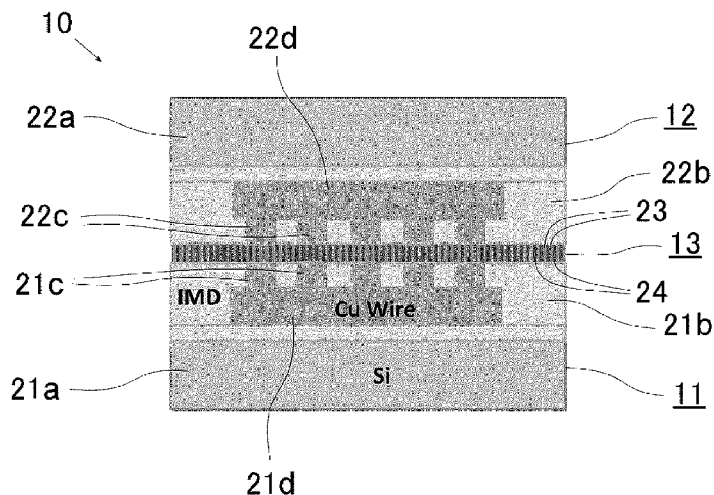
(74) 代理人: 渡辺 望稔, 外 (WATANABE Mochitoshi et al.); 〒1010032 東京都千代田区岩本町 2 丁目 3 番 3 号 友泉岩本町ビル 6 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体デバイスおよび半導体デバイスの製造方法



(57) Abstract: The present invention provides a semiconductor device and a method for manufacturing a semiconductor device, in which manufacturing costs can be minimized and yield is high. With this semiconductor device, a first substrate 11 and a second substrate 12 are arranged across a gap, and first electrodes 21c and second electrodes 22c are provided at positions facing each other. A conductor film 13 has a sheet-shaped base material 23 comprising an insulator, and a plurality of connection columns 24 comprising column shaped conductors of nanosized diameters. The base material 23 is arranged so as to fill the space between the connection columns 24 arranged in parallel across a gap. The connection columns 24 are provided so that the two end parts 24a project in respective fashion from the two surfaces of the base material 23. The conductive film 13 is arranged between the first substrate 11 and the second substrate 12, and the two end parts 24a of the connection columns 24 are joined in a respective manner to the first electrode 21c and the second electrode 22c so as to electrically connect the first electrode 21c and the second electrode 22c.

(57) 要約:

[続葉有]



WO 2017/094874 A1



SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本発明は、製造コストを抑制可能、かつ歩留まりが高い半導体デバイスおよび半導体デバイスの製造方法を提供する。本発明の半導体デバイスにおいては、第 1 基体 1 1 および第 2 基体 1 2 が、互いに間隔をあけて配置されており、それぞれ互いに対向する位置に第 1 電極 2 1 c および第 2 電極 2 2 c が設けられている。導体フィルム 1 3 が、絶縁体から成るシート状の基材 2 3 と、直径がナノサイズの柱状の導体から成る複数の接続柱 2 4 とを有している。基材 2 3 は、互いに間隔を開けて平行に配置された各接続柱 2 4 の間を充たすよう配置されている。各接続柱 2 4 は、両端部 2 4 a がそれぞれ基材 2 3 の両面から突出するよう設けられている。導体フィルム 1 3 は、第 1 基体 1 1 と第 2 基体 1 2 の間に配置され、第 1 電極 2 1 c と第 2 電極 2 2 c とを電氣的に接続するよう、各接続柱 2 4 の両端部 2 4 a がそれぞれ第 1 電極 2 1 c および第 2 電極 2 2 c に接合されている。

明 細 書

発明の名称：半導体デバイスおよび半導体デバイスの製造方法
技術分野

[0001] 本発明は、半導体デバイスおよび半導体デバイスの製造方法に関する。

背景技術

[0002] 従来、チップが積層された標準的な３次元の半導体デバイスでは、ウエハとウエハ、あるいはウエハとチップとを接合する際に、Cu／Snバンプと接着性のアンダーフィル（液状硬化性樹脂）とが使用されている。しかし、この３次元チップ積層技術は、チップ厚が小さくなると、チップのSiとバンプと接着層との間のCTE（熱膨張係数）の不整合により局所的な応力が誘発され、信頼性が低下してしまうという問題があった。

[0003] また、近年の３次元半導体デバイスでは、ダイ当たり数千万以上の接続密度が要求されており、この要求に対応するためには、バンプの大きさを直径約１～２μmまで縮小させる必要がある。しかし、現在の電気メッキによるCu／Snバンプでは、５μm以下のサイズにすることは困難であるという問題があった。

[0004] そこで、このようなCu／Snバンプの問題を解決する技術として、ウエハとウエハ、あるいはウエハとチップとを接合する際のそれぞれの接合面を、CMP（化学的機械研磨）により鏡面化して接合する、いわゆるハイブリッドボンディング（Hybrid Bonding）と呼ばれる接合方法が開発されている（例えば、非特許文献１参照）。

先行技術文献

非特許文献

[0005] 非特許文献１：R. Taibi, et al., “Full characterization of Cu/Cu direct bonding for 3D integration”, Electronic Components and Technology Conference (ECTC), 2010 Proceedings 60th, 2010, p.219-225

特許文献

[0006] 特許文献1：特許第5 6 9 3 6 3 7号公報

発明の概要

発明が解決しようとする課題

[0007] 非特許文献1に記載の接合方法では、ウエハやチップの接合面には、電氣的な接続を行うCuや絶縁体のSiが露出しているが、CMPを行う際、その接合面にディッシング等の凹凸が形成されないよう、接合面の平坦性を精密に制御する必要がある、製造コストが嵩んでしまうという課題があった。また、接合部での電氣的な接続を確保するために、接合時に接合面間に粒子等が入り込まないよう厳密に制御する必要がある、やはり製造コストが嵩むという課題があった。これらの制御に係る製造コストを下げると、接合部で電氣的な接続が確保できない部分が増えるため、歩留まりが急激に低下してしまうという課題があった。

[0008] 本発明は、このような課題に着目してなされたもので、製造コストを抑制可能、かつ歩留まりが高い半導体デバイスおよび半導体デバイスの製造方法を提供することを目的とする。

課題を解決するための手段

[0009] 上記目的を達成するために、本発明者等は、半導体素子等の電子部品の検査用コネクタ等として使用するために開発された、1 0 0 0万個/mm²以上の密度でマイクロポア貫通孔を有するフィルム状の基材と、そのマイクロポア貫通孔を充填する金属とを有する異方性導電性部材から成る微細構造体（例えば、特許文献1参照）に着目し、本発明に至った。

[0010] すなわち、本発明に係る半導体デバイスは、互いに間隔をあけて配置された第1基体および第2基体と、上記第1基体の上記第2基体に対向する面に設けられた第1電極と、上記第1電極に対向するよう、上記第2基体の上記第1基体に対向する面に設けられた第2電極と、直径がナノサイズの柱状の導体から成り、上記第1電極と上記第2電極との間に互いに間隔を開けて配置され、上記第1電極と上記第2電極とを電氣的に接続するよう、両端部がそれぞれ上記第1電極および上記第2電極に接合された複数の接続柱とを、

有することを特徴とする。

[0011] 本発明に係る半導体デバイスは、柱状の導体から成る複数の接続柱の両端部を、それぞれ第1電極および第2電極に接合することにより、第1電極と第2電極とを電氣的に接続することができる。このように、第1基体と第2基体とを面同士で接合しないため、第1基体および第2基体の互いの対向面の平坦性を、面同士で接合する場合ほど精密に制御する必要がない。また、第1基体および第2基体の互いの対向面の間に粒子等が入り込んだとしても、その粒子等から外れた位置の接続柱により、第1電極と第2電極との電氣的な接続が確保されるため、面同士で接合する場合ほど粒子等の侵入を厳密に制御する必要もない。このように、本発明に係る半導体デバイスは、制御に係る製造コストを抑制することができる。また、面同士で接合する場合と比較して、電氣的な接続を容易に確保することができ、歩留まりを高めることができる。

[0012] 本発明に係る半導体デバイスは、第1電極と第2電極とが複数の接続柱で接合されるため、第1電極に対して第2電極の位置が相対的に多少ずれても、電氣的な接続を確保することができる。本発明に係る半導体デバイスで、第1基体および第2基体は、それぞれウエハやチップ等から成っており、例えば、第1電極および第2電極として銅製の貫通電極を有するウエハまたはチップから成っている。各接続柱は、第1電極および第2電極に多数が接合されるよう、それぞれ第1基体および第2基体の表面に露出した第1電極および第2電極の表面積よりも充分に小さい断面積を有し、小さい間隔で配置されていることが好ましい。各接続柱は、直径が200nm以下であることが好ましく、直径が100nm以下であることがさらに好ましい。

[0013] 本発明に係る半導体デバイスで、各接続柱は、上記第1電極および上記第2電極と同じ素材から成り、両端部が再結晶化して、それぞれ上記第1電極および上記第2電極と接合していてもよい。また、各接続柱は、上記第1電極および上記第2電極と異なる素材から成り、両端部がそれぞれ上記第1電極および上記第2電極の素材と合金化して、それぞれ上記第1電極および上

記第2電極と接合していてもよい。異なる素材からなる場合、例えば、各接続柱は銅から成り、第1電極および第2電極は、アルミニウム電極、または、ニッケル／すず薄膜から成る薄い金属キャップ層を有する銅電極、から成っている。これらの場合、第1電極および第2電極と各接続柱とを一体化することができ、より確実に電氣的に接続することができる。各接続柱の両端部を、それぞれ第1電極および第2電極に接触させた後、所定の温度で加熱すること、および／または所定の圧力をかけることにより、各接続柱の両端部を効率良く再結晶化または合金化することができる。各接続柱の直径がナノサイズであるため、それより太いものを使用する場合と比べて、より低い温度および／または圧力で、再結晶化または合金化することができる。

[0014] 本発明に係る半導体デバイスは、少なくとも各接続柱の側面を覆うよう設けられた絶縁部材を有することが好ましい。この場合、絶縁部材により各接続柱を絶縁することができ、第1電極が第2電極以外の電極等と電氣的に接続したり、第2電極が第1電極以外の電極等と電氣的に接続したりするのを防ぐことができる。また、各接続柱の両端部をそれぞれ第1電極および第2電極に接合する際、絶縁部材により各接続柱を支持することができるため、容易に接合することができる。

[0015] 本発明に係る半導体デバイスは、互いに間隔をあけて配置された第1基体および第2基体と、上記第1基体の上記第2基体に対向する面に設けられた第1電極と、上記第1電極に対向するよう、上記第2基体の上記第1基体に対向する面に設けられた第2電極と、絶縁体から成るシート状の基材と直径がナノサイズの柱状の導体から成る複数の接続柱とを有し、互いに間隔を開けて平行に配置された各接続柱の間を充たすよう上記基材が配置され、各接続柱の両端部がそれぞれ上記基材の両面から突出するよう設けられた導体フィルムとを有し、上記導体フィルムは、上記第1基体と上記第2基体の間に配置され、上記第1電極と上記第2電極とを電氣的に接続するよう、各接続柱のうち上記第1電極と上記第2電極との間に位置する接続柱の両端部がそれぞれ上記第1電極および上記第2電極に接合されていてもよい。

- [0016] この導体フィルムを有する場合、第1基体と第2基体との間に導体フィルムを挟むことにより、容易に製造することができる。各接続柱は、導体フィルムの基材の表面に対して垂直に設けられていることが好ましい。導体フィルムは、例えば、特許文献1に記載の微細構造体から成っている。基材は、絶縁体であればよく、例えば、アルミナや有機物などから成っている。
- [0017] また、導体フィルムを有する場合、本発明に係る半導体デバイスは、第1充填層を有し、上記第1電極は、上記第1基体の上記第2基体に対向する面から突出して設けられ、上記第1充填層は、上記第1基体の上記第2基体に対向する面のうち上記第1電極以外の部分と、上記導体フィルムとの間を充たすよう設けられていてもよい。この場合、第1基体と導体フィルムとの間の隙間を、第1充填層で塞ぐことができる。また、第2充填層を有し、上記第2電極は、上記第2基体の上記第1基体に対向する面から突出して設けられ、上記第2充填層は、上記第2基体の上記第1基体に対向する面のうち上記第2電極以外の部分と、上記導体フィルムとの間を充たすよう設けられていてもよい。この場合、第2基体と導体フィルムとの間の隙間を、第2充填層で塞ぐことができる。第1充填層および第2充填層は、絶縁体から成ることが好ましい。
- [0018] また、導体フィルムを有する場合、第1基体の第1電極以外の部分が、各接続柱の端部により刺入可能な素材から成るとき、第1電極の表面と、第1基体の第2基体に対向する面のうち第1電極以外の部分の表面とが平坦をなしていることが好ましい。この場合、第1電極以外の部分で、各接続柱の端部を第1基体に刺入させた状態で、導体フィルムを配置することができる。また、第1基体の第1電極以外の部分が、各接続柱の端部により刺入できない素材から成るとき、第1電極が、第1基体の第2基体に対向する面から突出して設けられていることが好ましい。この場合、第1電極以外の部分で、各接続柱の端部を第1基体から離れた状態で、導体フィルムを配置することができる。第1基体と導体フィルムとの間の隙間を、第1充填層で塞いでもよい。

[0019] また、導体フィルムを有する場合、第2基体の第2電極以外の部分が、各接続柱の端部により刺入可能な素材から成るとき、第2電極の表面と、第2基体の第1基体に対向する面のうち第2電極以外の部分の表面とが平坦をなしていることが好ましい。この場合、第2電極以外の部分で、各接続柱の端部を第2基体に刺入させた状態で、導体フィルムを配置することができる。また、第2基体の第2電極以外の部分が、各接続柱の端部により刺入できない素材から成るとき、第2電極が、第2基体の第1基体に対向する面から突出して設けられていることが好ましい。この場合、第2電極以外の部分で、各接続柱の端部を第2基体から離れた状態で、導体フィルムを配置することができる。第2基体と導体フィルムとの間の隙間を、第2充填層で塞いでもよい。

[0020] また、導体フィルムを有する場合、上記導体フィルムは、各接続柱のうち上記第1電極と上記第2電極とを電氣的に接続していない接続柱のうちの1つ以上が、上記基材から除去されて形成された空洞を有していてもよい。この場合、第1電極と第2電極とを電氣的に接続していない接続柱は、必ずしも必要ではないため、あらかじめ導体フィルムから除去されていても、導体フィルムを第1基体または第2基体の表面に配置後、除去されてもよい。空洞を設けることにより、導体フィルムの絶縁性を高めたり、静電容量を下げたりすることができる。なお、第1電極と第2電極とを電氣的に接続していない接続柱を残しておく、放熱特性が良くなるという効果が得られるため、この効果と空洞にしたときの効果とを考慮して、接続柱を取り除くかどうか決定することができる。接続柱の除去後に形成された空洞は、そのままであっても、絶縁体などの他の物質で充填されてもよい。

[0021] 本発明に係る半導体デバイスで、上記第1電極は複数から成り、直径が0.5～5 μ m、ピッチが1～8 μ mであり、上記第2電極は複数から成り、直径が0.5～5 μ m、ピッチが1～8 μ mであることが好ましい。この場合、ダイ当たり100万～数千万以上の接続密度を実現することができ、微細化を促進することができる。

[0022] 本発明に係る半導体デバイスは、1つの上記第1基体と1つの上記第2基体との間で、互いに電氣的に接続された上記第1電極と上記第2電極の組が、100万乃至500万個であることが好ましい。この場合、ダイあたりの接続密度が高く、微細化を促進することができる。また、上記第1電極と上記第2電極との接続率が90%以上であることが好ましい。この場合、信頼性を高めることができる。

[0023] また、本発明に係る半導体デバイスは、互いに間隔をあけて配置された複数の基体と、各基体の互いに対向する面に、互いに対向するよう設けられた複数対の電極と、絶縁体から成るシート状の基材と直径がナノサイズの柱状の導体から成る複数の接続柱とを有し、互いに間隔を開けて平行に配置された各接続柱の間を充たすよう上記基材が配置され、各接続柱の両端部がそれぞれ上記基材の両面から突出するよう設けられた導体フィルムとを有し、上記導体フィルムは、各基体の間に配置され、互いに対向する各電極同士を電氣的に接続するよう、各接続柱のうち互いに対向する各電極の間に位置する接続柱の両端部がそれぞれ対応する電極に接合されていてもよい。この場合、基体が2つだけでなく、3つ以上のときでも、互いに対向する各電極同士を、複数の接続柱で電氣的に接続することができる。

[0024] 導体フィルムを有する場合、導体フィルムは、電気抵抗や静電容量等を考慮すると薄い方がよいため、上記基材の厚みが100 μm 以下であることが好ましく、さらに70 μm 乃至20 μm であることが好ましい。また、導体フィルムを第1基体または第2基体の表面に配置後、導体フィルムの表面を削ることにより、10 μm 以下、さらに2～3 μm 以下になってもよい。

[0025] 本発明に係る半導体デバイスの製造方法は、絶縁体から成るシート状の基材と直径がナノサイズの柱状の導体から成る複数の接続柱とを有し、互いに間隔を開けて平行に配置された各接続柱の間を充たすよう上記基材が配置され、各接続柱の両端部がそれぞれ上記基材の両面から突出するよう設けられた導体フィルムで、表面に第1電極を有する第1基体の上記表面を覆い、表

面に第2電極を有する第2基体を、上記第2電極が上記第1電極に対向するよう、上記導体フィルムの上に載せ、上記第1電極と上記第2電極とが電氣的に接続されるよう、各接続柱のうち上記第1電極と上記第2電極との間に位置する接続柱の両端部をそれぞれ上記第1電極および上記第2電極に接合させることを特徴とする。

[0026] 本発明に係る半導体デバイスの製造方法は、導体フィルムを有する本発明に係る半導体デバイスを好適に製造することができる。本発明に係る半導体デバイスの製造方法は、第1基体と第2基体とを面同士で接合しないため、第1基体および第2基体の互いの対向面の平坦性を、面同士で接合する場合ほど精密に制御する必要がない。また、第1基体および第2基体の互いの対向面の間に粒子等が入り込んだとしても、その粒子等から外れた位置の接続柱により、第1電極と第2電極との電氣的な接続が確保されるため、面同士で接合する場合ほど粒子等の侵入を厳密に制御する必要もない。このように、本発明に係る半導体デバイスの製造方法は、制御に係る製造コストを抑制することができる。また、面同士で接合する場合と比較して、電氣的な接続を容易に確保することができ、歩留まりを高めることができる。

[0027] 本発明に係る半導体デバイスの製造方法は、第1電極と第2電極とを複数の接続柱で接合するため、第1電極に対して第2電極の位置が相対的に多少ずれても、電氣的な接続を確保することができる。

[0028] 本発明に係る半導体デバイスの製造方法は、上記第1電極を、上記第1基体の上記表面のうち上記第1電極以外の部分から突出するよう設け、上記第1基体の上記表面のうち上記第1電極以外の部分に、上記第1電極の突出高さと同じ厚みを有する第1充填層を設けた後、上記導体フィルムで、上記第1電極と上記第1充填層とを覆ってもよい。また、上記第2電極を、上記第2基体の上記表面のうち上記第2電極以外の部分から突出するよう設け、上記第2基体の上記表面のうち上記第2電極以外の部分に、上記第2電極の突出高さと同じ厚みを有する第2充填層を設けた後、上記導体フィルムで上記第2電極と上記第2充填層とを覆うよう、上記第2充填層が設けられた上記

第2基体を上記導体フィルムの上に載せてもよい。これらの場合、第1充填層により、第1基体と導体フィルムとの間に、第2充填層により、第2基体と導体フィルムとの間に隙間ができるのを防ぐことができる。

[0029] 本発明に係る半導体デバイスの製造方法は、所定の温度で加熱すること、および／または所定の圧力をかけることにより、各接続柱の両端部をそれぞれ上記第1電極および上記第2電極に接合させることが好ましい。この場合、各接続柱が第1電極および第2電極と同じ素材から成るときには、各接続柱の両端部を再結晶化することができ、各接続柱が第1電極および第2電極と異なる素材から成るときには、各接続柱の両端部をそれぞれ第1電極および第2電極の素材と合金化することができる。これにより、第1電極および第2電極と各接続柱とを一体化することができ、より確実に電氣的に接続することができる。また、各接続柱の直径がナノサイズであるため、それより太いものを使用する場合と比べて、より低い温度および／または圧力で、再結晶化または合金化することができる。

[0030] 本発明に係る半導体デバイスの製造方法は、上記導体フィルムで上記第1基体の上記表面を覆った後、各接続柱のうち上記第1電極に接合しない位置の接続柱のうちの1つ以上を、上記基材から除去してもよい。この場合、第1電極に接合しない位置の接続柱は、必ずしも必要ではないため、除去されてもよく、これにより導体フィルムの絶縁性を高めたり、静電容量を下げたりすることができる。除去後に形成された空洞を、絶縁体などの他の物質で充填してもよい。

[0031] 本発明に係る半導体デバイスの製造方法は、上記導体フィルムで上記第1基体の上記表面を覆った後、上記第1基体とは反対側の上記導体フィルムの表面を削って上記導体フィルムを薄くしてもよい。この場合、各接続柱による電気抵抗や静電容量を下げるができる。

発明の効果

[0032] 本発明によれば、製造コストを抑制可能、かつ歩留まりが高い半導体デバイスおよび半導体デバイスの製造方法を提供することができる。

図面の簡単な説明

[0033] [図1]本発明の実施の形態の半導体デバイスを示す断面図である。

[図2]本発明の実施の形態の半導体デバイスの、導体フィルムの基材とIMD層との間に空間ができる場合の（a）導体フィルムと第1基体との結合状態を示す断面図、（b）導体フィルムと第1基体との結合部付近の拡大断面を示す走査型電子顕微鏡（SEM）写真である（（a）とは上下が反転している）。

[図3]本発明の実施の形態の半導体デバイスの、導体フィルムの基材とIMD層との間に充填層を設けた場合の、導体フィルムと第1基体との結合状態を示す断面図である。

[図4]本発明の実施の形態の半導体デバイスの製造方法を示す断面図である。

[図5]本発明の実施の形態の半導体デバイスの、導体フィルム中に空洞を有する変形例を示す断面図である。

[図6]本発明の実施の形態の半導体デバイスの（a）導体フィルムを薄く削った変形例、（b）さらに導体フィルム中に空洞を有する変形例を示す断面図である。

[図7]本発明の実施の形態の半導体デバイスの（a）ウエハ上にチップを2つ積層した3層の変形例、（b）ウエハを3つ積層した3層の変形例を示す断面図である。

[図8]本発明の実施の形態の半導体デバイスの、2層構造と3層構造とを組合せたときの（a）Si貫通電極を用いた変形例、（b）再分配線を用いた変形例を示す断面図である。

[図9]本発明の実施の形態の半導体デバイスの（a）断面（b）TEGモジュールと導体フィルムとの結合部の拡大断面、（c）導体フィルムとインターポーザウエハとの結合部の拡大断面を示す走査型電子顕微鏡（SEM）写真である。

[図10]本発明の実施の形態の半導体デバイスの（a）TEGモジュールと導体フィルムとの結合部の断面、（b）その結合部の拡大断面を示す透過型電

子顕微鏡（TEM）写真である。

発明を実施するための形態

[0034] 以下、図面に基づいて、本発明の実施の形態について説明する。

図1乃至図10は、本発明の実施の形態の半導体デバイスおよび半導体デバイスの製造方法を示している。

図1に示すように、半導体デバイス10は、第1基体11と第2基体12と導体フィルム13とを有している。

[0035] 第1基体11および第2基体12は、ウエハまたはチップから成り、それぞれSiから成る基部21a、22aと、基部21a、22aの表面に設けられた、SiO₂等の絶縁体から成るIMD（Inter-Metal Dielectric；金属間絶縁）層21b、22bと、銅（Cu）製で複数の第1電極21cおよび第2電極22cとを有している。各第1電極21cは、第1基体11のIMD層21bの内部から表面に露出するよう設けられている。各第1電極21cは、IMD層21bの内部で銅線（Cu Wire）21dにより互いに接続されている。各第2電極22cは、第2基体12のIMD層22bの内部から表面に露出するよう設けられている。各第2電極22cは、IMD層22bの内部で銅線（Cu Wire）22dにより互いに接続されている。第1基体11および第2基体12は、表面に露出した第1電極21cと第2電極22cとが対向するよう、互いに間隔をあけて配置されている。

[0036] なお、第1基体11および第2基体12は、基部21a、22aの上にMOS-FET（Metal-Oxide-Semiconductor - Field-Effect Transistor）等の素子を配置し、その上にILD（Inter Level Dielectric；層間絶縁膜）および1層～多層の金属薄膜（1st-level ~ Multi-level metallization）を形成して、それぞれIMD層21b、22bおよび第1電極21c、第2電極22cを構成していてもよい。金属薄膜は、MOS-FET等の素子の電極に、電氣的に接続している。

[0037] 導体フィルム13は、絶縁体から成るシート状の基材23と、直径がナノサイズの柱状の導体から成る複数の接続柱24とを有している。基材23は

、陽極酸化皮膜が形成されたアルミニウム（A A O ; Anodic Aluminum Oxide）から成り、各接続柱 2 4 は銅（C u）から成っている。導体フィルム 1 3 は、基材 2 3 の厚みを貫通して、互いに間隔を開けて平行に各接続柱 2 4 が設けられており、各接続柱 2 4 の間を充たすよう基材 2 3 が配置されている。導体フィルム 1 3 は、基材 2 3 の表面に対して各接続柱 2 4 が垂直を成し、各接続柱 2 4 の両端部がそれぞれ基材 2 3 の両面から突出するよう設けられている。

[0038] なお、図 1 に示す具体的な一例では、各第 1 電極 2 1 c および各第 2 電極 2 2 c は、露出面の直径が $1\text{ }\mu\text{m}$ 以下、ピッチが $2\text{ }\mu\text{m}$ 以下である。また、基材 2 3 は、厚みが $20\text{ }\mu\text{m}$ 以下である。各接続柱 2 4 は、第 1 電極 2 1 c および第 2 電極 2 2 c に多数が接合されるよう、直径が 60 nm 、ピッチが 100 nm である。また、各接続柱 2 4 は、基材 2 3 の表面からの両端部の突出量が、最大約 $1\text{ }\mu\text{m}$ である。

[0039] 導体フィルム 1 3 は、第 1 基体 1 1 と第 2 基体 1 2 の間に配置され、第 1 電極 2 1 c と第 2 電極 2 2 c とを電氣的に接続するよう、各接続柱 2 4 のうち第 1 電極 2 1 c と第 2 電極 2 2 c との間に位置する接続柱 2 4 の両端部が、それぞれ第 1 電極 2 1 c および第 2 電極 2 2 c に接合されている。図 1 に示す具体的な一例では、銅製の各接続柱 2 4 の両端部を、それぞれ銅製の第 1 電極 2 1 c および第 2 電極 2 2 c に接触させた後、 300°C 前後に加熱することにより、各接続柱 2 4 の両端部が再結晶化して、それぞれ第 1 電極 2 1 c および第 2 電極 2 2 c と接合している。なお、各接続柱 2 4 と第 1 電極 2 1 c および第 2 電極 2 2 c とが異なる素材から成る場合には、各接続柱 2 4 の両端部がそれぞれ第 1 電極 2 1 c および第 2 電極 2 2 c の素材と合金化して、それぞれ第 1 電極 2 1 c および第 2 電極 2 2 c と接合する。

[0040] 例えば、各接続柱 2 4 が銅から成り、第 1 電極 2 1 c および第 2 電極 2 2 c がアルミニウムから成る場合には、A l C u 合金になって接合する。また、各接続柱 2 4 が銅から成り、第 1 電極 2 1 c および第 2 電極 2 2 c がニッケル／すず薄膜から成る薄い金属キャップ層を有する銅電極である場合には

、CuSn合金になって接合する。また、各接続柱24が銅から成り、第1電極21cおよび第2電極22cがニッケル／すず薄膜から成る薄い金属キャップ層を有するアルミニウム電極である場合にも、CuSn合金になって接合する。このように、第1電極21cおよび第2電極22cが、各接続柱24とは異なる素材から成る薄い金属キャップ層を有する電極である場合には、各接続柱24の素材と金属キャップ層の素材との合金になって接合する。

[0041] なお、半導体デバイス10は、IMD層21bおよびIMD層22bが、各接続柱24の端部により刺入可能な素材から成っているとき、第1電極21cの表面とIMD層21bの表面、および、第2電極22cの表面とIMD層22bの表面とが平坦をなしていることが好ましい。この場合、各接続柱24の両端部を、それぞれIMD層21bおよびIMD層22bに刺入させた状態で、導体フィルム13を配置することができる。これにより、導体フィルム13と第1基体11および第2基体12との結合強度を高めることができる。

[0042] また、IMD層21bおよびIMD層22bが各接続柱24の端部により刺入できない素材から成っているとき、図2(a)および(b)に示すように、第1電極21cが第1基体11のIMD層21bの表面から突出し、第2電極22cが第2基体12のIMD層22bの表面から突出して設けられていることが好ましい。この場合、各接続柱24の両端部24aを、それぞれIMD層21bおよびIMD層22bから離れた状態で、導体フィルム13を配置することができる。しかし、この場合、導体フィルム13の基材23と各IMD層21b、22bとの間に空間ができるため、導体フィルム13と第1基体11および第2基体12との結合強度が弱くなってしまう。

[0043] そこで、その結合強度を高めるために、図3に示すように、導体フィルム13の基材23と各IMD層21b、22bの表面との間を充たすよう充填層25を設け、各IMD層21b、22bに対向する各接続柱24の端部24aが充填層25に挿入されていることが好ましい。充填層25は、絶縁体

から成ることが好ましい。また、充填層 25 は、導体フィルム 13 をそれぞれ第 1 基体 11 および第 2 基体 12 の表面に取り付ける前にあらかじめ設けられていてもよく、導体フィルム 13 をそれぞれ第 1 基体 11 および第 2 基体 12 の表面に取り付け後、空間を充填するよう設けられてもよい。充填層 25 は、あらかじめ設けておく場合には、各接続柱 24 を刺入可能な硬さを有する素材から成ることが好ましい。なお、図 2 および図 3 には、導体フィルム 13 と第 1 基体 11 との結合状態を示している。

[0044] 次に、作用について説明する。

半導体デバイス 10 は、柱状の導体から成る複数の接続柱 24 の両端部 24a を、それぞれ第 1 電極 21c および第 2 電極 22c に接合することにより、第 1 電極 21c と第 2 電極 22c とを電氣的に接続することができる。半導体デバイス 10 は、第 1 基体 11 と第 2 基体 12 とを面同士で接合しないため、第 1 基体 11 および第 2 基体 12 の互いの対向面の平坦性を、面同士で接合する場合ほど精密に制御する必要がない。また、第 1 基体 11 および第 2 基体 12 の互いの対向面の間に粒子等が入り込んだとしても、その粒子等から外れた位置の接続柱 24 により、第 1 電極 21c と第 2 電極 22c との電氣的な接続が確保されるため、面同士で接合する場合ほど粒子等の侵入を厳密に制御する必要もない。このように、半導体デバイス 10 は、制御に関するコストを抑制することができる。また、面同士で接合する場合と比較して、電氣的な接続を容易に確保することができ、歩留まりを高めることができる。

[0045] 半導体デバイス 10 は、第 1 電極 21c と第 2 電極 22c とが複数の接続柱 24 で接合されるため、第 1 電極 21c に対して第 2 電極 22c の位置が相対的に多少ずれても、電氣的な接続を確保することができる。また、半導体デバイス 10 は、第 1 電極 21c および第 2 電極 22c と各接続柱 24 とを、再結晶化または合金化により一体化することができるため、より確実に電氣的に接続することができる。各接続柱の直径がナノサイズであるため、それより太いものを使用する場合と比べて、より低い温度や圧力で、再結晶

化または合金化することができる。

[0046] また、半導体デバイス10は、第1電極21cおよび第2電極22cの表面に残留物や薄い酸化物層が残っている場合であっても、導体フィルム13の各接続柱24の両端部24aを、比較的低い接合圧力で第1電極21cおよび第2電極22cに接触させて、接合することができる。このため、電気的な接続を容易に確保することができる。

[0047] 半導体デバイス10は、各接続柱24の側面を、絶縁体のAAOから成る基材23で覆っているため、各接続柱24を横方向で絶縁することができる。このため、第1電極21cが第2電極22c以外の電極等と電氣的に接続したり、第2電極22cが第1電極21c以外の電極等と電氣的に接続したりするのを防ぐことができる。また、各接続柱24が基材23により支持されているため、各接続柱24の両端部24aをそれぞれ第1電極21cおよび第2電極22cに容易に接合することができる。また、導体フィルム13は、基材23がAAOから成るため、従来の有機膜や接着剤に比べて、熱伝導性に優れるとともに、機械的ストレスを小さくすることができる。

[0048] 半導体デバイス10は、本発明の実施の形態の半導体デバイスの製造方法により製造することができる。本発明の実施の形態の半導体デバイスの製造方法では、まず、図4(a)に示すように、銅電極（例えば、第1電極21c）とIMD層（例えば、IMD層21b）とを有するウエハ（例えば、第1基体11）の表面を、CMP（化学的機械研磨）および後洗浄により、平坦化する。次に、図4(b)に示すように、銅電極をIMD層の表面からわずかに突出させる場合には、ダメージフリープラズマエッチバック（damage-free plasma etch-back）により、IMD層を少し窪ませる。その深さは、例えば約300nmである。

[0049] 次に、キャップ層26を形成する場合には、図4(d)に示すように、無電解めっき法（electro-less plating）により、銅電極の表面上に、例えばニッケル／すず（100nm／200nm）薄膜から成る薄いキャップ層26を形成する。なお、すず（Sn）は、CMPプロセスによって導入された

銅電極の高さや表面凹凸のばらつきを補償するために、バッファ層として使用され、ニッケル（Ni）は、Cu層とSn層との間のバリア層として使用される。

[0050] 次に、図4（e）および図4（f）に示すように、図4（c）の銅電極が露出したウエハの表面または、図4（d）の銅電極の表面にキャップ層26を有するウエハの表面を、導体フィルム13で覆い、その上に、チップまたは他のウエハを載せる。このとき、導体フィルム13の下のウエハの銅電極と、導体フィルム13の上に載せるチップまたはウエハ（例えば、第2基体12）の銅電極（例えば、第2電極22c）とが互いに対向するよう配置する。その後、300℃前後に加熱して、各接続柱24の両端部24aを再結晶化、または合金化させ、それぞれ各チップまたはウエハの銅電極に接合させる。なお、図4（e）に示すチップを載せる場合には、チップからはみ出した導体フィルム13を取り除く。また、図4（e）および図4（f）のいずれの場合でも、必要に応じて、導体フィルム13の基材23の表面と、チップまたはウエハのIMD層の表面との間に充填層25を形成する。このように、導体フィルム13を使用することにより、半導体デバイス10を容易に製造することができる。

[0051] なお、図5に示すように、半導体デバイス10で、導体フィルム13は、各接続柱24のうち第1電極21cと第2電極22cとを電氣的に接続していない接続柱24のうちの1つ以上が、基材23から除去されて形成された空洞31を有していてもよい。この場合、図4（e）および図4（f）で、導体フィルム13で第1基体11（ウエハ）の表面を覆った後、導体フィルム13の上に第2基体12（チップまたはウエハ）を載せる前に、各接続柱24のうち第1電極21c（銅電極）に接合しない位置の接続柱24のうちの1つ以上を、基材23から除去することにより、空洞31を形成することができる。また、あらかじめ導体フィルム13から接続柱24を除去し、空洞31を形成していてもよい。

[0052] 図5に示す場合、空洞31を設けることにより、導体フィルム13の絶縁

性を高めたり、静電容量を下げたりすることができる。なお、第1電極21cと第2電極22cとを電氣的に接続していない接続柱24を残しておくこと、放熱特性が良くなるという効果が得られるため、この効果と空洞31にしたときの効果とを考慮して、接続柱24を取り除くかどうか決定することができる。接続柱24の除去後に形成された空洞31は、そのままであっても、絶縁体などの他の物質で充填されてもよい。

[0053] また、図6(a)に示すように、半導体デバイス10は、図4(e)および図4(f)で、導体フィルム13で第1基体11(ウエハ)の表面を覆った後、導体フィルム13の上に第2基体12(チップまたはウエハ)を載せる前に、導体フィルム13の表面をCMP等により削ることにより、導体フィルム13を薄くしてもよい。この場合、導体フィルム13の基材23の厚みを、2~3 μ m以下にまで薄くすることができる。また、導体フィルム13を薄くすることにより、各接続柱24による電気抵抗や静電容量を下げるることができる。なお、図6(b)に示すように、導体フィルム13を薄くした後、図5と同様に、各接続柱24のうち第1電極21cに接合しない位置の接続柱24のうちの1つ以上を、基材23から除去することにより、空洞31を形成してもよい。

[0054] また、図7(a)および(b)に示すように、半導体デバイス10は、チップまたはウエハが3層から成る構成を有していてもよい。この場合、例えば、以下のようにして製造することができる。まず、図4(e)および図4(f)で、導体フィルム13(13a)の上に載せられた第2基体12(チップまたはウエハ)が、導体フィルム13(13a)とは反対側の表面に第3電極22eを有し、その第3電極22eが露出した第2基体12の表面を、別の導体フィルム13bで覆い、その上に、さらに第3基体33を載せる。このとき、導体フィルム13bの下の第2基体12の第3電極22eと、導体フィルム13bの上に載せる第3基体33の第4電極33aとが互に対向するよう配置する。その後、300℃前後に加熱して、各導体フィルム13a、13bの各接続柱24の両端部24aを再結晶化させ、それぞれ第

3電極22eおよび第4電極33aに接合させる。

[0055] このように、チップまたはウエハから成る複数の基体の間に、互いに対向する各電極同士を複数の接続柱24で電氣的に接続するよう、導体フィルム13を配置することにより、基体が2つだけでなく、3つ以上の多層の半導体デバイス10をも製造することができる。

[0056] また、2層構造と3層構造とを組合せた半導体デバイス10を構成することもできる。例えば、図8(a)に示すように、第1基体11の上に載せた導体フィルム13aの一部を凹状に削り、その中に第2基体12を配置し、第2基体12および導体フィルム13aの上に、複数のバンプ(Metal micro bump)41aが配置された絶縁膜(Insulating film)41を設け、絶縁膜41の上の、第2基体12の上方に、別の導体フィルム13bを介して第3基体33を設け、さらに絶縁膜41の上の、第2基体12からずれた位置に、別の導体フィルム13cを介して第4基体34を設けてもよい。この図8(a)の場合、第2基体12の第3基体33の側の表面には、Si貫通電極(TSV)42が露出し、第3電極22eを構成している。また、各バンプ41aは、それぞれ第2基体12の第3電極22eと第3基体33の第4電極33a、および、第1基体11の第1電極21cと第4基体34の第5電極34aとを電氣的に接続するよう設けられている。また、第2基体12の側面と、導体フィルム13aの凹状部の側面との間には、電氣的に接続されないよう、絶縁体(Insulator)43が挟まれている。

[0057] 図8(a)に記載の一例では、第1基体11のMOS-FETからの電流が、第1電極21cから導体フィルム13aの接続柱24、第2電極22cを通して第2基体12のMOS-FETに流れている(図8(a)中のAの矢印)。また、第1基体11のMOS-FETからの電流が、第1電極21cから導体フィルム13aの接続柱24、バンプ41a、導体フィルム13cの接続柱24、第5電極34aを通して第4基体34のMOS-FETに流れている(図8(a)中のBの矢印)。また、第2基体12のMOS-FETからの電流が、Si貫通電極42から第3電極22e、導体フィルム1

3 bの接続柱2 4、第4電極3 3 aを通して第3基体3 3のMOS－FETに流れている（図8（a）中のCの矢印）。

[0058] なお、図8（b）に示すように、Si貫通電極4 2を使用せず、第1基体1 1の表面および絶縁膜4 1の、第2基体1 2の境界付近に、それぞれ再分配線（Metal redistribution line）4 4 a，4 4 bを設けてもよい。この場合、第2基体1 2のMOS－FETからの電流が、導体フィルム1 3 aの接続柱2 4から第1基体1 1の再分配線4 4 aを通り、再度、導体フィルム1 3 aの別の接続柱2 4から絶縁膜4 1の再分配線4 4 b、導体フィルム1 3 bの接続柱2 4、第4電極3 3 aを通して第3基体3 3のMOS－FETに流れる（図8（b）中のCの矢印）。このように、図8（b）に記載の一例では、図8（a）中のCの矢印ではなく、図8（b）中のCの矢印に沿って、図8（a）と同様に電流を流すことができる。

実施例 1

[0059] 図4に従って製造された半導体デバイス1 0の、走査型電子顕微鏡（SEM）写真を図9に、透過型電子顕微鏡（TEM）写真を図1 0に示す。なお、この半導体デバイス1 0は、第1基体1 1としてのインターポーザウエハ（interposer wafer）上に、導体フィルム1 3を介して、第2基体1 2としてTEG（Test Element Group）モジュールを載せたものである。インターポーザウエハは、直径が3 0 0 mmである。TEGモジュールは、7 mm×2 3 mmで、直径3 0 0 mmのTEGウエハから切り出されたものである。インターポーザウエハおよびTEGウエハは、超高密度の銅電極とプラズマTEOS（Tetraethyl orthosilicate）によるIMD層とを有しており、3 0 0 mmウエハ対応の3 D－L S I（Large Scale Integration）の製造ラインにより作製された。銅電極の大きさおよびピッチは、それぞれ3 μmおよび6 μmである。TEGダイあたりの電極密度は、4 3 0万（4，3 0 9，2 0 0）である。

[0060] 図9に示すように、TEGモジュールおよびインターポーザウエハの銅電極と対向する接続柱2 4の端部2 4 aが、銅電極に接合しているのが確認で

きる。また、図10に示すように、接続柱24の端部24aが、約500nmの深さで銅電極の内部で再結晶化しているのが確認できる。なお、導体フィルム13は、厚さ80 μ mのものを使用している。なお、図10(b)は、図9(b)の結合部付近をさらに拡大したものである。

[0061] また、製造された半導体デバイス10のTEGモジュールの電極を数珠つなぎにして電流－電圧特性を測定したところ、4,309,200個の電極の内、3,898,000個の電極が接続されていることが確認された。これは、90%以上の接続率である。

符号の説明

[0062] 10 半導体デバイス

11 第1基体

21a 基部

21b IMD層

21c 第1電極

21d 銅線

12 第2基体

22a 基部

22b IMD層

22c 第2電極

22d 銅線

22e 第3電極

13 導体フィルム

23 基材

24 接続柱

24a 端部

25 充填層

26 キャップ層

31 空洞

3 3 第3 基体

3 3 a 第4 電極

3 4 第4 基体

3 4 a 第5 電極

4 1 絶縁膜

4 1 a バンプ

4 2 S i 貫通電極

4 3 絶縁体

4 4 a, 4 4 b 再分配線

請求の範囲

- [請求項1] 互いに間隔をあけて配置された第1基体および第2基体と、
前記第1基体の前記第2基体に対向する面に設けられた第1電極と、
、
前記第1電極に対向するよう、前記第2基体の前記第1基体に対向する面に設けられた第2電極と、
直径がナノサイズの柱状の導体から成り、前記第1電極と前記第2電極との間に互いに間隔を開けて配置され、前記第1電極と前記第2電極とを電氣的に接続するよう、両端部がそれぞれ前記第1電極および前記第2電極に接合された複数の接続柱とを、
有することを特徴とする半導体デバイス。
- [請求項2] 少なくとも各接続柱の側面を覆うよう設けられた絶縁部材を有することを特徴とする請求項1記載の半導体デバイス。
- [請求項3] 互いに間隔をあけて配置された第1基体および第2基体と、
前記第1基体の前記第2基体に対向する面に設けられた第1電極と、
、
前記第1電極に対向するよう、前記第2基体の前記第1基体に対向する面に設けられた第2電極と、
絶縁体から成るシート状の基材と直径がナノサイズの柱状の導体から成る複数の接続柱とを有し、互いに間隔を開けて平行に配置された各接続柱の間を充たすよう前記基材が配置され、各接続柱の両端部がそれぞれ前記基材の両面から突出するよう設けられた導体フィルムとを有し、
前記導体フィルムは、前記第1基体と前記第2基体の間に配置され、前記第1電極と前記第2電極とを電氣的に接続するよう、各接続柱のうち前記第1電極と前記第2電極との間に位置する接続柱の両端部がそれぞれ前記第1電極および前記第2電極に接合されていることを特徴とする半導体デバイス。

- [請求項4] 第1充填層を有し、
前記第1電極は、前記第1基体の前記第2基体に対向する面から突出して設けられ、
前記第1充填層は、前記第1基体の前記第2基体に対向する面のうち前記第1電極以外の部分と、前記導体フィルムとの間を充たすよう設けられていることを
特徴とする請求項3記載の半導体デバイス。
- [請求項5] 第2充填層を有し、
前記第2電極は、前記第2基体の前記第1基体に対向する面から突出して設けられ、
前記第2充填層は、前記第2基体の前記第1基体に対向する面のうち前記第2電極以外の部分と、前記導体フィルムとの間を充たすよう設けられていることを
特徴とする請求項3または4記載の半導体デバイス。
- [請求項6] 前記導体フィルムは、各接続柱のうち前記第1電極と前記第2電極とを電氣的に接続していない接続柱のうちの1つ以上が、前記基材から除去されて形成された空洞を有していることを特徴とする請求項3乃至5のいずれか1項に記載の半導体デバイス。
- [請求項7] 前記導体フィルムは、前記基材の厚みが $100\mu\text{m}$ 以下であることを特徴とする請求項3乃至6のいずれか1項に記載の半導体デバイス。
- [請求項8] 各接続柱は、前記第1電極および前記第2電極と同じ素材から成り、両端部が再結晶化して、それぞれ前記第1電極および前記第2電極と接合していることを特徴とする請求項1乃至7のいずれか1項に記載の半導体デバイス。
- [請求項9] 各接続柱は、前記第1電極および前記第2電極と異なる素材から成り、両端部がそれぞれ前記第1電極および前記第2電極の素材と合金化して、それぞれ前記第1電極および前記第2電極と接合しているこ

とを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の半導体デバイス。

[請求項10] 前記第 1 電極および前記第 2 電極は、アルミニウム電極、または、ニッケル／すず薄膜から成る薄い金属キャップ層を有する銅電極、から成ることを

特徴とする請求項 9 記載の半導体デバイス。

[請求項11] 互いに間隔をあけて配置された複数の基体と、
各基体の互いに対向する面に、互いに対向するよう設けられた複数対の電極と、

絶縁体から成るシート状の基材と直径がナノサイズの柱状の導体から成る複数の接続柱とを有し、互いに間隔を開けて平行に配置された各接続柱の間を充たすよう前記基材が配置され、各接続柱の両端部がそれぞれ前記基材の両面から突出するよう設けられた導体フィルムとを有し、

前記導体フィルムは、各基体の間に配置され、互いに対向する各電極同士を電氣的に接続するよう、各接続柱のうち互いに対向する各電極の間に位置する接続柱の両端部がそれぞれ対応する電極に接合されていることを

特徴とする半導体デバイス。

[請求項12] 各接続柱は、直径が 200 nm 以下であることを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の半導体デバイス。

[請求項13] 絶縁体から成るシート状の基材と直径がナノサイズの柱状の導体から成る複数の接続柱とを有し、互いに間隔を開けて平行に配置された各接続柱の間を充たすよう前記基材が配置され、各接続柱の両端部がそれぞれ前記基材の両面から突出するよう設けられた導体フィルムで、表面に第 1 電極を有する第 1 基体の前記表面を覆い、

表面に第 2 電極を有する第 2 基体を、前記第 2 電極が前記第 1 電極に対向するよう、前記導体フィルムの上に載せ、

前記第 1 電極と前記第 2 電極とが電氣的に接続されるよう、各接続柱のうち前記第 1 電極と前記第 2 電極との間に位置する接続柱の両端部をそれぞれ前記第 1 電極および前記第 2 電極に接合させることを特徴とする半導体デバイスの製造方法。

[請求項14] 前記第 1 電極を、前記第 1 基体の前記表面のうち前記第 1 電極以外の部分から突出するよう設け、

前記第 1 基体の前記表面のうち前記第 1 電極以外の部分に、前記第 1 電極の突出高さと同じ厚みを有する第 1 充填層を設けた後、

前記導体フィルムで、前記第 1 電極と前記第 1 充填層とを覆うことを

特徴とする請求項 1 3 記載の半導体デバイスの製造方法。

[請求項15] 前記第 2 電極を、前記第 2 基体の前記表面のうち前記第 2 電極以外の部分から突出するよう設け、

前記第 2 基体の前記表面のうち前記第 2 電極以外の部分に、前記第 2 電極の突出高さと同じ厚みを有する第 2 充填層を設けた後、

前記導体フィルムで前記第 2 電極と前記第 2 充填層とを覆うよう、前記第 2 充填層が設けられた前記第 2 基体を前記導体フィルムの上に載せることを

特徴とする請求項 1 3 または 1 4 記載の半導体デバイスの製造方法。

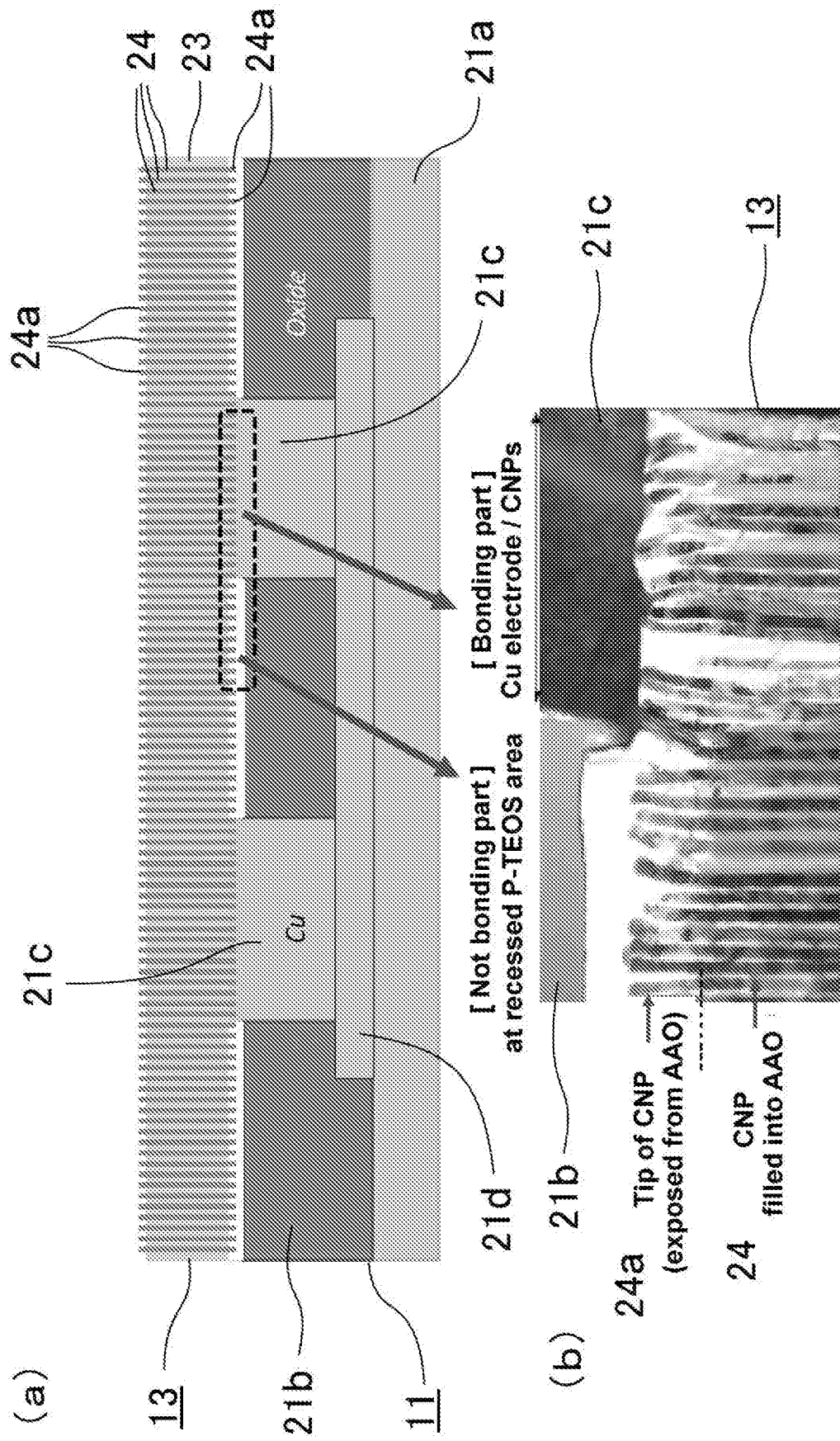
[請求項16] 所定の温度で加熱すること、および／または所定の圧力をかけることにより、各接続柱の両端部をそれぞれ前記第 1 電極および前記第 2 電極に接合させることを特徴とする請求項 1 3 乃至 1 5 のいずれか 1 項に記載の半導体デバイスの製造方法。

[請求項17] 前記導体フィルムで前記第 1 基体の前記表面を覆った後、各接続柱のうち前記第 1 電極に接合しない位置の接続柱のうちの 1 つ以上を、前記基材から除去することを特徴とする請求項 1 3 乃至 1 6 のいずれか 1 項に記載の半導体デバイスの製造方法。

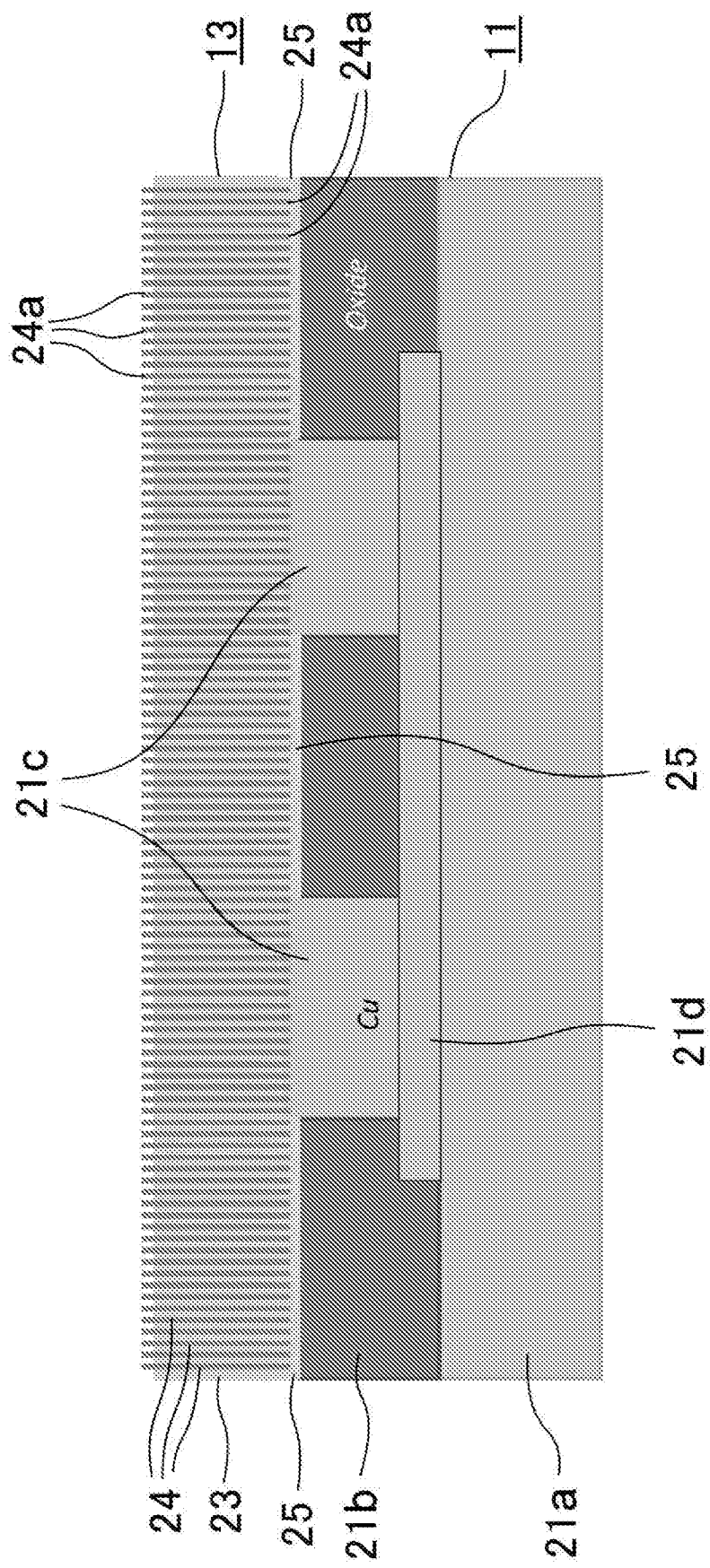
- [請求項18] 前記導体フィルムで前記第1基体の前記表面を覆った後、前記第1基体とは反対側の前記導体フィルムの表面を削って前記導体フィルムを薄くすることを特徴とする請求項13乃至17のいずれか1項に記載の半導体デバイスの製造方法。

[illegible]

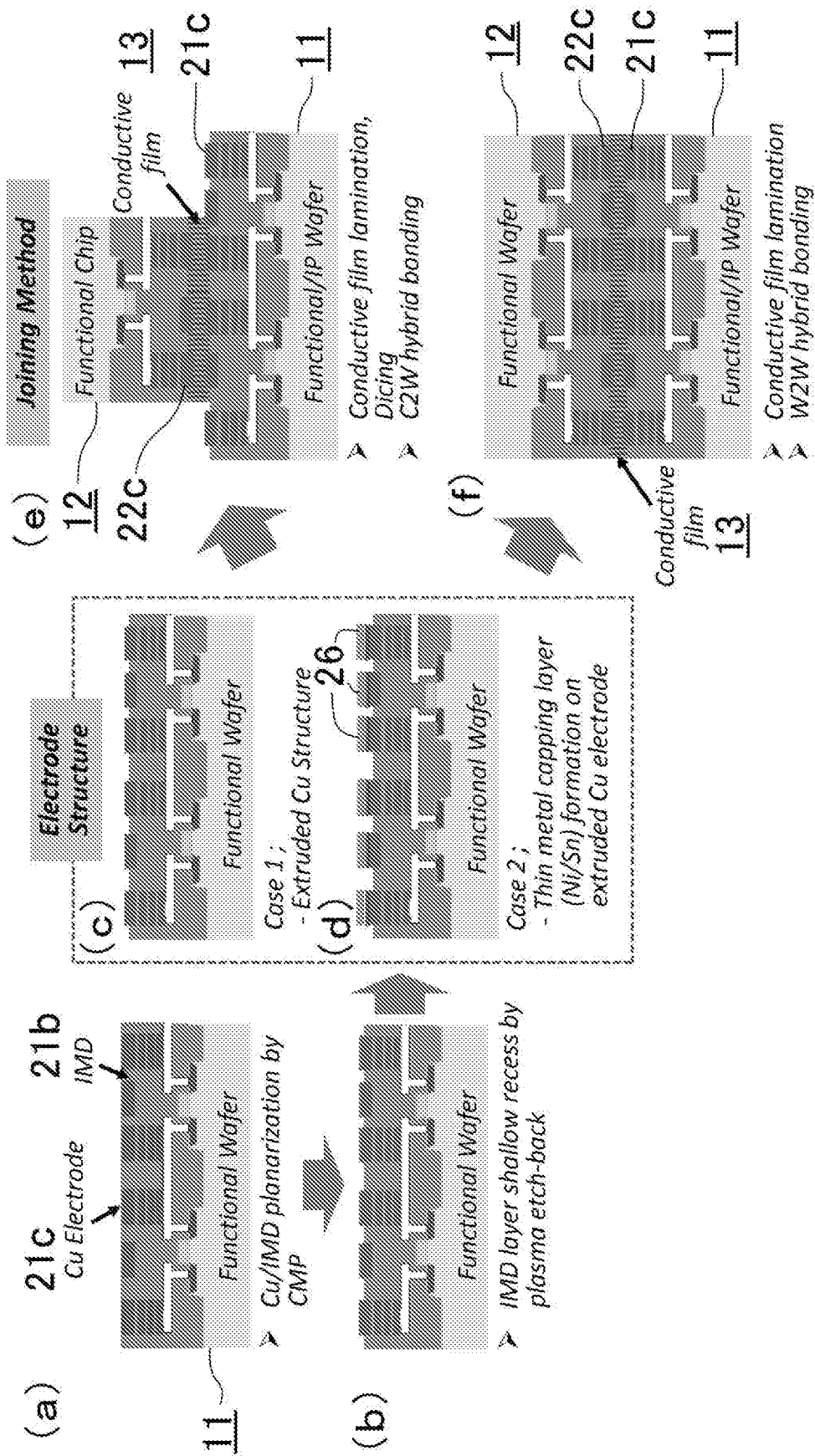
[図2]



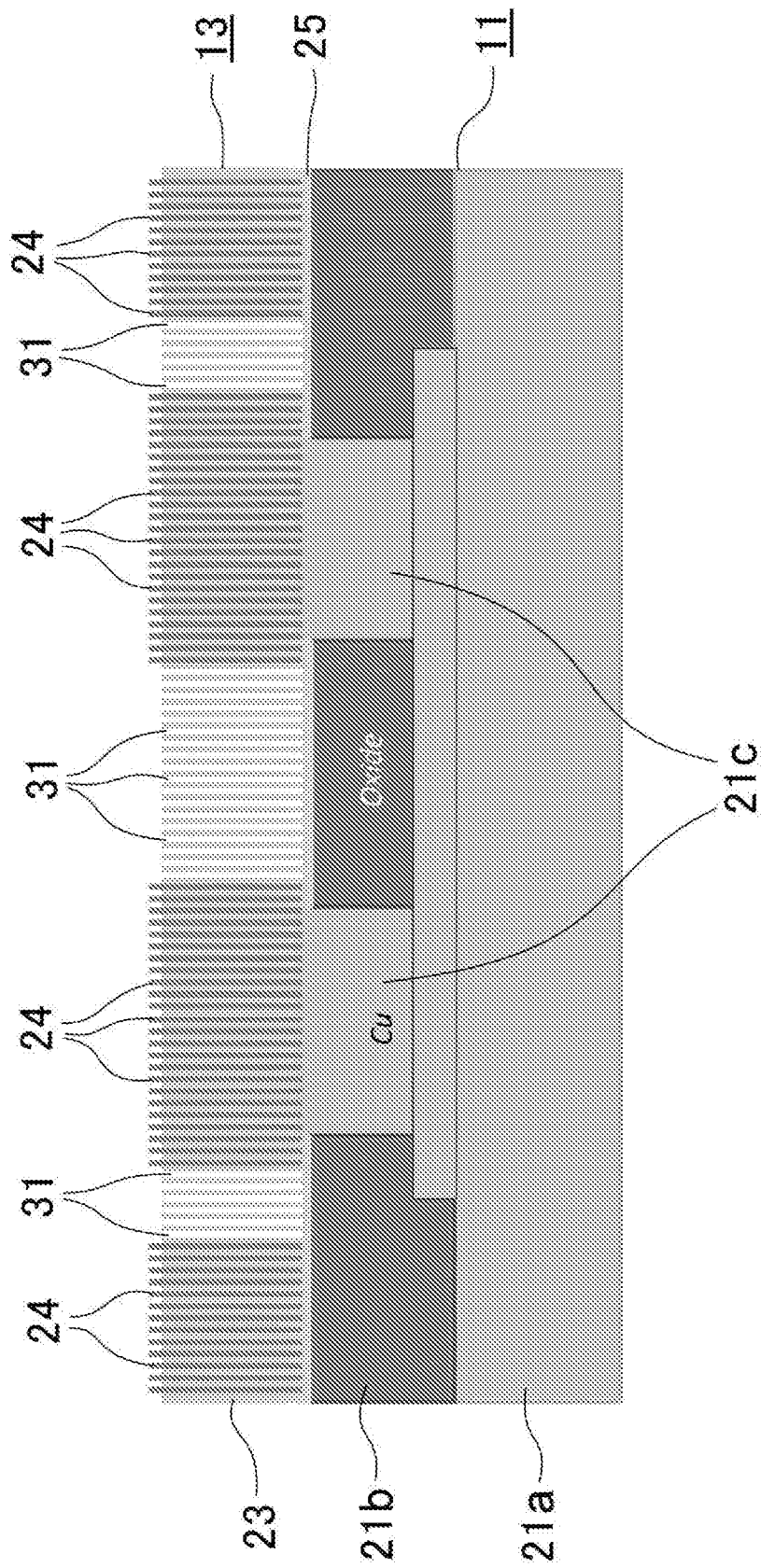
[図3]



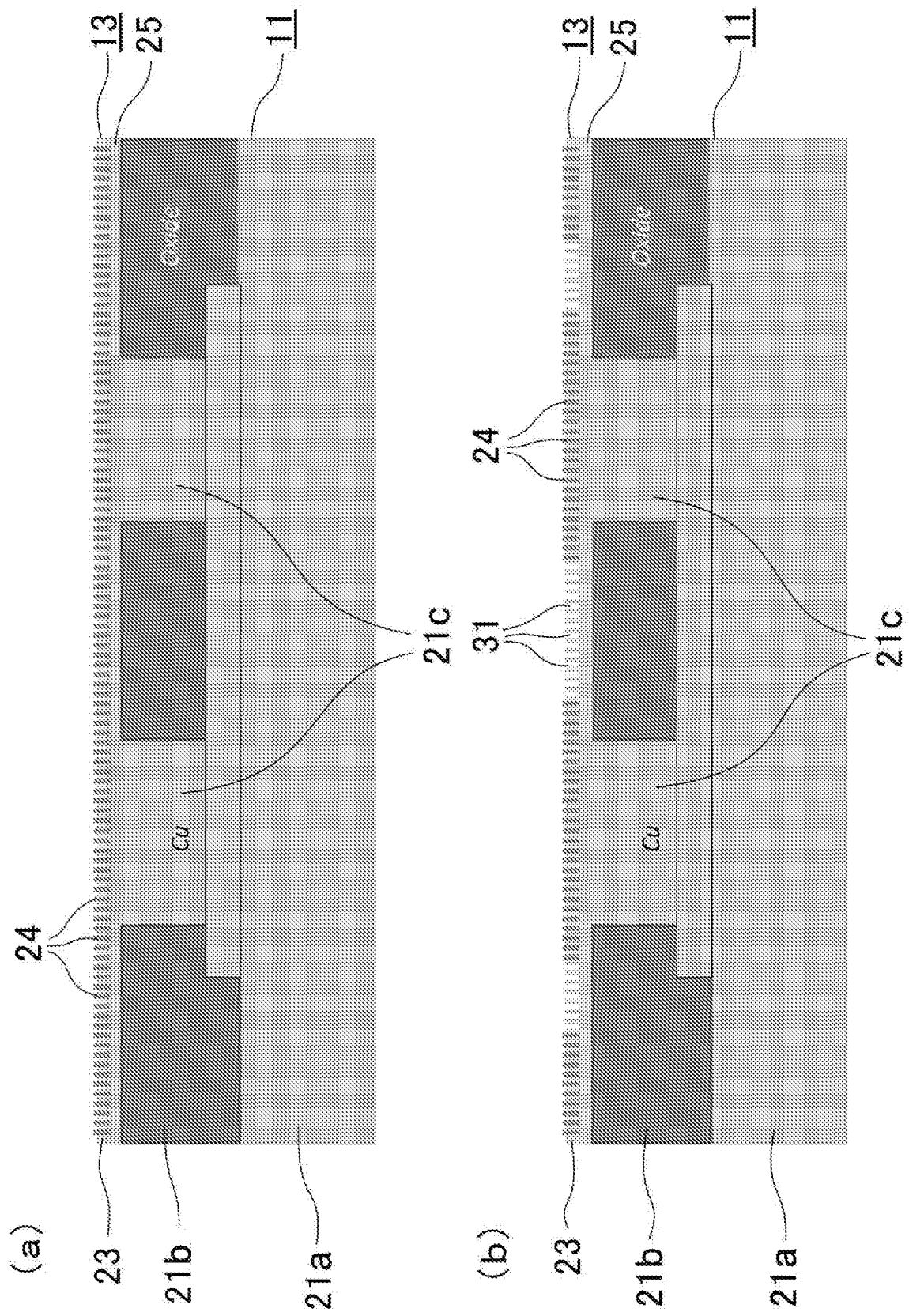
[図4]



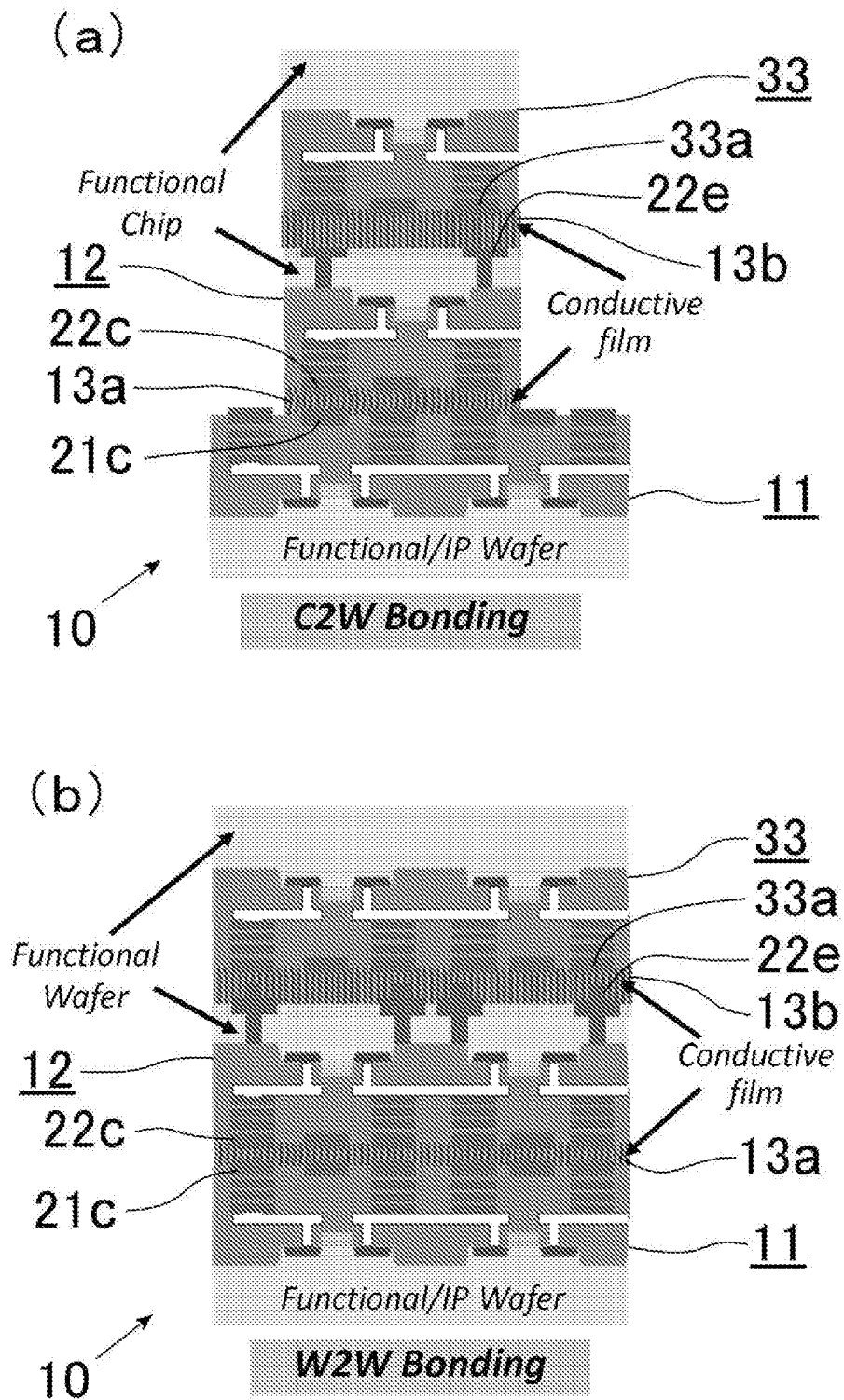
【図5】



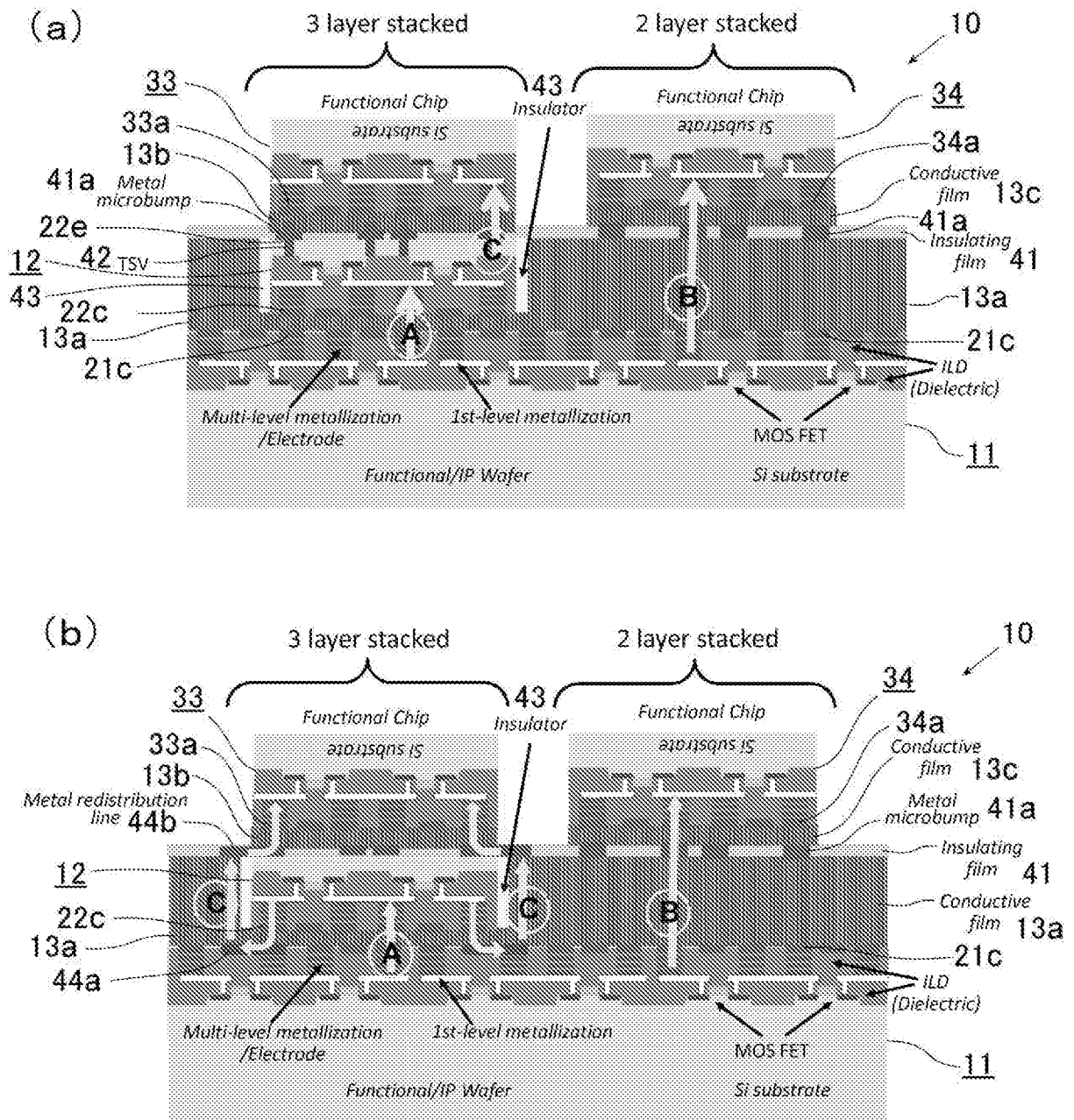
[図6]



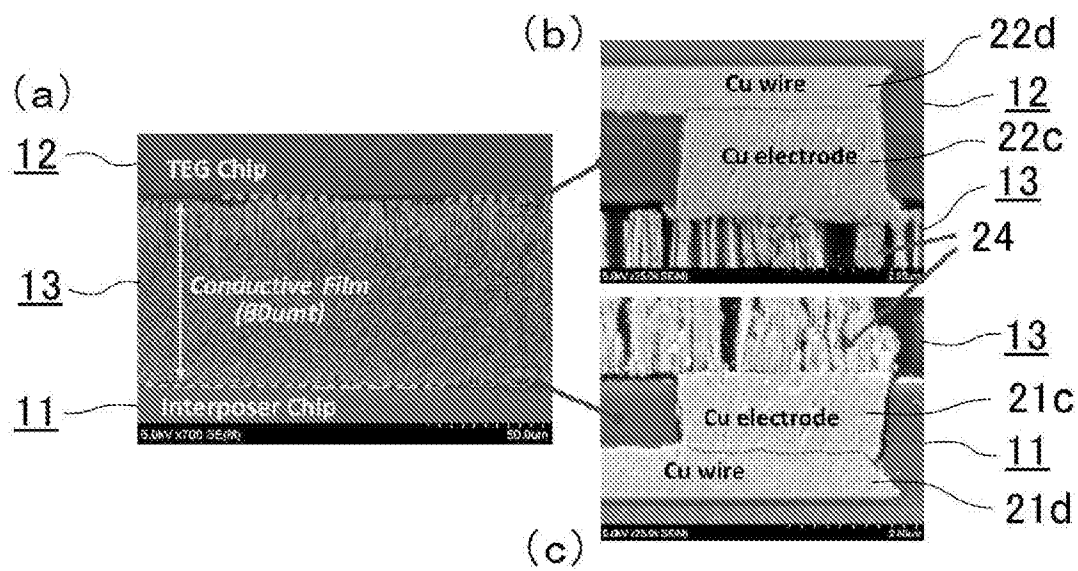
[図7]



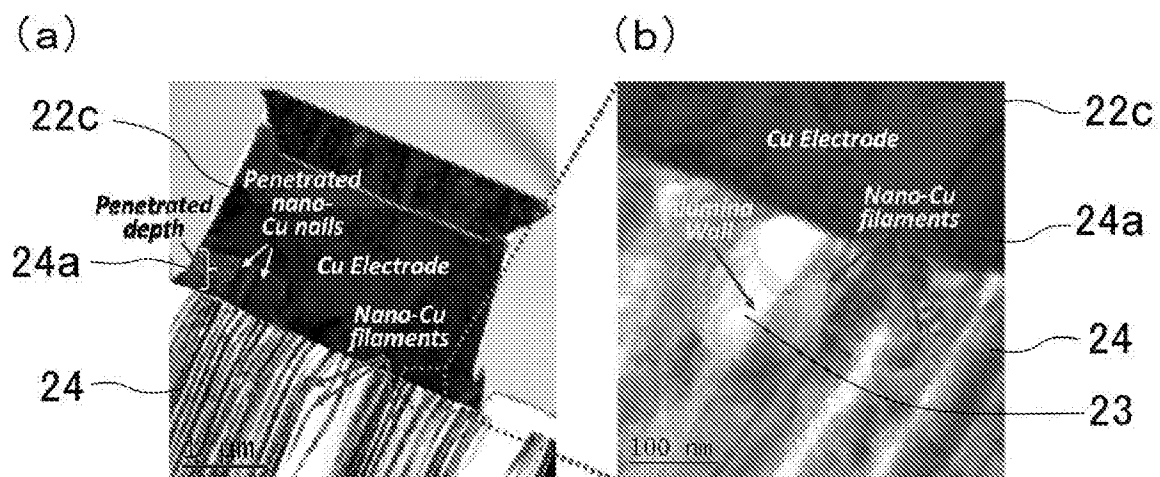
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/085865

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/60(2006.01)i, B23K20/00(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i, H01R11/01(2006.01)i, H05K1/14(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/60, B23K20/00, H01L25/065, H01L25/07, H01L25/18, H01R11/01, H05K1/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2009-164095 A (Fujifilm Corp.), 23 July 2009 (23.07.2009), paragraphs [0016] to [0106] & US 2010/0294547 A1 paragraphs [0046] to [0231] & WO 2009/075198 A1 & EP 2221926 A1 & KR 10-2010-0101598 A & CN 101897083 A	1-3, 6-13, 16 4, 5, 14, 15 17, 18
Y	JP 2002-151549 A (Nitto Denko Corp.), 24 May 2002 (24.05.2002), paragraph [0046] (Family: none)	4, 5, 14, 15

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
13 February 2017 (13.02.17)

Date of mailing of the international search report
21 February 2017 (21.02.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/085865

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-286293 A (Nitto Denko Corp.), 13 October 2000 (13.10.2000), paragraphs [0012] to [0038] & US 6538309 B1 column 3, line 12 to column 7, line 15	1-18
A	JP 62-237739 A (Mitsubishi Electric Corp.), 17 October 1987 (17.10.1987), page 2, upper left column, line 17 to lower right column, line 4 (Family: none)	1-18

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/60(2006.01)i, B23K20/00(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i, H01R11/01(2006.01)i, H05K1/14(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/60, B23K20/00, H01L25/065, H01L25/07, H01L25/18, H01R11/01, H05K1/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2009-164095 A (富士フイルム株式会社) 2009.07.23, 段落【0016】-【0106】 & US 2010/0294547 A1, 段落[0046]-[0231]	1-3, 6-13, 16
Y	& WO 2009/075198 A1 & EP 2221926 A1 & KR 10-2010-0101598 A & CN 101897083 A	4, 5, 14, 15
A		17, 18
Y	JP 2002-151549 A (日東電工株式会社) 2002.05.24, 段落【0046】 (ファミリーなし)	4, 5, 14, 15

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

13.02.2017

国際調査報告の発送日

21.02.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

▲高▼須 甲斐

電話番号 03-3581-1101 内線 3559

50

4539

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-286293 A (日東電工株式会社) 2000.10.13, 段落【0012】－【0038】 & US 6538309 B1, 第3欄第12行-第7欄第15行	1-18
A	JP 62-237739 A (三菱電機株式会社) 1987.10.17, 第2頁左上欄第17行-右下欄第4行 (ファミリーなし)	1-18