

(12) 发明专利申请

(10) 申请公布号 CN 102272745 A

(43) 申请公布日 2011.12.07

(21) 申请号 200980154266.9

(51) Int. Cl.

(22) 申请日 2009.12.30

G06F 13/16(2006.01)

(30) 优先权数据

G06F 12/06(2006.01)

12/350,686 2009.01.08 US

G06F 12/08(2006.01)

(85) PCT申请进入国家阶段日

2011.07.08

(86) PCT申请的申请数据

PCT/US2009/006740 2009.12.30

(87) PCT申请的公布数据

W02010/080141 EN 2010.07.15

(71) 申请人 美光科技公司

地址 美国爱达荷州

(72) 发明人 罗伯特·N·莱博维茨 彼得·菲利

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 宋献涛

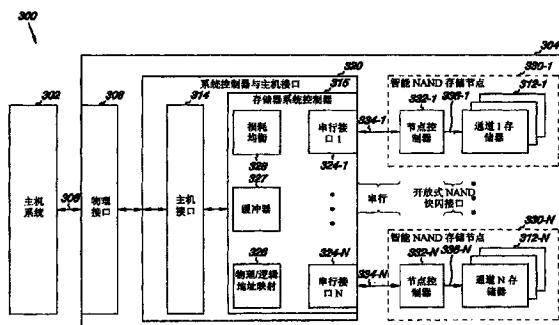
权利要求书 3 页 说明书 13 页 附图 7 页

(54) 发明名称

存储器系统控制器

(57) 摘要

本发明包含用于存储器系统控制器的方法及装置。在一个或一个以上实施例中，存储器系统控制器包含通信地耦合到系统控制器的主机接口。所述系统控制器具有若干个存储器接口，且被配置用于控制通信地耦合到所述若干个存储器接口的多个智能存储节点。所述系统控制器包含经配置以在物理存储器地址与逻辑存储器地址之间映射的逻辑以及经配置以管理跨越所述多个智能存储节点的损耗均衡的逻辑。



1. 一种存储器系统控制器，其包括：

主机接口；及

系统控制器，其通信地耦合到所述主机接口，且具有若干个存储器接口，

其中所述系统控制器被配置用于控制通信地耦合到所述若干个存储器接口的多个智能 NAND 存储节点 (INSN)，所述系统控制器包含经配置以在物理存储器地址与逻辑存储器地址之间映射的逻辑以及经配置以管理跨越所述多个 INSN 的损耗均衡的逻辑。

2. 根据权利要求 1 所述的存储器系统控制器，其中所述存储器接口为同步存储器接口。

3. 根据权利要求 2 所述的存储器系统控制器，其中所述 INSN 的第一部分通信地并行耦合到所述若干个同步存储器接口中的一者。

4. 根据权利要求 3 所述的存储器系统控制器，其中所述 INSN 的第二部分通信地并行耦合到所述若干个同步存储器接口中的不同一者。

5. 根据权利要求 1 所述的存储器系统控制器，其中所述存储器接口为串行存储器接口。

6. 根据权利要求 5 所述的存储器系统控制器，其中所述系统控制器经配置以在无逻辑块信息的情况下产生物理页存储器存取请求。

7. 根据权利要求 5 所述的存储器系统控制器，其中所述若干个串行存储器接口中的每一者经配置以与通信地耦合到其的至少两个 INSN 通信。

8. 根据权利要求 5 所述的存储器系统控制器，其中所述系统控制器包含经配置以管理跨越所有所述 INSN 的损耗均衡的逻辑。

9. 根据权利要求 1 到 8 中任一权利要求所述的存储器系统控制器，其中所述 INSN 各自具有若干个存储器装置。

10. 根据权利要求 9 所述的存储器系统控制器，其中所述经配置以管理跨越所述若干个 INSN 的损耗均衡的逻辑包含用以管理跨越特定 INSN 的所述若干个存储器装置的损耗均衡的逻辑。

11. 根据权利要求 9 所述的存储器系统控制器，其中所述经配置以管理跨越所述若干个 INSN 的损耗均衡的逻辑包含经配置以管理跨越多个 INSN 的所述若干个存储器装置的损耗均衡的逻辑。

12. 根据权利要求 11 所述的存储器系统控制器，其中所述经配置以管理跨越所述若干个 INSN 的损耗均衡的逻辑包含经配置以管理跨越所有 INSN 的所有存储器装置的损耗均衡的逻辑。

13. 一种存储器系统，其包括：

系统控制器与主机接口 (SCHI)，其包含：

主机接口，及

存储器系统控制器，其通信地耦合到所述主机接口，且具有至少两个串行存储器接口；及

多个存储节点，其通信地耦合到所述至少两个串行存储器接口，

其中所述存储器系统控制器被配置用于控制所述多个存储节点，包含提供所述多个存储节点的集中式物理地址 / 逻辑地址翻译，及管理跨越所述多个存储节点的损耗均衡。

14. 根据权利要求 13 所述的存储器系统, 其中所述多个存储节点为智能 NAND 存储节点 (INSN)。

15. 根据权利要求 13 所述的存储器系统, 其中所述多个存储节点包含若干个存储器装置。

16. 根据权利要求 15 所述的存储器系统, 其中所述多个存储节点各自包含通信地耦合到所述若干个存储器装置的节点存储器控制器。

17. 根据权利要求 16 所述的存储器系统, 其中所述若干个存储器装置为 NAND 快闪存储器装置。

18. 根据权利要求 17 所述的存储器系统, 其中每一节点存储器控制器通过开放式 NAND 快闪接口 (ONFi) 通信地耦合到所述若干个 NAND 快闪存储器装置。

19. 根据权利要求 13 到 18 中任一权利要求所述的存储器系统, 其中所述多个存储节点各自配置于多芯片封装中。

20. 根据权利要求 19 所述的存储器系统, 其中所述多芯片封装具有少于 20 个引脚。

21. 根据权利要求 20 所述的存储器系统, 其中所述多芯片封装具有不多于 3 个用于数据及控制信号的引脚。

22. 根据权利要求 13 到 15 中任一权利要求所述的存储器系统, 其中所述多个存储节点为固态驱动器。

23. 一种存储器系统, 其包括:

多个智能 NAND 存储节点 (INSN); 及

存储器系统控制器, 其通过第一串行接口通信地耦合到所述多个 INSN 的第一部分, 且通过第二串行接口通信地耦合到所述多个 INSN 的第二部分,

其中所述存储器系统控制器经配置以在由主机系统利用的逻辑地址与由所述多个 INSN 利用的物理地址之间映射, 且所述存储器系统控制器经配置以管理跨越所述多个 INSN 的损耗均衡。

24. 根据权利要求 23 所述的存储器系统, 其中所述多个 INSN 的所述第一部分包含多个 INSN。

25. 根据权利要求 23 到 24 中任一权利要求所述的存储器系统, 其中所述多个 INSN 的所述第二部分包含多个 INSN。

26. 根据权利要求 23 到 24 中任一权利要求所述的存储器系统, 其中所述第一及第二串行接口为串行通信总线, 且所述多个 INSN 的所述第一部分以菊花链形式布置到所述第一串行通信总线, 且所述多个 INSN 的所述第二部分以菊花链形式布置到所述第二串行通信总线。

27. 根据权利要求 26 所述的存储器系统, 其中所述 INSN 中的每一者包含总线管理模块。

28. 根据权利要求 27 所述的存储器系统, 其中每一总线管理模块通信地耦合到所述节点存储器控制器, 且经配置以控制串行通信总线用于将数据传输到所述存储器系统控制器。

29. 根据权利要求 27 所述的存储器系统, 其中所述多个 INSN 各自包含若干个 NAND 快闪存储器装置及一节点控制器, 所述节点控制器通信地耦合于其上的所述 NAND 快闪存储器。

器装置与所述节点控制器之间。

30. 根据权利要求 29 所述的存储器系统, 其中每一节点控制器经配置以控制 NAND 快闪存储器装置存取且管理 NAND 快闪存储器装置缺陷。

31. 根据权利要求 29 所述的存储器系统, 其中每一节点控制器经配置以检测且校正存储于所述 NAND 快闪存储器装置中的数据中的错误。

32. 一种操作存储器系统的方法, 其包括 :

使用若干个串行通信接口在多个存储节点与一存储器系统控制器之间建立通信, 所述多个存储节点中的每一者具有通信地耦合于特定串行通信接口与若干个存储器装置之间的节点控制器 ;

在所述存储器系统控制器处管理所述多个存储节点当中的损耗均衡 ; 及

在所述存储器系统控制器处针对所述多个存储节点在逻辑地址与物理地址之间进行翻译。

33. 根据权利要求 32 所述的方法, 其包含在所述存储器系统控制器处管理特定存储节点的所述若干个存储器装置当中的损耗均衡。

34. 根据权利要求 33 所述的方法, 其包含在与特定存储节点相关联的所述节点控制器处管理所述特定存储节点的所述若干个存储器装置当中的错误校正。

35. 根据权利要求 34 所述的方法, 其包含在所述存储器系统控制器处管理多个存储节点的所述若干个存储器装置当中的损耗均衡。

36. 根据权利要求 35 所述的方法, 其中管理多个存储节点的所述若干个存储器装置当中的损耗均衡包含检测所述若干个存储器装置之间的损耗差异。

37. 根据权利要求 35 到 36 中任一权利要求所述的方法, 其中管理多个存储节点的所述若干个存储器装置当中的损耗均衡包含检测个别存储器装置中高于限值的损耗。

38. 根据权利要求 37 所述的方法, 其中所述限值为预设的固定限值。

39. 根据权利要求 37 所述的方法, 其中所述限值为动态限值。

40. 一种用于操作存储器系统的方法, 其包括 :

从主机系统接收对应于一系列逻辑地址的写入命令及相关联数据 ;

基于若干个存储节点当中的损耗均衡, 在存储器系统控制器处确定所述若干个存储节点中将在其中存储所述相关联数据的特定存储节点 ;

将所述系列的逻辑地址映射到所述特定存储节点的物理地址 ; 及

通过存储节点的菊花链将所述数据串行传输到所述特定存储节点。

41. 根据权利要求 40 所述的方法, 其中所述若干个存储节点为智能 NAND 存储节点 (INSN), 且所述方法包含在不参考逻辑块的情况下由所述存储器系统控制器将物理页存取请求传递到所述 INSN。

42. 根据权利要求 40 到 41 中任一权利要求所述的方法, 其包含在通过存储节点的菊花链串行传输所述数据之前, 在所述存储器系统控制器上将磁盘驱动协议翻译成原始 NAND 命令。

存储器系统控制器

技术领域

[0001] 本发明一般来说涉及半导体存储器装置、方法及系统，且更特定来说，涉及一种存储器系统控制器。

背景技术

[0002] 通常提供存储器装置作为计算机或其它电子装置中的内部半导体集成电路。存在许多不同类型的存储器，包含易失性及非易失性存储器。易失性存储器可需要电力以维持其数据且尤其包含随机存取存储器 (RAM)、动态随机存取存储器 (DRAM) 及同步动态随机存取存储器 (SDRAM)。非易失性存储器可通过在不供电时保持所存储的信息来提供持久性数据且可尤其包含 NAND 快闪存储器、NOR 快闪存储器、只读存储器 (ROM)、电可擦除可编程 ROM (EEPROM)、可擦除可编程 ROM (EPROM) 及相变随机存取存储器 (PCRAM)。

[0003] 存储器装置可组合在一起以形成固态驱动器 (SSD)。固态驱动器可包含非易失性存储器（例如，NAND 快闪存储器及 NOR 快闪存储器），及 / 或可包含易失性存储器（例如，DRAM 及 SRAM），以及各种其它类型的非易失性及易失性存储器。

[0004] 可使用 SSD 来替换硬盘驱动器作为计算机的主存储装置，这是因为固态驱动器可在性能、大小、重量、耐用性、操作温度范围及功率消耗方面具有胜于硬驱动器的优点。举例来说，SSD 可在与磁盘驱动器相比时因其缺少移动部件而具有优越的性能，此可改善与磁盘驱动器相关联的寻道时间、等待时间及其它机电延迟。SSD 制造商可使用非易失性快闪存储器来形成快闪 SSD，快闪 SSD 可不使用内部电池电源，因此允许所述驱动器具有更多功能且更紧凑。

[0005] SSD 可包含若干个存储器装置，例如，若干个存储器芯片（如本文中所使用，“若干个”某事物可指代一个或一个以上此种事物；举例来说，若干个存储器装置可指代一个或一个以上存储器装置）。如所属领域的技术人员将了解，存储器芯片可包含若干个裸片。每一裸片可包含若干个存储器阵列及其上的外围电路。存储器阵列可包含若干个平面，其中每一平面包含若干个物理存储器单元块。每一物理块可包含可存储若干个数据扇区的若干个存储器单元页。

[0006] 为了跨越大存储容量实现低等待时间及高带宽操作，SSD 可包含并行操作的多个通道，其中每一通道操作某一存储器部分。因此，存储器通道控制器的多个副本（例如，NAND 快闪控制器逻辑）可集成于 SSD 的多通道系统控制器上。在此布置中，派给每一通道的任务是操作由所述通道所服务的相关联存储器，包含执行物理 / 逻辑映射及块管理（例如，损耗均衡）。因此，多个存储器通道控制器的每一副本（对应于所述多个通道中的每一者）可具有用以执行映射及块管理功能的高速缓冲存储器。另外，多个存储器通道控制器的每一副本可包含用于引导到相应通道的“运行中”数据的缓冲存储器。

[0007] 多个存储器通道控制器的每一副本与对应存储器部分之间的并行通信可需要大约 20 个引脚来建立其之间的数据、控制、电力及接地连接。此可产生具有大的引脚计数以确保与现有盘驱动协议的兼容性的昂贵的存储器系统 ASIC。

附图说明

- [0008] 图 1 是根据本发明的一个或一个以上实施例的计算系统的功能性框图。
- [0009] 图 2 是包含存储器系统的现有技术计算系统的功能性框图。
- [0010] 图 3 是根据本发明的一个或一个以上实施例的包含存储器系统控制器的计算系统的功能性框图。
- [0011] 图 4 是根据本发明的一个或一个以上实施例的包含通信地串行耦合的若干个智能存储节点的存储器系统的功能性框图。
- [0012] 图 5 是根据本发明的一个或一个以上实施例的包含通信地并行耦合的若干个智能存储节点的存储器系统的功能性框图。
- [0013] 图 6 是根据本发明的一个或一个以上实施例的包含至少一个智能存储节点的存储器系统的功能性框图，所述至少一个智能存储节点与通信地并行耦合到其的若干个智能存储节点通信地串行耦合。
- [0014] 图 7 是根据本发明的一个或一个以上实施例的智能存储节点的功能性框图。

具体实施方式

[0015] 本发明包含存储器系统控制器装置及方法。在一个或一个以上实施例中，存储器系统控制器包含通信地耦合到系统控制器的主机接口。所述系统控制器具有若干个存储器接口，且被配置用于控制通信地耦合到所述若干个存储器接口的多个智能存储节点。所述系统控制器包含经配置以在物理存储器地址与逻辑存储器地址之间映射的逻辑以及经配置以管理跨越所述多个智能存储节点的损耗均衡的逻辑。

[0016] 本发明的一个或一个以上实施例描述一种存储器系统，其将传统上分布的固态驱动器功能性（例如，NAND 控制、物理地址 / 逻辑地址翻译、缺陷管理及块管理（例如，损耗均衡））“向上游”集中到中央存储器系统控制器。通过中央定位上文所提及的功能性，可在存储节点上利用经简化的节点控制器，借此提供低等待时间、高存储器密度、可配置性及较低存储器系统成本。

[0017] 本文中的图遵循编号惯例，其中第一个数字或前几个数字对应于图式图编号，且其余数字识别图式中的元件或组件。不同图之间的类似元件或组件可通过使用类似数字来识别。举例来说，在图 1 中，104 可指代元件“04”，且在图 2 中，类似元件可指代为 204 等等。

[0018] 图 1 是根据本发明的一个或一个以上实施例的计算系统的功能性框图。计算系统 100 包含通信地耦合到主机系统 102 的存储器系统 104，例如，一个或一个以上固态驱动器（SSD）。存储器系统 104 可通过通信接口 106（例如，串行高级技术附件（SATA）接口）通信地耦合到主机系统 102。

[0019] 主机系统 102 可包含若干个单独的集成电路，或者一个以上组件或功能可位于同一集成电路上。根据一个或一个以上实施例，主机系统 102 可至少部分地作为“主板”以物理方式实施于计算系统 100 中，其中单独地以物理方式实施存储器系统 104，所述主板与存储器系统 104 是通过通信接口 106（例如，通过底板或总线）通信地耦合。

[0020] 主机系统 102 可包含通信地耦合到存储器与总线控制件 107 的一个或一个以上处理器 105（例如，并行处理器、协处理器等）。举例来说，处理器（例如，处理器 105）可为一

个或一个以上微处理器或某一其它类型的控制电路,例如,一个或一个以上专用集成电路(ASIC)。所述计算系统的其它组件也可具有处理器。存储器与总线控制件107可具有存储器及直接通信地耦合到其的其它组件,举例来说,动态随机存取存储器(DRAM)111、图形用户接口113或其它用户接口(例如,显示监视器、键盘、鼠标等)。

[0021] 存储器与总线控制件107还可具有通信地耦合到其的外围装置与总线控制件109,其又可连接到若干个装置,例如,使用通用串行总线(USB)接口的快闪驱动器115、非易失性存储器主机控制接口(NVMHCI)快闪存储器117或存储器系统104。如读者将了解,除硬盘驱动器(HDD)以外或代替硬盘驱动器(HDD),也可在若干个不同计算系统中利用存储器系统104。图1中所图解说明的计算系统100是此系统的一个实例;然而,本发明的实施例并不限于图1中所示的配置。

[0022] 企业固态存储器具是一类可由一个或一个以上太字节的存储量及快速性能能力(例如,每秒100MB、每秒100K输入/输出(IOPS)等)表征的存储器系统。根据本发明的一个或一个以上实施例,企业固态存储器具可使用固态驱动器(SSD)构建块来加以配置。关于图1举例来说,存储器系统104可为使用一个或一个以上组件SSD实施的企业固态存储器具,所述一个或一个以上SSD由存储器系统控制器作为存储器系统来操作。

[0023] 图2是包含存储器系统的现有技术计算系统的功能性框图。计算系统200包含通过接口206连接到主机系统202的存储器系统204(例如,SSD)。现有技术存储器系统204包含系统控制器210、物理接口208(例如,连接器)及对应于系统控制器210的相应通道的若干个存储器装置212-1、…、212-N。接口206用以在存储器系统204与主机系统202之间传递信息。

[0024] 系统控制器210可包含用于控制跨越若干个通道的存取的控制电路,每一通道具有对应于若干个存储器装置212-1、…、212-N的存储器控制器(例如,218-1、…、218-N)。每一存储器通道控制器(例如,218-1、…、218-N)管理对对应存储器装置212-1、…、212-N的存取,包含提供与特定通道相关联的物理地址与逻辑地址之间的映射。另外,每一存储器通道控制器(例如,218-1、…、218-N)管理与所述特定通道相关联的存储器装置的损耗均衡。

[0025] 存储器系统204集成有用以介接到主机系统且以仿真磁盘驱动器的方式来控制若干个存储器装置212-1、…、212-N的所有逻辑。因此,系统控制器210包含与磁盘驱动器仿真逻辑216通信的主机接口214,磁盘驱动器仿真逻辑216又与若干个存储器控制器218-1、…、218-N通信。

[0026] 图3是根据本发明的一个或一个以上实施例的包含存储器系统控制器的计算系统的功能性框图。计算系统300可包含通过接口306通信地耦合到主机系统302的存储器系统304。存储器系统304可用作计算系统300中的大容量数据存储存储器系统,例如,具有一个或一个以上SSD的企业固态存储器具。存储器系统304可用作计算系统300的外部或便携式存储器系统,例如,具有插入连接性。接口306可为电缆或总线,尤其例如,USB、PCI、SATA/150、SATA/300或SATA/600接口。存储器系统304可类似于图1中的存储器系统104。

[0027] 存储器系统304可包含在物理接口308(例如,连接器)与若干个存储节点330-1、…、330-N之间通信的系统控制器与主机接口320(SCHI)。存储器系统控制器315可

与若干个存储节点 330-1、…、330-N 通信，每一存储节点具有若干个存储器装置 312-1、…、312-N 以操作（例如，读取、写入、移动、编程、感测、擦除）所述存储器装置的存储器单元。因此，存储器系统控制器 315 可管理与存储器装置 312-1、…、312-N 的通信及存储于所述存储器装置中的数据。存储器系统控制器 315 可具有利用一个或一个以上集成电路以及其它离散组件的电路。对于一个或一个以上实施例，存储器系统控制器 315 中的电路可包含用于控制跨越若干个通道的存取的控制电路，每一通道具有一串行接口（例如，324-1、…、324-N），每一串行接口与一个或一个以上存储节点 330-1、…、330-N 通信，且每一存储节点具有若干个存储器装置 312-1、…、312-N。因此，存储器系统控制器 315 可通过一个或一个以上特定通道选择性地与存储器装置 312-1、…、312-N 通信。

[0028] 每一存储器装置 312-1、…、312-N 可包含若干个存储器单元。可使用各种类型的易失性或非易失性存储器阵列（尤其例如，NAND 快闪、DRAM）形成存储器装置 312-1、…、312-N。根据本发明的一个或一个以上实施例，存储器装置 312-1、…、312-N 可包含布置成 NAND 架构、NOR 架构、AND 架构或某一其它存储器阵列架构的若干个浮动栅极快闪存储器单元，可组合使用所述架构中的一者或一者以上。

[0029] 存储器装置 312-1、…、312-N 可包含可经布置以提供特定物理或逻辑配置（例如，页、块、平面、阵列或其它群组）的若干个存储器单元。如本文中所使用，存储器单元页意指可同时编程的若干个存储器单元。举例来说，一些存储器阵列可包含构成存储器单元块的若干个存储器单元页，块是指可同时擦除的若干个存储器单元。存储器单元平面中可包含若干个块。裸片上可包含若干个存储器单元平面。阵列可包含一个或一个以上裸片。以实例而非限制方式，128GB 存储器装置可包含每页 4314 个数据字节，每块 128 个页，每平面 2048 个块，及每装置 16 个平面。

[0030] SCHI 320 可包含与系统控制器 315 通信的主机接口 314。系统控制器 315 可包含：逻辑 326（包含高速存储器），其被配置用于执行物理 / 逻辑映射；逻辑 327，其被配置用于“运行中”数据缓冲；逻辑 328，其被配置用于块管理（例如，损耗均衡）；及若干个串行接口 324-1、…、324-N。若干个串行接口 324-1、…、324-N 中的每一者通过如下文将关于图 4 进一步描述的串行总线 334-1、…、334-N 通信地耦合到若干个存储节点 330-1、…、330-N 中的对应一者或一者以上。

[0031] 主机系统 302 与存储器系统 304 之间的通信协议可不同于用于存取特定存储节点 330-1、…、330-N 或其上的存储器装置（例如，312-1、…、312-N）的通信协议。存储器系统控制器 315 可将从主机系统 302 接收的命令翻译成适当命令以实现既定存储器操作，且借此在主机系统 302 与存储器系统 304 之间提供翻译层。举例来说，存储器系统控制器 315 还可将主机命令序列及相关联数据以及其它信息处理成适当通道命令序列以便存储及检索数据。

[0032] 在一个或一个以上实施例中，且如图 3 中所图解说明，存储节点 330-1、…、330-N 可包含一个或一个以上存储器装置 312-1、…、312-N 及节点控制器 332-1、…、332-N。在一个或一个以上实施例中，存储器装置 312-1、…、312-N 可各自为具有若干个存储器单元的芯片。然而，实施例并不受如此限制。举例来说，如本文中所使用，存储器装置可为裸片、阵列或共享控制输入的其它存储器单元群组，且可使用一个或一个以上存储器单元类型（例如，NAND 快闪）来制作。控制输入通常可包含地址锁存器启用 (ALE)、芯片启用 (CE)、读取

启用 (RE)、就绪 / 繁忙 (R/B)、写入保护 (WP) 及输入 / 输出 (I/O) 连接, 例如, 引脚、垫等。

[0033] 根据本发明的一个或一个以上实施例, 存储节点 330-1、…、330-N 可为智能 NAND 存储节点 (INSN)。虽然展示单个 INSN 与特定通道相关联, 但本发明的实施例并不受如此限制, 例如, 若干个 INSN 可与特定系统控制器通道相关联。举例来说, 如下文将关于图 4 进一步论述, 在一个或一个以上实施例中, 至少两个 INSN 与若干个特定通道中的每一者相关联。

[0034] 每一 INSN 可包含通信地耦合到若干个存储器装置 312-1、…、312-N 的节点控制器 332-1、…、332-N。如先前所述, 存储器装置 312-1、…、312-N 可包含可经布置以提供特定物理或逻辑配置 (例如, 页、块、平面、阵列或其它群组) 的若干个存储器单元。

[0035] 根据本发明的一个或一个以上实施例, 节点控制器 332-1、…、332-N 可通过开放式 NAND 快闪接口 (ONFi) 336-1、…、336-N 通信地耦合到若干个存储器装置 312-1、…、312-N。ONFi 是用于 NAND 快闪的特定接口, 其既定简化 NAND 快闪存储器到消费型电子装置、计算平台及工业系统中的集成。ONFi 促进 NAND 装置之间的互操作性, 借此加快基于 NAND 的产品上市的时间。ONFi 的一些特征为自识别、命令集标准化及引脚输出标准化。NAND 自识别使得 NAND 装置能够向主机自描述其能力, 包含存储器布局、时序支持及如交错寻址的增强型特征。标准化用于 NAND 的命令集建立用于 NAND 能力的将来演变的基础结构, 同时提供供应商特有优化的灵活性。界定标准引脚输出促进与新 NAND 装置的板级兼容性。

[0036] 根据本发明的一个或一个以上实施例, 举例来说, 系统控制器 315 可包含被配置用于块管理 (例如, 块选择, 包含但不限于损耗均衡) 的逻辑 328。举例来说, 存储器系统 304 内的存储器块选择可涉及确定向哪些物理块写入数据及擦除哪些物理块以及将写入及擦除所述物理块的次序。用于存储器系统 304 中的存储器单元可限于有限数目个写入 - 擦除循环, 其可确定存储器系统 304 的寿命。如此, 有效的存储器块管理可增加存储器系统 304 的寿命, 这是因为存储器系统 304 可在若干个编程及 / 或擦除循环之后经历故障。

[0037] 与先前存储器系统 (例如, 图 2 中所示的存储器系统 200, 其中系统控制器 210 包含用于若干个存储器装置 212-1、…、212-N 中的每一者的单独存储器控制器电路 218-1、…、218-N) 形成对比, 本发明的一个或一个以上实施例包含具有集中式损耗均衡逻辑 328 的存储器系统控制器 315, 集中式损耗均衡逻辑 328 经配置以管理跨越存储器装置 312-1、…、312-N 而非仅与特定通道相关联的那些存储器装置的损耗均衡。通过使损耗均衡集中, 可相对于 (例如, 跨越) 整个存储器系统而非仅跨越所述系统的某一部分 (例如, 特定通道) 进行损耗均衡。

[0038] 根据一个或一个以上实施例, 管理损耗均衡可包含检测 INSN 之间、与特定 INSN 相关联的 INSN 存储器装置之间及与多个 INSN 相关联的 INSN 存储器装置之间的损耗差异。除检测损耗差异以外, 管理损耗均衡还可包含检测个别 INSN 或 INSN 存储器装置中高于限值的损耗。所述限值可为预设的固定限值、动态限值或其组合。

[0039] 损耗均衡逻辑 328 可实施用于管理损耗均衡的技术。如本文中所使用, 管理损耗均衡包含坏块管理。这些技术可包含旋转存储器装置当中向其写入数据的单元。损耗均衡还可包含称为无用单元收集的技术, 其中通过擦除具有若干个无效页 (即, 具有已重新写入到不同页及 / 或在所述无效页上不再需要的数据的页) 的块来回收所述块。无用单元收集使得必需在存储器装置当中重新布置数据以计及数据的动态或静态性质。损耗均衡技术

中所包含的无用单元收集可有助于管理特定存储器装置的个别单元的损耗速率。这些损耗均衡技术并不限制写入于存储器系统 304 上的数据量,且其并不计及写入数据的速率及数据被写入于装置上的时间周期来作为可影响驱动器的性能的因素。

[0040] 在各种实施例中,损耗均衡可包含动态损耗均衡以使为回收块而移动的有效块的量最小化。在动态损耗均衡中,可回收具有最高无效质量的数据块。可通过将来自存储器阵列中的单元页或块的有效数据从第一位置移动到第二页或块位置且擦除所述第一页或块位置来回收所述单元页或块。有效数据可为所要的且应保留于存储器单元中的数据,而无效数据可为不再需要且可擦除的数据。可设定块中总无效页的数目的阈值以确定是否将回收块。可通过扫描块表以找出具有高于所述阈值的数目的无效页的块来回收特定块。块表可具有尤其详述存储器单元中的数据的类型、位置及状态的信息。

[0041] 静态损耗均衡包含将静态数据写入到具有高擦除计数的块以延长所述块的寿命。在静态损耗均衡中,正存储静态数据的块可与具有高擦除计数的块交换,以便回收具有静态数据及对应较低擦除计数的块。具有高擦除计数的块现在具有静态数据,因此减小对所述块的擦除速率。

[0042] 在一些实施例中,可将若干个块指定为备用块以减小与在存储器装置当中写入数据相关联的写入放大的量。备用块可为存储器装置中的如下块:其可被指定为其中无法写入数据的块。写入放大是在将数据写入到固态存储器装置时发生的过程。当将数据随机写入于存储器系统中时,进行对所述系统中的自由空间的扫描。存储器系统中的自由空间可为一个或一个以上存储器装置中未经编程的存储器单元中的个别单元、页及 / 或块。如果存在足够的自由空间来写入数据,那么将数据写入到存储器系统中的自由空间。如果在一个位置中不存在足够的自由空间,那么通过擦除已存在于存储器系统中的数据、将其移动及重新写入到新位置来重新布置所述存储器系统中的数据,从而为待写入于所述存储器系统中的新数据留出自由空间。存储器系统中旧数据的重新布置称为写入放大,这是因为为写入新数据而必须对存储器系统进行写入的量是基于所述存储器系统中自由空间的量及待写入到所述存储器系统的新数据的大小而放大。可通过如下操作来减小写入放大:增加存储器系统中指定为自由空间(即,将不写入静态数据的地方)的空间量,因此由于将必须重新布置较少数据而允许必须写入的数据量的较小放大。

[0043] 在各种实施例中,由存储器系统 304 执行的主机及 / 或用户业务及 / 或编程 / 擦除循环可由系统控制器 315 中的集中式损耗均衡逻辑 328 监视以改进存储器系统 304 的性能。可由主机系统处理器通过系统控制器 315 做出主机及 / 或用户业务请求以在存储器系统 304 中读取数据及 / 或擦除 / 写入数据。可跨越所有通道(例如,串行接口 324-1、...、324-N)、跨越所有 INSN 330-1、...、330-N 及 / 或跨越构成存储器系统 304 的存储器装置 312-1、...、312-N 在中央监视编程及 / 或擦除循环以确定存储器系统 304 中的块、页或其它存储器单元群组的损耗速率及预期寿命。读者将了解,可仅擦除及写入特定块的存储器单元达有限次数。

[0044] 主机及 / 或用户业务趋势可由集中式损耗均衡逻辑 328 在中央监视及更改以允许存储器系统 304 运行达所要的操作寿命(例如,诸如几小时、几天、几周、几年等的时间周期)。集中式损耗均衡逻辑 328 可监视并限制由存储器系统 304 的若干部分执行的编程及 / 或擦除循环的数目以确保所要的操作寿命。集中式损耗均衡逻辑 328 还可监视在特定时

间周期内执行的编程及 / 或擦除循环的数目以在假定存储器系统 304 的备用块的数目及所要的操作寿命的情况下确定如何计算驱动器的容许编程及 / 或擦除循环速率。

[0045] 另外,在一些实施例中,可控制存储器系统 304 的存储器装置中备用块的数目以确保在所要的操作寿命内达所要写入数目 IOPS 的可操作性。可针对正编程于存储器系统 304 上的数据的类型优化备用块的百分比。具有静态数据(即,存储于驱动器上达长时间周期而不被擦除及 / 或重新写入的数据)的存储器系统 304 可具有较低百分比的备用块,这是因为由于具有较少编程及 / 或擦除循环的数据的静态性质而较不需要回收驱动器中的块。在具有动态数据(即,较频繁地编程及 / 或擦除的数据)的存储器系统 304 中,可使用较高百分比的备用块来减小与为在存储器装置中执行编程及 / 或擦除循环而必须回收块相关联的写入放大。

[0046] 根据本发明的一个或一个以上实施例,系统控制器 315 可包含被配置用于执行物理地址 / 逻辑地址映射(例如,其之间的翻译)的逻辑 326。举例来说,物理 / 逻辑地址映射逻辑 326 可包含编程有逻辑 / 物理地址映射的高速存储器,例如,DRAM。逻辑 / 物理地址映射可维持固态存储器系统或特定 INSN 存储器装置(例如,330-1、…、330-N)的逻辑块地址(LBA)与物理块地址(PBA)之间的相关性。

[0047] 图 4 是根据本发明的一个或一个以上实施例的包含通信地串行耦合的若干个智能 NAND 存储节点的存储器系统的功能性框图。在一个或一个以上实施例中,且如图 4 中所图解说明,存储器系统控制器 415 可通信地耦合到若干个存储节点,例如,智能 NAND 存储节点 (INSN)(例如,430-1A、430-1B、…、430-NA、430-NB)。所述 INSN 可(例如)以菊花链布置串行耦合。系统控制器 415 可包含若干个串行接口(例如,424-1、…、424-N)。为清晰起见而从图 4 省略了关于系统控制器 415 的其它细节;然而,系统控制器 415 可类似于图 3 中的系统控制器 315。所述若干个串行接口(例如,424-1、…、424-N)中的每一者通过如图 3 中所示的串行总线(例如,334-1、…、334-N)通信地耦合到若干个存储节点(例如,430-1A、430-1B、…、430-NA、430-NB)中的对应一者或一者以上。

[0048] 根据本发明的一个或一个以上实施例,且如图 4 中所示,每一串行总线可包含时钟信号线(例如,444-1、…、444-N)、第一数据线(D+/-)(例如,448-1、…、448-N)及第二数据线(Q+/-)(例如,446-1、…、446-N)。举例来说,第一数据线(D+/-)448-1、…、448-N 可被配置用于在第一方向上(例如,从系统控制器 415 到 INSN)传输数据,且第二数据线(Q+/-)446-1、…、446-N 可被配置用于在第二方向上(例如,从 INSN 到系统控制器 415)传输数据,如由图 4 中所示的方向箭头所指示。尽管在图 4 中展示串行总线的具有经计时及锁存数据传送的一个特定实施方案,但本发明的实施例并不限于图 4 中所示的特定实施方案,且可以其它配置实施串行通信。

[0049] 在一个或一个以上实施例中,每一 INSN 可包含总线管理模块,所述总线管理模块对应于特定通道且通信地耦合到所述相应特定通道的串行总线。举例来说,在图 4 中所图解说明的实施例中,总线管理模块 442-1A 及 442-1B 对应于通道 1 且通信地耦合到通道 1 的串行总线(例如,与通道 1 相关联的相应信号线 444-1、446-1 及 448-1)。类似地,总线管理模块 442-NA 及 442-NB 对应于通道 N 且通信地耦合到通道 N 的串行总线(例如,与通道 N 相关联的相应信号线 444-N、446-N 及 448-N)。总线管理模块经配置以控制互连与特定通道相关联的多个 INSN 的经计时串行总线。节点控制器(例如,对应于通道 1 的 432-1A、

432-1B 等、…、对应于通道 N 的 432-NA、432-NB 等) 可通信地耦合于总线管理模块(例如, 对应于通道 1 的 442-1A、442-1B 等、…、对应于通道 N 的 442-NA、442-NB 等) 与若干个存储器装置(例如, 对应于通道 1 的 412-1A1、412-1A2、412-1B1、412-1B2 等、…、对应于通道 N 的 412-NA1、412-NA2、412-NB1、412-NB2 等) 之间。

[0050] 存储器装置(例如, 对应于通道 1 的 412-1A1、412-1A2、412-1B1、412-1B2 等、…、对应于通道 N 的 412-NA1、412-NA2、412-NB1、412-NB2 等) 可包含可经布置以提供特定物理或逻辑配置(例如, 页、块、平面、阵列或其它群组) 的若干个存储器单元。根据一个或一个以上实施例, 所述 INSN 可各自配置为多芯片封装, 例如, 440-1A、440-1B、…、440-NA、440-NB。在一些实施例中, 所述多芯片封装可具有用于数据、控制、电力及接地信号的少于 20 个引脚。举例来说, 一个或一个以上实施例的多芯片封装可具有用于数据及控制信号的三个(或更少) 引脚, 如图 4 中所示。

[0051] 如图 4 中所示, 且根据本发明的一个或一个以上实施例, 多个 INSN(例如, 430-1A、430-1B、…、430-NA、430-NB) 可通信地耦合到特定串行总线, 且因此与所述若干个串行接口(例如, 424-1、…、424-N) 中的特定一者(例如, 通道) 相关联。在一些实施例中, 多个 INSN 可与每一通道相关联, 例如, 通信地耦合到对应于相应通道的串行总线。

[0052] 根据一个或一个以上实施例, 所述多个 INSN(例如, 430-1A、430-1B、…、430-NA、430-NB) 可相对于所述若干个串行存储器接口中的特定一者以菊花链布置通信地耦合到特定串行总线。虽然图 4 中展示两个 INSN 通信地耦合到每一通道的串行总线, 但本发明的实施例并不限于此数量个 INSN, 且更多或更少(包含一个也没有) INSN 可通信地耦合到特定串行总线。此外, 本发明的实施例并不限于使相同数量个 INSN 通信地耦合到每一通道的串行总线, 且特定串行总线上 INSN 的数量可大于或小于另一特定串行总线上 INSN 的数量。

[0053] 图 5 是根据本发明的一个或一个以上实施例的包含通信地并行耦合的若干个智能 NAND 存储节点的存储器系统的功能性框图。在一个或一个以上实施例中, 且如图 5 中所图解说明, 存储器系统控制器 515 可通信地耦合到若干个存储节点, 例如, 智能 NAND 存储节点 (INSN) (例如, 530-1A、530-1B、530-1C)。系统控制器 515 可包含若干个接口(例如, 524-1) 以用于同步通信。为清晰起见而从图 5 省略关于系统控制器 515 的其它细节。尽管在图 5 中仅展示一个通道, 但本发明的实施例并不受如此限制, 且存储器系统控制器 515 可包含被配置用于与额外数目个 INSN 同步通信的额外通道及 / 或被配置用于与若干个额外 INSN 通信的额外通道。

[0054] 所述若干个接口中的每一者(例如, 524-1) 可通过同步总线(例如, 并行局部总线) 通信地耦合到若干个存储节点(例如, 530-1A、530-1B、530-1C) 中的对应一者或一者以上。所述存储节点可通信地并行耦合。举例来说, 第一数目个 INSN(例如, 530-1A、530-1B、530-1C) 可通信地并行耦合到第一同步接口 524-1, 且另一数目个 INSN(为清晰起见而未展示于图 5 中) 可通信地并行耦合到一个或一个以上额外通道同步接口。本发明的实施例并不限于任一特定数量个通道, 且可包含一个或一个以上(例如, N 个) 通道, 每一通道具有通信地耦合到其的零个或零个以上 INSN, 例如, 对应于并行布置的特定通道的 INSN。

[0055] 根据本发明的一个或一个以上实施例, 且如图 5 中所示, 一个或一个以上 INSN 可通过并行局部总线通信地耦合到相应同步接口。所述并行局部总线可为同步总线且可包含时钟信号线 (CLK)(例如, 544-1)、第一数据线 (Q[Y:0])(例如, 546-1) 及第二数据线

(D[X:0]) (例如,548-1)。举例来说,第一数据线 (Q[Y:0]) 546-1 可被配置用于在第一方向上 (例如,从 INSN 到系统控制器 515) 传输数据,且第二数据线 (D[X:0]) 548-1 可被配置用于在第二方向上 (从系统控制器 515 到 INSN) 传输数据,如图 5 中所示的方向箭头所指示。所述第一数据线 (Q[Y:0]) 可经配置以具有 Y+1 个信息数据位的宽度且所述第二数据线 (D[X:0]) 可经配置以具有 X+1 个信息数据位的宽度。尽管在图 5 中展示同步总线的具有经计时及锁存数据传送的一个特定实施方案,但本发明的实施例并不限于图 5 中所示的特定实施方案,且可以其它配置或使用其它通信协议实施与所述 INSN 的并行通信。

[0056] 在一个或一个以上实施例中,每一 INSN 可包含总线管理模块,所述总线管理模块对应于特定通道且通信地耦合到所述相应特定通道的同步总线。举例来说,在图 5 中所图解说明的实施例中,对应于通道 1 的总线管理模块 542-1A、542-1B 及 542-1C 通信地耦合到通道 1 的并行局部总线 (例如,信号线 544-1、546-1 及 548-1)。所述总线管理模块经配置以控制互连与特定通道相关联的多个 INSN 的经计时同步总线 (例如,并行局部总线)。节点控制器 (例如,对应于特定通道 1 的 532-1A、532-1B 及 532-1C) 可通信地耦合于相应总线管理模块 (例如,542-1A、542-1B 及 542-1C) 之间。

[0057] 对应于通道 1 的存储器装置 (例如,对应于 INSN 530-1A 的 512-1A1 及 512-1A2、对应于 INSN 530-1B 的 512-1B1 及 512-1B2 以及对应于 INSN 530-1C 的 512-1C1 及 512-1C2) 可包含可经布置以提供特定物理或逻辑配置 (例如,页、块、平面、阵列或其它群组) 的若干个存储器单元。根据一个或一个以上实施例,所述 INSN 可各自配置为多芯片封装,例如,540-1A、540-1B、540-1C。在一些实施例中,所述多芯片封装可具有用于数据、控制、电力及接地信号的少于 20 个引脚。

[0058] 如图 5 中所示,且根据本发明的一个或一个以上实施例,多个 INSN (例如,530-1A、530-1B、530-1C) 可通信地耦合到特定同步总线,且因此与所述若干个接口中的特定一者 (例如,对应于特定通道) (例如,524-1) 相关联。在一些实施例中,多个 INSN 可与特定通道相关联,例如,通信地耦合到对应于相应通道的并行局部总线。在一些实施例中,一个 INSN 可与特定通道相关联,例如,通信地耦合到对应于相应通道的并行局部总线。在一些实施例中,无 INSN 与特定通道相关联,例如,通信地耦合到对应于相应通道的并行局部总线。此外,本发明的实施例并不限于使相同数量个 INSN 通信地耦合到特定通道,且特定通道上 INSN 的数量可大于或小于另一特定通道上 INSN 的数量。

[0059] 图 6 是根据本发明的一个或一个以上实施例的包含至少一个智能 NAND 存储节点的存储器系统的功能性框图,所述至少一个智能 NAND 存储节点与通信地并行耦合到其的若干个智能 NAND 存储节点通信地串行耦合。在一个或一个以上实施例中,且如图 6 中所图解说明,存储器系统控制器 615 可通信地耦合到若干个存储节点,例如,智能 NAND 存储节点 (INSN) (例如,630-1A、630-1B、630-NB)。本发明的实施例并不限于任一特定数量个通道,且可包含一个或一个以上 (例如,N 个) 通道,每一通道具有通信地耦合到其的零个或零个以上 INSN,例如,对应于经布置以包含到特定通道的串行通信路径及并行通信路径两者的所述特定通道的 INSN。

[0060] 系统控制器 615 可包含被配置用于串行通的若干个接口 (例如,624-1)。为清晰起见而从图 6 省略了关于系统控制器 615 的其它细节。尽管图 6 中仅展示一个通道,但本发明的实施例并不受如此限制,且存储器系统控制器 615 可包含被配置用于与额外数目个

INSN 串行通信的额外通道,例如,如图 4 中所图解说明。系统控制器 615 还可包含用于与若干个额外 INSN 同步并行通信的额外通道,例如,如图 5 中所图解说明,且 / 或可包含被配置用于与额外数目个 INSN 串行 - 并行通信的额外通道,例如,如图 6 中所图解说明。

[0061] 图 6 图解说明若干个接口(例如,624-1)可通过串行总线通信地耦合到若干个存储节点中的对应一者或一者以上(例如,INSN 630-1A)。虽然图 6 展示通信地串行耦合到接口 624-1 的一个 INSN(例如,630-1A),但本发明的实施例并不受如此限制,且可包含更多或更少个串行耦合的 INSN。零个到许多额外 INSN(例如,630-1B、…、630-MB) 可通信地并行耦合到一个或一个以上串行连接的 INSN 中的一些或所有 INSN(例如,630-1A)。举例来说,如图 6 中所示,第一数目个 INSN(例如,630-1B、…、630-MB) 可通信地并行耦合到 INSN(例如,630-1A)。

[0062] 根据本发明的一个或一个以上实施例,且如图 6 中所示,一个或一个以上 INSN(例如,630-1A) 可通过主机总线通信地耦合到相应串行接口(例如,624-1)。所述主机总线可为串行总线,且可包含时钟信号线(CLK)(例如,644-1)、第一数据线(Q+/-)(例如,646-1)及第二数据线(D+/-)(例如,648-1)。举例来说,第一数据线(Q+/-)(例如,646-1)可被配置用于在第一方向上(例如,从串行耦合的 INSN 630-1A 到系统控制器 615) 传输数据,且第二数据线(D+/-)648-1 可被配置用于在第二方向上(例如,从系统控制器 615 到串行耦合的 INSN(例如,630-1A)) 传输数据,如图 6 中所示的方向箭头所指示。尽管在图 6 中展示串行总线的具有经计时及锁存数据传送的一个特定实施方案,但本发明的实施例并不限于图 6 中所示的特定实施方案,且可以其它配置或使用其它通信协议实施与串行耦合的 INSN(例如,630-1A) 的串行通信。

[0063] 根据本发明的一个或一个以上实施例,且如图 6 中所示,对应于特定串行接口的一个或一个以上串行耦合的 INSN(例如,630-1A) 还可通过并行局部总线通信地耦合到额外数量个 INSN(例如,630-1B、…、630-MB)。所述额外数量个 INSN(例如,630-1B、…、630-MB) 可通信地并行耦合到所述并行局部总线。

[0064] 所述并行局部总线可为同步总线且可包含时钟信号线(CLK)(例如,645-1)、第一数据线(Q[Y:0])(例如,647-1)及第二数据线(D[X:0])(例如,649-1)。举例来说,第一数据线(Q[Y:0])647-1 可被配置用于在一方向上将数据传输到串行耦合的 INSN(例如,630-1A),且第二数据线(D[X:0])649-1 可被配置用于从所述串行耦合的 INSN(例如,630-1A) 传输数据,如图 6 中所示的方向箭头所指示。尽管在图 6 中展示并行局部总线的具有同步经计时及锁存数据传送的一个特定实施方案,但本发明的实施例并不限于图 6 中所示的特定实施方案,且可以其它配置或使用其它通信协议实施所述串行耦合的 INSN 与通信地并行耦合到其的一个或一个以上 INSN 之间的并行局部总线通信。

[0065] 在一个或一个以上实施例中,INSN 可包含总线管理模块,例如,643-1A、643-1B、…、643-MB。举例来说,在图 6 中所图解说明的实施例中,总线管理模块 643-1A 通信地耦合到通道 1 的串行主机总线(例如,信号线 644-1、646-1 及 648-1) 及与通道 1 相关联的同步并行局部总线(例如,信号线 645-1、647-1 及 649-1)。总线管理模块 643-1B、…、643-MB 通信地耦合到与通道 1 相关联的并行局部总线,例如,信号线 645-1、647-1 及 649-1。所述总线管理模块可经配置以控制连接到其的经计时串行主机总线及 / 或经计时同步并行局部总线。

[0066] 媒体控制器（例如，632-1A、632-1B、…、632-MB）可通信地耦合于相应总线管理模块（例如，643-1A、643-1B、…、643-MB）与对应于通道 1 的相应数目个存储器装置（例如，612-1A1、612-1A2、612-1B1、612-1B2、…、612-MB1、612-MB2）之间。

[0067] 对应于通道 1 的存储器装置（例如，612-1A1、612-1A2、612-1B1、612-1B2、…、612-MB1、612-MB2）可包含可经布置以提供特定物理或逻辑配置（例如，页、块、平面、阵列或且群组）的若干个存储器单元。根据一个或一个以上实施例，所述 INSN 各自配置为多芯片封装，例如，640-1A、640-1B、…、640-MB。在一些实施例中，所述多芯片封装可具有用于数据、控制、电力及接地信号的少于 20 个引脚。举例来说，一个或一个以上实施例的多芯片封装可具有用于主机总线的数据及控制信号的三个（更少个）引脚及用于并行局部总线的额外引脚，如图 6 中所示。

[0068] 虽然图 6 中展示若干个 INSN（例如，630-1B、…、630-MB）通信地并行耦合到串行耦合的 INSN（例如，630-1A），但本发明的实施例并不分别限于这些数量的串行耦合及并行耦合的 INSN。更多或更少个 INSN 可对应于特定串行耦合的 INSN（例如，630-1A）通信地并行耦合。此外，本发明的实施例并不限于使相同数量个串行耦合的 INSN 及 / 或并行耦合的 INSN 通信地耦合到每一通道，且特定通道上串行耦合的 INSN 及 / 或并行耦合的 INSN 的数量可大于或小于另一特定通道上串行耦合的 INSN 及 / 或并行耦合的 INSN 的相应数量。

[0069] 图 7 是根据本发明的一个或一个以上实施例的智能 NAND 存储节点（INSN）的功能性框图。INSN 730 可类似于图 6 中所示的 INSN，例如，630-1A、630-1B、630-1C。INSN 730 可包含控制电路 731（例如，控制器），所述控制电路可包含总线管理器 743 及媒体控制器 732。媒体控制器 732 可类似于图 6 中的 INSN 内所示的控制器，例如，632-1A、632-1B、632-1C。

[0070] 总线管理器 743 可包含 PCIe 部分 741 以与例如以下各项的主机总线介接：时钟信号线（CLK）744（其可类似于图 6 中所示的时钟信号线 644-1）、第一数据线（Q+/-）746（其可类似于图 6 中所示的第一数据线 646-1）及第二数据线（D+/-）748（其可类似于图 6 中所示的第二数据线 648-1）。总线管理器 743 还可包含局部总线部分 743 以与例如时钟信号线（CLK）745、第一数据线（Q[X:0]）747 及第二数据线（D[X:0]）749 的局部总线介接。如读者将从图 7 理解，第一数据线（Q）可经配置以具有 Y+1 个信息数据位的宽度且第二数据线（D）可经配置以具有 X+1 个信息数据位的宽度。

[0071] 根据一个或一个以上实施例，存储器的一个或一个以上通道可通信地耦合到媒体控制器 732，每一通道包含每通道多达 16 个 NAND（例如，712-1、712-2）。本发明的实施例涵盖其它类型、数量或布置的存储器装置，且通道的数目可多于或少于图 7 中所图解说明的两个通道。

[0072] 结论

[0073] 本发明包含用于存储器系统控制器的方法及装置。在一个或一个以上实施例中，存储器系统控制器包含通信地耦合到系统控制器的主机接口。所述系统控制器具有若干个存储器接口，且被配置用于控制通信地耦合到所述若干个存储器接口的多个智能存储节点。所述系统控制器包含经配置以在物理存储器地址与逻辑存储器地址之间映射的逻辑以及经配置以管理跨越所述多个智能存储节点的损耗均衡的逻辑。

[0074] 在本发明的实施方式中，参考形成本发明一部分的随附图式，且在随附图式中以

图解说明方式展示可如何实践本发明的一个或一个以上实施例。足够详细地描述这些实施例旨在使所属领域的技术人员能够实践本发明的实施例，且应理解，还可利用其它实施例且可在不背离本发明的范围的情况下，做出过程、电或结构改变。

[0075] 如本文中所使用，标示符“N”、“M”、“X”及“Y”（尤其关于所述图式中的参考编号）指示如此标示的特定特征的编号可与本发明的一个或一个以上实施例包含在一起。如将了解，可添加、更换及 / 或消除本文中的各种实施例中所展示的元件以提供本发明的若干个额外实施例。另外，如将了解，所述图中所提供的元件的比例及相对标度打算图解说明本发明的实施例且不应理解为限制意义。

[0076] 将理解，当将第一元件称为“连接到”另一元件或“与”另一元件“耦合”时，打算将所述第一元件在物理上附接到所述两个元件中的另一者。相比之下，当将元件称为“通信地耦合”时，所述元件彼此通信。

[0077] 将理解，当将元件称为“位于”另一元件“上”、“连接到”另一元件或“与”另一元件“耦合”时，其可以是直接位于另一元件或层上、连接到另一元件或层或者与另一元件或层耦合，或可存在介入元件或层。相比之下，当将元件称为“直接位于”另一元件或层“上”、“直接连接到”另一元件或层，或“直接与”另一元件或层“耦合”时，不存在介入元件或层。如本文中所使用，术语“及 / 或”包含相关联所列举物项中的一者或一者以上的任何及所有组合。

[0078] 将理解，虽然本文中可使用第一、第二等术语来描述各种元件、组件、区域、层及区段，但这些元件、组件、区域、布线、层及区段不应受这些术语的限制。这些术语仅用以将一个元件、组件、区域、布线、层或区段与另一区域、层或区段区分开。因此，可将下文所论述的第一元件、组件、区域、布线、层或区段称作第二元件、组件、区域、布线、层或区段，此并不背离本发明的教示内容。

[0079] 为便于说明，本文中可使用例如“位于…下方”、“位于…下面”、“下部”、“位于…上面”、“上部”等空间相对术语来描述如图中所图解说明的一个元件或特征与另一（些）元件或特征的关系而非在空间中的绝对定向。将理解，除图中所描绘的定向以外，所述空间相对术语还打算囊括装置在使用或操作中的不同定向。举例来说，如果将图中的装置翻转，那么描述为“位于”其它元件或特征“下面”或“下方”的元件将定向为“位于”其它元件或特征“上面”。因此，实例性术语“位于…下面”可囊括位于…上面及位于…下面两种定向。装置可以其它方式定向（旋转 90 度或以其它定向）且可相应地解释本文中所用的空间相对描述语。

[0080] 本文中所使用的术语仅出于描述特定实施例的目的且并非打算限制本发明。如本文中所使用，单数形式“一 (a)”、“一 (an)”及“所述 (the)”打算也包含复数形式，除非上下文另有明确指示。将进一步理解，当本说明书中使用术语“包括 (comprises)”及“包括 (comprising)”时，其规定存在所陈述特征、整数、步骤、操作、元件或组件，但不排除存在或添加一个或一个以上其它特征、整数、步骤、操作、元件、组件或其群组。

[0081] 除非另外界定，否则本文中所使用的所有术语（包含技术及科学术语）具有与本发明所属领域的技术人员通常理解的意义相同的意义。将进一步理解，应将例如在常用字典中所界定的那些术语等术语解释为具有与其在相关技术及本发明的上下文中的意义相一致的意义，且不应以理想化或过分形式化的意义来解释，除非本文中明确界定如此。

[0082] 本文参考功能性框图图解说明来描述本发明的实施例，所述功能性框图图解说明是本发明的理想化实施例的示意性图解说明。如此，预期所述图解说明的形状会因（例如）制造技术及 / 或公差而发生变化。因此，本发明的实施例不应被理解为仅限于本文中所图解说明的区域的特定形状，而将包含因（例如）制造所引起的形状偏差。举例来说，图解说明或描述为扁平的区域通常可具有粗糙或非线性特征。此外，可将所图解说明的锐角修圆。因此，所述图中所图解说明的区域本质上为示意性，且其形状及相对大小、厚度等并非打算图解说明区域的精确形状 / 大小 / 厚度且并非打算限制本发明的范围。

[0083] 虽然本文中已图解说明及描述了特定实施例，但所属领域的技术人员将了解，旨在实现相同结果的布置可替代所展示的具体实施例。本发明打算涵盖本发明的一个或一个以上实施例的修改或变化形式。应理解，已以说明性方式而非限制性方式做出以上说明。在审阅以上说明后，所属领域的技术人员将明了以上实施例的组合及本文中未具体描述的其它实施例。本发明的一个或一个以上实施例的范围包含其中使用以上结构及方法的其它应用。因此，应参考所附权利要求书连同授权此权利要求书的等效物的全部范围一起来确定本发明的一个或一个以上实施例的范围。

[0084] 在前述实施方式中，出于简化本发明的目的而将某些特征一起集合于单个实施例中。本发明的此方法不应解释为反映本发明的所揭示实施例必须使用比每一权利要求中所明确陈述的特征更多的特征的意图。而是，如以上权利要求书反映：发明性标的物在于少于单个所揭示实施例的所有特征。因此，特此将以上权利要求书并入到实施方式中，其中每一权利要求独立地作为单独实施例。

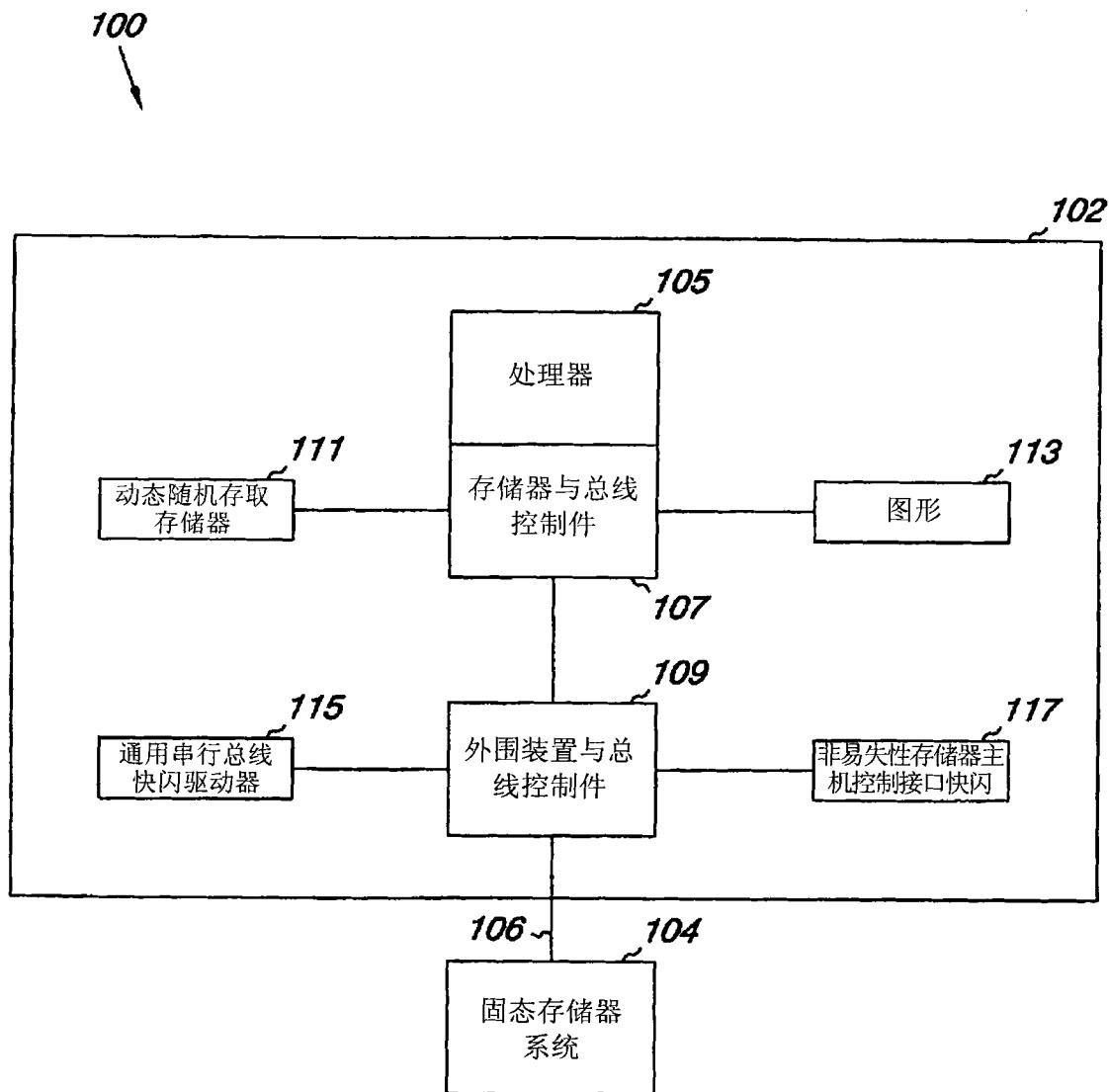


图 1

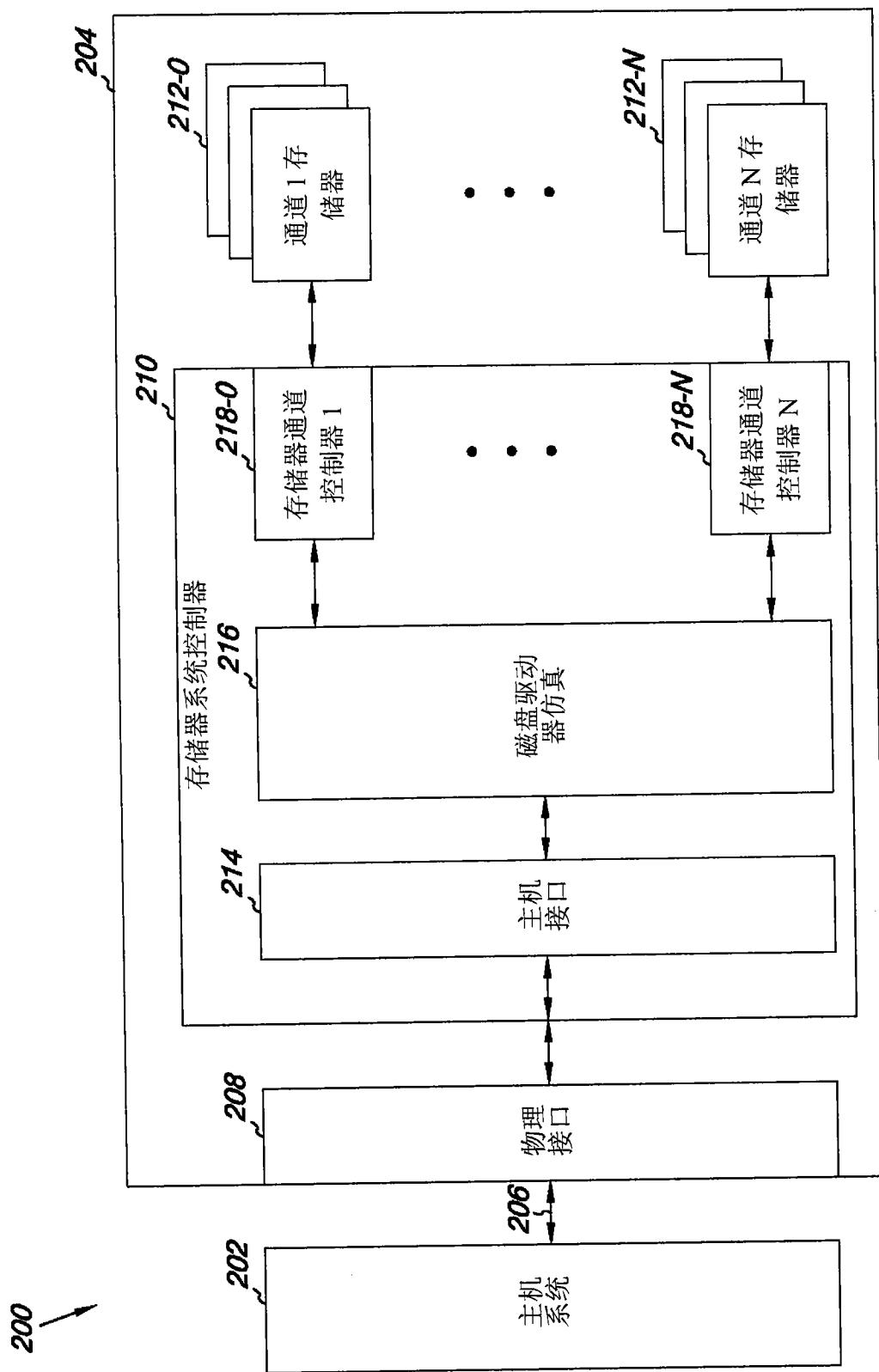


图 2 现有技术

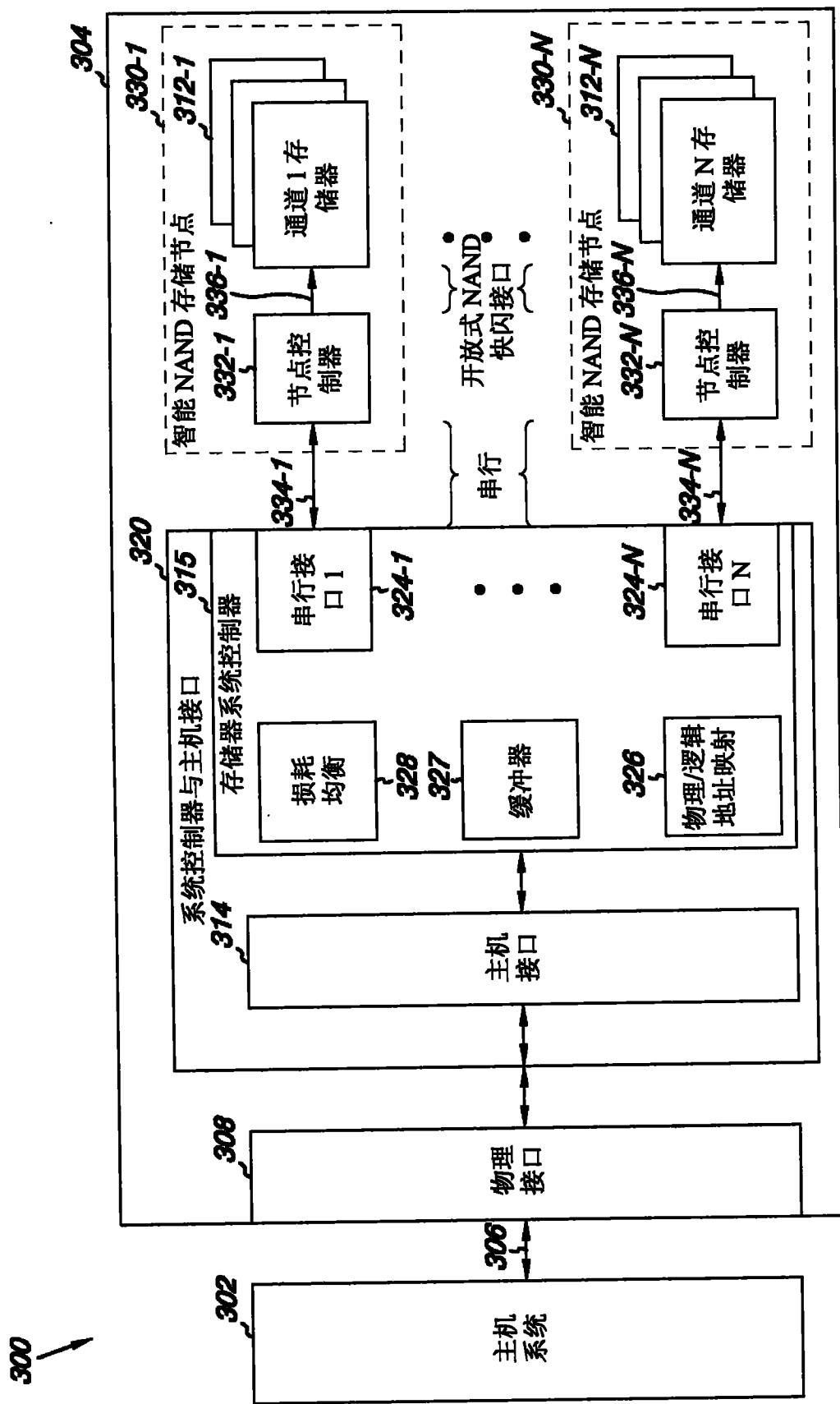


图 3

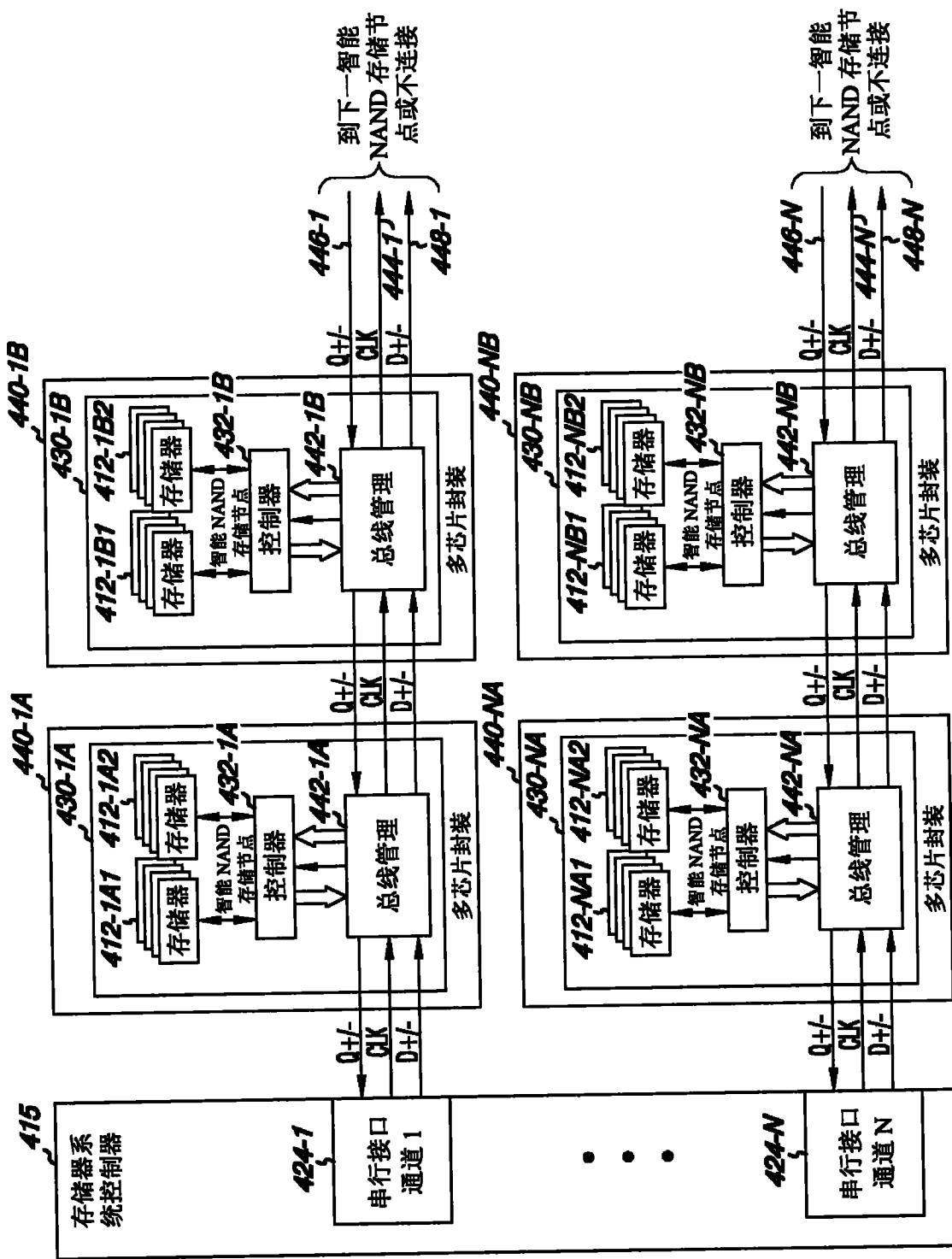


图 4

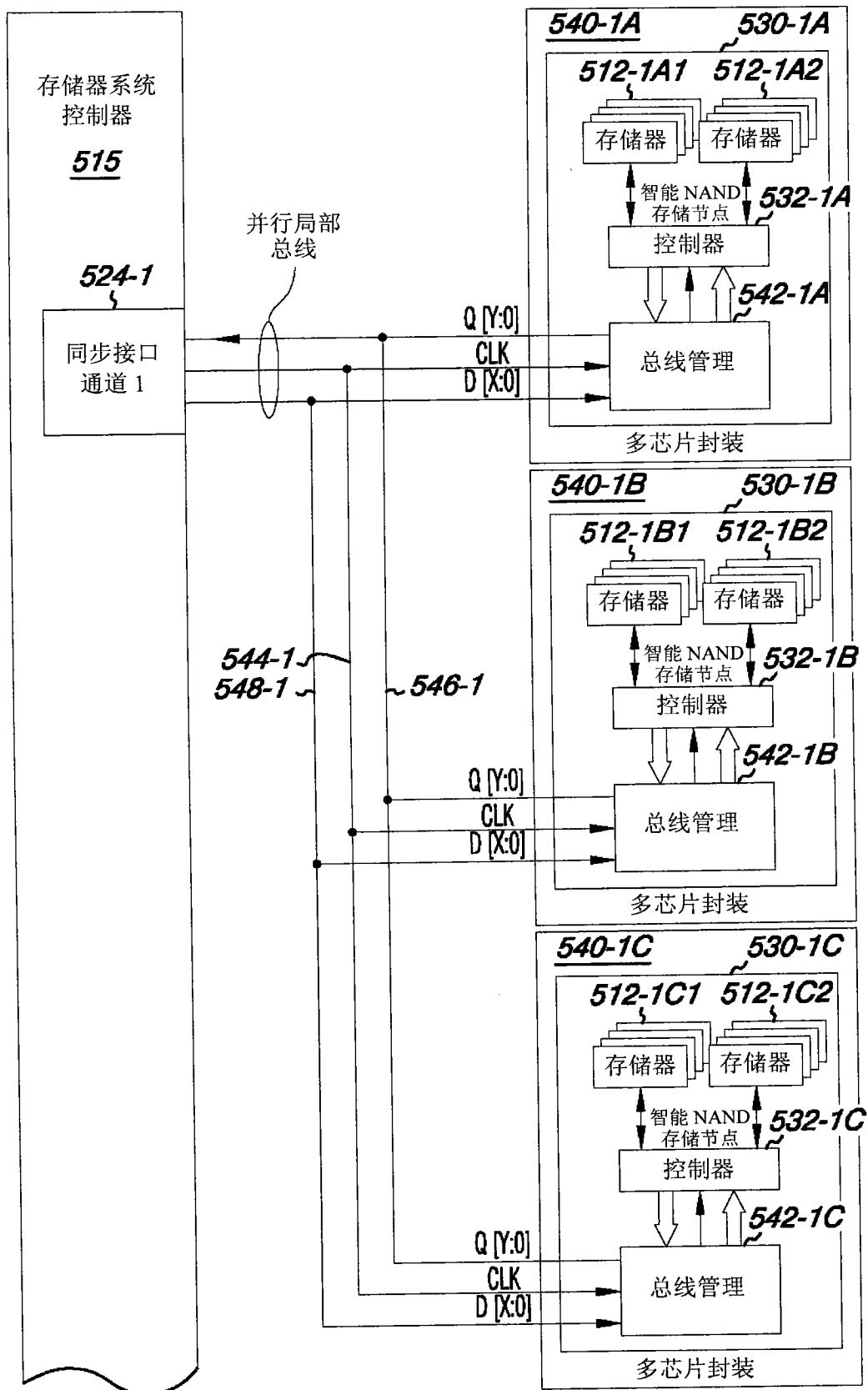


图 5

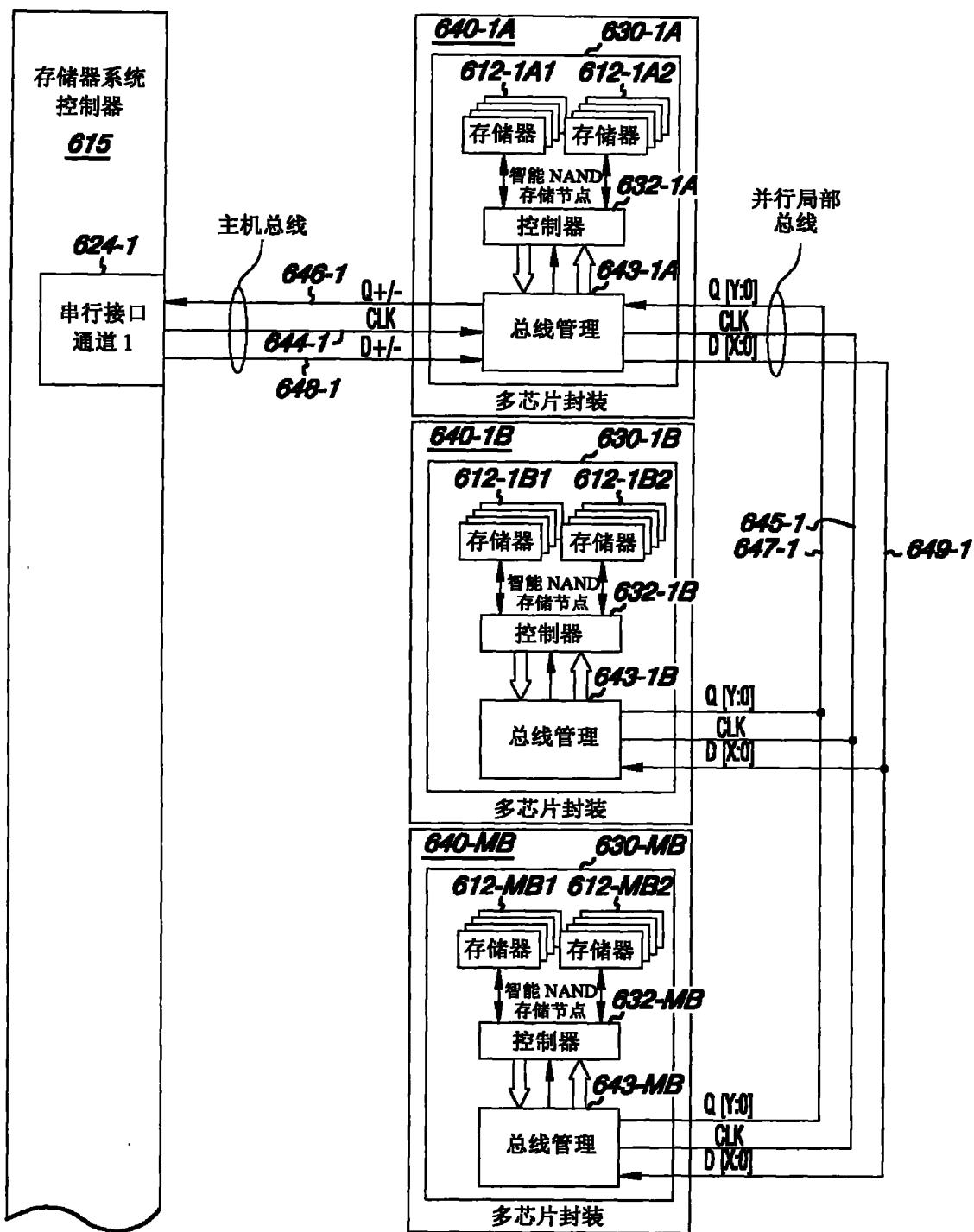


图 6

