



(11) FREMLÆGGELSESSKRIFT 141182

DANMARK



DIREKTORATET FOR  
PATENT- OG VAREMÆRKEVÆSENEN

(51) Int. Cl.<sup>3</sup> G 06 F 7/52

(21) Ansøgning nr. 4371/67 (22) Indleveret den 30. aug. 1967

(23) Løbedag 30. aug. 1967

(44) Ansøgningen fremlagt og  
fremlæggeskriftet offentliggjort den 28. jan. 1980

(30) Prioritet begæret fra den  
31. aug. 1966, 576401, US

---

(71) INTERNATIONAL BUSINESS MACHINES CORPORATION, Armonk N.Y. 10504, US.

(72) Opfinder: Robert Elliott Goldschmidt, 790 Hyde Park Avenue, Park Avenue  
apts. Hyde Park, Suffolk County, Massachusetts, US: Robert John Lit-  
willer, 10 Delavergne Avenue, Wappingers Falls, Dutchess, New York,  
US: Don Michael Powers, 10 Timberline Drive, Poughkeepsie, Dutchess,  
New York, US.

(74) Fuldmægtig under sagens behandling:  
Ingeniørfirmaet Budde, Schou & Co.

---

(54) Apparat til hurtig dannelse af summen af et antal flercifrede, binære  
operander, især delprodukter ved en multiplikation.

Den foreliggende opfindelse angår et apparat til hurtig  
dannelse af summen af et antal flercifrede, binære operander, specielt  
delprodukter ved en multiplikation, indeholdende en pyramide af flere  
mentebevarende additionsorganer, der sammenfatter et til antallet af  
operander svarende antal indgangssignaler til to udgangssignaler.

Ved hurtige multiplikationsapparater til binære operander er  
det kendt ved samtidig undersøgelse af flere bitpladser i multiplikatoren  
at frembringe flere multiplikandmultipla, der sammenfattes ved hjælp af  
et additionsapparat, se f.eks. A.P. Speiser: "Digitale Rechenanlagen",  
Berlin 1961, side 203 og 204. Med henblik på opnåelse af resultatet af  
denne sammenfatning opsamles de multiplikandmultipla, som dannes ved  
undersøgelse af efter hinanden følgende grupper af multiplikatorbits.  
På denne måde frembringes under multiplikationens forløb flere sæt multi-

plikandmultipla, der opsamles til dannelse af et slutprodukt. Da der meget hurtigt kan dannes multipla af binære tal ved skifteoperationer, bestemmes den tid, som kræves til gennemførelse af en multiplikation ved hjælp af sådanne apparater, i hovedsagen af additionsapparatets arbejdshastighed. De kendte multiplikationsapparater anvender hertil en pyramide af parallelledere, som mangler menteledere til nærmeste højere værdiplads og i stedet frembringer to grupper af udgangssignaler, af hvilke den ene angiver summen uden mente, mens den anden angiver mentens værdi. I hver af disse parallelledere, der i det følgende kaldes mentebevarende additionsorganer, kan tre operander sammenfattes til to delsumme. Delsummene føres sammen med delsummene fra andre mentebevarende additionsorganer til det efterfølgende niveau i pyramiden, i hvilken antallet af delsumme reduceres. Dette forløb fortsættes, indtil det endegyldige sumsignal dannes ved udgangen fra det laveste niveau i pyramiden i form af en gruppe sumcifre og en gruppe menter. Disse to signalgrupper bearbejdes i et mentebehandlende additionsorgan til dannelse af en slutsum. Ved og med henblik på opsamling af flere sæt multiplikandmultipla tilbageføres udgangssignalet fra det sidste mentebevarende additionsorgan til to indgange i pyramidens øverste niveau. Et nyt sæt operandcifre eller multiplikandmultipla kan derfor først tilføres til additionsapparatet, når resultatet af bearbejdningen af det nærmest forudgående tilførte sæt operandcifre optræder ved udgangen fra det sidste mentebevarende additionsorgan i pyramiden. Da tiden for operanderne passage gennem pyramiden bestemmes af summen af gennemløbstiderne for de i pyramiden i serie forbundne additionskredse, udgør additionstiden også ved dette apparat den begrænsende faktor ved gennemførelsen af multiplikationer. Dette er navnlig generende, når antallet af parallelt behandlede multiplikatorbitgrupper skal forøges, da antallet af samtidig optrædende multiplikandmultipla derved forøges, hvorved også pyramiden bliver større.

Den foreliggende opfindelse har til formål at angive et apparat, som muliggør en hurtigere additiv sammenfatning af flere operander og en hurtigere opsamling af flere sådanne operandsæt, end det hidtil har været muligt ved kendte apparater. Dette opnås ifølge opfindelsen ved et apparat af den ovenfor omtalte art, som er ejendommeligt ved, at der efter pyramiden er tilkoblet en af to serieforbundne mentebevarende additionsorganer bestående additionskæde, hvis udgang er tilbagekoblet til dens indgang, og at operanderne tilføres pyramiden parallelt med en sådan hastighed, at resultatværdierne optræder ved pyramidens udgang samtidig med at efter hinanden følgende resultater

tilbageføres fra additionskædens udgang til dens indgang.

En hensigtsmæssig udførelsesform for apparatet ifølge opfindelsen består i, at i det mindste en del af de mentebevarende additionsorganer er forsynet med spærrekredse til mellemoplacring af de dannede delsumme. De mentebevarende additionsorganer kan derfor tilføres nye operandcifre, allerede når delsummen af de tidligere tilførte operandcifre er indført i disse additionsorganers spærrekredse og er tilgængelige for overførsel til det efterfølgende mentebevarende additionsorgan. Det er i dette tilfælde hensigtsmæssigt, at tiden for operandernes passage gennem et mentebevarende additionsorgan i det mindste i hovedsagen er lige lang for alle de mentebevarende additionsorganer i additionspyramiden og additionskæden.

Det bliver herved muligt i hurtig takt at indføre et antal operandcifre eller grupper af multiplikandmultipla i apparatet ifølge opfindelsen, allerede inden resultatet af bearbejdningen af de først indførte operandcifre eller den første gruppe multiplikandmultipla optræder ved udgangen. Operandcifrene gennemløber uafhængigt af hinanden de forskellige additionsniveauer og bearbejdes praktisk talt samtidig. Den til dannelse af slutresultatet nødvendige samlede tid kan derved i væsentlig grad reduceres..

En foretrukken udførelsesform for apparatet ifølge opfindelsen forklares i det følgende nærmere under henvisning til tegningen, på hvilken

fig. 1 viser et blokdiagram for et additionsapparat ifølge den foreliggende opfindelse,

fig. 2 et blokdiagram til illustration af hovedenhederne i en funktionsenhed for flydende, aritmetik og hørende til et data-behandlingsanlæg, i hvilket additionsapparatet ifølge den foreliggende opfindelse anvendes til udførelse af multiplikation eller division,

fig. 3 et tidsstyrediagram til illustration af forskellige åbningsstyreimpulser, der anvendes til at bringe det i fig. 1 viste additionsapparat til at frembringe et endelig produkt ved multiplikationen af to binære tal,

fig. 4 en fremstilling af de grupper af multiplikatorbits, der samtidig undersøges ved fem på hinanden følgende iterationer for at bevirke, at multipla af multiplikanden føres som indgangssignaler til det i fig. 1 viste additionsapparat,

fig. 5 en tabel til illustration af afkodningen af en gruppe multiplikatorbits til frembringelse af udgangssignaler, der repræsenterer multipla af multiplikanden og skal tilføres additionsapparatet,

fig. 6 skematisk de tidsstyreorganer, der ifølge den foreliggende opfindelse bevirker, at mellemresultater i additionsapparatet indføres i på hinanden følgende låseorganer, hvilket muliggør en samtidig frembringelse af på hinanden følgende delprodukter ved en multiplikationsoperation,

fig. 7 skematisk den måde, på hvilken det i fig. 1 viste additionsapparat frembringer på hinanden følgende summer af delprodukter, som er baseret på den successive tilførsel af et antal multiplikandprodukter, der er frembragt som resultat af en afkodning af på hinanden følgende grupper af multiplikatorbits, så at der til slut frembringes et endeligt produkt,

fig. 8 den måde, på hvilken fig. 9 og 10 skal anbringes i forhold til hinanden,

fig. 9 og 10 logiske diagrammer til illustration af en del af de operandindgangsorganer, der anvendes ved additionsapparatet under multiplikations- og divisionsoperationer,

fig. 11 et diagram til illustration af hvorledes fig. 12-15 skal anbringes i forhold til hinanden,

fig. 12, 13, 14 og 15 skematisk en del af det logiske kredsløb, der anvendes i additionskreds-kaskaden hørende til additionsapparatet ifølge den foreliggende opfindelse,

fig. 16, den måde, på hvilken fig. 17 og 18 skal anbringes i forhold til hinanden, og

fig. 17 og 18 skematisk en del af den logiske kreds, der anvendes i additionskreds-sløjfen hørende til additionsapparatet ifølge den foreliggende opfindelse.

Fig. 1 viser i form af et blokdiagram de væsentlige funktionsenheder i additionsapparatet ifølge den foreliggende opfindelse. De hovedområder i apparatet, der beskrives nærmere, indeholder operandindgangsorganer 20, en additionskreds-kaskade 21 og en additionskreds-sløjfe 22 samt en additionskreds 23 med parallel menteoverførsel. Skønt den foretrukne udførelsesform for apparatet ifølge opfindelsen omtales i omgivelser, i hvilke apparatet udnyttes til udførelse af en hurtig multiplikation eller division, kan hovedtrækkene ved opfindelsen udnyttes til addition af et antal operander, uden hensyn til, fra hvilken kilde de stammer. Omtalen af fig. 1 begrænses til den måde, på hvilken konstruktionen udfører addition, medens additionsarrangementets omgivelser ved en multiplikationsoperation omtales i forbindelse med fig. 2. I fig. 1 indeholder operandindgangsorganerne et antal låseregistre 24-29. Hvert af låseregistrene består af et antal låseorganer, ved hjælp af hvilke en operand indeholdende et antal binære bits kan ledes ind i låse-

organet og oplagres. Som det fremgår mere klart af den følgende omtale, indeholder operandindgangsorganerne også en multiplikandkilde 30, en multiplikatorkilde 31, en multiplikatorafkoder og et låseregister 32, der modtager på hinanden følgende sæt af multiplikatorbits til frembringelse af på hinanden følgende vælgersignaler, der er virksomme til åbningsstyring af udvalgte multipla af multiplikanden ind i forskellige låseregistre 24-29.

Additionskreds-kaskaden 21 består af et antal mentebevarende additionskreds-enheder (CSA), der er anbragt i form af flere mentebevarende additionskreds-trin. Additionskreds-kaskadens indgangstrin består af en mentebevarende additionskreds 40 og en mentebevarende additionskreds 41, der i fig. 1 er betegnet henholdsvis CSA-A og CSA-B. Et mellemtrin i additionskreds-kaskaden består af en mentebevarende additionskreds 42, der er betegnet med CSA-C og et låseregister 43. Det sidste trin eller udgangstrinet i additionskreds-kaskaden består af en mentebevarende additionskreds 44, der er betegnet med CSA-D.

Med additionskreds-kaskaden 21's indgang er der forbundet grupper af signalledninger, og alle bits i de operander, som er oplagret i de tilsvarende låseregistre 24-29 optræder på hver gruppe af signalledninger. Det endelige udgangssignal fra additionskreds-kaskaden 21, som frembringes af CSA-D, er to grupper af signallinier, der, hvis de kombineres i en paralleladditionskreds, vil frembringe en enkelt gruppe af udgangssignallinier, der repræsenterer summen af alle de operander, der er ført til additionskreds-kaskaden 21's indgang.

Additionskreds-sløjfen 22 består af et første og et andet trin af mentebevarende additionskredse, af hvilke det første trin i additionskreds-sløjfen består af en mentebevarende additionskreds 50, der er betegnet med CSA-E, og et låseregister 51. Det andet eller sidste trin i additionskreds-sløjfen 22 består af en mentebevarende additionskreds 52, der er betegnet med CSA-F. Funktionen af additionskreds-sløjfen 22 er at modtage på hinanden følgende udgangssignaler fra additionskreds-kaskaden 21, samtidig med at to grupper af udgangssignallinier frembringes af CSA-F. Der føres fire grupper af signallinier til additionskreds-sløjfen 22's indgang. Disse indeholder de to grupper af udgangssignallinier fra CSA-D og de to grupper af udgangssignallinier fra CSA-F. Den hastighed, med hvilken udgangssignalerne fra CSA-D frembringes, er lig med den hastighed, med hvilken additionskreds-sløjfen 22 virker, hvorved der tilføres på hinanden følgende udgangssignaler fra CSA-F til indgangen til additionskreds-sløjfen 22 med samme hastighed som de på hinanden følgende udgangssignaler fra CSA-D.

Det endelige udgangssignal fra det i fig. 1 viste additions-

apparat er en enkelt gruppe af udgangssignallinier fra additionskredsen 23 med parallel menteoverførsel, der kombinerer to grupper af udgangssignallinier til frembringelse af en endelig sumværdi. Som vist i fig. 1 modtager parallel-additionskredsen 23 indgangssignaler enten fra CSA-F eller fra CSA-D. Når det i fig. 1 viste apparat kun skal anvendes til frembringelse af en endelig sumværdi for en enkelt samling af operander, der tilføres låseregistrene 24-29, modtager parallel-additionskredsen 23 i form af indgangssignaler udgangssignalerne fra CSA-D til frembringelse af en endelig sumværdi. Hvis det i fig. 1 viste additionsapparat imidlertid skal anvendes til opsamling af summen af flere operander, der tilføres i på hinanden følgende tidsrum til låseregistrene 24-29, gøres additionskreds-sløjfen 22 virksom til opsamling af summerne. Udgangssignalet fra CSA-F føres til parallel-additionskredsen 23, når CSA-F frembringer to grupper af udgangssignallinier, som repræsenterer den endelige sumværdi for alle de tilførte operander.

Hver af de i fig. 1 viste mentebevarende additionskredse består af et antal særskilte værdipladser der hver modtager tre indgangssignaler, ét fra hver tilhørende bitposition i de tre låseregistre 24-29. Den logiske funktion af en plads i en mentebevarende additionskreds er at modtage de binære 1- eller 0-signaler fra tre forskellige operander og at frembringe to signaler ved sin udgang, ét, der repræsenterer summen af de binære ettaller, der er tilført, og et andet, der repræsenterer en mente, der er frembragt af de tre indgangssignaler. Et binært ettal eller betydende udgangssignal, der repræsenterer en sum, frembringes, når ét eller tre indgangssignaler har den binære værdi én, og der frembringes et mentesignal, når der optræder to eller tre binære 1-indgangssignaler. Derfor frembringer CSA-A to grupper af udgangssignallinier, af hvilke den ene repræsenterer en sumværdi for de operander, der er tilført fra låseregistrene 24, 25 og 26, samt en anden gruppe af udgangssignallinier, der repræsenterer den mente, der er frembragt af de tre operandindgangssignaler. Hvis sumsignalerne og mentesignalerne blev kombineret i en parallel-additionskreds, ville der blive frembragt et enkelt udgangssignal, der repræsenterer summen af de tre operander, der er tilført til den mentebevarende additionskreds indgang. De i fig. 1 viste mentebevarende additionskredse virker i det væsentlige på samme måde som de mentebevarende additionskredse, der er angivet i beskrivelsen til USA patent nr. 3.115.574. Antallet af additionskredse i hvert enkelt trin af additionskreds-kaskaden 21 må være tilstrækkeligt til tilslutning af alle grupper af indgangssignallinier, sammensat tre og tre. Eksempelvis indeholder det første trin af additionskreds-kaskaden 21 to mentebevarende additionskredse til tilslutning af de seks grupper

af indgangssignallinier. I visse af additionskreds-kaskadens trin er antallet af grupper af udgangssignallinier fra et tidligere additionskreds-trin ikke deleligt med tre, så at visse grupper af indgangssignallinier til dette særlige additionskreds-trin ikke kan danne et fuldstændigt sæt på tre liniegrupper. I dette tilfælde er de grupper af signallinier, der ikke indgår i et sæt på tre grupper af indgangssignallinier, forbundet med et låseregister. I de additionskreds-trin, der kræver anvendelsen af et låseregister, består hver af den mentebevarende additionskreds' pladser af et åbningsstyret additionskreds-låseorgan. De åbningsstyrede additionskreds-låseorganer er af samme art som de organer, der er omtalt i beskrivelsen til USA patent nr. 3.340.388. Den mentebevarende additionskreds 42, der er betegnet med CSA-C låsekreds er en sådan mentebevarende additionskreds, der består af et antal af de låseorganer, der er omtalt i dette patentskrift. Det er tilstedeværelsen af de åbningsstyrede additionskreds-låseorganer og de åbningsstyrede låseregistre i de forskellige trin i det i fig. 1 viste additionsapparat, der muliggør tilførslen af nye mængder af operander til låseregistrene 24-29 med en hastighed, som er større end en hastighed svarende til det tidsinterval, der kræves til frembringelse af et sumudgangssignal baseret på indgangsoperanderne. De åbningsstyrede additionskreds-låseorganer, der er omtalt i det sidstnævnte patentskrift, er virksomme til at påvirkes af et åbningsignal og tre indgangsoperander til frembringelse af et udgangssignal, der repræsenterer den mentebevarende additionskreds' funktioner. Låseoperationen er af en sådan art, at det frembragte udgangssignal opretholdes, selv om åbningsstyresignalet forsvinder, eller indgangssignalerne ændres. Der frembringes ikke noget nyt udgangssignal, før der er tilvejebragt et nyt åbningsstyresignal. Derfor opretholdes udgangssignalet fra et åbningsstyret menteopsamlings-additionskreds-låseorgan i hele intervallet mellem begyndelsen af de på hinanden følgende åbningsstyresignaler.

Fig. 2 viser i form af et blokdiagram omgivelserne for additionsapparatet ifølge den foreliggende opfindelse. Den foreliggende opfindelse finder anvendelse i en aritmetisk enhed med flydende komma hørende til et databehandlingsanlæg, hvor det er ønskeligt at multiplificere eller dividere binære tal med flydende komma. De tal med flydende komma, der skal multiplificeres eller divideres, består af 64 binære bits. Den højeste orden eller bit -0-positionen af tallet med flydende komma repræsenterer tallets fortegn. Positionerne 1-7 repræsenterer en eksponentværdi for grundtallet 16 (hexadecimal), og position 8-63 repræsenterer en mantisse eller brøkdel af tallet. Brøkdelen består af 14 hexadecimalcifre, af hvilke hvert ciffer indeholder

fire binære bits. Binærkommaet for det repræsenterede tal antages at ligge mellem positionerne 7 og 8 i det binære tal. Som det er bekendt inden for multiplikation eller division med flydende komma, multipliceres eller divideres kun brøkdelen af tallene, medens eksponentværdierne adderes eller subtraheres til opnåelse af en endelig eksponentværdi. Det er da formålet med den foreliggende opfindelse at lette multiplikationen af to binære tal, der hvert består af 56 binære bits, som repræsenterer brøkdelen af tallet.

Inden den øvrige del af fig. 2 beskrives omtales nu positionen af det i fig. 1 viste additionsapparat i de fuldstændige omgivelser. Det i fig. 2 viste blokdiagram er forsynet med henvisningsbetegnelser svarende til de betegnelser, der er anvendt i fig. 1. Registrene 30 og 31 er vist i form af to adskilte registre i fig. 2, hvorved databehandlingsenhedens instruktionsbehandlingsenhed bliver i stand til indføring af to multiplikatorer og to multiplikander i registrene 30 og 31 til påvirkning ved hjælp af multiplikationsapparatet. Hvert af registrene 30 og 31 består af 64 databits, af hvilke kun positionerne 8-63 udnyttes i additionsapparatet med henblik på multiplikation eller division af brøkdelen. Fig. 2 viser også multiplikatorafkoderen 32, låseregistrene 24-29, additionskreds-kaskaden 21, additionskreds-sløjfen 22 og den mentebevarende paralleladditionskreds 23.

Det i fig. 2 viste additionsapparat indeholder seks puffere 60 med flydende komma og fire registre 61 med flydende komma, hvilke komponenter alle er i stand til at udøve en puffervirkning på de 64 binære bits, der indgår i tal med flydende komma, som indledningsvis modtages fra en lagerudgangsledning 62. De data, der findes i hver af pufferne 60 med flydende komma kan udlæses enten til et kabel for pufferne med flydende komma (FLBB) 63, eller de kan udlæses til et fælles datakabel (CDB) 64. De data, der findes i registrene 61 med flydende komma, kan udlæses til et kabel for registrene med flydende komma (FLRB) 65.

I fig. 2 er der også skematisk vist multiplikatorindgangsåbningskredse 70. Som omtalt nærmere i det følgende kan det påvises, at der kræves fem iterationer til multiplikation af multiplikanden, der har en 56-bit-fraktion, med multiplikatoren, der har en 56-bit-fraktion. Ved hver iteration kan der f.eks. undersøges 13 bits af multiplikatoren, idet disse udnyttes til aktivering af multiplikator-afkodningskredsen 32. Ved iteration nr. 1 er multiplikatorindgangsåbningskredsene 70 i stand til at overføre de første 13 bits af multiplikatoren til afkoderen 32 fra det fælles datakabel 64 (CDB), kablet for registret med flydende komma 65 (FLRB) eller fra cifferskifte-kredsen 68, samtidig med at frak-

tionen indsættes i registeret 31. Herefter åbningsstyrer multiplikatorindgangsstyrekredsen 70 på hinanden følgende grupper af 13 multiplikatorbits til afkoderen 32. Operationen af multiplikatorindgangsåbningskredsen 70 er i det væsentlige den samme som omtalt i beskrivelsen til det ovenfor nævnte USA patent nr. 3.115.574, idet den undersøger multiplikatorbits i grupper. Ved hver iteration af en multiplikationsoperation vil multiplikatorafkoderen 32 frembringe signaler, der er virksomme til ved låsekredsene 24-29 at føre multiplikanden fra registrene 30 til låsekredsene, passende skiftet til at udgøre de multipla af multiplikanden, der angives af de undersøgte multiplikatorbits til tilvejebringelse i låseregistrene 24-29 af multipla af multiplikanden, hvilke multipla i fig. 2 er betegnet med M1-M6. Grupperne af signallinier, der er betegnet med M1-M6, fører de tilsvarende betegnede multipla af multiplikanden i form af indgangssignaler til additionskreds-kaskaden 21 til tilvejebringelse af et endeligt udgangssignal, der repræsenterer produktet af multiplikanden og de undersøgte multiplikatorbits.

Hver af de mentebevarende additionskredse i additionsapparatet må være i stand til at behandle indgangsoperander, der har 71 binære bitspositioner. Positionerne af den mentebevarende additionskreds er fra enden af højest orden mod enden af lavest orden betegnet P3, P2, P1, 0, 1 ... 67. Skønt fraktionsdelen af tallet med flydende komma kun har 56 binære bits, kan afkoderen 32 i afhængighed af de samtidig undersøgte multiplikatorbits kræve, at multiplikanderne skal forskydes 11 positioner til højre forud for indføringen i additionskreds-kaskaden. Forskydningen sker mod højre, fordi multiplikatoren udgør den til en binær brøkdel fastsatte mantisse, så at hvert multiplikatorciffer angiver en multiplikation med en negativ potens af grundtallet to. På lignende måde kan de multipla, der frembringes i låsekredsene 24-29 i visse tilfælde være komplementære elementer, der kræver en udstrækning af fortegnspositionerne til højere ordner med mulighed for at behandle menter fra additionskredsens position af højeste orden. Dette er grunden til positionerne med betegnelserne P3, P2 og P1.

Et ekstra apparat, der ikke omtales nærmere, men som er nødvendigt til udførelse af multiplikation, er vist i fig. 2 i form af en overløbsadditionskreds 71. Multiplikatorindgangsåbningskredsene 70 åbningsstyrer 13 multiplikatorbits til afkoderen 32, idet der begyndes ved den ende af fraktionen, der er af laveste orden. Derefter aftages efterfølgende 13-bit-grupper fra grupper, der er forskudt 12 multiplikatorbits fra de foregående grupper, hvilket bevirker, at multiplikatorerne undersøges i fem grupper hver med 12 bits. Ligesom det er tilfældet ved multiplikation under anvendelse af papir og blyant, forskydes på hin-

anden følgende delprodukter i forhold til de i forvejen frembragte delprodukter. Ved den foreliggende udførelsesform for opfindelsen forskydes de efterfølgende delprodukter, der frembringes ved udgangen fra additionskreds-sløjfen 22, 12 bitpositioner til højre, inden de genindføres ved indgangen til additionskreds-sløjfen 22. Dette har da den virkning, at foregående delprodukter forskydes i forhold til efterfølgende delprodukter, der frembringes af efterfølgende grupper af multiplikatorbits. De 12 binære bits i de to grupper af udgangssignallinier fra additionskreds-sløjfen 22, som er forskudt til højre, føres til parallel-overløbsadditionskredsen 71, hvis funktion er ved afslutningen af de fem gentagelser at bestemme, om der er frembragt en mente ved additionen af de bits, der er forskudt mod højre, eller ej. Hvis de bits, der er forskudt mod højre ved de fem gentagelser, frembringer en mente fra overløbsadditionskredsen 71, tilføres denne mente som et indgangssignal 72 til bitpositionen af laveste orden i paralleladditionskredsen 23. Ligesom det er tilfældet ved normal multiplikation, vil der, hvis multiplikatoren med 56 bits multipliceres med en multiplikand, der har 56 bits, frembringes et slutprodukt, som har 112 binære bits. Talsystemet i det anvendte databehandlingsanlæg kræver kun, at de 56 binære bits af højeste orden frembringer den endelige resultatfraktion. De 56 bits af lavere orden, der er forskudt mod højre som omtalt ovenfor, føres ind i overløbs-additionskredsen 71 til bestemmelse af, hvorvidt de 56 bits af højeste orden bliver påvirket af en mente fra de 56 bits af lavere orden.

Når først det endelige produkt er bestemt, åbningsstyres det fra additionskredsen 23 til et resultatregister 73. En slutskifteafkoder 74 anvendes under den endelige produktfrembringelse i paralleladditionskredsen 23 til bestemmelse af, hvorvidt 4-bit-cifferet af højeste orden i det endelige produkt indeholder et binært ettal og derfor repræsenterer den normaliserede fraktion. Hvis slutskifteafkoderen 74 angiver, at 4-bits-cifferet af højeste orden ikke indeholder et binært ettal, aktiveres en slutskiftekrede 75 til forskydning af hele produktfraktionen et ciffer eller fire positioner mod venstre. Udgangssignalet fra slutskiftekrede 75 føres til det fælles datakabel 64 med henblik på overførsel til registeret 61 med flydende komma i form af det endelige resultat af multiplikationen.

De i fig. 2 viste omgivelser, der i det væsentlige består af et apparat til udførelse af multiplikation, anvendes også til udførelse af divisionsoperationer med flydende komma.

Fig. 3 viser et tidsstyrediagram til illustration af tidsstyreforholdet mellem forskellige tidsstyreimpulser eller åbningsstyre-

impulser, der anvendes ved det i fig. 1 viste additionsapparat. Ved iteration nr. 1, der repræsenterer indledningen af multiplikationsoperationen, er multiplikatoren åbningsstyret gennem skiftekrederen til normalisering, og en åbningskreds, der er betegnet registerindgangsåbningskreds anvendes til åbningsstyring af den normaliserede multiplikator tilbage til multiplikatorregisteret 31. Samtidig åbner en åbningsstyrekreds MPKND-indgangsåbningskrederen, hvorved multiplikanden med 56 bits i registeret 30 åbningsstyres til låseregistrene 24-29. Der frembringes en indgangsåbningsstyring af multiplikatorafkodningen, hvorved den gruppe af multiplikatorbits, der har laveste orden, indgangsåbningsstyres til multiplikatorafkoderen 32's låsekredse, så at den fastholdes heri. Efter en passende forsinkelse, der gør det muligt for multiplikatorafkoderen 32 at blive virksom, sker multiplumindgangsåbningsstyringen, hvorved passende multipla af multiplikanden indføres i de pågældende låseregistre 24-29. De fastlåste data i de låseregistrene 24-29 føres dernæst øjeblikkelig til indgangen til additionskredskaskaden, der består af CSA-A og CSA-B. Efter en passende forsinkelse, der gør det muligt for de logiske kredse i det første trin af additionskredskaskaden at udføre additionsoperationen, sker CSA-C-indgangsåbningsstyringen, hvorved resultatet af operationen af CSA-A og CSA-B åbningsstyres til CSA-C og låseregisteret 43. De af CSA-C frembragte sum-signaler (s) og mentesignaler (c) fastlåses og opretholdes, og udgangssignalerne herfra føres til de logiske kredse i CSA-D til frembringelse af de to grupper af udgangssignallinier fra additionskredskaskaden 21, der repræsenterer summerne og menterne for de oprindelige operander, der er tilført ved iteration 1. Efter en passende forsinkelse, der repræsenterer længden af det tidsrum, det tager til CSA-C og låsekredsen 43 at tilvejebringe en indgangsåbningsstyring til det tidspunkt, CSA-D har frembragt et resultat, føres der en indgangsåbningsstyring til den mentebevarende additionskreds 50 og låseregisteret 51 (CSA-E-ind.-åb.), hvorved CSA-E udfører den adderende logiske funktion og fastlåser resultater med henblik på tilførsel til indgangen til den mentebevarende additionskreds 52 (CSA-F). Efter opløsningen af summerne i CSA-E sker der en indgangsåbningsstyring ved den mentebevarende additionskreds 52 (CSA-F-ind.-åb.).

Ved indføringen af multiplikandmultiplane i låseregistrene 24-29 ved hjælp af multiplumindgangsåbningsstyreimpulserne kan indgangssignalerne for iteration 2, som det fremgår af fig. 3, indføres i multiplikatorafkoderen straks før afslutningen af multiplumindgangsåbningsstyreimpulsen for iteration nr. 1. På lignende måde kan låseregistrene 24-29 ændres for iteration nr. 2 til tidspunktet for ind-

gangsåbningsstyringen af CSA-C, der er baseret på tilførslen af operander for iteration nr. 1. Et træk ved den foreliggende opfindelse består i, at der tilvejebringes forskellige låsepunkter, der indbefatter multiplikatorafkoderen 32, låseregistrene 24-29, den mentebevarende additionskreds 42 og låsekredsen 43, den mentebevarende additionskreds 50 og låsekredsen 51 samt den mentebevarende additionskreds 52. Som følge af de forskellige låsepunkter kan indgangsåbningsstyringen af operanderne til et bestemt låsepunkt ændres, når et efterfølgende låsepunkt har modtaget de resultater, der er frembragt af et forudgående sæt af operander ved det pågældende særlige låsepunkt. Som vist i fig. 3 er der afgivet fire sæt af multiplikatorbits til multiplikatorafkoderen 32, inden det første delprodukt er frembragt af den mentebevarende additionskreds 52 (CSA-F). Inden for den kendte teknik, der repræsenteres af beskrivelsen til USA patent nr. 3.115.574, kan det andet sæt af multiplikatorbits ikke afgives til multiplumgeneratorerne, før det første delprodukt, som er baseret på den første multiplikatorafkodning, er frembragt.

Som det fremgår af de øvrige i fig. 3 angivne åbningsstyringer, er de fem grupper af multiplikatorbits, som skal afkodes med henblik på udførelse af multiplikationen af et tal med 56 bits, undersøgt og afkodet i det væsentlige til samme tid, som det andet delprodukt er frembragt ved tilførslen af det andet sæt af multiplikatorbits. Tallene (0-4) øverst i fig. 3 repræsenterer databehandlingsmaskinens perioder og viser, at hele multiplikationen af to binære tal med 56 bits kan udføres under anvendelse af additionsapparatet ifølge opfindelse inden for fire maskinperioder. Som påvist i det følgende er de tidsstyreorganer, ved hjælp af hvilke multiplikationen kan udføres, et simpelt apparat, der blot kræver anbringelsen af 5 iterationsindgangsåbningsstyringer til multiplikatorafkoder-indgangsåbningsstyringen med på hinanden følgende forsinkelsetrin med henblik på udnyttelse af den samme impuls som indgangsåbningsstyringen til efterfølgende låsetrin.

Fig. 4 repræsenterer en multiplikator med 56 bits og tjener til illustration af den måde, hvorpå multiplikatorens bits undersøges i grupper på 13, idet på hinanden følgende grupper overlapper hinanden med 1 binær bit. Ved den sidste iteration eller iteration nr. 5 anvendes position nr. 8 af tallet med flydende komma, da position 8 er mantissens højeste position, mens multiplikatorens position af højeste orden må have binærværdien nul for at opnå et korrekt resultat. Idet der begynder ved multiplikatorens venstre side og går frem i grupper på 13 binære bits på en sådan måde, at hver på hinanden følgende gruppe overlapper med 1 binær bit, antager den sidste gruppe af multiplikatorbits,

der skal undersøges ved iteration nr. 1, binære nuller til frembringelse af multiplum M1 og anvender en enkelt binær bit af multiplikatoren til frembringelse af multiplum M2. Tallene 1-14 repræsenterer de 14 hexadecimalcifre i multiplikatoren.

Det erindres, at fraktionsdelen af tallet med flydende komma er en ægte brøk, så at en multiplikation af en sådan brøk med en anden brøk resulterer i en mindre brøk. På tilsvarende måde ville multiplikanden, hvis den skulle multipliceres med den binære bit, der er af laveste orden, eller som findes helt til højre i multiplikatoren, blive forskudt til højre, hvilket i virkeligheden bevirker en division af multiplikanden med  $2^{56}$ . Som omtalt i det foregående forskydes delprodukter, der er frembragt ved udgangen fra additionskreds-sløjfen imidlertid 12 bitpositioner til højre svarende til, at 12 bits af multiplikatoren anvendes ved hver iteration, så at det produkt, der dannes af multiplikatoren, på en passende måde opdeles i faktorer, hvorved der tages hensyn til, at det drejer sig om en multiplikation af en brøk med en anden brøk.

Fig. 4 viser de virkelige multiplikatorbits, der undersøges ved iteration nr. 3. Ved iteration nr. 3 åbningstyres multiplikatorens bits 24-36 til multiplikatorafkoderen 32. Multiplikandens multipla M1-M6, der føres til låseregistrene henholdsvis 24-29, frembringes ved undersøgelse af tre multiplikatorbits, idet den multiplikatorbit i en bestemt treergruppe, der har højest orden, er fælles med den multiplikatorbit i den næste efterfølgende højere ordens treergruppe af multiplikatorbits, som har laveste orden.

Undersøgelsen af treerbitgrupperne er baseret på følgende overvejelser: Et helt tal kan som bekendt i et vilkårligt talsystem udtrykkes ved summen af cifferværdierne. Eksempelvis kan der for decimaltallet 112 opstilles det binære udtryk  $2^6 + 2^5 + 2^4$  svarende til det binære tal 1110000, hvor de tre højeste binærcifre danner en serie på hinanden følgende ettaller. Denne serie kan på forenklet måde udtrykkes ved differensen  $2^7 - 2^4$ , hvilket i binære tal udtrykkes ved 10000000 - 10000 = 1110000. Heraf følger, at der, når der optræder en serie binære ettaller i en multiplikator, i stedet for en addition af multiplikanden for hvert af disse ettaller kan udføres en subtraktion for det længst til højre optrædende ettal og en addition for det længst til venstre optrædende ettal i serien, idet delproduktet for hvert ettal i serien må forskydes én position mod højre. På dette grundlag konstateres det af afkoderen 32 for hver af treerbitgrupperne, om de indeholder begyndelsen eller afslutningen af en serie ettaller eller blot et alene optrædende ettal. Som resultat af denne undersøgelse afgiver multiplikatorafkoderen 32 udgangssignaler, der i overensstemmelse med den

omtalte udtryksmåde betegner en serie binære ettaller som en differens mellem enten negative eller komplementære multipla eller mellem ægte multipla af multiplikanden. Disse multipla er altid af de pågældende cifferværdier for multiplikatorbitene bestemte heltallige multipla af to, der kan tilvejebringes ved bitpositionsforskydninger af multiplikanden på  $i$  og for sig kendt måde. I udgangssignalerne fra multiplikatorafkoderen 32 er der også taget hensyn til, at der for det længst til venstre optrædende ettal i en sådan serie udvælges et til den næsthøjeste værdiposition svarende multiplikand-multiplum i overensstemmelse med den ovenfor angivne differens-skrivemåde.

Fig. 5 viser hvorledes de 13 multiplikatorbits afkodes, én ved hver iteration. Tallene 0-12 repræsenterer de 13 multiplikatorbits, der undersøges ved en iteration. Det er vist, at multiplum  $M_1$  er en funktion af multiplikatorbits 10, 11 og 13. I overensstemmelse med fig. 4 udgøres disse ved iterationen af multiplikatorbitsene 34, 35 og 36. De seks grupper af multiplikatorbits, der undersøges ved hver iteration, er vist i den øverste del af fig. 5. Den nederste del af fig. 5 viser alment tilknytninger mellem afkoderens indgangssignaler og udgangssignaler. Disse indgangssignaler er betegnet  $N, N - 1, N + 2$ . Hver af disse indgange kan føre et binært nul eller et binært ettal, så at der optræder 8 permutationer. Den bit ( $N$ ) i gruppen, der har højest orden, overlapper den bit ( $N+2$ ), der har laveste orden i den næste efterfølgende gruppe af højere orden. Der kan anvendes kendte algoritmer til bestemmelse af det rigtige antal positionsforskydninger, der skal foretages af multiplikanden i de pågældende registre 24-29 for at repræsentere et multiplum af multiplikanden. I det mindste én algoritme udnytter de tre multiplikatorbits i en bestemt gruppe til frembringelse af to udgangssignaler som angivet i fig. 5 i spalterne med betegnelsen almindeligt udgangssignal. Betegnelserne  $N$  og  $N + 1$  over disse to spalter angiver positionsværdien for det pågældende udgangssignal inden for treergruppen af de 13 multiplikatorbits. Betegnelsen 0, +1 eller -1 angiver, hvad der må ske ved overførselen af multiplikanden til de pågældende registre 24-29. Hvis  $N$  og  $N + 1$  f.eks. begge er 0, indstilles der nuller i de pågældende registre. Betegnelsen +1 i spalten angiver, at multiplikanden i sand form skal forskydes  $N + 1$  eller  $N$  positioner mod højre ved indføring i de pågældende registre 24-29. Betegnelsen -1 angiver, at multiplikanden i komplementær form skal forskydes  $N$  eller  $N + 1$  positioner mod højre.

Som eksempel er de tilsvarende udgangssignaler fra multiplikatorafkoderen 32 med henblik på overførsel af multiplikanderne til det register 26, der modtager multiplum  $M_3$ , vist i den nederste, højre

del af fig. 5. Værdien  $N$  og  $N + 1$  er i dette tilfælde knyttet til bitene i positionerne henholdsvis 6 og 7 i den gruppe på 13 multiplikatorbits, der skal bearbejdes ved iteration nr. 3. Det ses, at der på grundlag af de binære permutationer af bitpositionerne 6, 7 og 8 i multiplikatorafkoderen 32 bliver indført en multiplikand som skal indføres i låseregisteret 26, i sand eller komplementær form og forskudt 6 eller 7 positioner mod højre. Som følge heraf leverer multiplikatorbitene 30, 31 og 32, der svarer til bitpositionerne 6, 7 og 9 i 13-gruppen, det rigtige bidrag til den multiplikation, som skal udføres. I forbindelse med multiplum  $M_1$  ses det, at den multiplikand, der skal indføres i låseregisteret 24, kan forskydes indtil 11 positioner mod højre, hvilket viser nødvendigheden af at forøge antallet af additionspositioner med 11 positioner ud over den normale multiplikandlængde på 56 bits.

I forbindelse med multiplum  $M_3$  ved iteration nr. 3 ses det ligeledes, at multiplikanden skal multipliceres med  $2^{-30}$  eller  $2^{-31}$  i overensstemmelse med reglerne for multiplikation af en mantisse med en anden mantisse. Skønt afkoderudgangssignalet for multiplum  $M_3$  kun bevirkeren forskydning af multiplikanden på enten 6 eller 7 positioner mod højre, bliver udgangssignalet for det pågældende delprodukt af de operander, som skal bearbejdes ved iteration nr. 3, ved udgangen fra additionskreds-sløjfen 22 forskudt i alt 24 bitpositioner mod højre under iterationerne 4 og 5. Derfor angiver det delprodukt, der er frembragt af multiplikatorbitene 30, 31 og 32 ved iteration nr. 3 på rigtig måde en multiplikation med  $2^{-30}$  eller  $2^{-31}$ .

De simpelt udformede tidsstyreorganer til udførelse af multiplikation er vist i fig. 6. De forskellige åbningsstyrede låseorganer indeholder som vist i fig. 6 multiplikatorafkodningslåserekredsene 32, multiplikand-multiplum-låseregistrene 24-29, de mentebevarende additionslåserekredse 42 og låseregisteret 43, de mentebevarende additionslåserekredse 50 og låseregisteret 51 samt de mentebevarende additionslåserekredse 52. Hver af de i fig. 3 viste åbningsstyringer af multiplikatorafkoderen anvendes ikke blot til åbningsstyring af de rigtige multiplikatorbits til afkoderen 32, men føres også til en række forsinkelsesorganer 80-83 for i rækkefølge at frembringe de rigtige indgangsåbningsstyringer i afhængighed af hver multiplikatorafkoder-indgangsåbningsstyring. Til realisering af den logiske opbygning af det omhandlede additionsapparat kræves flere monteringsplader for logiske komponenter til frembringelse af låseorganerne for de forskellige trin. Da databehandlingsmaskiner drives ved stadig større hastigheder, bliver impulsforplantningsvarigheden langs forbindelsesledningerne en faktor af betydning. For at sikre, at indgangsåbnings signaler til et bestemt

sæt af låseorganer bliver virksomme for alle låseorganerne på samme tid, anvendes der yderligere forsinkelses kredsløb 84-86 til trinvis signalforsinkelse svarende til de forskellige løbetider for impulserne. Herved opnås, at indgangsstyreimpulserne bliver virksomme på samme tid ved alle låsekredsene i et trin, f.eks. 32, uafhængigt af længden af de ledninger, som fører til låsekredsene.

Ved udførelsen af den foretrukne udførelsesform for apparatet ifølge den foreliggende opfindelse viste det sig desuden, at den forsinkelse, der skyldes logiske kredse samt længden af ledninger mellem de logiske kredse, fra indgangen for en låsekreds til indgangen for den næste låsekreds kan gøres lige stor for alle trin. Eksempelvis kan der mellem to på hinanden følgende låsekredsindgange findes fire logiske tilkoblingskredse i serie eller tre logiske tilkoblingskredse samt en ledningslængde, der frembringer en forsinkelse, som i det væsentlige er lig med forsinkelsen i én logisk tilkoblingskreds. På denne måde kan også gennemløbstiderne gennem låsekredsene i additionskreds-sløjfen 22 i fig. 1 tilpasses efter gennemløbstiderne for de forskellige trin i additionspyramiden 21.

På grund af forskellige på hinanden følgende trin af låsekredse og den i det væsentlige ens signalforsinkelse mellem i datastrømmens retning på hinanden følgende indgange til disse styrede låsekredse kan den frekvens, med hvilken operanderne kan tilføres ved indgangen til additionsapparatet, være lig med den maksimale frekvens, hvormed et enkelt af disse trin kan arbejde, hvilken sidstnævnte frekvens alene bestemmes af den signalforsinkelse, som forårsages af det pågældende trin. Herved muliggøres en arbejdsmåde, der nærmest kan sammenlignes med arbejdsmåden for en rørledning, idet der ved hver videreføring af en signalgruppe fra udgangen af et trins låsekredse til indgangen for det efterfølgende trins låsekredse kan føres et nyt sæt indgangssignaler til de afgivende låsekredse.

Den måde, på hvilken denne rørledningsvirkning udnyttes, er skematisk vist i fig. 7. Øverst til venstre viser fig. 7 låseregistrene 24-29, additionskreds-kaskaden 21 og additionskreds-sløjfen 22. Desuden er der i fig. 7 vist det første sæt bestående af 6 operander, der tilføres til låseregistrene 24-29, som udnyttes til frembringelse af et delprodukt for iteration nr. 1 (PP1). Ved den næste illustration er der udført en indgangsåbningsstyring af PP1 til CSA-C og låseregisteret 43, samtidig med at en efterfølgende samling af operander er indført i låseregistrene 24-29, der til slut frembringer en sum, som repræsenterer et delprodukt for iteration nr. 2 (PP2). Til tidspunktet for indføringen af PP1 i CSA-E-låsekredsene er der tilført en tredje samling

af operander til låseregistrene 24-29. Til tidspunktet for indføringen af de seks operander i låseregistrene 24-29 for iteration nr. 4 (PP4) er PPl åbningsstyret til CSA-F for at frembringe et udgangssignal herfra, hvilket udgangssignal åbningsstyres tilbage til indgangen for CSA-E. Til tidspunktet for åbningsstyringen af PP2 til CSA-E-låsekredsene indgangsåbningsstyres de binære bits, der repræsenterer PPl og er forskudt 12 positioner til højre, også til CSA-E.

Den successive åbningsstyring af en samling af operander til låseregistrene fortsætter samtidig med den successive åbningsstyring af mellemresultater fra et sæt af åbningsstyrede låsekredse til det næste sæt af åbningsstyrede låsekredse samtidig med forskydningen 12 positioner til højre af udgangssignalet fra additionskreds-sløjfen til indgangssignalet til additionskreds-sløjfen, indtil en endelig produktrepræsentation indgangsåbningsstyres til CSA-F. Til dette tidspunkt føres de to grupper af udgangssignallinier fra den mentebevarende additionskreds 52 (CSA-F) til additionskredsen 23 til frembringelse af et endeligt produktresultat.

Fig. 8-18 anvendes til illustration af en del af det binære logiske kredsløb, der kræves til frembringelse af en enkelt udgangsbit fra additionskreds-sløjfen 22 i fig. 1, idet man går ud fra åbningsstyringen af multiplikatorbits ind i multiplikatorafkodningslåsekredsene 32. Den grundlæggende logiske blok, der anvendes ved udførelsen af den foretrukne udførelsesform for apparatet ifølge opfindelsen er klassificeret som en OG-invertor-blok. Ved alle de viste logiske blokke indføres der indgangssignaler ved den venstre side af blokken, mens der udgår udgangssignaler ved den højre side. Den særlige logiske funktion, der som oftest udføres er OG-funktionen (A). Ved OG-funktionen gælder det, at den øverste udgang fra blokken, hvis alle indgangssignaler til den logiske blok befinder sig på et negativt niveau, vil befinde sig på et positivt niveau. Sagt på den modsatte måde gælder det, at den øverste udgang fra blokken vil være negativ, hvis en vilkårlig indgang til blokken er positiv. Dette er ELLER-funktionen, og denne funktion udføres af de blokke, der er betegnet med OR.

Blokke, der er betegnet N, er i det væsentlige invertere, hvori et negativt indgangssignal vil frembringe et positivt udgangssignal og omvendt. Den logiske blok, der er betegnet med OR, udfører ELLER-funktionen, ved hvilken det øverste udgangssignal bliver negativt, hvis et vilkårligt indgangssignal er positivt. Det ses, at der fra nogle af de logiske blokke findes to udgangssignallinier. Disse udgør komplementære udgange, idet det nederste udgangssignal vil være positivt, hvis det øverste udgangssignal er negativt, og omvendt. Visse

af de logiske blokke er betegnet med AR og anvendes i det væsentlige til strømforsyning eller til frembringelse af komplementære udgangssignaler i afhængighed af et enkelt indgangssignal.

Fig. 9 og 10 viser, når de anbringes i overensstemmelse med fig. 8, det væsentligste logiske udstyr, der anvendes ved operand-indgangsorganerne, når opfindelsen udnyttes i forbindelse med multiplikation. Alle de åbningsstyrede låseorganer indbefattende de åbningsstyrede additionslåsekredse eller de åbningsstyrede låseregistre er i det væsentlige de samme som dem, der er vist ved det punkteret indrammede område 100 i fig. 9. Dette låseorgan er i det væsentlige det samme som det, der er omtalt i beskrivelsen til USA patent nr. 3.340.388.

De udgange i fig. 10, der er betegnet med  $-M3$  13 og  $+M3$  13, fører det binære 1- eller det binære 0-udgangssignal fra låseregisteret 26's position 13, der repræsenterer multiplum  $M3$ . Den binære tilstand af det fastlåste udgangssignal fra position 13 for multiplum  $M3$  vil enten være en sand form eller en komplementær form for multiplikandens bit 6 eller 7, som repræsenteret ved indgangene  $+bit$  6 og  $+bit$  7 i fig. 10. Et andet muligt indgangssignal kommer fra paralleladditionskredsen 23 i fig. 1 under divisionsoperationer og repræsenteres af indgangene  $+PA$  bit 6 eller  $+PA$  bit 7. Den ene indgang til fig. 10 kommer fra fig. 9 og er betegnet med  $+7$  eller  $-7$ . Dette svarer til et andet sæt af indgange  $+6$  eller  $-6$  og  $+8$  eller  $-8$ . Disse indgange repræsenterer multiplikatorpositionerne 6, 7 og 8, der anvendes til frembringelse af multiplumet  $M3$ , og som ved det i fig. 10 viste logiske udstyr anvendes til bestemmelse af, hvorvidt multiplikandens eller paralleladditionskredsens udgangssignal skal forskydes 6 eller 7 positioner til højre i sand eller komplementær form i overensstemmelse med de regler, der er angivet i fig. 5.

Den logiske funktion, der er vist i fig. 9 er i det væsentlige en åbningsstyrings- og låsefunktion, ved hvilken den rigtige multiplikatorbit for en bestemt multiplikationsgentagelsescyklus føres til multiplikatorafkodningslinien til frembringelse af udgangssignalerne for multiplikatorafkoderens position 7 for alle gentagelsescyklerne. Indgangsåbningsstyringen af multiplikatorens bits til afkoderens logiske kreds udføres med en  $+GA$  eller  $+GB$ , der repræsenterer vekslende A- og B-cykler af en indgangsåbningsstyring til afkoderlåsekredsen 32 i fig. 1. De forskellige multiplikatorbits, der anvendes ved position 7 for multiplikatorafkoderens bitpositioner, indeholder bits fra multiplikatorregisteret 31, der er repræsenteret af de indgangssignaler, som er betegnet med  $+multiplikatorregisterbit$  og  $+skiftebit$ , når de åbningsstyrer udgangen fra skifte kredsen 68 i fig. 2 under den første gentagel-

sescyklus, mens den rigtige multiplikatorbit fra det fælles datakabel 64 er repræsenteret ved indgangen +CDB, og fra pufferkablet 63 med flydende komma repræsenteret ved indgangen +FPB. I multiplikatorafkodningspositionen 7 indføres der også forskellige mellemresultater under divisionsoperationer, hvilket repræsenteres ved indgange, såvel +DIV 1 og -GD 1, der repræsenterer indgangsåbningsstyringen ved divisionsgentagelsescyklen 1. Indgangsåbningsstyringerne for de forskellige iterationer ved multiplikation er repræsenteret ved indgange, såsom -GMPY IT 1 og -GMPY IT 2.

Når fig. 12-15 anbringes i overensstemmelse med fig. 11, viser de en del af det logiske kredsløb, der kræves til frembringelse af en enkelt udgangsbit fra den mentebevarende additionskreds 44 (CSA-D). Fig. 13 viser udgange, der er betegnet med +CD 13 og - CD 13, og som repræsenterer mentefunktionsudgangen for bitposition 13 fra den mentebevarende additionskreds 44. Udgangene fra fig. 15 er betegnet +SD 13 og -SD 13 og repræsenterer sumfunktionudgangen for bitposition 13 hørende til den mentebevarende additionskreds 44 (CSA-D).

Indgangene til fig. 12 og 14 repræsenterer sættene af signallinier fra låseregistrene 24-29 i fig. 1. Det logiske kredsløb, der er indekluttet i det punkteret viste område 101, bevirker frembringelsen af sumfunktionen for bitposition 14 i multipla M1, M2 og M3. Som vist i fig. 1 er sumfunktionen for den mentebevarende additionskreds 40 fastlåst i låseregisteret 43, og dette er angivet ved det logiske kredsløb, der er indekluttet i området 102. Bitposition 14 af multipla M1, M2 og M3 føres til det logiske kredsløb, der er indekluttet i det punkteret indrammede område 103, til frembringelse af udgangsmentefunktionen for den mentebevarende additionskreds 40, der er betegnet med CA-13, idet den på passende måde er forskudt til den næste højere orden for at øve indflydelse på sumfrembringelsen for position 13. Det ses i forbindelse med udgangen fra fig. 12 og det i fig. 1 viste apparat, at sumfunktionen fra CSA-A er fastlåst i låseregisteret 43, mens mentefunktionen fra CSA-A føres direkte til CSA-C. Fig. 14 viser bitpositionerne for multipla M4, M5 og M6, der indgår ved frembringelsen af sum- og mentefunktionerne for CSA-B, som repræsenteret ved udgangene fra fig. 14, der er betegnet SB 13 og SB 14.

Udgangssignalerne fra CSA-B, der ikke er fastlåst, og mentefunktionsudgangssignalet fra CSA-A, der ikke er fastlåst, føres til CSA-C, som er en åbningsstyret additionslåsekreds, af hvilken en del er vist inden for det punkteret indrammede område 104 i fig. 13. Indgangsåbningsstyringen til den mentebevarende additionskreds 42 (CSA-C) er betegnet med +åbn.styr. CSA-C, hvilket signal føres til de åbnings-

styrede additionslåsekredse i CSA-C og låseregisteret 43, der udnyttes til fastlåsning af sumfunktionudgangssignalet fra CSA-A.

Det endelige udgangssignal fra det logiske kredsløb, der er vist i fig. 12-15, er +CD 13- og -CD 13-udgangssignalerne, der repræsenterer den gruppe udgangssignallinier, som repræsenterer mente-funktionen for position 13 fra den mentebevarende additionskreds 44, samt +SD 13 og -SD 13, der repræsenterer den gruppe af udgangssignallinier, der angiver sumfunktionsudgangssignalet for den mentebevarende additionskreds 44.

Den logiske kreds, der er vist i fig. 17 og 18, når disse er anbragt som angivet i fig. 16, viser en del af additionskreds-sløjfen 22 i fig. 1, som anvendes til frembringelse af sum- og mentesignaler for position 13 i et delprodukt eller et endeligt produkt. Additionskreds-sløjfen indeholder de åbningsstyrede additionslåseorganer i de mentebevarende additionskredse 50 og 52 (CSA-E og CSA-F) samt det åbningsstyrede låseregister 51. Nye sæt af indgangsdata enten fra den mentebevarende additionskreds 44 (CSA-D) eller udgangen fra den mentebevarende additionskreds 52 (CSA-F) indgangsåbningsstyres til den mentebevarende additionskreds 50 (CSA-E) og låsekredsen 51 i afhængighed af et indgangsåbningsstyresignal, der er betegnet med -åbn.styr. CSA-E. Indgangsåbningsstyringen til CSA-F er betegnet med -åbn.styr. CSA-F. De endelige udgange fra fig. 17 og 18 er forskellige signaludgange fra CSA-F, der repræsenterer mentegruppen af udgangssignaler (CF 13 og C 13) samt sumgruppen af udgangssignaler (SF 13 og S 13) for bitposition 13. S 13- og C 13-signalerne åbningsstyres til paralleladditionskredsen 23 i fig. 1. SF 13- og CF 13-signalerne føres til indgangen til CSA-E. Som det ses for eksempel på grundlag af fig. 18, er to af indgangene til CSA-E linier, der er betegnet med +CF 1 og +SF 1. Disse indgangssignaler repræsenterer udgangssignalet fra den mentebevarende additionskreds 52 (CSA-F), forskudt 12 positioner til højre forud for indføringen i additionskreds-sløjfen 22.

De signallinier, der er betegnet med tilbagestilling i alle figurerne, er kun virksomme ved afslutningen af en fuldstændig multiplikationsoperation til tilbagestilling af alle de fastlåste organer til udgangstilstanden. De fastlåste udgangssignaler i en vilkårlig af de åbningsstyrede låsekredse opretholdes ved fastlåsningsvirkningen og kan ikke ændres før det tidspunkt, til hvilket en ny indgangsåbningsstyring føres til låsekredsen. Derfor findes der ingen særskilt tilbagestillingscyklus for låseorganerne.

I den ovenfor givne beskrivelse er der angivet et additionsapparat, som er opbygget på en sådan måde, at på hinanden følgende samlinger af operander kan føres til additionsapparatets indgang med en hastighed, der overskrider den hastighed, med hvilken de endelige sumværdier frembringes fra additionsapparatets udgang. Herved tilvejebringes der således et additionsapparat, der navnlig er velegnet til hurtig multiplikation eller division af binære tal, idet indledningen af på hinanden følgende iterationer under multiplikationscyklen ikke behøver at afvente resultaterne af forudgående iterationer, hvorved der tilvejebringes et multiplikationsapparat med stor hastighed.

P a t e n t k r a v

1. Apparat til hurtig addition af et antal flercifrede, binære operander, især delprodukter ved en multiplikation, indeholdende en pyramide af flere mentebevarende additionsorganer, der sammenfatter et til antallet af operander svarende antal indgangssignaler til to udgangssignaler, samt et med pyramidens udgang forbundet mentebevejende additionsorgan, k e n d e t e g n e t ved, at pyramiden afsluttes med en af to serieforbundne mentebevarende additionsorganer (50 og 52) bestående additionskæde, hvis udgang er tilbagekoblet til dens indgang, og at operanderne tilføres pyramiden parallelt med en sådan hastighed, at resultatværdierne optræder ved pyramidens udgang samtidig med at efter hinanden følgende resultater tilbageføres fra additionskædens udgang til dens indgang.

2. Apparat ifølge krav 1, k e n d e t e g n e t ved, at i det mindste en del af de mentebevarende additionsorganer (42, 44, 50, 52) er forsynet med spærrekredse til mellemoplagring af de dannede delsummer.

3. Apparat ifølge krav 1 og 2, k e n d e t e g n e t ved, at tiden for operanderens passage gennem et mentebevarende additionsorgan i det mindste i hovedsagen er lige lang for alle de mentebevarende additionsorganer i additionspyramiden og additionskæden.

4. Apparat ifølge krav 1-3, k e n d e t e g n e t ved, at der i den til additionskædens (22) andet mentebevarende additionsorgan (52) direkte tilbagekoblede forbindelse er tilkoblet en spærrekreds (51) til mellemoplagring af operander i operationstiden for kædens første mentebevarende additionsorgan (50).

5. Apparat ifølge krav 1-4, k e n d e t e g n e t ved, at der findes en tidsstyrekreds, som er indrettet til for hver af de til additionspyramiden (21) tilførte operandciffergrupper at frembringe en indføringsstyreimpuls, og som indbefatter en kæde af forsinkelses-kredse (80-83), af hvilke hver kreds er afstemt til tiden for operanderens passage gennem et af de mentebevarende additionsorganer (f.eks. 42), og at kædens forsinkelses-kredse er indrettet til for hver indføringsstyreimpuls at frembringe efter hinanden følgende åbningsstyreimpulser for de efter hinanden følgende niveauer i additionspyramiden (21) og

additionskæden (22) til overførsel af delsumme til det efterfølgende niveau.

6. Apparat ifølge krav 5, k e n d e t e g n e t ved, at styreorganet er indrettet til afgivelse af operandindføringsstyreimpulserne i et tidsinterval, der svarer til tiden for operandernes passage gennem et af de mentebevarende additionsorganer (f.eks. 42).

7. Apparat ifølge krav 1-6, k e n d e t e g n e t ved, at der for hver af de tilførte operander findes et register (24-29), hvis udgang er forsynet med åbningskredse, der samtidig får tilført en til et operandsæt svarende indføringsstyreimpuls.

Fremdragne publikationer:

USA patent nr. 3115574

M.Phister: Logical Design of Digital Computers, USA, 1960, side 305-307.

FIG. 1

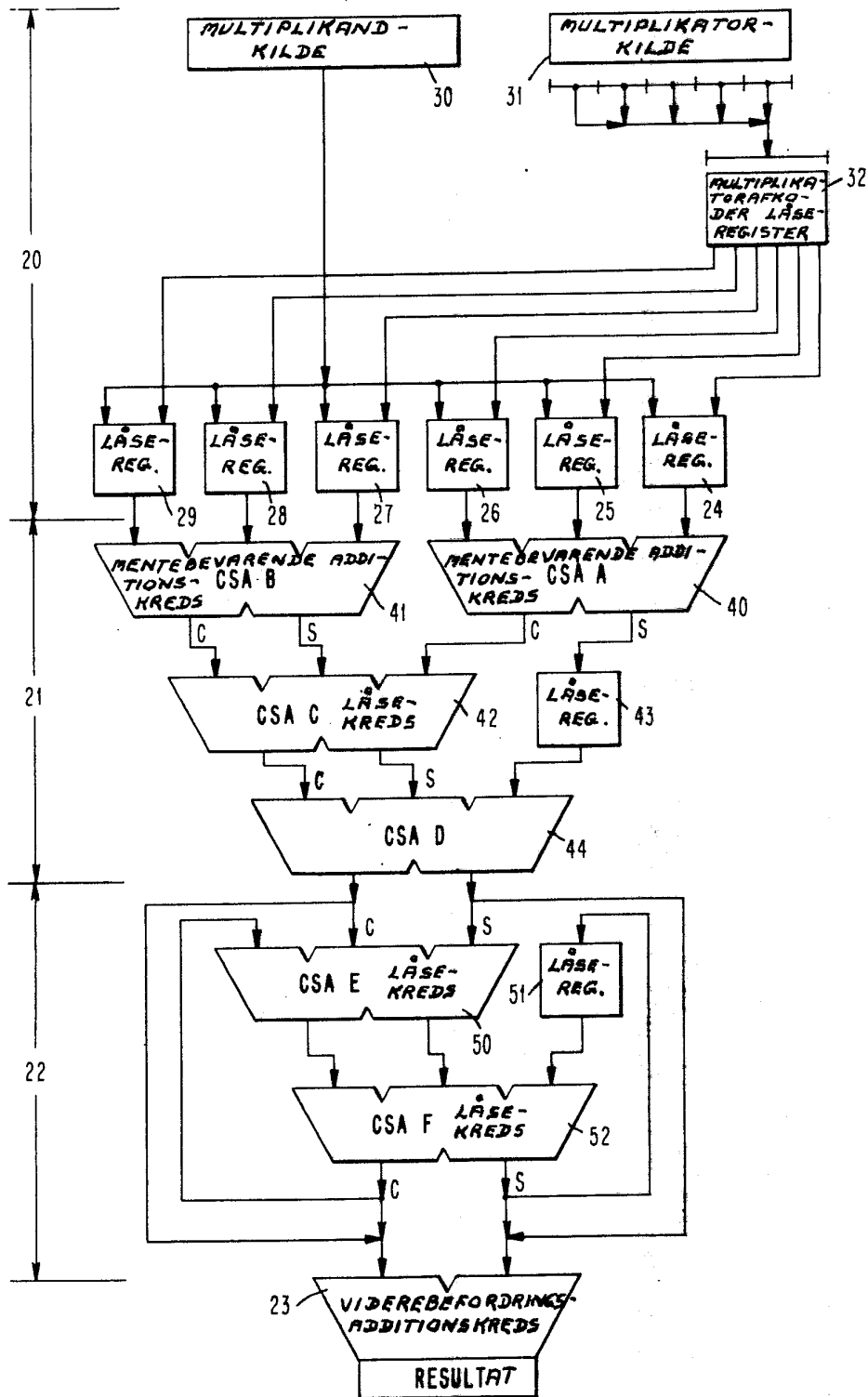


FIG. 2

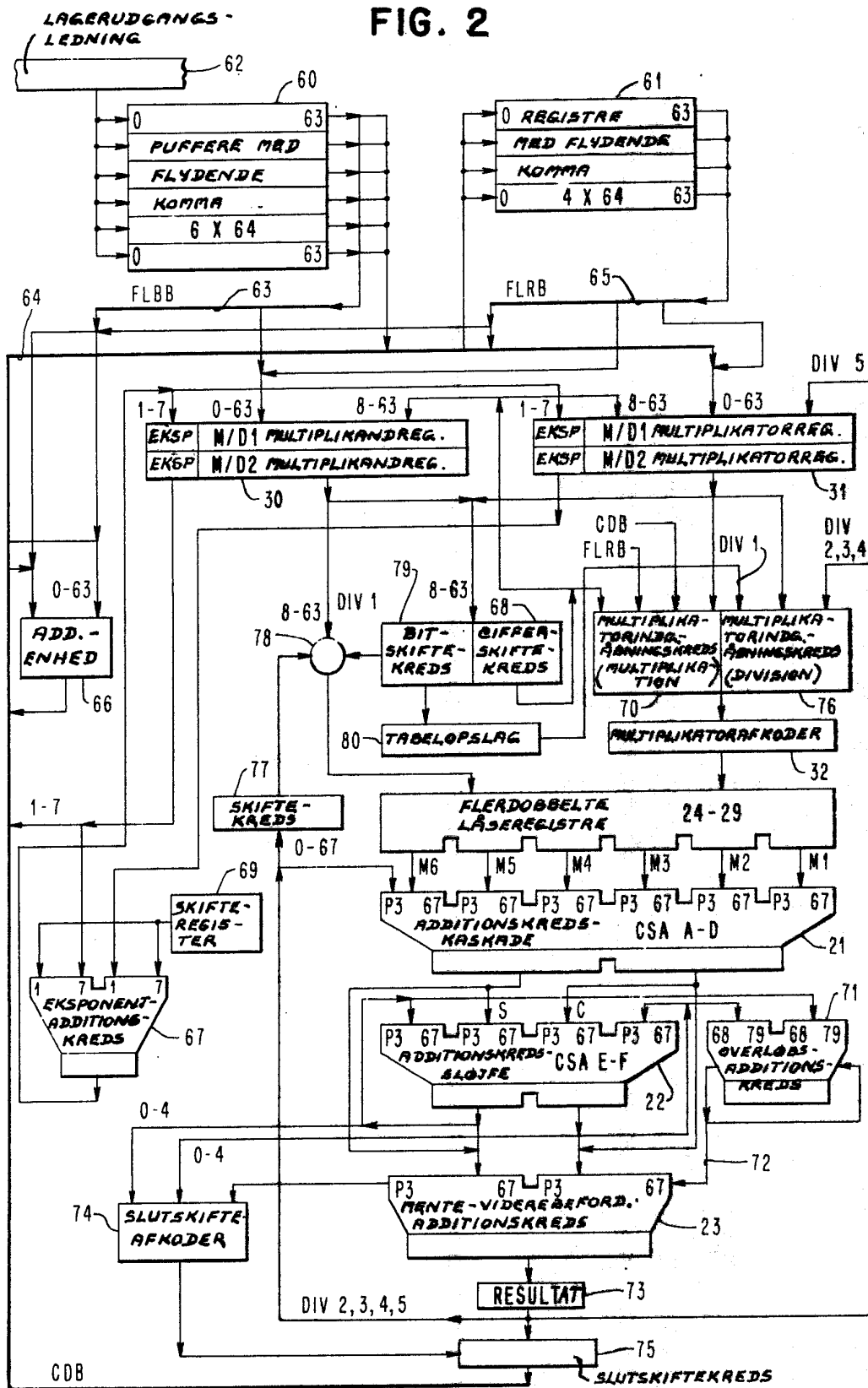


FIG. 4 MULTIPLIKATOR

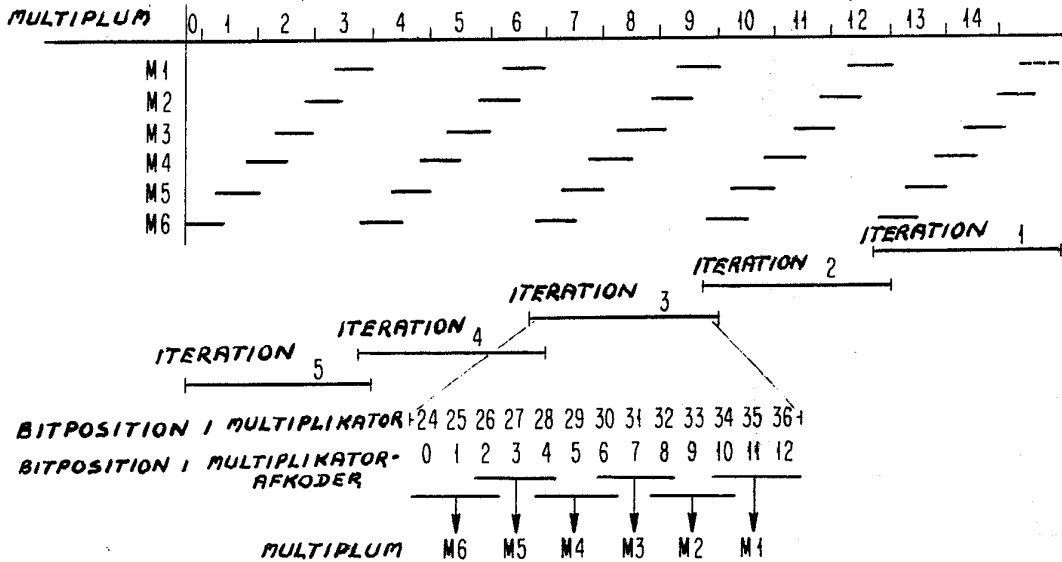


FIG. 3

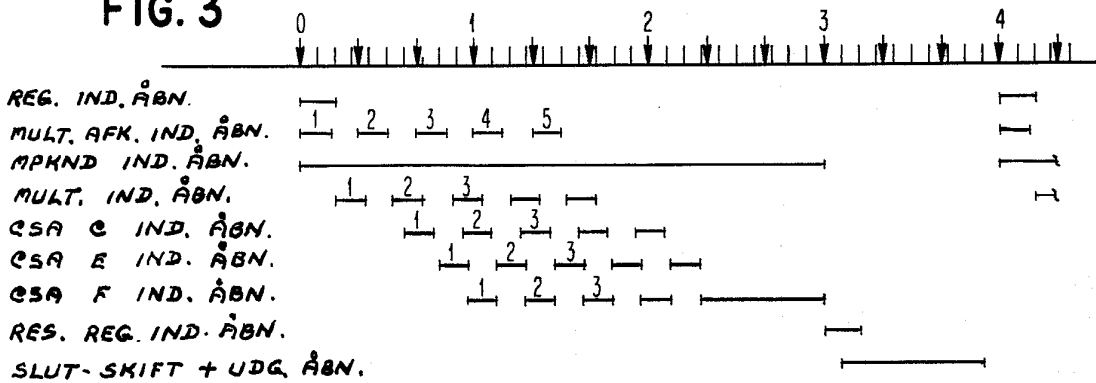


FIG. 5

M6			M4			M2		
N	N+1	N+2	N	N+1	N+2	N	N+1	N+2
0	1	2	4	5	6	7	8	9
		N	N	N+1	N+2	N	N+1	N+2
INDG. SIG.			M5		M3		M1	
N	N+1	N+2	N	N+1	N	N+1	SKIFT H 6	SKIFT H 7
0	0	0	0	0				
0	0	1	0	+1				SAND
0	1	0	0	+1				SAND
0	1	1	+1	0			SAND	
1	0	0	-1	0			KOMP.	
1	0	1	0	-1				KOMP.
1	1	0	0	-1				KOMP.
1	1	1	0	0				

MULTIPLIKATORAFKODER  
 INDRANGS-  
 ÅBNINGS-  
 STYRING IT 1, 2, 3, 4, 5

FIG. 6

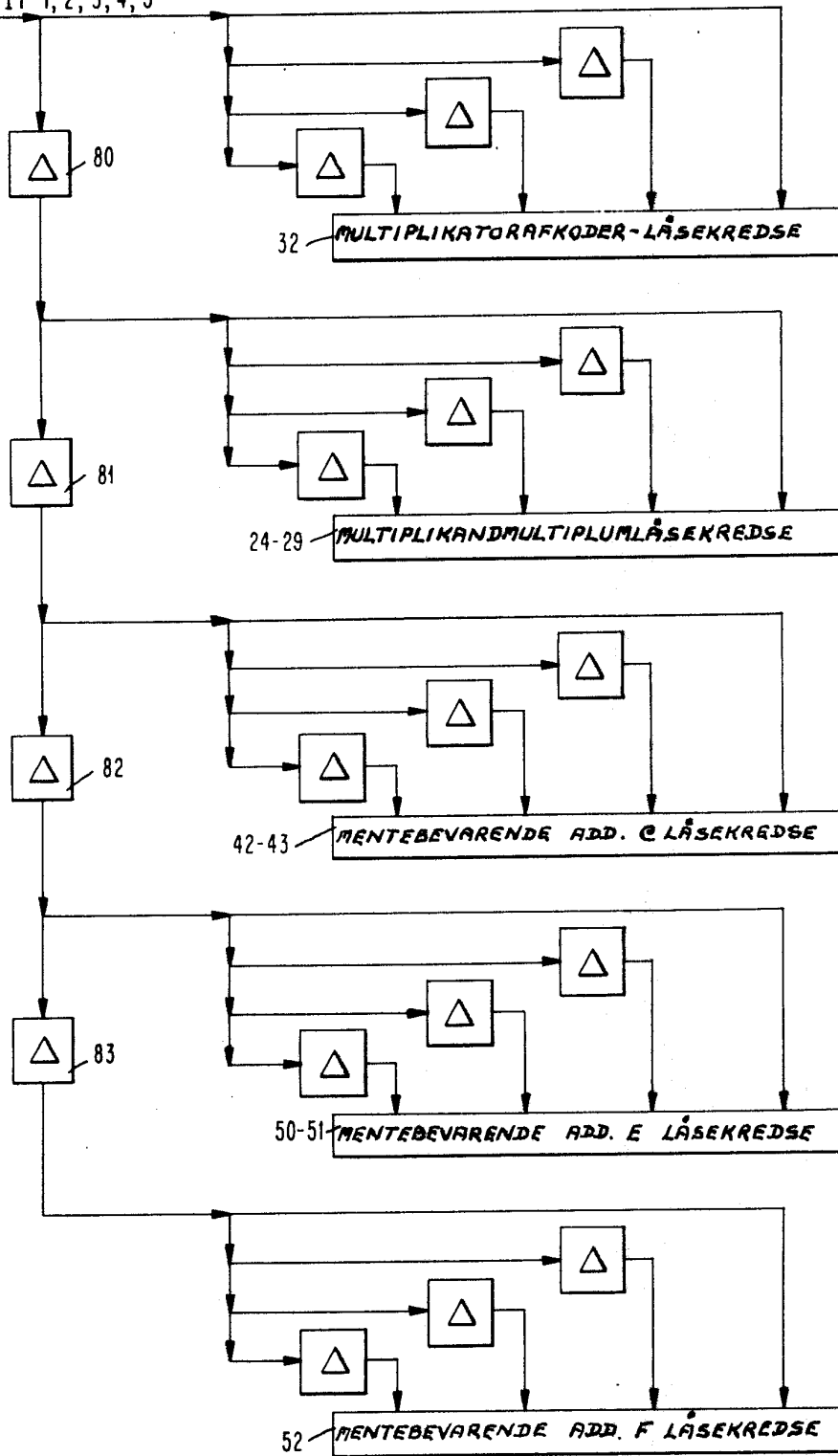


FIG. 7

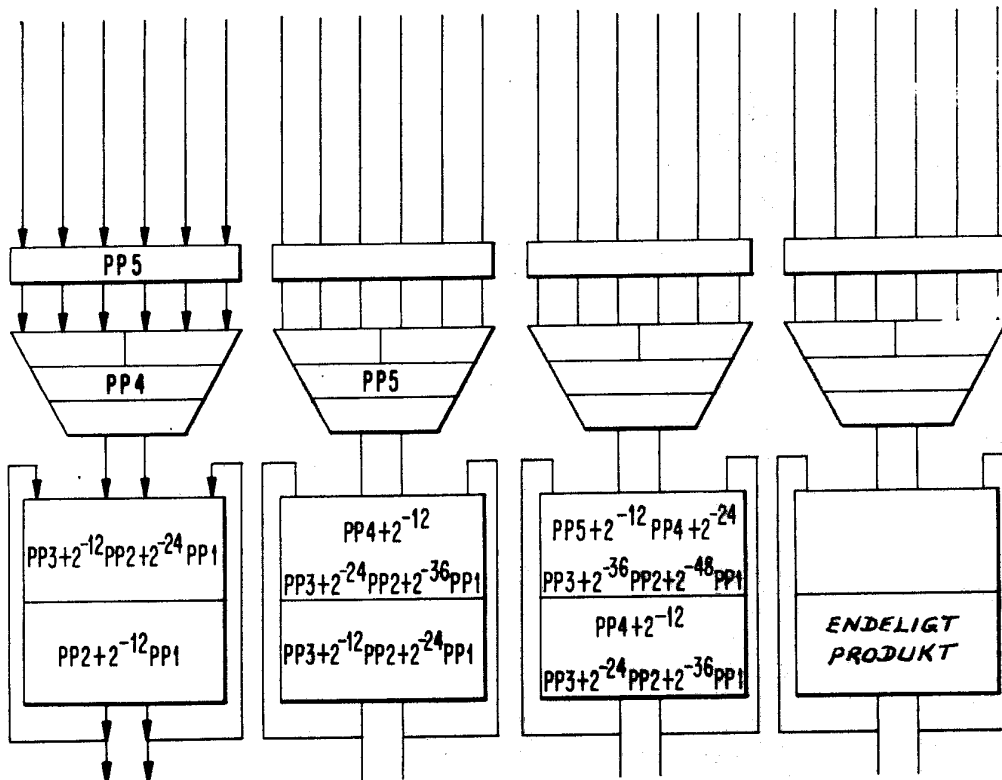
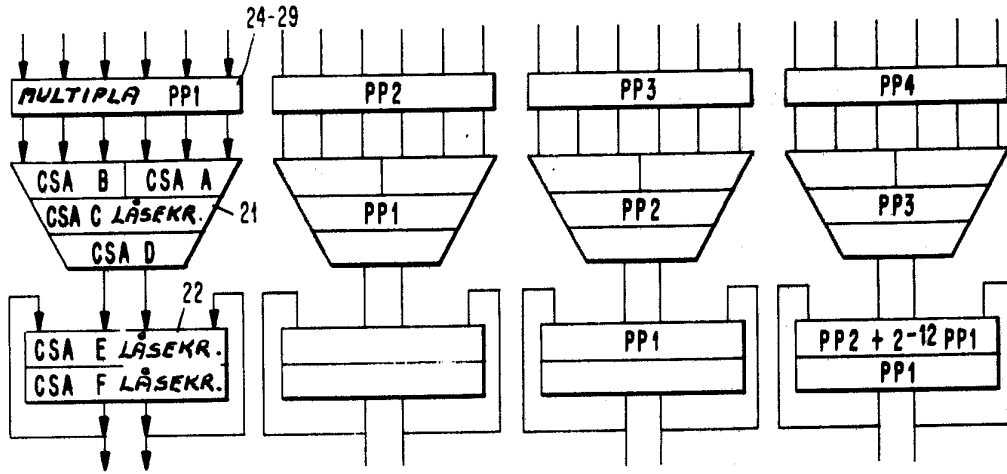


FIG. 9

FIG. 8

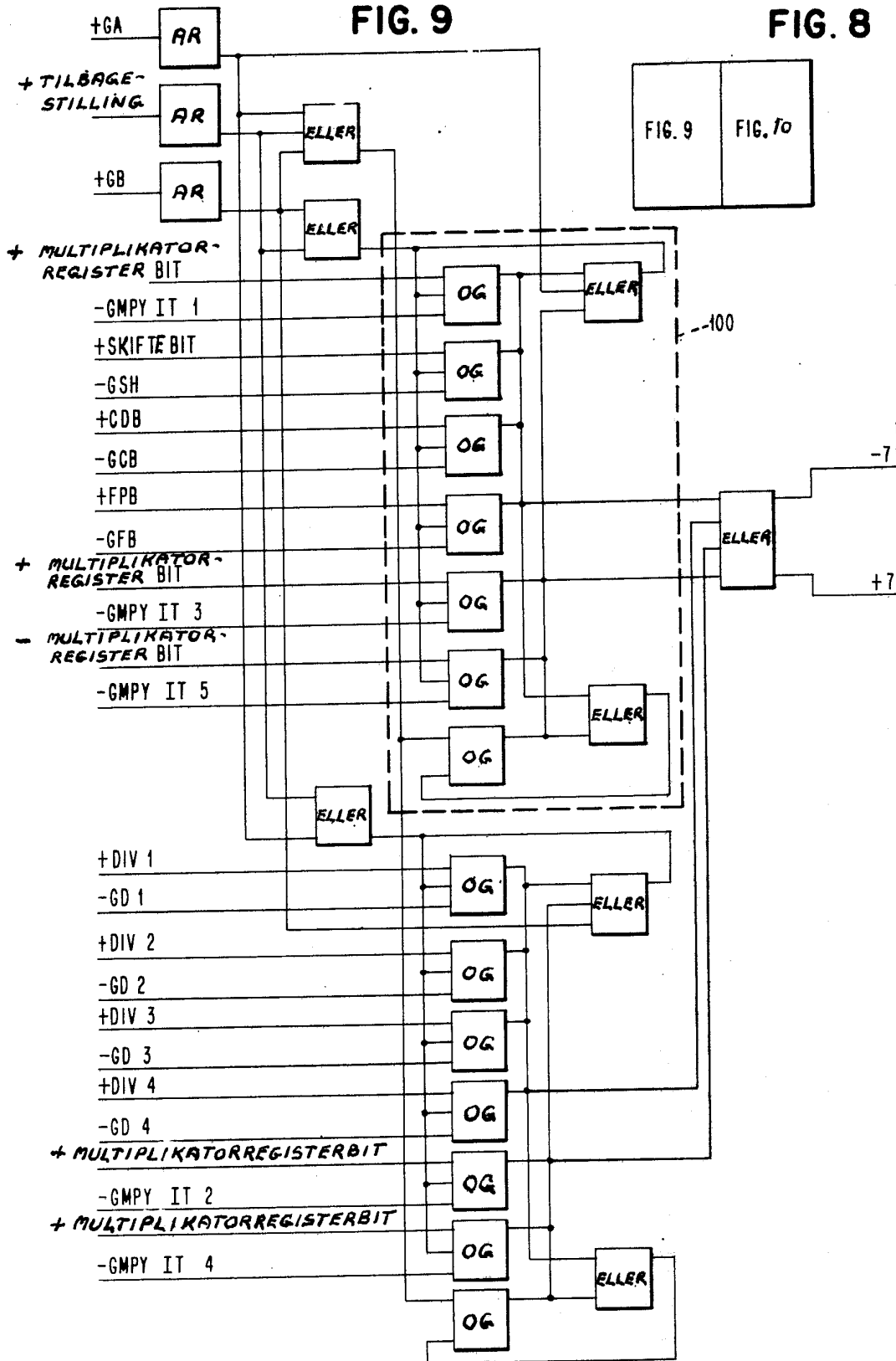


FIG. 10

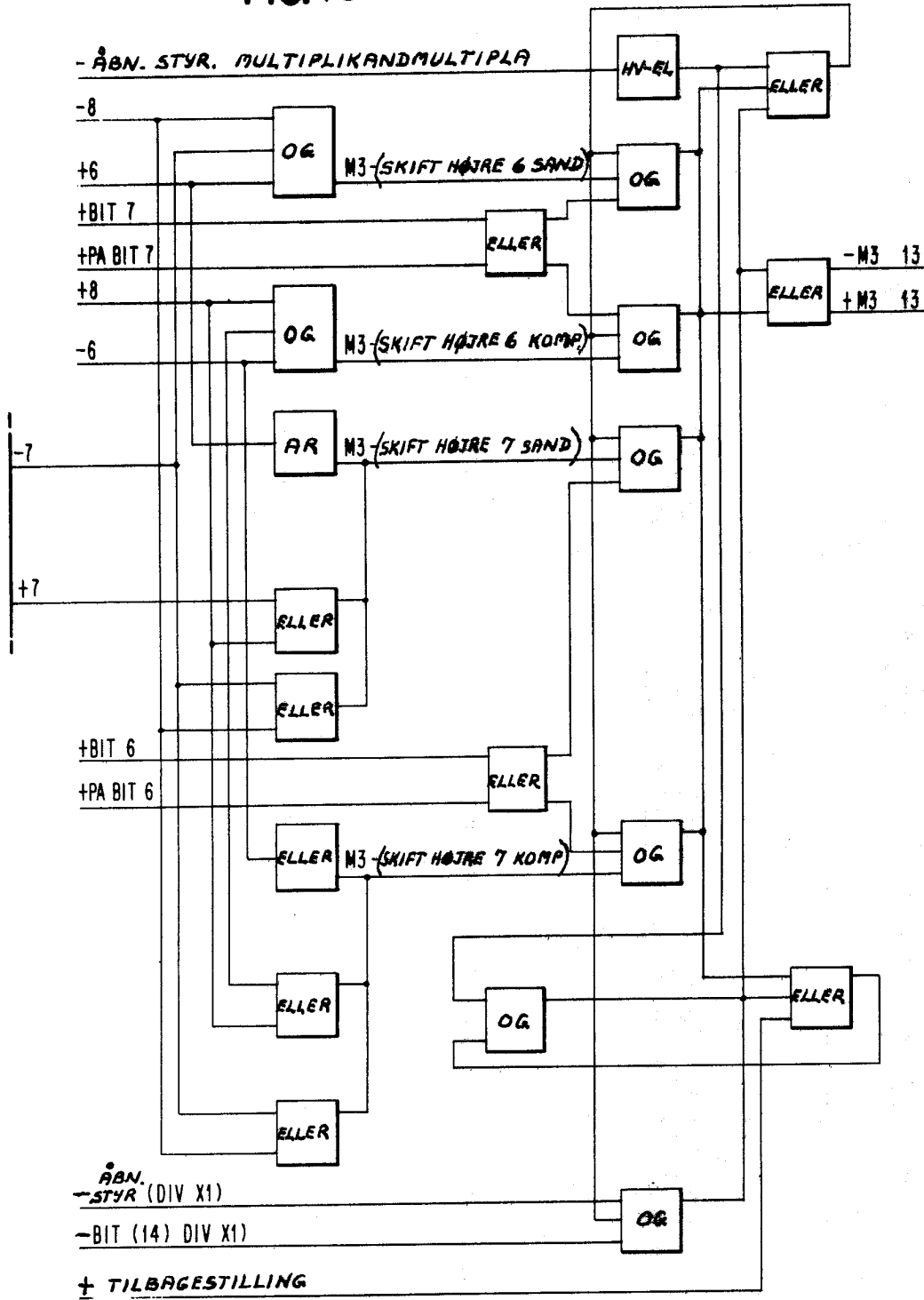


FIG. 12

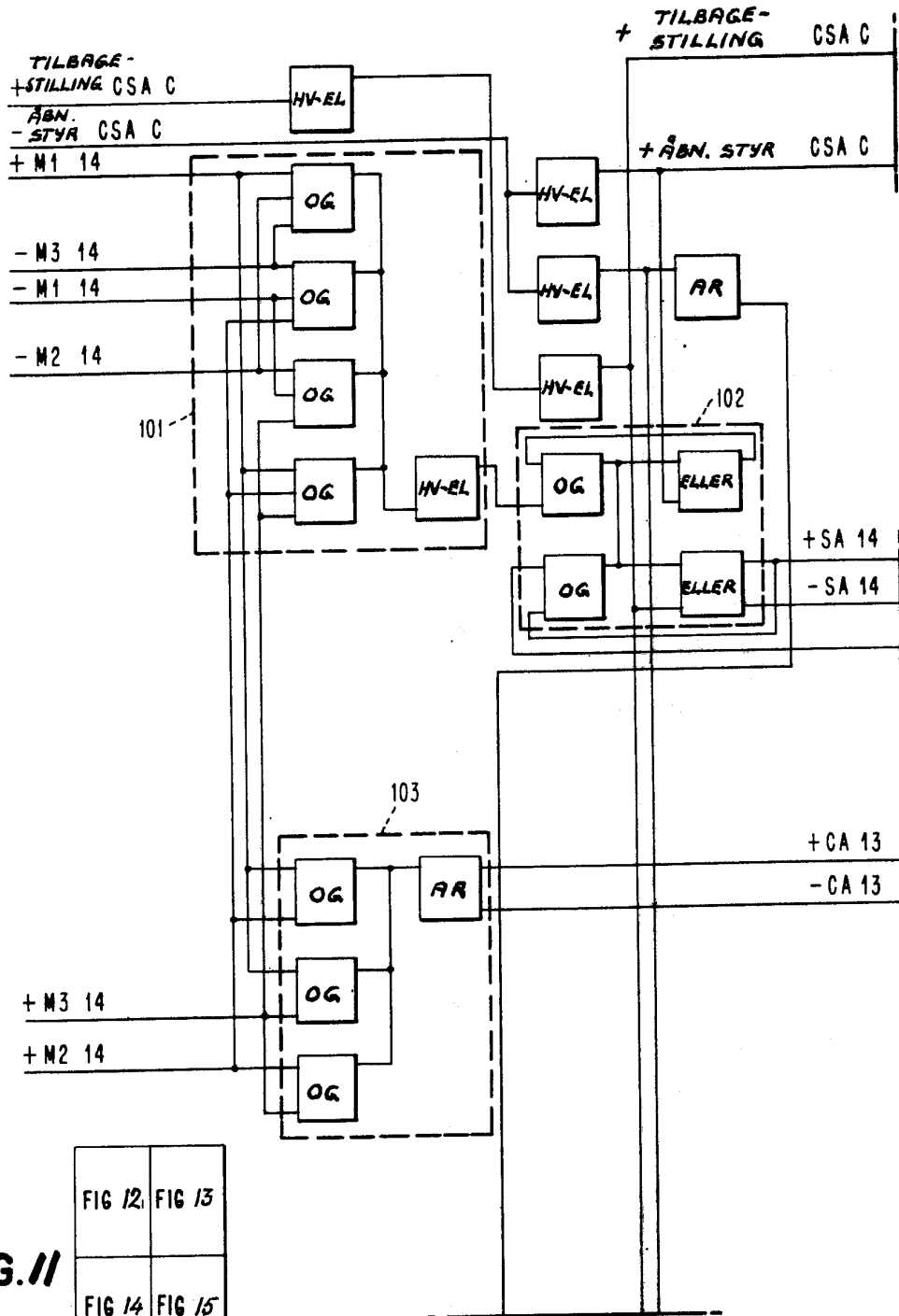


FIG 12	FIG 13
FIG 14	FIG 15

FIG. 11

FIG. /3

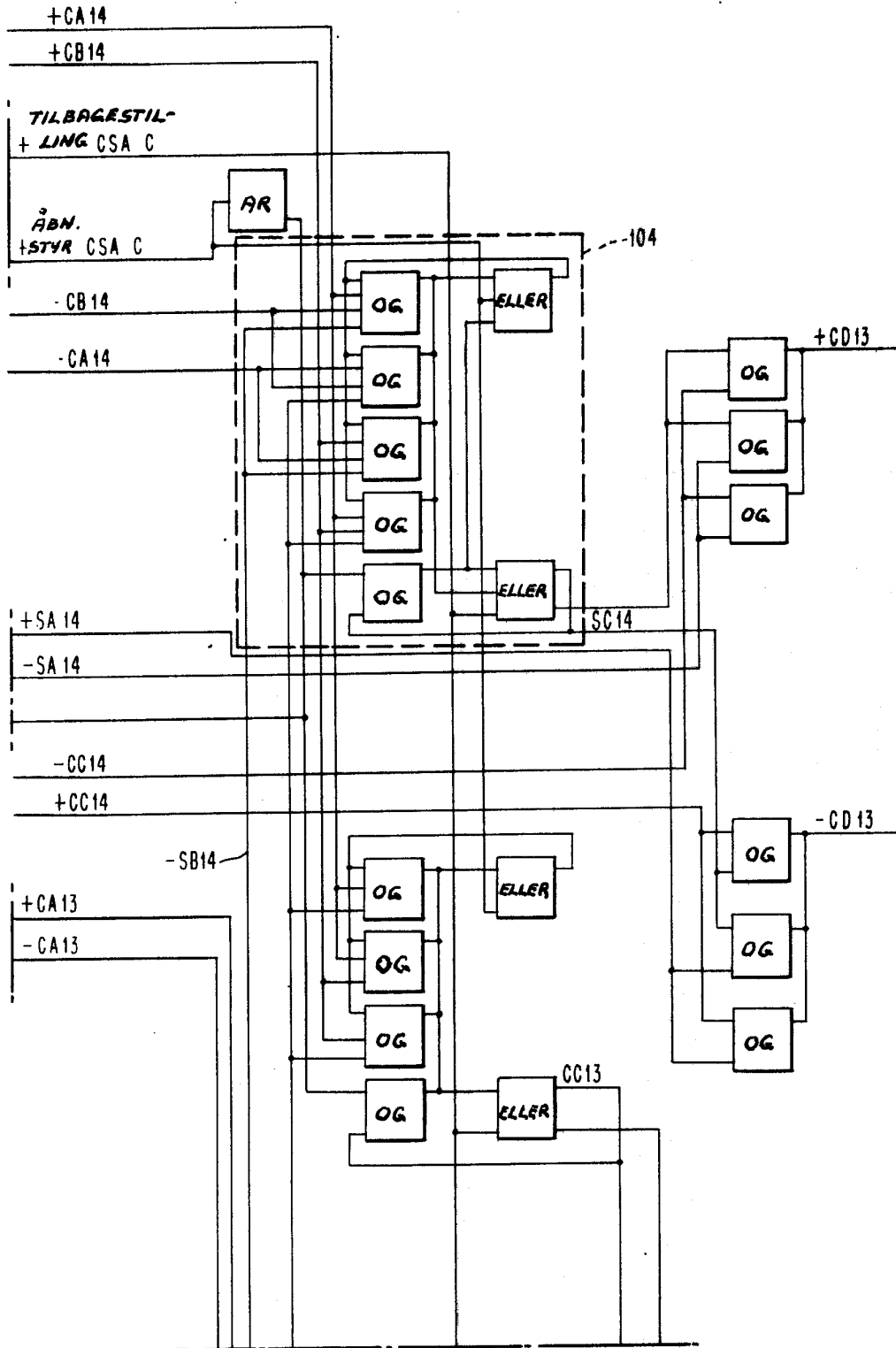
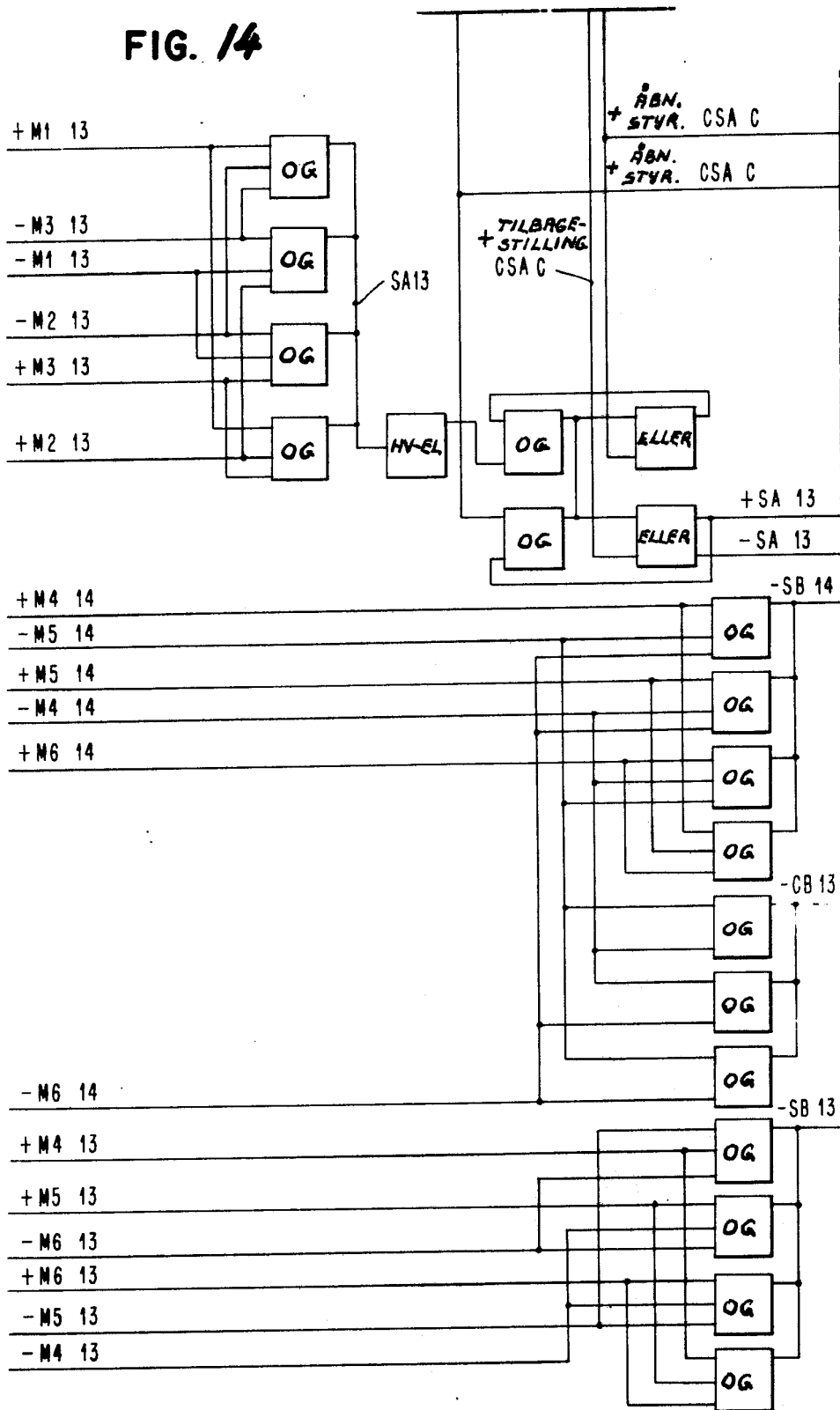


FIG. 14



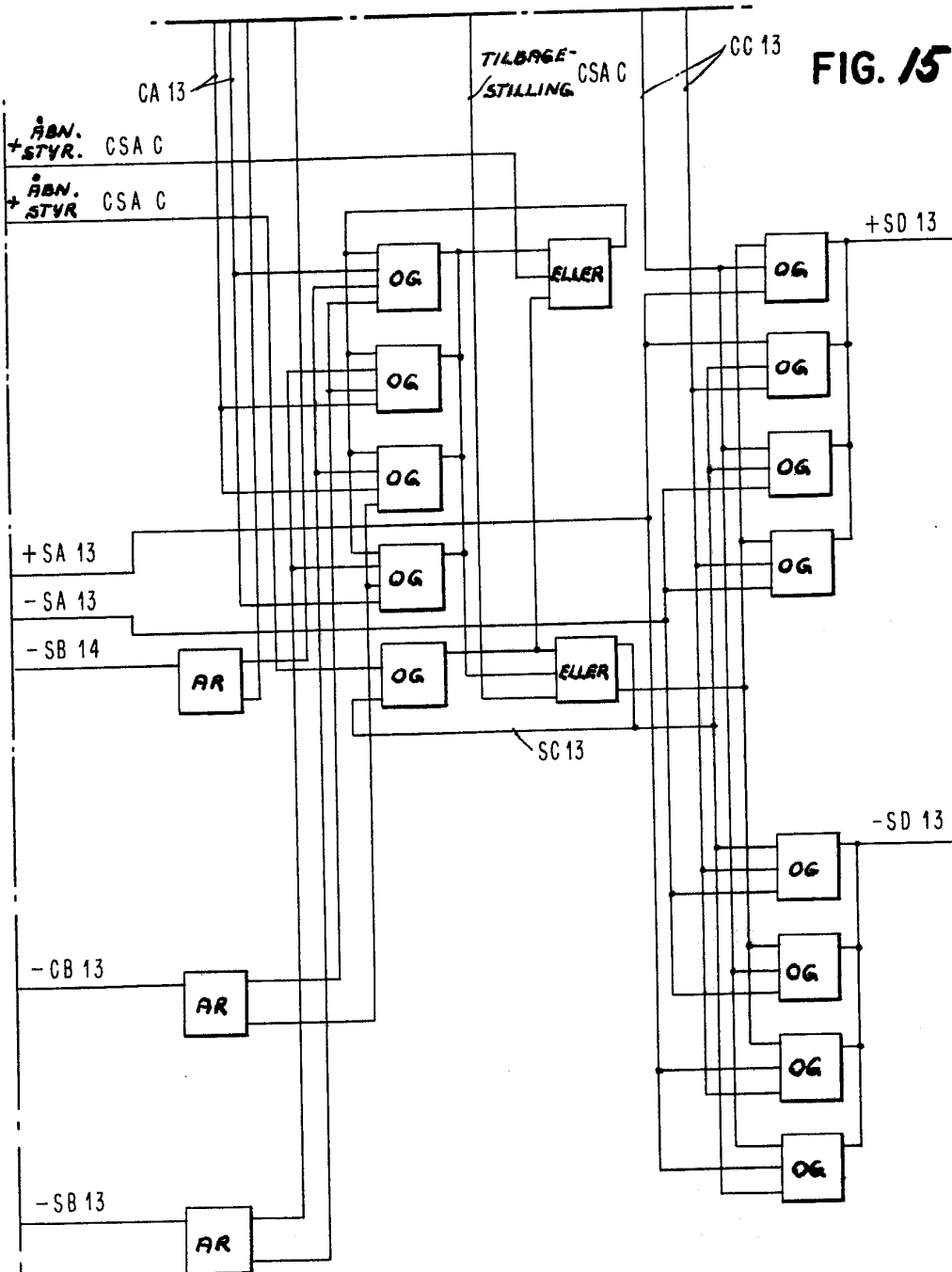


FIG. 17

FIG. 16

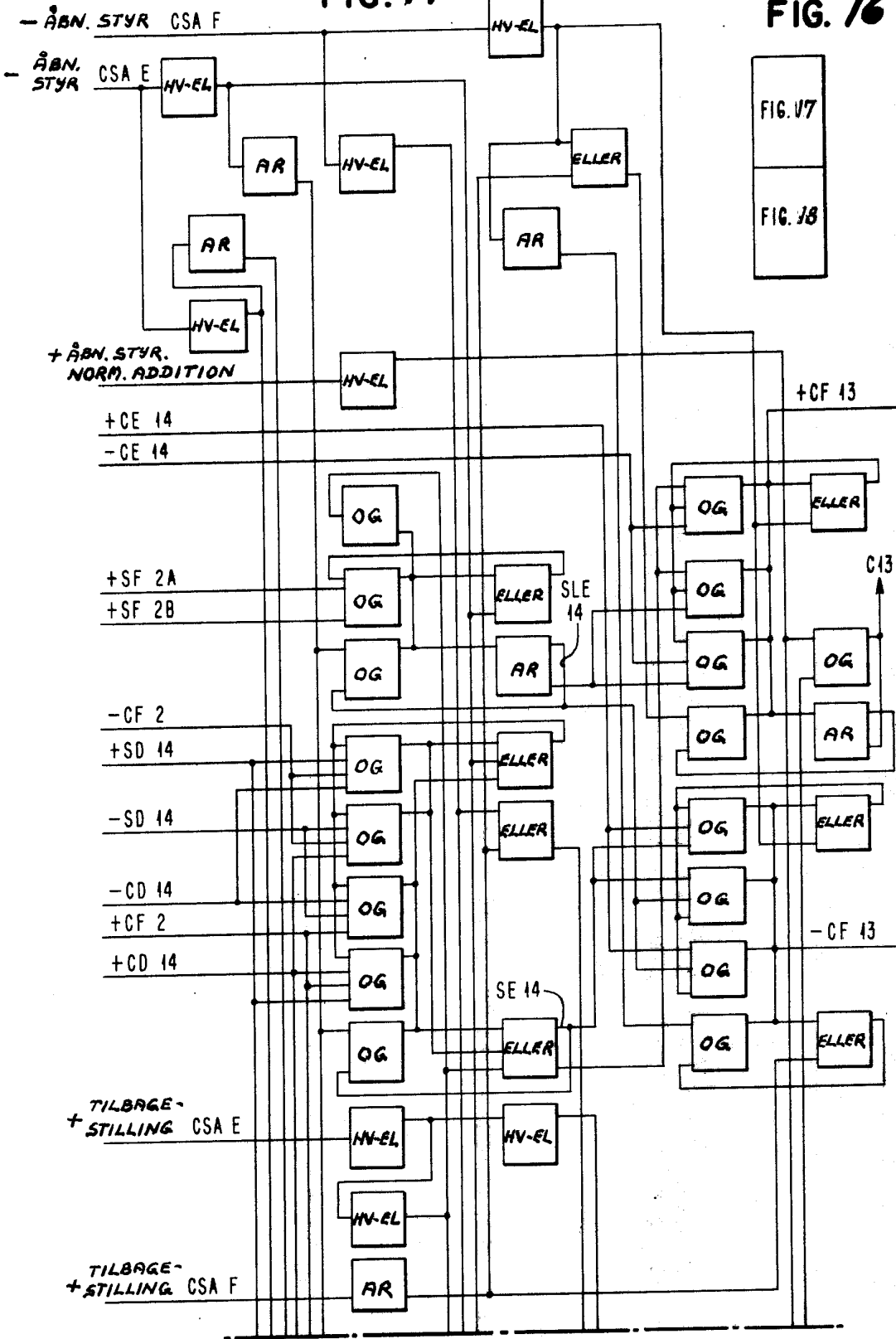


FIG. 18

