

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 5 月 30 日(30.05.2014)



(10) 国際公開番号

WO 2014/080668 A1

- (51) 国際特許分類:
H03F 1/30 (2006.01) H04B 1/04 (2006.01)
H03F 3/193 (2006.01)
- (21) 国際出願番号: PCT/JP2013/070842
- (22) 国際出願日: 2013 年 8 月 1 日(01.08.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-254840 2012 年 11 月 21 日(21.11.2012) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 Kyoto (JP).
- (72) 発明者: 廣岡博之(HIROOKA, Hiroyuki); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人 楓国際特許事務所(KAEDE PATENT ATTORNEYS' OFFICE); 〒5400011 大阪府大阪市中央区農人橋 1 丁目 4 番 3 4 号 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: HIGH FREQUENCY AMPLIFIER CIRCUIT

(54) 発明の名称: 高周波増幅回路

【図 1】

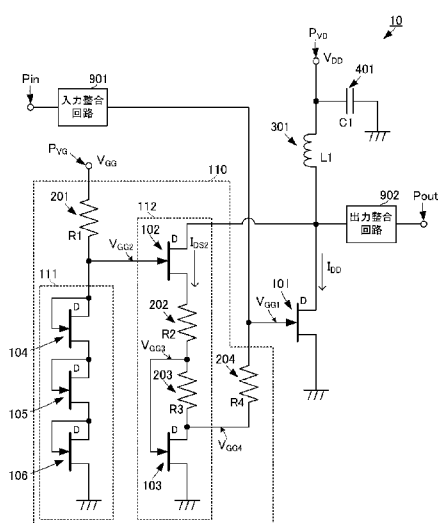


FIG. 1:
901 Input matching circuit
902 Output matching circuit

(57) Abstract: This high frequency amplifier circuit (10) is provided with an FET (101) for high frequency amplification, a constant voltage circuit (111), and a voltage compensation circuit (112). A resistor (201) and the constant voltage circuit (111) are series-connected between a gate bias voltage application terminal (P_{VG}) and the ground. The voltage compensation circuit (112) is connected between the FET (101) and the connection point of the resistor (201) and the constant voltage circuit (111). The voltage compensation circuit (110) is provided with an FET (102) the gate of which is connected to the connection point of the resistor (201) and the constant voltage circuit (111), resistors (202, 203) series-connected between the ground and the source of the FET (102), and an FET (103). The gate of the FET (103) is connected to the connection point of the resistors (202, 203), and the drain of the FET (103) is connected to the gate of the FET (101) through a resistor (204).

(57) 要約: 高周波増幅回路 (10) は、高周波増幅用の FET (101)、定電圧回路 (111)、電圧補償回路 (112) を備える。ゲートバイアス電圧印加端子 (P_{VG}) とグラウンドとの間には、抵抗器 (201) と定電圧回路 (111) が直列接続されている。抵抗器 (201) と定電圧回路 (111) との接続点と FET (101) との間には、電圧補償回路 (112) が接続されている。電圧補償回路 (110) は、抵抗器 (201) と定電圧回路 (111) との接続点にゲートが接続する FET (102) と、FET (102) のソースとグラウンドとの間に直列接続された抵抗器 (202, 203)、FET (103) を備える。FET (103) のゲートは抵抗器 (202, 203) の接続点に接続し、FET (103) のドレインは、抵抗器 (204) を介して FET (101) のゲートに接続している。

明 細 書

発明の名称：高周波増幅回路

技術分野

[0001] 本発明は、入力された高周波信号を増幅して出力する高周波増幅回路、特に、エンハンスメント型の電界効果トランジスタを増幅素子として用いる高周波増幅回路に関する。

背景技術

[0002] 従来、通信機器の送信回路には、通信に利用する高周波信号を増幅する高周波増幅回路が備えられている。基本的な高周波増幅回路の構成としては、例えば、特許文献１の従来技術の図６にも示されているように、高周波信号増幅用の電界効果トランジスタ（以下、「FET」と称する。）が備えられており、抵抗器を介して高周波増幅用FETのゲートバイアス電圧が印加されている。

[0003] この構成では、高周波増幅用FETの製造バラツキによりドレイン電流がばらつくことが分かっており、特許文献１に記載の高周波増幅回路では、次の構成を備えている。

[0004] 高周波増幅用FETのゲートには、高周波増幅用FETと同じ構造からなる補償用FETを含むゲートバイアス回路が備えられている。ゲートバイアス回路は、ゲートバイアス（ $-V_{GG}$ ）の印加端子とグランドとの間に、補償用FETと二個の抵抗器とが縦続接続された構成からなる。具体的には、ゲートバイアス（ $-V_{GG}$ ）の印加端子側から、抵抗器、補償用FET、抵抗器が接続される。各抵抗器は、補償用FETのドレインとソースに接続される。補償用FETのゲートには、ゲートバイアス（ $-V_{GG}$ ）が直接印加される。

[0005] このような構成の場合、高周波増幅用FETのピンチオフ電圧が設計値からずれた場合、補償用FETのピンチオフ電圧も同じように設計値からずれる。この補償用FETのピンチオフ電圧のズレによって、ゲートバイアス回

路の出力電圧（高周波増幅用 F E T のゲートバイアス電圧）が、ピンチオフ電圧のズレを補償するように変化する。

[0006] このような構成からなる特許文献 1 に記載の高周波増幅用 F E T と補償用 F E T は、デプレッション側の F E T からなる。

[0007] また、従来の高周波増幅回路として、図 1 3 に示す高周波増幅回路がある。図 1 3 は、従来の高周波増幅回路の回路図である。高周波増幅回路 1 0 P は、高周波増幅用の電界効果トランジスタ 1 0 1（F E T 1 0 1）を備える。F E T 1 0 1 は、エンハンスメント型からなる。F E T 1 0 1 のゲートは、入力整合回路 9 0 1 を介して、高周波信号入力端子 P i n が接続されている。

[0008] また、F E T 1 0 1 のゲートは、ゲートバイアス電圧設定回路 1 1 0 P を介して、ゲートバイアス電圧印加端子 P_{VG} に接続されている。ゲートバイアス電圧設定回路 1 1 0 P は、ゲートバイアス電圧印加端子 P_{VG} とグランドとの間に直列接続された抵抗器 2 1 1 P, 2 1 2 P を備える。抵抗器 2 1 1 P, 2 1 2 P の接続点は、抵抗器 2 1 3 P を介して、F E T 1 0 1 のゲートに接続されている。

[0009] このような構成では、抵抗器 2 1 1 P, 2 1 2 P の抵抗比を変化させることで、F E T 1 0 1 のゲートバイアス電圧を変化させ、F E T 1 0 1 のドレイン電流すなわち高周波増幅回路 1 0 P の出力電力を調整している。

先行技術文献

特許文献

[0010] 特許文献 1：特開 2 0 0 0－1 2 4 7 4 9 号公報

発明の概要

発明が解決しようとする課題

[0011] しかしながら、特許文献 1 に記載の高周波増幅回路は、各 F E T にデプレッション型 F E T を用いている。したがって、特許文献 1 には、高周波増幅回路における高周波増幅用 F E T の製造バラツキによるドレイン電流のばら

つきを抑制する方法について、エンハンスメント型 F E T を用いた場合に関しての記載が無い。

[0012] また、特許文献 1 に記載の高周波増幅回路では、図 1 3 に示した従来の高周波増幅回路 1 0 P と同様に、入力するゲートバイアス電圧を変化させなければ、ドレイン電流を制御することができない。

[0013] また、図 1 3 に示した従来の高周波増幅回路 1 0 P では、次に示す問題が生じる。図 1 4 は従来の高周波増幅回路のゲートバイアス電圧とドレイン電流との関係を示す特性図である。図 1 5 は従来の高周波増幅回路においてゲートバイアス電圧を固定した時のピンチオフ電圧の変動分とドレイン電流との関係を示す特性図である。

[0014] 図 1 4 に示すように、従来の高周波増幅回路 1 0 P では、ゲートバイアス電圧 V_{GG} とドレイン電流 I_{DD} との関係は非線形であり、ゲートバイアス電圧 V_{GG} が所定値以上になると、急激にドレイン電流 I_{DD} が増加する。

[0015] 高周波増幅回路として高い出力電力を得ようとする場合、このドレイン電流 I_{DD} が非線形で急激に変化する領域のゲートバイアス電圧 V_{GG} を用いなければならない。しかしながら、この領域を用いた場合、ゲートバイアス電圧 V_{GG} の変化に応じたドレイン電流 I_{DD} の変化量が大きく、目標とした出力電力を安定して得ることが難しい。

[0016] また、図 1 5 に示すように、高周波増幅用の F E T のピンチオフ電圧の変動量に応じたドレイン電流 I_{DD} の変化量も非線形である。特に、所定のピンチオフ電圧が低くなった場合には、同じベースバイアス電圧であっても、ピンチオフ電圧が高い時と比較して、急激にドレイン電流 I_{DD} が増加する。

[0017] このように、ゲートバイアス電圧 V_{GG} が安定であっても、高周波増幅用の F E T 1 0 1 のピンチオフ電圧にバラツキが生じると、同様にドレイン電流が大幅に変化してしまう。

[0018] 本発明の目的は、ゲートバイアス電圧 V_{GG} や高周波増幅用 F E T のピンチオフ電圧にバラツキがあっても、安定した出力電力を得られる高周波増幅回路を提供することにある。

課題を解決するための手段

- [0019] この発明は、高周波増幅用の電界効果トランジスタと、該電界効果トランジスタのゲートバイアスを決定するゲートバイアス電圧設定回路と、を備えた高周波増幅回路に関するものであり、次の特徴を有する。高周波増幅用の電界効果トランジスタはエンハンスメント型である。ゲートバイアス電圧設定回路は、外部入力される入力ゲートバイアス電圧 V_{GG} が印加された状態で所定電圧を出力する定電圧回路と、エンハンスメント型の複数の補償用電界効果トランジスタを有する電圧補償回路とを備える。複数の補償用電界効果トランジスタは、定電圧回路から入力される電圧が印加される第1の補償用電界効果トランジスタと、該第1の補償用電界効果トランジスタのドレイン電流の増加によりドレインソース間のオン抵抗が低下し、第1の補償用の電界効果トランジスタのドレイン電流の低下によりドレインソース間のオン抵抗が上昇する第2の補償用電界効果トランジスタを、有する。
- [0020] この構成では、ゲートバイアス電圧設定回路に入力される電圧が変動した場合に、ゲートバイアス電圧設定回路から出力される電圧、すなわち高周波増幅用の電界効果トランジスタのゲートバイアス電圧が調整され、高周波増幅用の電界効果トランジスタのドレイン電流は一定に保たれる。同様に、高周波増幅用の電界効果トランジスタのピンチオフ電圧が設計値からずれている場合であっても、高周波増幅用の電界効果トランジスタのゲートバイアス電圧が調整され、高周波増幅用の電界効果トランジスタのドレイン電流は一定に保たれる。
- [0021] また、この発明の高周波増幅回路は、次の構成であってもよい。第2の補償用電界効果トランジスタはソース接地されている。第1の補償用電界効果トランジスタのソースと第2の補償用電界効果トランジスタのドレインとの間には、二個の抵抗器が直列接続されている。第2の補償用電界効果トランジスタのゲートは、二個の抵抗器の接続点に接続されている。第2の補償用電界効果トランジスタのドレインは、高周波増幅用の電界効果トランジスタのゲートに接続されている。

- [0022] この構成では、電圧補償回路の具体的な回路構成例を示している。
- [0023] また、この発明の高周波増幅回路では、第1の補償用電界効果トランジスタのドレインは、高周波増幅用の電界効果トランジスタのドレインと同じ駆動電圧印加端子に接続されていることが好ましい。
- [0024] この構成では、高周波増幅用の電界効果トランジスタのゲートに印加可能な電流を大きくすることができる。これにより、高周波増幅用の電界効果トランジスタのゲートに直列接続する抵抗器を低抵抗にしても、ゲートに大きな電流を供給できる。したがって、高周波増幅回路の出力特性を向上させることができる。
- [0025] また、この発明の高周波増幅回路では、第1の補償用電界効果トランジスタのドレインと、高周波増幅用の電界効果トランジスタのドレインとの間に、高周波信号に対して高インピーダンスとなる高インピーダンス回路が接続されていることが好ましい。
- [0026] この構成では、高周波増幅用の電界効果トランジスタから出力される増幅後の高周波信号が、高周波増幅用の電界効果トランジスタのゲート電圧を供給する回路側に帰還することを抑制できる。これにより、高周波増幅回路の出力特性をさらに向上させることができる。
- [0027] また、この発明の高周波増幅回路の高インピーダンス回路は抵抗器であってもよい。
- [0028] また、この発明の高周波増幅回路の高インピーダンス回路はコイルであってもよい。
- [0029] また、この発明の高周波増幅回路の高インピーダンス回路は、高周波信号の周波数を共振周波数とするコイルとコンデンサの並列共振回路であってもよい。
- [0030] これらの構成では、高インピーダンス回路の具体的な回路構成例を示している。
- [0031] また、この発明の高周波増幅回路の定電圧回路は、エンハンスメント型の複数の定電圧用電界効果トランジスタを備え、複数の定電圧用電界効果トラン

ンジスタは、それぞれがダイオード接続され、且つ、縦続接続されていることが好ましい。

[0032] この構成では、定電圧回路の具体的な構成例を示している。このように、高周波増幅用の電界効果トランジスタと同じ特性の電界効果トランジスタのみで定電圧回路を構成することで、高周波増幅用の電界効果トランジスタのピンチオフ電圧と同じような変動特性で定電圧回路の電圧も変化する。したがって、高周波増幅用の電界効果トランジスタのピンチオフ電圧に応じた適切で安定な電圧を発生することができる。

[0033] また、この発明の高周波増幅回路の定電圧回路は、複数の n 型のバイポーラトランジスタを備え、複数の n 型のバイポーラトランジスタは、それぞれがダイオード接続され、且つ、縦続接続されていてもよい。

[0034] この構成では、定電圧回路をバイポーラトランジスタで構成する場合を示している。このようなバイポーラトランジスタであっても、定電圧回路を構成することができ、安定した電圧を出力することができる。

発明の効果

[0035] この発明によれば、ゲートバイアス電圧 V_{GG} や高周波増幅用の FET のピンチオフ電圧にバラツキがあっても、高周波増幅用の FET のドレイン電流を安定させることができる。これにより、安定した出力電力の高周波増幅回路を実現することができる。

図面の簡単な説明

[0036] [図1]本発明の第1の実施形態に係る高周波増幅回路の回路図である。

[図2]本発明の第1の実施形態の高周波増幅回路における入力ゲートバイアス電圧 V_{GG} とドレイン電流 I_{DD} との関係を示す特性図である。

[図3]本発明の第1の実施形態の高周波増幅回路におけるピンチオフ電圧 V_p の変動量 ΔV_p とドレイン電流 I_{DD} との関係を示す特性図である。

[図4]本発明の第1の実施形態の高周波増幅回路におけるバイアス電圧 V_{GG} のバラツキとピンチオフ電圧 V_p の変動量 ΔV_p とドレイン電流 I_{DD} との関係を示す特性図である。

[図5]入力電力を変化させた場合における本発明の高周波増幅回路と従来の高周波増幅回路における高周波増幅用のFET101のゲート電圧と出力電力との特性を示す図である。

[図6]本実施形態の高周波増幅回路におけるバイアス抵抗を変化させた場合の入力ゲートバイアス電圧 V_{GG} とドレイン電流 I_{DD} との関係を示す特性図である。

[図7]本発明の第2の実施形態に係る高周波増幅回路の回路図である。

[図8]本発明の第3の実施形態に係る高周波増幅回路の回路図である。

[図9]本発明の第4の実施形態に係る高周波増幅回路の回路図である。

[図10]本発明の第5の実施形態に係る高周波増幅回路の回路図である。

[図11]本発明の第6の実施形態に係る高周波増幅回路の回路図である。

[図12]本発明の第7の実施形態に係る高周波増幅回路の回路図である。

[図13]従来の高周波増幅回路の回路図である。

[図14]従来の高周波増幅回路のゲートバイアス電圧とドレイン電流との関係を示す特性図である。

[図15]従来の高周波増幅回路のピンチオフ電圧の変動分とドレイン電流との関係を示す特性図である。

発明を実施するための形態

[0037] 本発明の第1の実施形態に係る高周波増幅回路について、図を参照して説明する。図1は、本発明の第1の実施形態に係る高周波増幅回路の回路図である。

[0038] 高周波増幅回路10は、高周波増幅用の電界効果トランジスタ101（以下、単に「FET101」と称する。）を備える。FET101は、エンハンスメント型のFETである。FET101はソース接地されており、ドレインから電力を得る。

[0039] FET101のゲートは、入力整合回路901を介して、高周波信号入力端子Pinに接続されている。FET101のゲートは、ゲートバイアス電圧設定回路110を介して、ゲートバイアス電圧印加端子 P_{VG} に接続されて

いる。

- [0040] FET 101 のドレインは、チョークコイル 301（インダクタンス L_1 ）を介して、駆動電圧印加端子 P_{VD} に接続されている。チョークコイル 301 と駆動電圧印加端子 P_{VD} との接続点は、バイパスコンデンサ 401（キャパシタンス C_1 ）を介して、グラウンドに接続されている。
- [0041] FET 101 のドレインとチョークコイル 301 の接続点は、出力整合回路 902 を介して、高周波信号出力端子 P_{out} に接続されている。
- [0042] このような回路構成からなる高周波信号増幅回路 10 は、ゲートバイアス電圧印加端子 P_{VG} から印加された入力ゲートバイアス電圧 V_{GG} がゲートバイアス電圧設定回路 110 で、FET 101 の特性に応じて安定化され、増幅用ゲートバイアス電圧 V_{GG1} に補償されて FET 101 のゲートに印加される。これにより、FET 101 は、所望とするドレイン電流 I_{DD} が流れるように制御される。
- [0043] このような FET 101 に対して、高周波信号入力端子 P_{in} から高周波信号 S_{RF} を印加すると、高周波信号 S_{RF} は、入力整合回路 901 を介して、FET 101 のゲートに印加される。
- [0044] 高周波信号 S_{RF} は、FET 101 によってドレイン電流 I_{DD} に応じた増幅率で増幅される。増幅された高周波信号 S_{RF} は、出力整合回路 902 を介して高周波信号出力端子 P_{out} から出力される。
- [0045] 次に、ゲートバイアス電圧設定回路 110 の具体的な構成について説明する。ゲートバイアス電圧設定回路 110 は、定電圧回路 111、電圧補償回路 112 を備える。ゲートバイアス電圧印加端子 P_{VG} とグラウンドとの間には、抵抗器 201 と定電圧回路 111 とが直列接続されている。抵抗器 201 と定電圧回路 111 との接続点は、電圧補償回路 112 を介して、FET 101 のゲートに接続されている。
- [0046] 定電圧回路 111 は、三個の電界効果トランジスタ（FET）104, 105, 106 からなる。FET 104, 105, 106 は、FET 101 と同じくエンハンスメント型の FET で構成されている。例えば、FET 10

4, 105, 106とFET101は、同じ半導体基板上に製造されたものであり、さらには、当該半導体基板上の近接する位置に形成されている。

[0047] FET104, 105, 106は、抵抗器201とグランドとの間に、縦続接続されている。より具体的には、FET104のドレインは抵抗器201に接続されており、FET104のソースはFET105のドレインに接続されている。FET105のソースはFET106のドレインに接続されており、FET106のソースはグランドに接続されている。

[0048] FET104のドレインとゲートは接続されている。FET105のドレインとゲートは接続されている。FET106のドレインとゲートは接続されている。この構成により、それぞれのFET104, 105, 106はダイオードとして機能する。したがって、FET104, 105, 106の三段縦続接続回路は、ダイオードが三個直列接続された回路と等価になる。

[0049] これにより、FET104, 105, 106の三段縦続接続回路からなる定電圧回路110は、FET104, 105, 106のピンチオフ電圧を加算した定電圧が得られる回路となる。

[0050] このような回路構成から、抵抗器201と定電圧回路111との接続点の電圧、言い換えれば電圧補償回路112の入力電圧（図1の V_{GG2} に相当する電圧）は、定電圧回路による電圧となる。これにより、入力ゲートバイアス電圧 V_{GG} にバラツキがあっても、このバラツキをある程度抑制して、より安定した電圧 V_{GG2} を得ることができる。特に、本実施形態に示すように、FET104, 105, 106を同じ半導体基板上に形成するなどFET101と同じ特性のものとすることで、FET101のピンチオフ電圧と、FET104, 105, 106のピンチオフ電圧とが同じ変動率となるので、FET101のピンチオフ電圧の変動率に応じた電圧 V_{GG2} を得ることができる。

[0051] ただし、この電圧 V_{GG2} も高精度に安定であるとは限らず、入力ゲートバイアス電圧 V_{GG} のバラツキにより、バラツキを有することがある。このようなバラツキが、FET101の増幅用ゲートバイアス電圧 V_{GG1} に与える影響を、次に示す電圧補償回路112によって抑制している。

- [0052] 電圧補償回路112は、FET102、103、抵抗器202、203、204を備える。
- [0053] FET102、103は、FET101、104、105、106と同じくエンハンスメント型のFETで構成されている。例えば、FET102、103とFET101、104、105、106は、同じ半導体基板上に製造されたものであり、さらには、当該半導体基板上の近接する位置に形成されている。このように、全てのFET101～106を同じエンハンスメント型にすることにより、FET101～106は、ゲート電圧ードレイン電流特性が同じになる。FET102は本発明の第1の補償用電界効果トランジスタに相当し、FET103は本発明の第2の補償用電界効果トランジスタに相当する。
- [0054] FET102のゲートは、抵抗器201と定電圧回路111との接続点に接続されている。したがって、FET102のゲートバイアス電圧は、上述の電圧 V_{GG2} となる。FET102のドレインは、チョークコイル301を介して駆動電圧印加端子 P_{VD} に接続されている。
- [0055] FET102のソースは、抵抗器202、203の直列回路を介して、FET103のドレインに接続されている。FET103はソース接地されている。FET103のゲートは、抵抗器202と抵抗器203との接続点に接続されている。FET103のドレインは、抵抗器204を介してFET101のゲートに接続されている。
- [0056] このような回路構成からなる電圧補償回路112は、次に示すように動作する。FET102に電圧 V_{GG2} が印加されると、当該電圧 V_{GG2} に応じたドレイン電流 I_{DS2} が流れる。ドレイン電流 I_{DS2} は抵抗器202、203に流れ、抵抗器202と抵抗器203とでそれぞれにドレイン電流 I_{DS2} に応じた電圧が発生する。
- [0057] 抵抗器202と抵抗器203との接続点は、FET103のゲートに接続されているので、ドレイン電流 I_{DS2} が流れると、抵抗器202と抵抗器203とによる分圧比に応じた電圧 V_{GG3} がFET103のゲートに印加される

。FET103に電圧 V_{GG3} が印加されると、FET103のオン抵抗に応じたドレインソース間電圧が生じる。これが電圧補償回路の出力電圧に相当する電圧 V_{GG4} となる。この電圧 V_{GG4} は、抵抗器204を介してFET101のゲートに印加され、FET101のゲートには増幅用ゲートバイアス電圧 V_{GG1} が印加される。

[0058] このような構成では、FET102のゲート電圧 V_{GG2} が変動した場合に、各電圧は次に示すように変化する。

[0059] 例えば、 V_{GG2} が上昇した場合、FET102のドレイン電流 I_{DS2} は増加する。ドレイン電流 I_{DS2} が増加すると、抵抗器202、203に流れる電流が増加し、抵抗器202、203の両端電圧が増加する。

[0060] 抵抗器203の両端電圧が増加すると、FET103のゲート電圧 V_{GG3} が上昇し、FET103のオン抵抗が低下する。FET103のドレインソース間電圧が上昇することが抑制される。この際、FET102、103が同じ特性を有するので、電圧 V_{GG2} による電圧変動は結果的に打ち消され、電圧 V_{GG4} は上昇しない。したがって、増幅用ゲートバイアス電圧 V_{GG1} も変化しない。

[0061] なお、 V_{GG2} が低下した場合は、この逆の動作となり、増幅用ゲートバイアス電圧 V_{GG1} は変化しない。

[0062] このように本実施形態の構成を用いることで、入力ゲートバイアス電圧 V_G のバラツキがあっても、高周波増幅用のFET101のドレイン電流 I_{DD} を、所望の値で安定して出力することができる。

[0063] また、ピンチオフ電圧が異なるロットの高周波増幅回路の場合であっても、FET101～106が同じ特性を有するので、入力ゲートバイアス電圧 V_{GG} が変動する場合と同様に、高周波増幅用のFET101のドレイン電流 I_{DD} の変動を抑制する作用効果を得ることができる。

[0064] 次に、本実施形態の構成を用いたことによる効果を、図2から図6を用いて説明する。

[0065] 図2は、本実施形態の高周波増幅回路において、ピンチオフ電圧 V_p の変

動がないとした時の入力ゲートバイアス電圧 V_{GG} とドレイン電流 I_{DD} との関係を示す特性図である。図2に示すように、入力ゲートバイアス電圧 V_{GG} が所定値（本例では1.8 [V]）以上であれば、入力ゲートバイアス電圧 V_{GG} が変化しても、ドレイン電流 I_{DD} は殆ど変化しない。

[0066] 図3は、本実施形態の高周波増幅回路において、入力ゲートバイアス電圧 V_{GG} を固定した時のピンチオフ電圧 V_p の変動量 ΔV_p とドレイン電流 I_{DD} との関係を示す特性図である。図3に示すように、高周波増幅用のFET101のピンチオフ電圧 V_p が変化しても、ドレイン電流 I_{DD} は殆ど変化しない。

[0067] このように本実施形態の構成を用いることで、入力ゲートバイアス電圧 V_{GG} や高周波増幅用のFET101のピンチオフ電圧 V_p のバラツキに影響されることなく、所望とする電流値からなるドレイン電流 I_{DD} を安定して出力することができる。

[0068] 図4は、本実施形態の高周波増幅回路におけるバイアス電圧 V_{GG} のバラツキとピンチオフ電圧 V_p の変動量 ΔV_p とドレイン電流 I_{DD} との関係を示す特性図である。図4における各特性曲線は、それぞれピンチオフ電圧が異なる。図4に示すように、本実施形態の構成を用いることで、バイアス電圧 V_{GG} のバラツキとピンチオフ電圧 V_p の変動量 ΔV_p の双方の影響を抑圧して、所望とする電流値からなるドレイン電流 I_{DD} を安定して出力することができる。

[0069] さらに、本実施形態の構成では、次に示すような効果が得られる。

[0070] 本実施形態の構成では、図1に示すように、増幅用ゲートバイアス電圧 V_{GG1} を与えるための電流が、FET102のドレイン電流 I_{DS2} である。そして、当該ドレイン電流 I_{DS2} を供給するための電源は、駆動電圧印加端子 P_{VD} から印加される駆動電源電圧 V_{DD} である。一般に、駆動電源電圧 V_{DD} は、ドレイン電流を供給するための電源であり、入力ゲートバイアス電圧 V_{GG} よりも電流供給量を多くすることができる。

[0071] ここで、高周波増幅回路10をパワーアンプとして利用する場合、FETの飽和領域まで動作させることがあり、飽和領域では特に高周波増幅用のF

ＥＴ１０１のゲート電流が急激に増加する。この際、高周波増幅用のＦＥＴ１０１のゲートと、当該高周波増幅用のＦＥＴ１０１にゲートバイアス電圧 V_{GG} を印加する端子との間に、高抵抗の直列抵抗が接続されていると、当該直列抵抗により電圧降下が生じて、高周波増幅用のＦＥＴ１０１のゲート電圧がより早くピンチオフ電圧以下になってしまい、出力電力の増加が抑制される。ここで、出力電力を増加させるためには、ゲートに直列接続される抵抗を低くしなければならないが、抵抗を低くした場合、ゲートバイアス電圧 V_{GG} を印加する端子に流れる電流が増加してしまう。しかし、ゲートバイアス電圧 V_{GG} を印加する端子は、ＦＥＴの制御電源であるので、供給電流に制限がある場合が多く、大電流に対応できない。したがって、従来の構成では、ゲートに直列接続される抵抗を低くすることができなかった。

[0072] しかしながら、本実施形態の構成では、ＦＥＴ１０２を介して、高周波増幅用のＦＥＴ１０１のゲートに対して電流を多く供給できることで、ゲートに直列接続される抵抗（抵抗器２０２，２０３，２０４に相当）を低抵抗化することができる。これにより、高周波増幅回路の出力電力を向上させることができる。

[0073] 図５は、高周波入力電力を変化させた場合における本発明の高周波増幅回路と従来の高周波増幅回路における高周波増幅用のＦＥＴ１０１のゲート電圧と出力電力との特性を示す図である。図５に示すように、本実施形態の構成を用いることで、入力される高周波信号の電力を増加させても、高周波増幅用のＦＥＴ１０１のゲート電圧は、従来構成よりも低下しにくい。すなわち、ゲートに直列に接続される抵抗の値が小さくなっている効果が発揮されていることになる。さらに、本実施形態の構成を用いることで、従来構成よりも高い出力電力を得ることができる。

[0074] また、次に示す効果を得ることもできる。図６は、本実施形態の高周波増幅回路におけるバイアス抵抗を変化させた場合の入力ゲートバイアス電圧 V_G とドレイン電流 I_{DD} との関係を示す特性図である。図６に示すように、バイアス抵抗（抵抗器２０２，２０３）を変化させることにより、ドレイン電流

I_{DD} の電流値を変化させることができる。この際、いずれのバイアス抵抗値を採用しても、 V_{GG} の変動による影響を抑制することができるので、高周波増幅回路におけるドレイン電流 I_{DD} の調整が容易になる。

[0075] 次に、本発明の第2の実施形態に係る高周波増幅回路について、図を参照して説明する。図7は、本発明の第2の実施形態に係る高周波増幅回路の回路図である。本実施形態の高周波増幅回路10Aは、定電圧回路111Aの構成が第1の実施形態に係る高周波増幅回路10と異なるものであり、他の構成は第1の実施形態に係る高周波増幅回路10と同じである。したがって、異なる箇所のみを以下に説明する。

[0076] 定電圧回路111Aは、FET104A、105A、106Aが三段縦続接続された回路である。各FET104A、105A、106Aはドレインとソースが接続されている。この構成により、各FET104A、105A、106Aはドレインとソースが短絡されるので、所謂ショットキーダイオードとして機能させることができる。抵抗器201には、FET104Aの入力端（ゲート）が接続されている。FET104Aの出力端（ドレイン、ソース）はFET105Aの入力端（ゲート）に接続されている。FET105Aの出力端（ドレイン、ソース）はFET106Aの入力端（ゲート）に接続されている。FET106Aの出力端（ドレイン、ソース）はグランドに接続されている。なお、本実施形態では、FETを縦続接続する例を示したが、二端子のショットキーダイオード素子を用いて、当該ショットキーダイオード素子を縦続接続してもよい。

[0077] このような構成であっても、第1の実施形態と同様に定電圧回路として機能し、第1の実施形態に係る高周波増幅回路10と同じ作用効果を得ることができる。

[0078] 次に、本発明の第3の実施形態に係る高周波増幅回路について、図を参照して説明する。図8は、本発明の第3の実施形態に係る高周波増幅回路の回路図である。本実施形態の高周波増幅回路10Bは、定電圧回路111Bの構成が第1の実施形態に係る高周波増幅回路10と異なるものであり、他の

構成は第1の実施形態に係る高周波増幅回路10と同じである。したがって、異なる箇所のみを以下に説明する。

[0079] 定電圧回路111Bは、n型のバイポーラトランジスタ104B、105B、106Bが三段縦続接続された回路である。具体的には、抵抗器201には、バイポーラトランジスタ104Bのコレクタが接続されている。バイポーラトランジスタ104Bのエミッタはバイポーラトランジスタ105Bのコレクタが接続されている。バイポーラトランジスタ105Bのエミッタはバイポーラトランジスタ106Bのコレクタが接続されている。バイポーラトランジスタ106Bのエミッタはグランドに接続されている。バイポーラトランジスタ104Bのコレクタとベースは互いに直接接続されている。バイポーラトランジスタ105Bのコレクタとベースは互いに直接接続されている。バイポーラトランジスタ106Bのコレクタとベースは互いに直接接続されている。

[0080] このような構成であっても、第1の実施形態と同様に定電圧回路として機能し、第1の実施形態に係る高周波増幅回路10と同じ作用効果を得ることができる。

[0081] 次に、本発明の第4の実施形態に係る高周波増幅回路について、図を参照して説明する。図9は、本発明の第4の実施形態に係る高周波増幅回路の回路図である。本実施形態の高周波増幅回路10Cは、高周波増幅用のFET101のドレインと電圧補償回路112のFET102のドレインとの間に抵抗器501が接続されたものであり、他の構成は第1の実施形態に係る高周波増幅回路10と同じである。この抵抗器501が本発明の高インピーダンス回路に相当する。

[0082] このような構成とすることで、高周波増幅用のFET101から出力される高周波信号が、抵抗器501で減衰されて、電圧補償回路112のFET102のドレインに帰還することを抑制できる。これにより、増幅用ゲートバイアス電圧 V_{GG1} を、より安定化することができる。

[0083] 次に、本発明の第5の実施形態に係る高周波増幅回路について、図を参照

して説明する。図10は、本発明の第5の実施形態に係る高周波増幅回路の回路図である。本実施形態の高周波増幅回路10Dは、高周波増幅用のFET101のドレインと電圧補償回路112のFET102のドレインとの間にコイル601が接続されたものであり、他の構成は第1の実施形態に係る高周波増幅回路10と同じである。言い換えれば、第4の実施形態に示した抵抗器501がコイル601に置き換わったものである。このコイル601が本発明の高インピーダンス回路に相当する。

[0084] このような構成とすることで、高周波増幅用のFET101から出力される高周波信号が、コイル601で減衰されて、電圧補償回路112のFET102のドレインに帰還することを抑制できる。これにより、増幅用ゲートバイアス電圧 V_{GG1} を、より安定化することができる。

[0085] 次に、本発明の第6の実施形態に係る高周波増幅回路について、図を参照して説明する。図11は、本発明の第6の実施形態に係る高周波増幅回路の回路図である。本実施形態の高周波増幅回路10Eは、高周波増幅用のFET101のドレインと電圧補償回路112のFET102のドレインとの間にコイル601とコンデンサ602の並列共振回路が接続されたものであり、他の構成は第1の実施形態に係る高周波増幅回路10と同じである。言い換えれば、第4の実施形態に示した抵抗器501または第5の実施形態に示したコイル601がコイル601とコンデンサ602の並列共振回路に置き換わったものである。このコイル601とコンデンサ602との並列共振回路が本発明の高インピーダンス回路に相当する。

[0086] この際、コイル601とコンデンサ602との並列共振回路の共振周波数が、当該高周波増幅回路10Eで増幅する高周波信号の周波数に一致するように、コイル601とコンデンサ602の素子値を決定する。

[0087] このような構成とすることで、高周波増幅用のFET101から出力される高周波信号が、コイル601とコンデンサ602の並列共振回路で減衰されて、電圧補償回路112のFET102のドレインに帰還することを抑制できる。これにより、増幅用ゲートバイアス電圧 V_{GG1} を、より安定化するこ

とができる。

[0088] 次に、本発明の第7の実施形態に係る高周波増幅回路について、図を参照して説明する。図12は、本発明の第7の実施形態に係る高周波増幅回路の回路図である。本実施形態の高周波増幅回路10Fは、定電圧回路111Fの構成が第1の実施形態に係る高周波増幅回路10と異なるものであり、他の構成は第1の実施形態に係る高周波増幅回路10と同じである。したがって、異なる箇所のみを以下に説明する。

[0089] 定電圧回路111Fは、四個の電界効果トランジスタ(FET)104, 105, 106, 107からなる。FET104, 105, 106, 107は、エンハンスメント型のFETである。

[0090] FET104, 105, 106, 107は、抵抗器201とグランドとの間に、縦続接続されている。より具体的には、FET104のドレインは抵抗器201に接続されており、FET104のソースはFET105のドレインに接続されている。FET105のソースはFET106のドレインに接続されており、FET106のソースはFET107のドレインに接続されており、FET107のソースはグランドに接続されている。

[0091] FET104のドレインとゲートは接続されている。FET105のドレインとゲートは接続されている。FET106のドレインとゲートは接続されている。FET107のドレインとゲートは接続されている。

[0092] このような構成により、四段のFETの縦続接続からなる定電圧回路を実現できる。このように、定電圧回路を構成するために縦続接続するFET数は、第1の実施形態に示すように三段であることに限るものではなく、使用に応じて段数は適宜設定すればよい。これは、バイポーラトランジスタを用いる場合でも同じである。

[0093] なお、上述の各実施形態を組み合わせた回路構成であっても、第1の実施形態に係る高周波増幅回路10と同じ作用効果を得ることができる。

符号の説明

[0094] 10, 10A, 10B, 10C, 10D, 10E, 10F, 10P: 高周波

増幅回路、

101 : 高周波増幅用のFET、

102, 103, 104, 105, 106, 104A, 105A, 106A
: FET、

104B, 105B, 106B : バイポーラトランジスタ、

201, 202, 203, 204, 211P, 212P, 213P, 501
: 抵抗器、

301 : チョークコイル、

401 : バイパスコンデンサ、

601 : コイル、

602 : コンデンサ、

110, 110P : ゲートバイアス電圧設定回路、

111, 111A, 111B : 定電圧回路、

112 : 電圧補償回路、

901 : 入力整合回路、

902 : 出力整合回路、

Pin : 高周波信号入力端子、

Pout : 高周波信号出力端子、

P_{VG} : ゲートバイアス電圧印加端子、

P_{VD} : 駆動電圧印加端子

請求の範囲

[請求項1]

高周波増幅用の電界効果トランジスタと、該電界効果トランジスタのゲートバイアスを決定するゲートバイアス電圧設定回路と、を備えた高周波増幅回路であって、

前記高周波増幅用の電界効果トランジスタはエンハンスメント型であり、

前記ゲートバイアス電圧設定回路は、

外部入力される入力ゲートバイアス電圧 V_{GG} が印加された状態で、所定電圧を出力する定電圧回路と、

エンハンスメント型の複数の補償用電界効果トランジスタを有する電圧補償回路とを備え、

該複数の補償用電界効果トランジスタは、

前記定電圧回路から入力される電圧が印加される第1の補償用電界効果トランジスタと、

該第1の補償用電界効果トランジスタのドレイン電流の増加によりドレインソース間のオン抵抗が低下し、前記第1の補償用の電界効果トランジスタのドレイン電流の低下によりドレインソース間のオン抵抗が上昇する第2の補償用電界効果トランジスタを、有する、高周波増幅回路。

[請求項2]

前記第2の補償用電界効果トランジスタはソース接地されており、

前記第1の補償用電界効果トランジスタのソースと前記第2の補償用電界効果トランジスタのドレインとの間には、二個の抵抗器が直列接続されており、

前記第2の補償用電界効果トランジスタのゲートは、前記二個の抵抗器の接続点に接続されており、

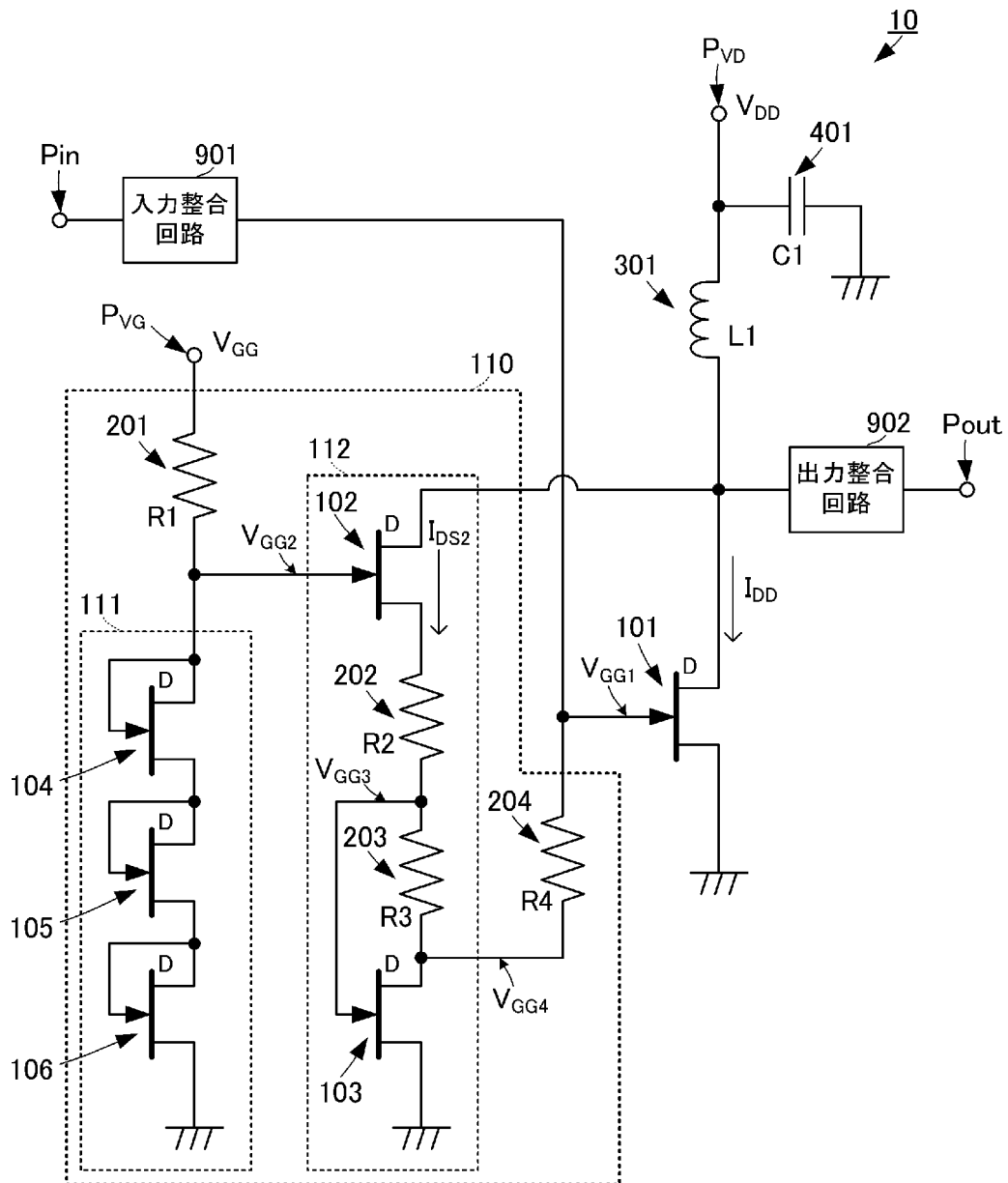
前記第2の補償用電界効果トランジスタのドレインが、前記高周波増幅用の電界効果トランジスタのゲートに接続されている、

請求項1に記載の高周波増幅回路。

- [請求項3] 前記第1の補償用電界効果トランジスタのドレインは、前記高周波増幅用の電界効果トランジスタのドレインと同じ駆動電圧印加端子に接続されている、
請求項2に記載の高周波増幅回路。
- [請求項4] 前記前記第1の補償用電界効果トランジスタのドレインと、前記高周波増幅用の電界効果トランジスタのドレインとの間に、前記高周波信号に対して高インピーダンスとなる高インピーダンス回路が接続されている、
請求項3に記載の高周波増幅回路。
- [請求項5] 前記高インピーダンス回路は抵抗器である、請求項4に記載の高周波増幅回路。
- [請求項6] 前記高インピーダンス回路はコイルである、請求項4に記載の高周波増幅回路。
- [請求項7] 前記高インピーダンス回路は、前記高周波信号の周波数を共振周波数とするコイルとコンデンサの並列共振回路である、請求項4に記載の高周波増幅回路。
- [請求項8] 前記定電圧回路は、エンハンスメント型の複数の定電圧用電界効果トランジスタを備え、
前記複数の定電圧用電界効果トランジスタは、それぞれがダイオード接続され、且つ、縦続接続されている、請求項1乃至請求項7のいずれかに記載の高周波増幅回路。
- [請求項9] 前記定電圧回路は、複数のn型のバイポーラトランジスタを備え、
前記複数のn型のバイポーラトランジスタは、それぞれがダイオード接続され、且つ、縦続接続されている、請求項1乃至請求項7のいずれかに記載の高周波増幅回路。

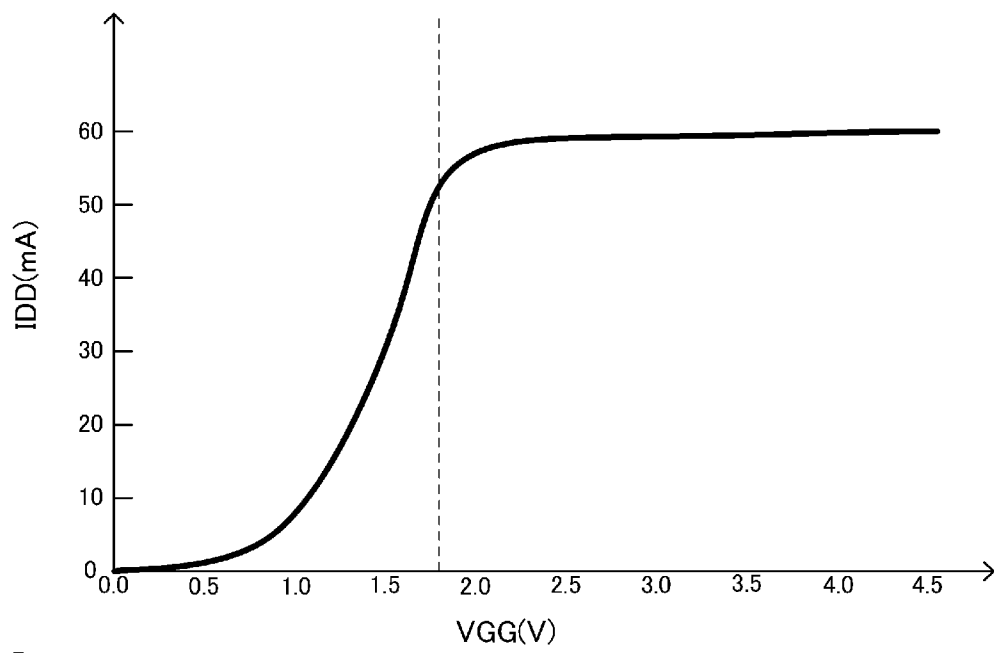
[図1]

【図1】



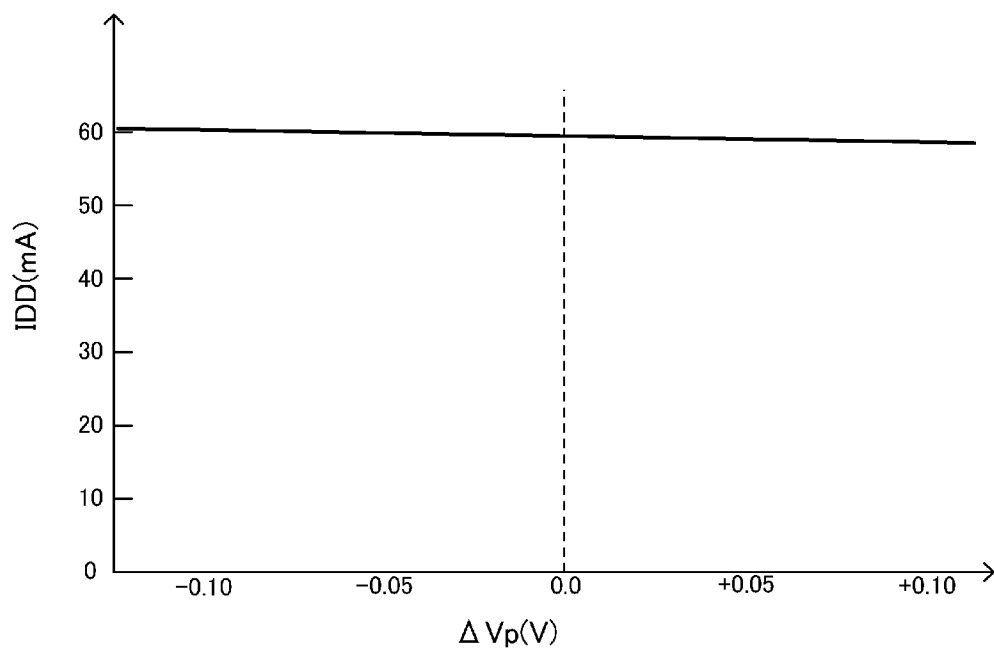
[図2]

【図2】



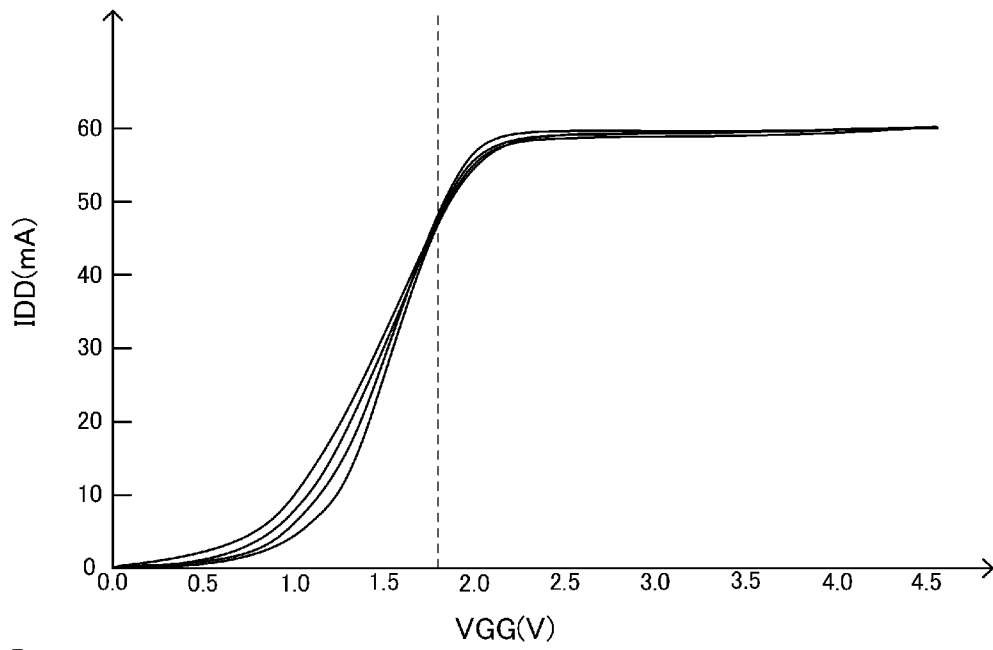
[図3]

【図3】



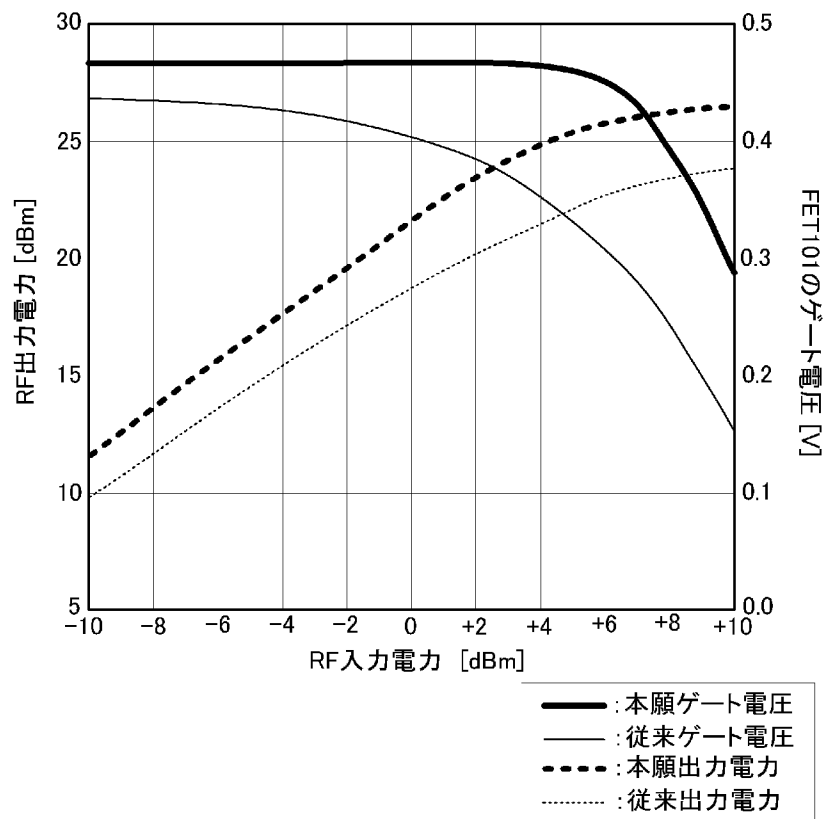
[図4]

【図4】



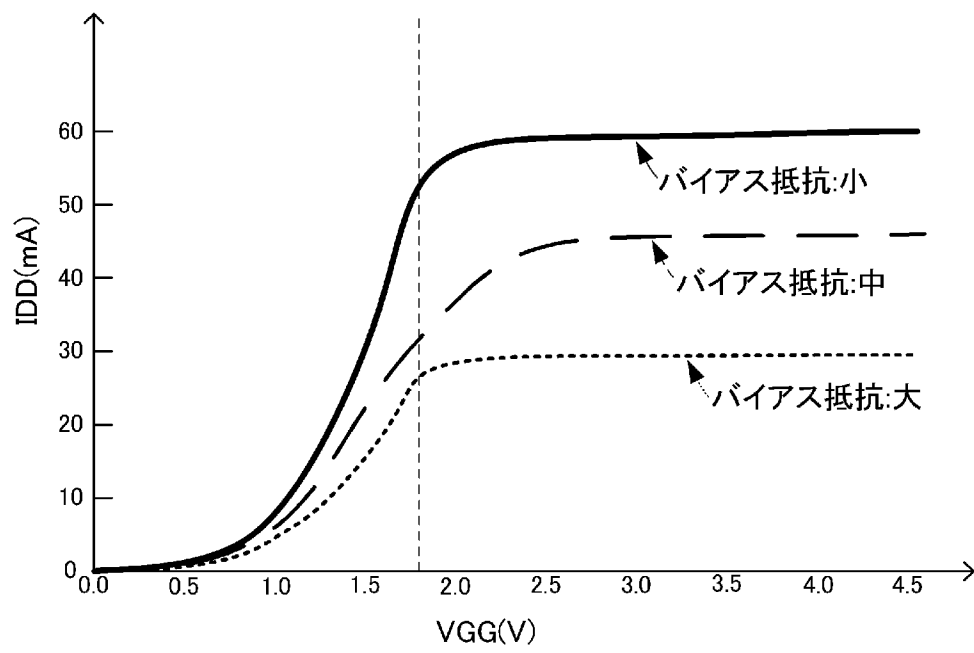
[図5]

【図5】

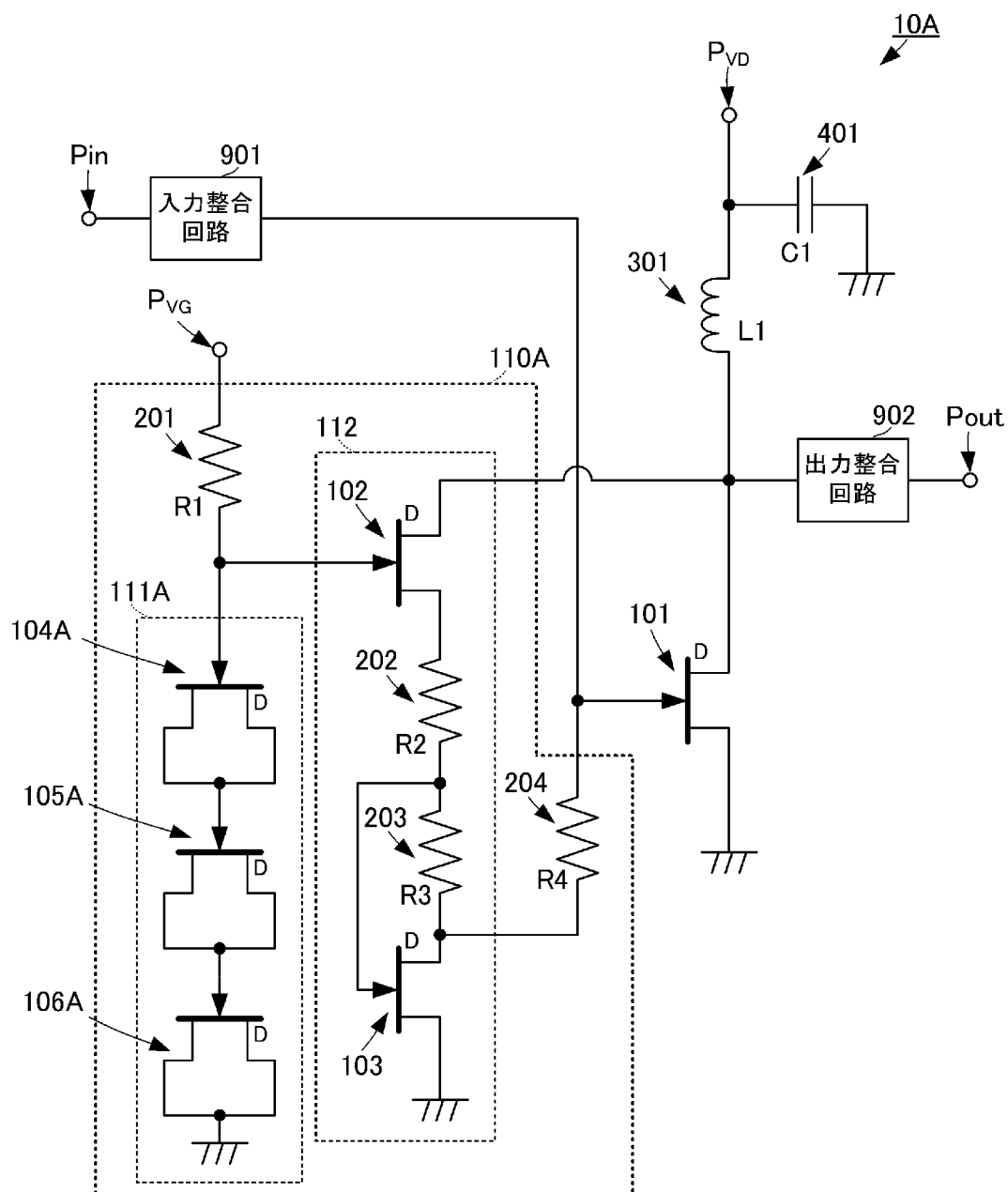


[図6]

【図6】

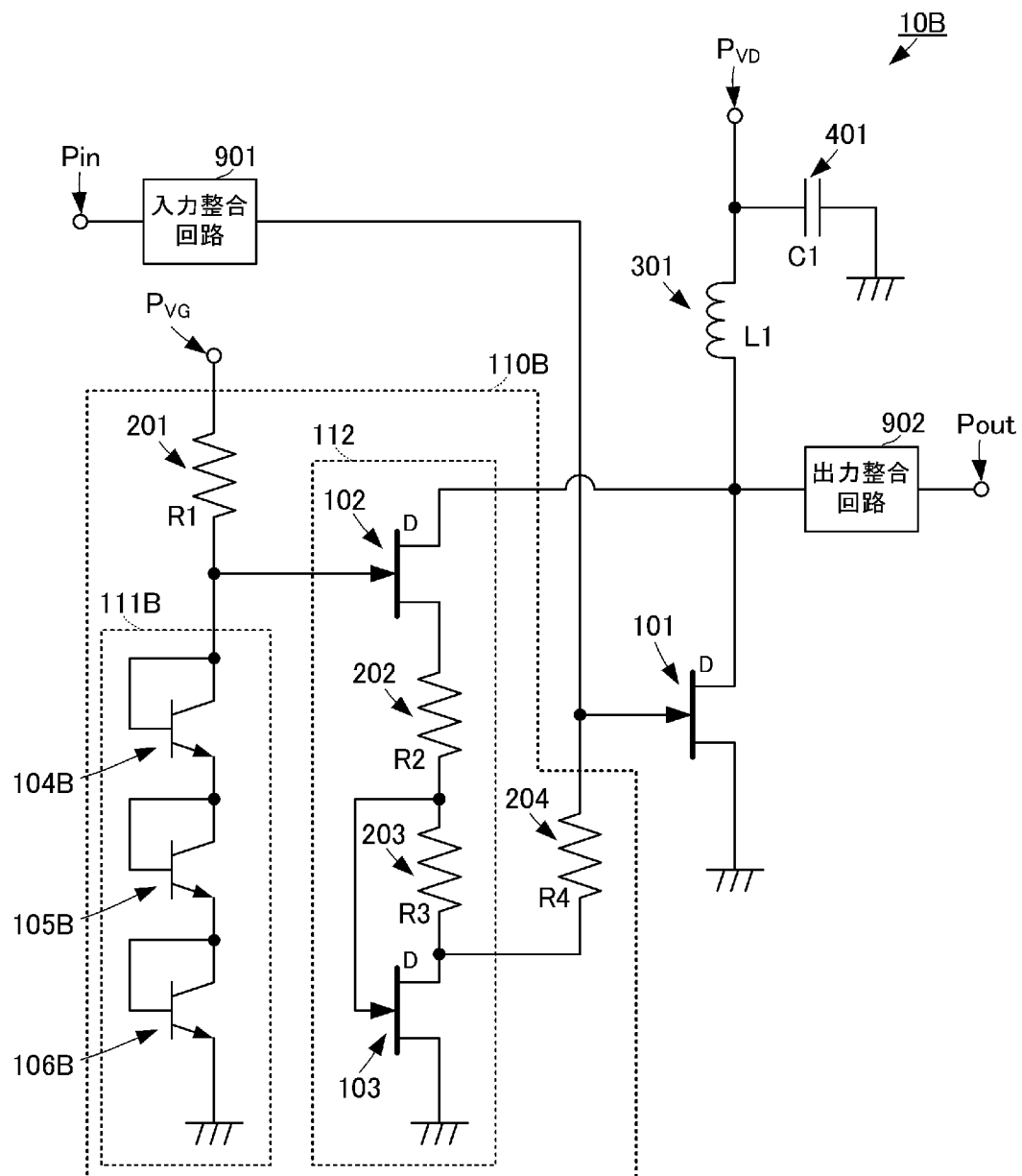


【図7】

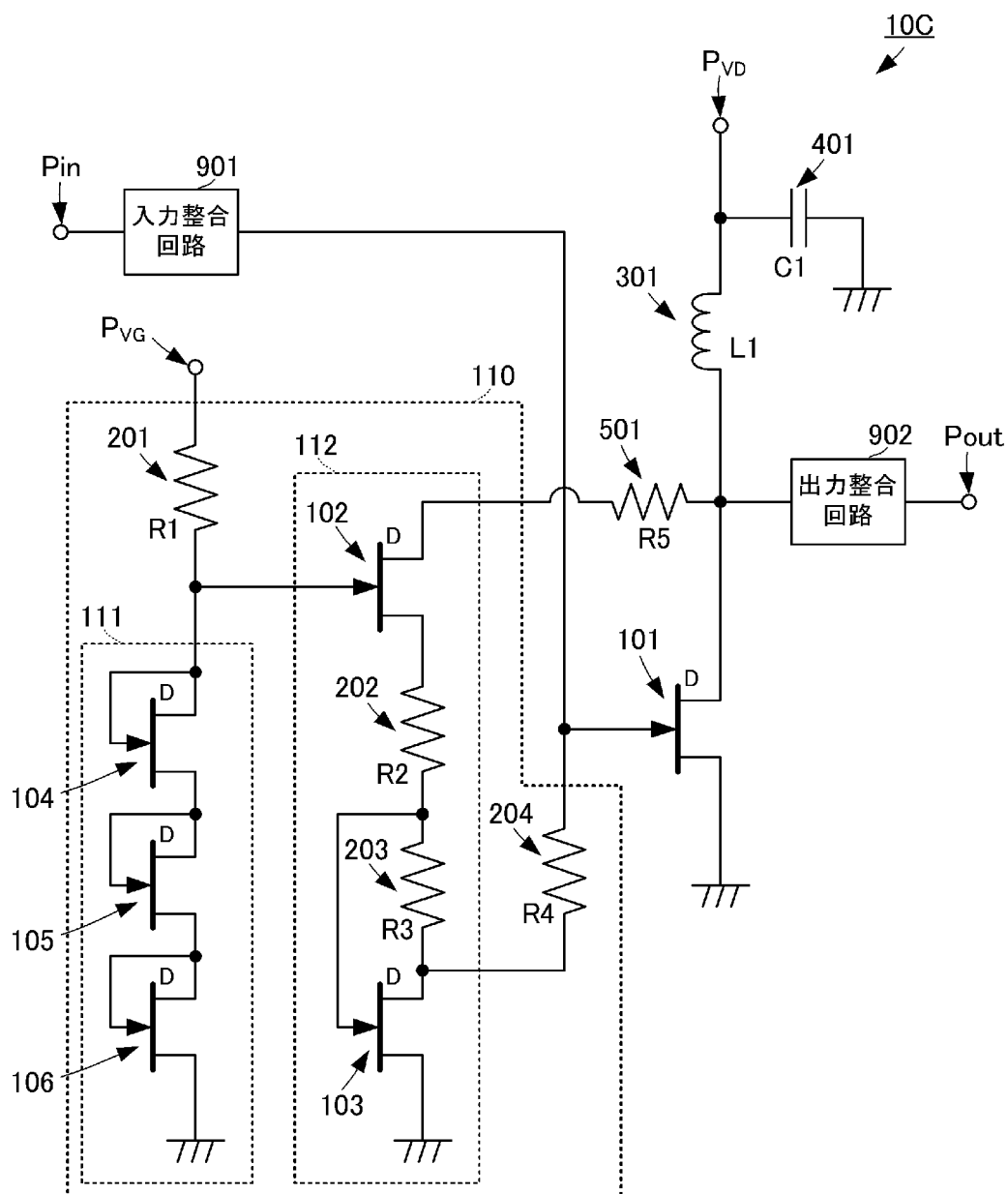


[図8]

【図8】

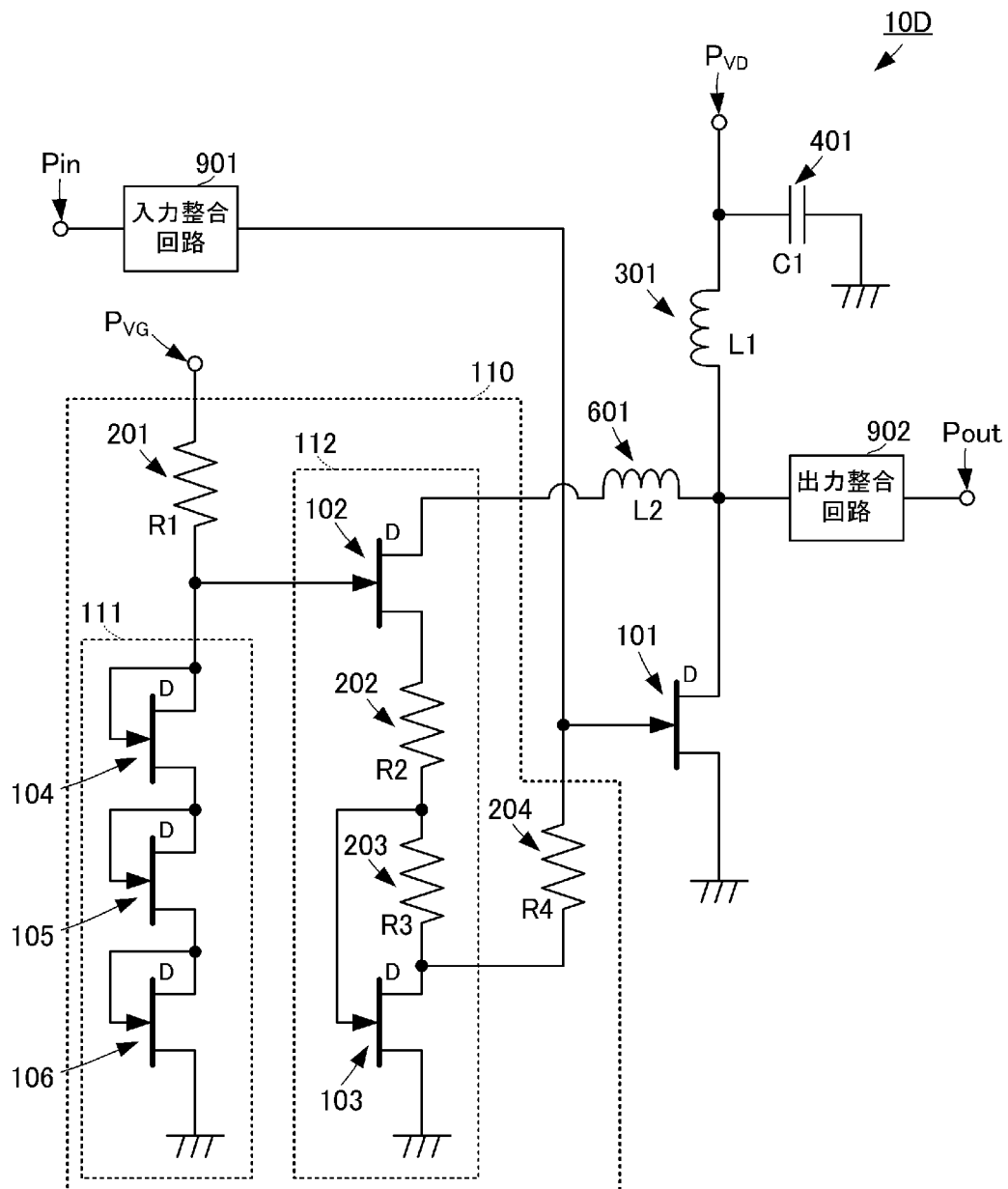


【図9】

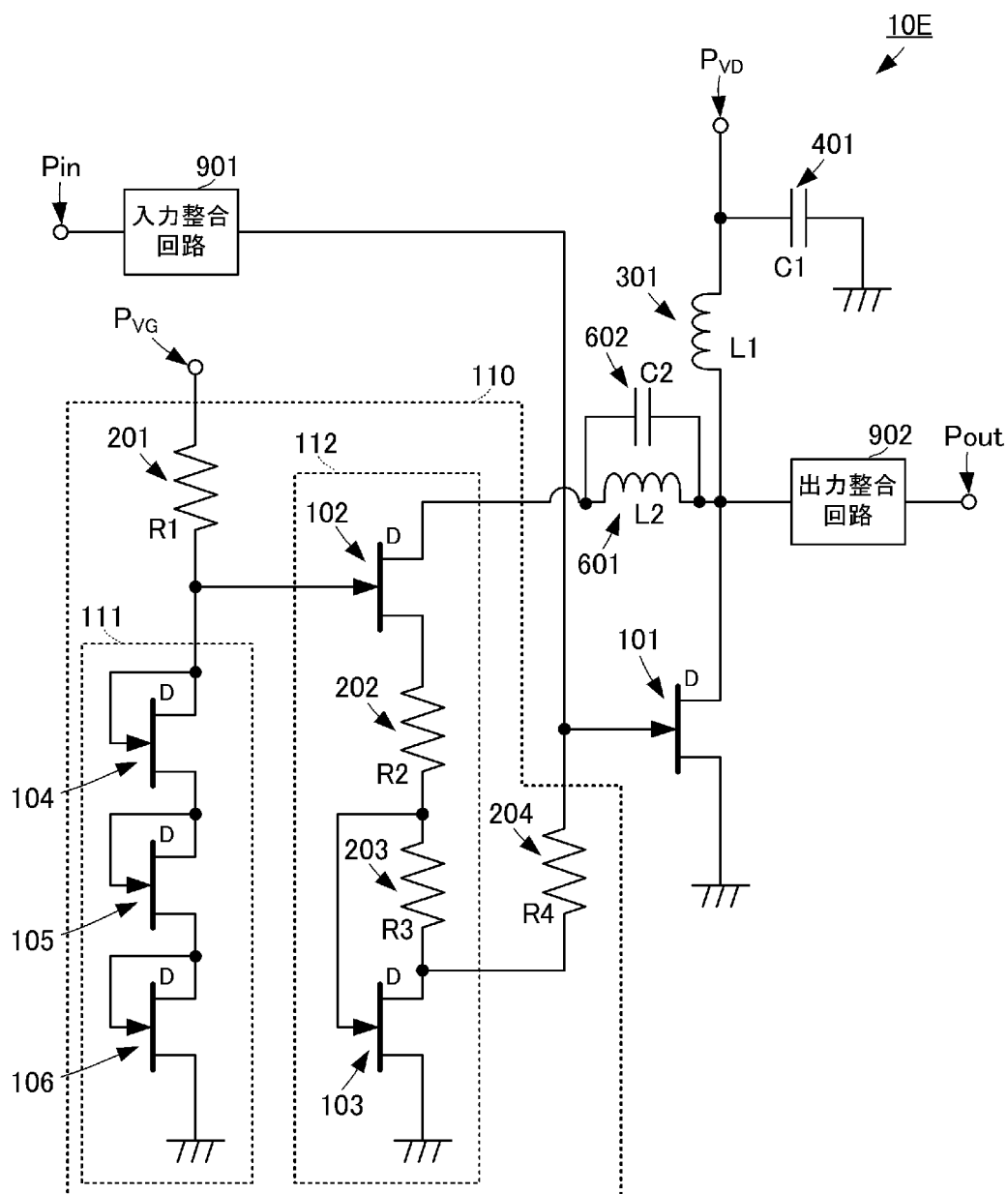


[図10]

【図10】

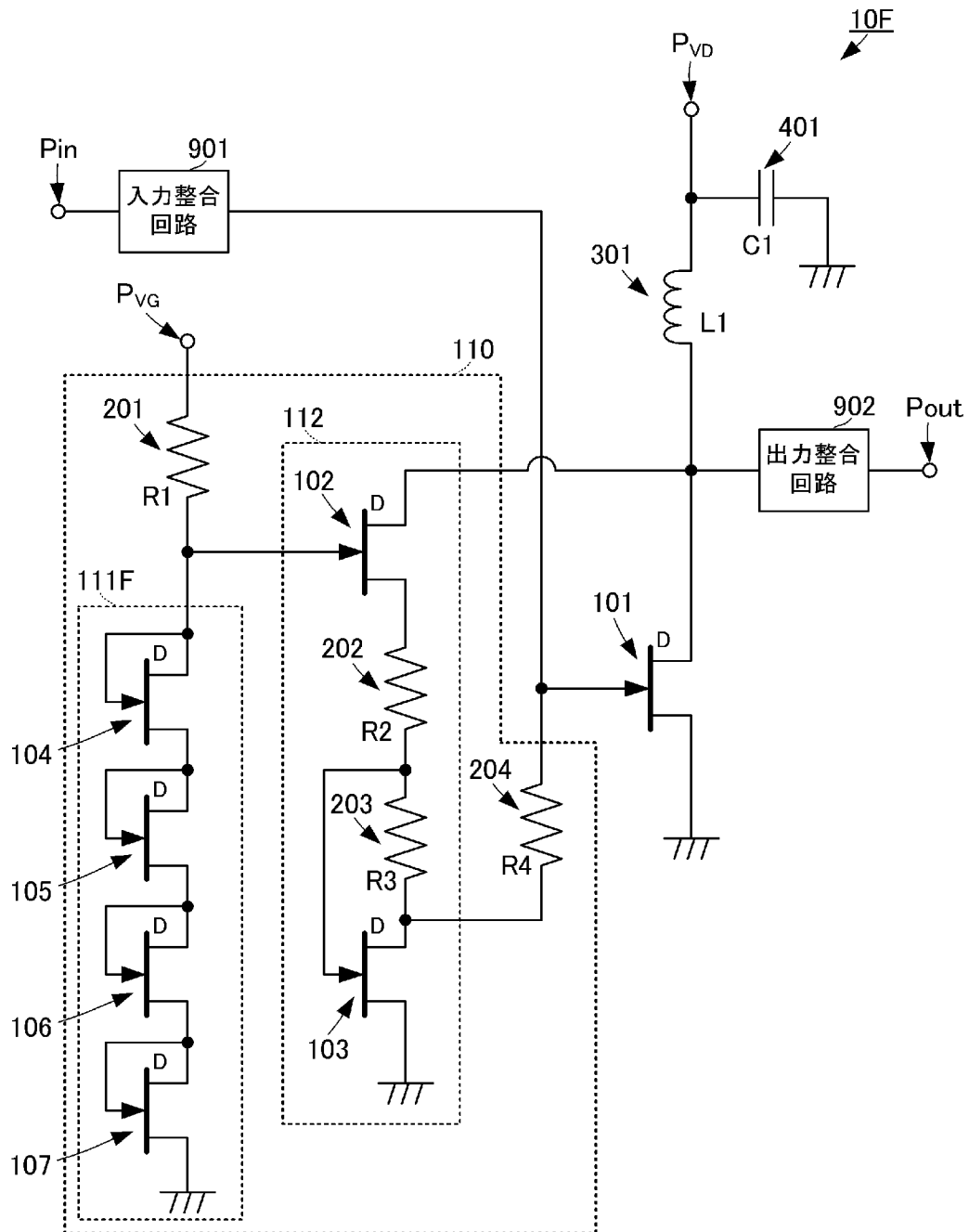


【図11】



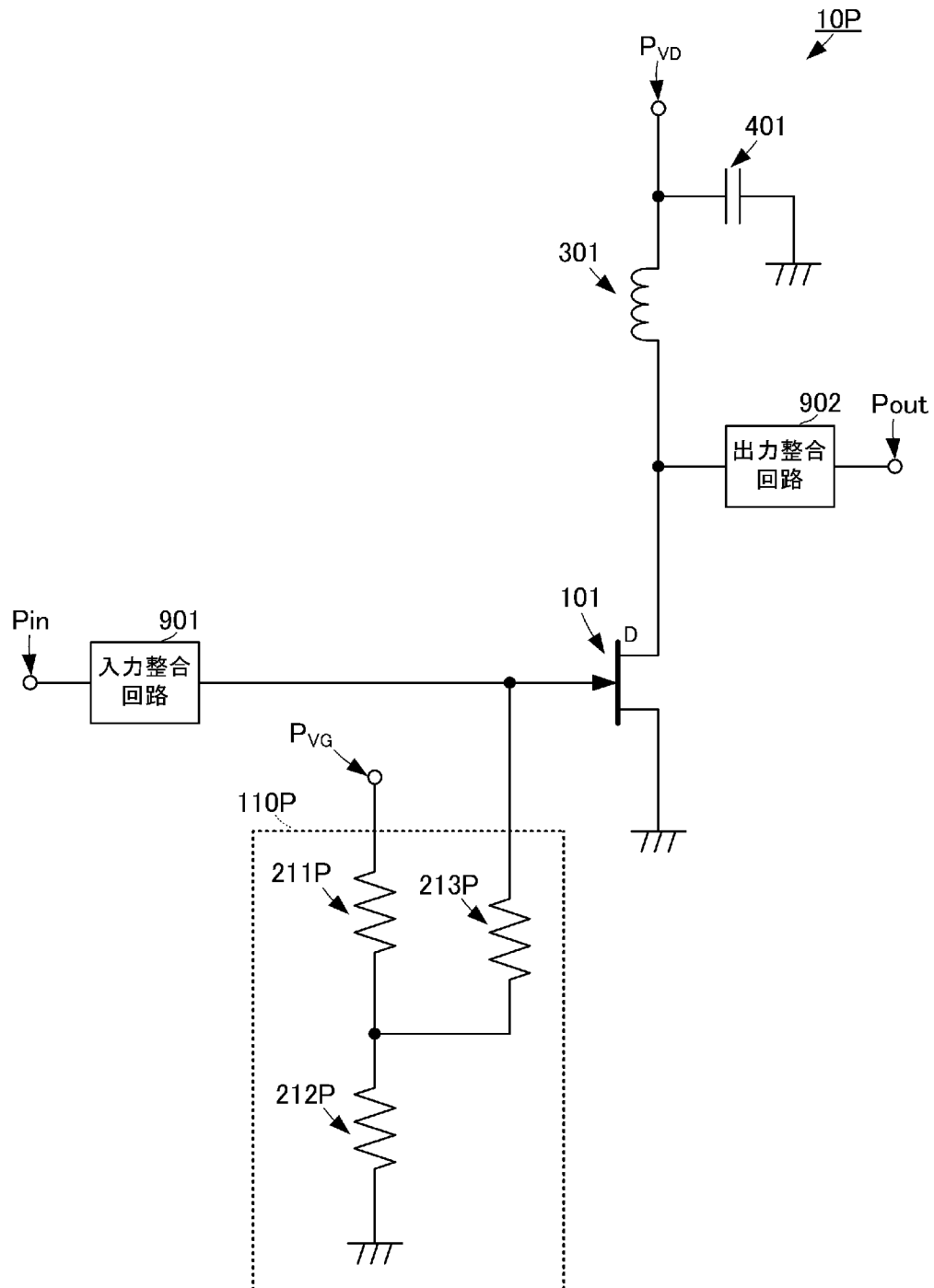
[図12]

【図12】



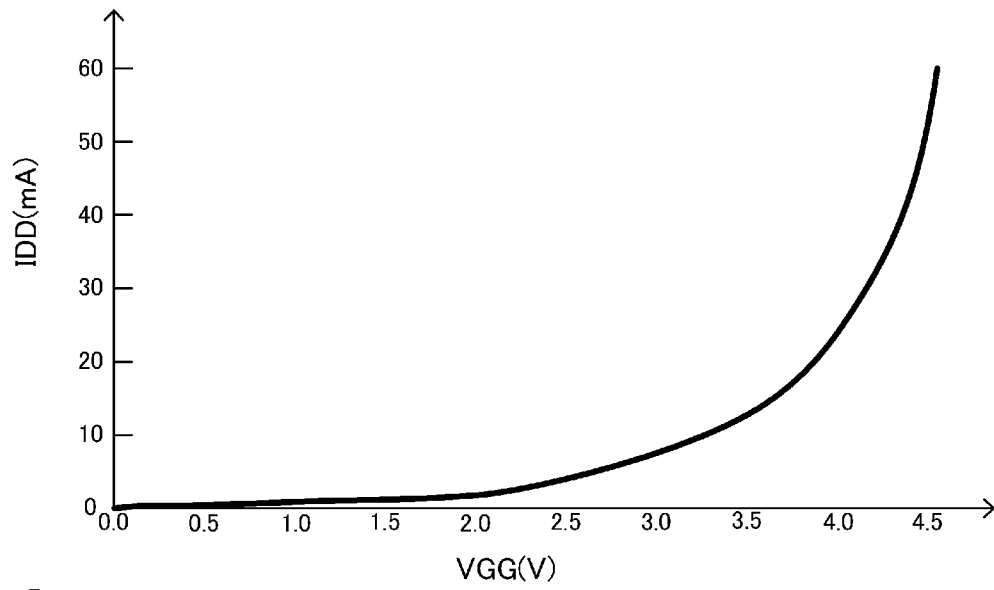
[図13]

【図13】



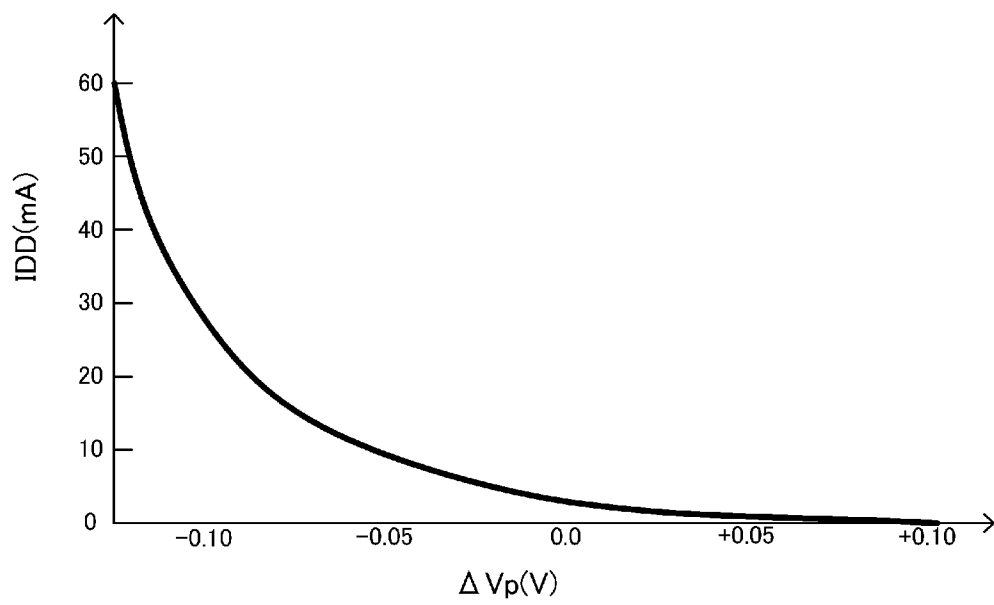
[図14]

【図14】



[図15]

【図15】



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/070842

A. CLASSIFICATION OF SUBJECT MATTER

H03F1/30(2006.01)i, H03F3/193(2006.01)i, H04B1/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F1/30, H03F3/193, H04B1/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-37149 A (Infineon Technologies AG.), 08 February 2007 (08.02.2007), paragraphs [0001] to [0005]; fig. 3A & US 2007/0026747 A1 & DE 102005035150 A	1-9
Y	JP 55-52611 A (NEC Corp.), 17 April 1980 (17.04.1980), page 3, upper left column, line 17 to upper right column, line 6; fig. 1 & US 4270081 A & DE 2941285 A	1-9
Y	JP 46-16463 B1 (Hitachi, Ltd.), 06 May 1971 (06.05.1971), column 4, line 20 to column 7, line 3; fig. 6 to 10 (Family: none)	1-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 September, 2013 (26.09.13)

Date of mailing of the international search report
08 October, 2013 (08.10.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/070842

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-339837 A (Alps Electric Co., Ltd.), 14 December 2006 (14.12.2006), paragraphs [0021] to [0028]; fig. 1 (Family: none)	3-7
Y	JP 2-84761 A (NEC Corp.), 26 March 1990 (26.03.1990), entire text; fig. 1, 2 (Family: none)	8, 9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03F1/30(2006.01)i, H03F3/193(2006.01)i, H04B1/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03F1/30, H03F3/193, H04B1/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-37149 A（インフィネオン テクノロジーズ アクチエンゲゼルシャフト）2007.02.08, 段落【0001】－【0005】, 図3 A & US 2007/0026747 A1 & DE 102005035150 A	1－9
Y	JP 55-52611 A（日本電気株式会社）1980.04.17, 第3頁左上欄第17行－右上欄第6行, 図1 & US 4270081 A & DE 2941285 A	1－9
Y	JP 46-16463 B1（株式会社日立製作所）1971.05.06, 第4欄第20行－第7欄第3行, 図6－10（ファミリーなし）	1－9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 6 . 0 9 . 2 0 1 3

国際調査報告の発送日

0 8 . 1 0 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

高橋 義昭

5 X

4 7 7 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-339837 A (アルプス電気株式会社) 2006.12.14, 段落【0021】－【0028】, 図1 (ファミリーなし)	3－7
Y	JP 2-84761 A (日本電気株式会社) 1990.03.26, 全文, 図1, 2 (ファミリーなし)	8, 9