



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

203504
(11) (B1)

(51) Int. Cl.³
B 61 L 3/08

(22) Přihlášeno 18 10 78
(21) (PV 6767-78)

(40) Zveřejněno 30 06 80

(45) Vydáno 15 01 83

(75)

Autor vynálezu

ŠPIDLEN VÍTĚZSLAV a ČERNÝ KAREL, PRAHA

(54) Zapojení pro kontrolu přenosu informací

1

Vynález se týká zapojení pro kontrolu přenosu informací vyhodnocující správnost přenosu podle počtu přijatých signálů s ohledem na časové rozptyly.

Pro účely přenosu informací z trati kolejových vozidel na vozidlo se většinou používá přenos informací bez kontroly správnosti, nebo se používá systém znásobení vysílačů informací na trati. Tím nelze vyloučit poruchu přenosové cesty signálů informace od snímačů do vyhodnocovacího zařízení.

Pro zabezpečení provozu při zavádění automatických zařízení např. cílového brzdění, je nutné kontrolovat správnost příjmu informací z trati.

V číslicové technice jsou známá zapojení kontroly správnosti přenosu informací pomocí paritního bitu. Použití tohoto zapojení pro kontrolu přenosu informace z trati na vozidlo by však bylo neúměrně drahé a složité.

Tyto nedostatky odstraňuje zapojení pro kontrolu přenosu informací podle vynálezu. Zapojení sestává z dekodéru, zjišťovacího obvodu, paměti, ovládacího obvodu, monostabilního obvodu a vyhodnocovacího obvodu. Jeho podstata spočívá v tom, že každá vstupní svorka zapojení je spojena s odpovídajícím vstupem dekodéru a s odpovídajícím vstupem zjišťovacího obvodu. Každý

2

výstup zjišťovacího obvodu je spojen s odpovídajícím vstupem paměti. První vstup paměti je dále spojen s prvním vstupem ovládacího obvodu a s prvním vstupem monostabilního obvodu. Druhý výstup monostabilního obvodu je spojen se čtvrtým vstupem vyhodnocovacího obvodu. První výstup monostabilního obvodu je spojen se druhým vstupem ovládacího obvodu. Výstup ovládacího obvodu je spojen se čtvrtým vstupem paměti. Každý výstup paměti je spojen s odpovídajícím vstupem vyhodnocovacího obvodu. Výstup vyhodnocovacího obvodu je spojen s výstupem zapojení. Výstupní svorky zapojení jsou spojeny s odpovídajícími výstupy dekodéru. Výhodou uspořádání podle vynálezu je jeho poměrná jednoduchost, která se nemění pro libovolný počet vstupních signálů. Délka vstupních signálů může být prakticky libovolná, omezená jen dolní hranicí, tj. rychlostí spínání použitých součástek. Zapojení bere ohled na možné časové rozptyly v příjmu jednotlivých signálů informace.

Příklad uspořádání podle vynálezu je znázorněn v blokovém schématu na připojení výkresu.

Jednotlivé bloky lze charakterizovat takto: Dekodér 1 sestává z tranzistorů, odporů, diod kondenzátoru a součinných hra-

del. Slouží k dekodování vstupních signálů. Zjišťovací obvod 2 sestává z odporového děliče a operačních zesilovačů zapojených jako hladinové členy. Slouží ke zjištění počtu vstupních signálů. Na jeho výstupech je zakódovaná informace o tom, zda počet vstupů odpovídá požadavkům, či zda je větší nebo menší. Paměť 3 je vytvořena ze součinnových hradel, zapojených jako klopné obvody. Zachovává po určitou dobu informaci o počtu vstupních signálů. Ovládací obvod 4 je vytvořen ze součtového hradla a zpožďovacího kondenzátoru. Slouží k odblokování paměti 3 při přechodu vstupních signálů. Monostabilní obvod 5 je vytvořen ze tří součinnových hradel, kondenzátoru a odporu. Zajišťuje zablokování paměti 3 za určitou dobu po ukončení signálů.

Vyhodnocovací obvod 6 je vytvořen ze dvou čtyřvstupových součinnových hradel a může být vybaven též pamětí. Odblokovává se závěrnou hranou posledního vstupního signálu, a vyhodnocuje správnost počtu vstupních signálů.

Zapojení má libovolný počet vstupních svorek označených **A1**, **A2** až **AN**, z nichž každá je spojena jednak s odpovídajícím vstupem **011**, **012** až **01N** dekodéru 1 a s odpovídajícím prvním vstupem **021**, **022** až **02N** zjišťovacího obvodu 2. První výstup **211** zjišťovacího obvodu 2 je spojen s prvním vstupem **31** paměti 3, s prvním vstupem **41** ovládacího obvodu 4 a s prvním vstupem **51** monostabilního obvodu 5. Druhý výstup **212** zjišťovacího obvodu 2 je spojen se druhým vstupem **32** paměti 3, jejíž třetí vstup **33** je spojen se třetím výstupem **213** zjišťovacího obvodu 2. Třetí vstup **34** paměti 3 je spojen s výstupem **43** ovládacího obvodu 4, jehož druhý vstup **42** je spojen s prvním výstupem **52** monostabilního obvodu 5. Výstupy **35**, **36** a **37** paměti 3 jsou spojeny s odpovídajícími vstupy **61**, **62** a **63** vyhodnocovacího obvodu 6. Čtvrtý vstup **64** vyhodnocovacího obvodu 6 je spojen se druhým výstupem **53** monostabilního obvodu 5. Výstup **65** vyhodnocovacího obvodu 6 je spojen s výstupem **C** zapojení. Výstupní svorky **B1**, **B2** až **BN** jsou spojeny s odpovídajícími výstupy **111**, **112** až **11N** dekodéru 1,

Zapojení pracuje takto: Na vstupní svor-

ky **A1**, **A2** až **AN** zapojení se přivádí kódovaná informace. V dekodéru 1 se tato informace vyhodnotí a objeví se na jedné z výstupních svorek **B1**, **B2** až **BN** zapojení. Ve zjišťovacím obvodu 2 se současně vyhodnotí počet přítomných vstupních signálů tak, že je-li přítomno méně vstupních signálů než je požadovaný počet, objeví se signál na prvním výstupu **211** zjišťovacího obvodu 2. Je-li přítomen požadovaný počet vstupních signálů, objeví se signál současně na prvním výstupu **211** a na druhém výstupu **212** zjišťovacího obvodu 2. Je-li přítomno více vstupních signálů než je požadovaný počet, objeví se signál na všech třech výstupech **211**, **212**, **213** zjišťovacího obvodu 2. Po příchodu prvního vstupního signálu se objeví signál na prvním výstupu **211** zjišťovacího obvodu 2, kterým se přes ovládací obvod 4 uvolňuje paměť 3. V paměti 3 se uchová informace o stavu všech výstupů **211**, **212**, **213** zjišťovacího obvodu 2. Když skončí příjem posledního vstupního signálu, zmizí signál i na výstupu **211** zjišťovacího obvodu 2, což má za následek, že se spustí monostabilní obvod 5. Signál na prvním výstupu **52** monostabilního obvodu 5 uvolňuje dále přes ovládací obvod 4 paměť 3. Současně signál na druhém výstupu **53** monostabilního obvodu 5 uvolňuje vyhodnocovací obvod 6. Vyhodnocovací obvod 6 určí z kombinací signálů přítomných na jeho prvních třech výstupech **61**, **62**, **63**, zda byl přítomen správný nebo nesprávný počet vstupních signálů. Signál o nesprávném přenosu se objeví na výstupu **65** vyhodnocovacího obvodu 6 a na výstupní svorce **C** zapojení. Tento signál se může zpracovat dál v obvodu, který blokuje signály z výstupních svorek **B1**, **B2** až **BN** zapojení. Může se též přivést na indikační prvek signalizující nesprávný přenos. Tento indikační prvek ani obvod pro blokování signálů z výstupních svorek **B1**, **B2** až **BN** zapojení není na výkrese znázorněn.

Vynálezu se využije v zařízeních, kde je nutné vyhodnocovat příjem nesrozumitelné informace, i tam, kde není zaručen příjem všech signálů kódu v jednom okamžiku, např. v železniční dopravě při příjmu informací z trati.

PŘEDMĚT VYNÁLEZU

Zapojení pro kontrolu přenosu informací, sestávající z dekodéru, zjišťovacího obvodu, paměti, ovládacího obvodu, monostabilního obvodu o vyhodnocovacího obvodu, vyznačující se tím, že každá vstupní svorka (A1 až AN) zapojení je spojena s odpovídajícím vstupem (011 až 01N) dekodéru (1) a s odpovídajícím vstupem (021 až 02N) zjišťovacího obvodu (2), jehož každý výstup (211, 212, 213) je spojen s odpovídajícím vstupem (31, 32, 33) paměti (3), jejíž první vstup (31) je dále spojen s prvním vstupem (41) ovládacího obvodu (4) a s prvním vstupem (51) monostabil-

ního obvodu (5), jehož druhý výstup (53) je spojen se čtvrtým vstupem (64) vyhodnocovacího obvodu (6) a první výstup (52) monostabilního obvodu (5) je spojen se druhým vstupem (42) ovládacího obvodu (4), jehož výstup (43) je spojen se čtvrtým vstupem (34) paměti (3), jejíž každý výstup (35, 36, 37) je spojen s odpovídajícím vstupem (61, 62, 63), vyhodnocovacího obvodu (6), jehož výstup (65) je spojen s výstupem (C) zapojení, jehož výstupní svorky (B1 až BN) jsou spojeny s odpovídajícími výstupy (111 až 11N) dekodéru (1).

1 list výkresů

203504

