世界知的所有権機関
国際事務局

PCT

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類7 **G09G 5/00, H04N 5/445, 5/278**	**A1**	(11) 国際公開番号 **WO00/46783** (43) 国際公開日 2000年8月10日(10.08.00)

(21) 国際出願番号 PCT/JP00/00451

(22) 国際出願日 2000年1月28日(28.01.00)

(30) 優先権データ
特願平11/24663 1999年2月2日(02.02.99) JP

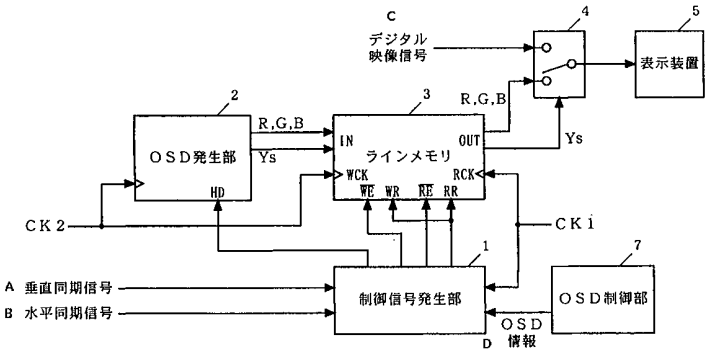
(71) 出願人（米国を除くすべての指定国について）
松下電器産業株式会社
(MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.)
[JP/JP]
〒571-8501 大阪府門真市大字門真1006 Osaka, (JP)
(72) 発明者；および
(75) 発明者／出願人（米国についてのみ）
大留孝史(OTOME, Takashi)[JP/JP]
〒065-0033 北海道札幌市東区北33条東14丁目4-15-902
Hokkaido, (JP)
(74) 代理人
弁理士 小笠原史朗(OGASAWARA, Shiro)
〒564-0053 大阪府吹田市江の木町3番11号
第3ロンヂェビル Osaka, (JP)

(81) 指定国 CN, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)

添付公開書類
国際調査報告書

(54)Title: **DEVICE AND METHOD FOR DISPLAYING VIDEO**

(54)発明の名称 映像表示装置および方法



2...OSD GENERATING SECTION
3...LINE MEMORY
C...DIGITAL VIDEO SIGNAL
5...DISPLAY DEVICE
A...VERTICAL SYNCHRONIZING SIGNAL
B...HORIZONTAL SYNCHRONIZING SIGNAL
1...CONTROL SIGNAL GENERATING SECTION
D...OSD INFORMATION
7...OSD CONTROL SECTION

(57) Abstract

Even when an on-screen display device which operates only with a clock slower than the dot clock synchronized with a video signal is used, high-definition on-screen display is performed according to the dot clock. According to a signal outputted by a control signal generating section (1), an on-screen signal outputted by an OSD generating section (2) is written in a line memory (3) with a clock (CK2) slower than the dot clock of the video signal and is read from the line memory (3) with a clock (CK1) synchronized with the dot clock of the video signal. A switching section (4) selectively changes the output to insert the on-screen signal outputted from the line memory (3) and synchronized with the dot clock of the video signal into a predetermined period of the video signal.

(57)要約

映像信号に同期したドットクロックより遅いクロックでしか動作しないオン・スクリーン表示デバイスを用いた場合でも、当該ドットクロックに従って高精細なオン・スクリーン表示が可能な映像表示装置および方法を提供する。

制御信号発生部１が出力する信号に従って、ラインメモリ３は、ＯＳＤ発生部２が出力するオン・スクリーン信号を映像信号のドットクロックよりも遅いクロック（ＣＫ２）で書き込み、映像信号のドットクロックに同期したクロック（ＣＫ１）で読み出す。切替部４は、ラインメモリ３が出力する映像信号のドットクロックに同期したオン・スクリーン信号を、出力を選択的に切り換えることで映像信号の予め定められた期間に挿入する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦
AG アンティグア・バーブーダ
AL アルバニア
AM アルメニア
AT オーストリア
AU オーストラリア
AZ アゼルバイジャン
BA ボズニア・ヘルツェゴビナ
BB バルバドス
BE ベルギー
BF ブルギナ・ファソ
BG ブルガリア
BJ ベナン
BR ブラジル
BY ベラルーシ
CA カナダ
CF 中央アフリカ
CG コンゴー
CH スイス
CI コートジボアール
CM カメルーン
CN 中国
CR コスタ・リカ
CU キューバ
CY キプロス
CZ チェッコ
DE ドイツ
DK デンマーク
DM ドミニカ
DZ アルジェリア
EE エストニア
ES スペイン
FI フィンランド
FR フランス
GA ガボン
GB 英国
GD グレナダ
GE グルジア
GH ガーナ
GM ガンビア
GN ギニア
GR ギリシャ
GW ギニア・ビサオ
HR クロアチア
HU ハンガリー
ID インドネシア
IE アイルランド
IL イスラエル
IN インド
IS アイスランド
IT イタリア
JP 日本
KE ケニア
KG キルギスタン
KP 北朝鮮
KR 韓国
KZ カザフスタン
LC セントルシア
LI リヒテンシュタイン
LK スリ・ランカ
LR リベリア
LS レソト
LT リトアニア
LU ルクセンブルグ
LV ラトヴィア
MA モロッコ
MC モナコ
MD モルドヴァ
MG マダガスカル
MK マケドニア旧ユーゴスラヴィア共和国
ML マリ
MN モンゴル
MR モーリタニア
MW マラウイ
MX メキシコ
MZ モザンビーク
NE ニジェール
NL オランダ
NO ノールウェー
NZ ニュー・ジーランド
PL ポーランド
PT ポルトガル
RO ルーマニア
RU ロシア
SD スーダン
SE スウェーデン
SG シンガポール
SI スロヴェニア
SK スロヴァキア
SL シエラ・レオネ
SN セネガル
SZ スワジランド
TD チャード
TG トーゴー
TJ タジキスタン
TM トルクメニスタン
TR トルコ
TT トリニダッド・トバゴ
TZ タンザニア
UA ウクライナ
UG ウガンダ
US 米国
UZ ウズベキスタン
VN ヴェトナム
YU ユーゴースラヴィア
ZA 南アフリカ共和国
ZW ジンバブエ

明細書

映像表示装置および方法

技術分野

本発明は、映像表示装置および方法に関し、より特定的には、コンピュータ信号，ＮＴＳＣ信号，ハイビジョン信号等の各種映像信号の映像表示と共に、オン・スクリーン表示を行う映像表示装置および方法に関する。

背景技術

近年、情報処理化が進みワード・プロセッサやパーソナル・コンピュータ等の機器がオフィスや家庭に浸透している。特に、近年の機器においては、より多くの情報を表示させるために表示画面の大型化と共に表示画面の高精細化が進んでいる。この表示画面が高精細になると言うことは、映像信号のドットクロックが速くなるということに他ならない。

一方、これらの機器において、例えば、ディスプレイならコントラストやブライトの設定、テレビジョン受像器なら音量やチャンネル等の表示をするために、表示画面上にオン・スクリーンで文字を表示することが一般に行われている。

上記オン・スクリーン表示を行う映像表示装置として、特開平６－３１９０７７号公報（以下、従来の文献という）に記載されたものが従来から広く知られている。図７は

、この従来の文献に記載されている従来の映像表示装置の構成を示すブロック図である。

図７において、従来の映像表示装置は、ＰＬＬ回路１０１と、否定（ＮＯＴ）回路１０２と、論理積（ＡＮＤ）回路１０３と、カウンタ１０４と、切替部１０５と、表示装置１０６とを備える。

ＰＬＬ回路１０１は、映像信号に同期した水平ブランキング信号（Ｈ－ＢＬＫ）を入力し、このＨ－ＢＬＫに従って一定周波数のクロックを発生する。カウンタ１０４は、ＰＬＬ回路１０１が発生したクロックに基づいてオン・スクリーン信号の先頭文字位置（オン・スクリーン表示を行う期間）を与えるＹｓ信号を発生し、切替部１０５の切替えを制御する。切替部１０５は、カウンタ１０４が出力するＹｓ信号による制御に従って、映像信号とオン・スクリーン信号とを切り替えることにより、オン・スクリーンの表示期間の間にだけオン・スクリーン信号を表示装置１０６へ出力する。

一般には、このような、Ｈ－ＢＬＫ等の同期信号を入力することで、Ｙｓ信号とオン・スクリーン信号とを選択的に出力するデバイスが広く流通している。

また、周知のように、入力された映像信号のドットクロックが速い場合には、ディスプレイ・ドライバの入力クロックを下げて映像信号の処理速度を上げるために、２相等の並列処理が行われている。

上述のように、各種映像信号が高精細化するに伴い、オン・スクリーン表示も表示文字の高精細化が必要不可欠と

なり、オン・スクリーン信号は映像信号のドットクロックに同期したクロックで動作する必要がある。

しかしながら、実際のオン・スクリーン表示デバイスは、現在これに追従していない。また、たとえ所望のクロック周波数でオン・スクリーン表示デバイスが動作しても、オン・スクリーン信号を映像信号内に挿入するための映像表示処理回路とのインタフェースを行うのは困難である。また、上記並列処理がされた映像信号にオン・スクリーン信号を挿入する場合に、１文字あたりの解像度が落ちる問題があった。

それ故、本発明の目的は、映像信号に同期したドットクロックより遅いクロックでしか動作しないオン・スクリーン表示デバイスを用いた場合でも、当該ドットクロックに従って高精細なオン・スクリーン表示が可能な映像表示装置および方法を提供することである。

発明の開示

本発明は、上記目的を達成するために、以下に述べる特徴を備えている。

第１の局面は、映像信号に予め定めたオン・スクリーン信号を挿入する映像表示装置であって、

予め定めたオン・スクリーン信号を発生するＯＳＤ発生部と、

ＯＳＤ発生部が出力するオン・スクリーン信号を、書き込みクロック（ただし、読み出しクロックより遅い）に同期して書き込み、当該書き込んだオン・スクリーン信号を

、映像信号のドットクロックである読み出しクロックに同期して読み出すデュアルポートのラインメモリと、

ラインメモリが読み出したオン・スクリーン信号を、映像信号の予め定めた期間に挿入する切替部とを備える。

上記のように、第１の局面によれば、デュアルポートのラインメモリを用い、オン・スクリーン信号を従来の遅いクロックで一度ラインメモリに書き込み、この書き込んだオン・スクリーン信号を映像信号に同期した速いクロックで再び読み出す。従って、映像信号に同期したドットクロックより遅いクロックでしか動作しないオン・スクリーン表示デバイスを用いた場合でも、当該ドットクロックに従って高精細なオン・スクリーン表示が可能となる。

第２の局面は、並列処理された複数の映像信号にそれぞれ予め定めたオン・スクリーン信号を挿入する映像表示装置であって、

予め定めたオン・スクリーン信号を発生するＯＳＤ発生部と、

ＯＳＤ発生部が出力するオン・スクリーン信号を、予め定めた書き込みクロック（ただし、読み出しクロックより遅い）に同期して書き込み、当該書き込んだオン・スクリーン信号を、映像信号のドットクロックである読み出しクロックに同期して読み出すデュアルポートの複数のラインメモリと、

複数のラインメモリが並列的な書き込み処理を行うことができるように、各々の書き込みクロックのタイミングを制御する制御部と、

複数のラインメモリがそれぞれ読み出したオン・スクリーン信号を、複数の映像信号の予め定めた期間にそれぞれ挿入する複数の切替部とを備える。

上記のように、第２の局面によれば、複数のデュアルポートのラインメモリを用い、オン・スクリーン信号を従来の遅いクロックで並列的に一度複数のラインメモリにそれぞれ書き込み、このそれぞれ書き込んだオン・スクリーン信号を映像信号に同期した速いクロックで並列的に各々再び読み出す。従って、映像信号に同期したドットクロックより遅いクロックでしか動作しないオン・スクリーン表示デバイスを用いた場合でも、当該ドットクロックに従って高精細なオン・スクリーン表示が可能となる。さらに、複数相の並列処理された映像信号の場合でも、オン・スクリーン信号の１ドット単位の高精細な表示を行うことができる。

第３の局面は、第１の局面に従属する局面であって、

ＯＳＤ発生部は、ＯＳＤ表示対象である入力信号、ＯＳＤ最大映像表示期間、水平同期信号、書き込みクロックおよび読み出しクロックに基づいて決定される、高精細によるＯＳＤ表示の可否およびＯＳＤ表示を開始する水平期間の位置（以下、ＯＳＤ情報という）に従って、予め定めたオン・スクリーン信号を発生し、

ラインメモリは、ＯＳＤ情報に従ったタイミングで、書き込みおよび読み出し処理を行うことを特徴とする。

第４の局面は、第２の局面に従属する局面であって、

ＯＳＤ発生部は、ＯＳＤ表示対象である入力信号、ＯＳ

Ｄ最大映像表示期間、水平同期信号、書き込みクロックおよび読み出しクロックに基づいて決定される、高精細によるＯＳＤ表示の可否およびＯＳＤ表示を開始する水平期間の位置（ＯＳＤ情報）に従って、予め定めたオン・スクリーン信号を発生し、

制御部および複数のラインメモリは、ＯＳＤ情報に従ったタイミングで、並列的な書き込みおよび読み出し処理を行うことを特徴とする。

第５の局面は、映像信号に予め定めたオン・スクリーン信号を挿入する映像表示方法であって、

予め定めたオン・スクリーン信号を、書き込みクロック（ただし、読み出しクロックより遅い）に同期してラインメモリに書き込むステップと、

ラインメモリに書き込んだオン・スクリーン信号を、映像信号のドットクロックである読み出しクロックに同期して読み出すステップと、

ラインメモリから読み出したオン・スクリーン信号を、映像信号の予め定めた期間に挿入するステップとを備える。

上記のように、第５の局面によれば、オン・スクリーン信号を従来の遅いクロックで一度ラインメモリに書き込み、この書き込んだオン・スクリーン信号を映像信号に同期した速いクロックで再び読み出す。従って、映像信号に同期したドットクロックより遅いクロックでしか動作しないオン・スクリーン表示デバイスを用いた場合でも、当該ドットクロックに従って高精細なオン・スクリーン表示が可

能となる。

第６の局面は、並列処理された映像信号に、それぞれ予め定めたオン・スクリーン信号を挿入する映像表示方法であって、

予め定めたオン・スクリーン信号を、予め定めた各々の書き込みクロック（ただし、読み出しクロックより遅い）に同期して複数のラインメモリへ並列的に書き込むステップと、

複数のラインメモリに書き込んだオン・スクリーン信号を、映像信号のドットクロックである読み出しクロックに同期してそれぞれ読み出すステップと、

複数のラインメモリからそれぞれ読み出したオン・スクリーン信号を、映像信号の予め定めた期間にそれぞれ挿入するステップとを備える。

上記のように、第６の局面によれば、オン・スクリーン信号を従来の遅いクロックで並列的に一度複数のラインメモリにそれぞれ書き込み、このそれぞれ書き込んだオン・スクリーン信号を映像信号に同期した速いクロックで並列的に各々再び読み出す。従って、映像信号に同期したドットクロックより遅いクロックでしか動作しないオン・スクリーン表示デバイスを用いた場合でも、当該ドットクロックに従って高精細なオン・スクリーン表示が可能となる。さらに、複数相の並列処理された映像信号の場合でも、オン・スクリーン信号の１ドット単位の高精細な表示を行うことができる。

第７の局面は、第５の局面に従属する局面であって、

予め定めたオン・スクリーン信号は、ＯＳＤ表示対象である入力信号、ＯＳＤ最大映像表示期間、水平同期信号、書き込みクロックおよび読み出しクロックに基づいて決定される、高精細によるＯＳＤ表示の可否およびＯＳＤ表示を開始する水平期間の位置（ＯＳＤ情報）に従って、生成される信号であり、

書き込みステップおよび読み出すステップは、ＯＳＤ情報に従ったタイミングで、書き込みおよび読み出し処理を行うことを特徴とする。

第８の局面は、第６の局面に従属する局面であって、

予め定めたオン・スクリーン信号は、ＯＳＤ表示対象である入力信号、ＯＳＤ最大映像表示期間、水平同期信号、書き込みクロックおよび読み出しクロックに基づいて決定される、高精細によるＯＳＤ表示の可否およびＯＳＤ表示を開始する水平期間の位置（ＯＳＤ情報）に従って、生成される信号であり、

書き込みステップおよび読み出すステップは、ＯＳＤ情報に従ったタイミングで、並列的な書き込みおよび読み出し処理を行うことを特徴とする。

図面の簡単な説明

図１は、本発明の第１の実施形態に係る映像表示装置の構成を示すブロック図である。

図２は、本発明の第１の実施形態に係る映像表示装置で行われるＯＳＤ表示の流れを示すフローチャートである。

図３は、オン・スクリーン表示の一例を示す図である。

図４は、本発明の第１の実施形態に係る映像表示装置において、図３の１Ｈラインにおける各信号のタイミングの一例を示す図である。

図５は、本発明の第２の実施形態に係る映像表示装置の構成を示すブロック図である。

図６は、本発明の第２の実施形態に係る映像表示装置において、図３の１Ｈラインにおける各信号のタイミングの一例を示す図である。

図７は、従来の映像表示装置の構成を示すブロック図である。

発明を実施するための最良の形態

（第１の実施形態）

図１は、本発明の第１の実施形態に係る映像表示装置の構成を示すブロック図である。図１において、第１の実施形態に係る映像表示装置は、制御信号発生部１と、オン・スクリーン・ディスプレイ（以下、ＯＳＤと略す）発生部２と、ラインメモリ３と、切替部４と、表示装置５、ＯＳＤ制御部７とを備える。

図２は、本発明の第１の実施形態に係る映像表示装置で行われるＯＳＤ表示の流れを示すフローチャートである。

まず、図１および図２を参照して、第１の実施形態に係る映像表示装置の各構成が行う動作を説明する。

ＯＳＤ制御部７は、ＯＳＤ表示対象である入力信号を検出する（ステップＳ１）。そして、ＯＳＤ制御部７は、ＯＳＤ最大映像表示期間（水平期間に最大何文字を表示させ

るかによって予め定められる期間）、水平同期信号、映像信号に同期したドットクロックと同じクロックである第１のクロック信号（以下、ＣＫ１という）、および映像信号と同期していないクロックである第２のクロック信号（以下、ＣＫ２という）に基づいて、高精細でＯＳＤ表示が可能かどうかを判断する（ステップＳ２）。具体的には、ＯＳＤ制御部７は、水平同期信号期間に対する映像信号の有効期間の割合をα（０≦α≦１）とすると、下記式に表す関係が満たされる場合に高精細表示が可能であると判断する。

$$\alpha \times CK1 \leqq CK2 \leqq CK1$$

さらに、ＯＳＤ制御部７は、入力信号とＣＫ１およびＣＫ２とに基づいて、ＯＳＤ表示を開始する水平期間の位置を決定する（ステップＳ３，Ｓ４）。なお、ＯＳＤ制御部７は、入力信号の関係で水平の１ライン（以下、１Ｈラインという）内にＯＳＤ表示を行えないような場合（例えば、次の１Ｈラインに折り返してＯＳＤ表示がされてしまうような場合）には、１Ｈライン前における位置を決定するようにする。

そして、ＯＳＤ制御部７は、この高精細表示の可否、表示位置および入力信号に対応するＯＳＤ表示内容等を、ＯＳＤ情報として制御信号発生部１へ出力する。

制御信号発生部１は、水平同期信号，垂直同期信号，ＣＫ１およびＯＳＤ制御部７からＯＳＤ情報を入力する。そして、制御信号発生部１は、１Ｈラインごとに、どの期間にどのようなオン・スクリーン表示がされるかをＯＳＤ情

報に基づいて判断し、その内容を伝える制御信号をＣＫ１に同期してＯＳＤ発生部２へ出力する。また、制御信号発生部１は、１Ｈラインにおいて映像信号の有効期間の先頭を与えるリセット信号と、ラインメモリ３の書き込みを指示するライト・イネーブル信号および読み出しを指示するリード・イネーブル信号とを、ＣＫ１に同期してラインメモリ３へ出力する（ステップＳ５）。なお、高精細でのＯＳＤ表示が不可能（通常のＯＳＤ表示）である場合には、制御信号発生部１は、同一タイミングのライト・イネーブル信号およびリード・イネーブル信号を出力することを行う。

ＯＳＤ発生部２は、ＣＫ２および制御信号発生部１が出力する制御信号を入力し、当該制御信号に従って、オン・スクリーン表示を行う期間を与えるＹｓ信号と、当該期間に表示する内容をＲＧＢの各原色に変換した信号とを、ＣＫ２に同期してラインメモリ３へ出力する（ステップＳ６）。

ラインメモリ３は、書き込み処理と読み出し処理とが別々のクロックで動作するデュアルポート・ラインメモリであり、入力するＲ，Ｇ，Ｂ信号およびＹｓ信号をＣＫ２に同期して書き込み、この書き込んだＲ，Ｇ，Ｂ信号およびＹｓ信号をＣＫ１に同期して読み出す。ここで、ラインメモリ３は、制御信号発生部１が出力するリセット信号に従って書き込み／読み出し処理をリセットし、制御信号発生部１が出力するイネーブル信号に従って書き込み／読み出し処理を行う。なお、高精細でのＯＳＤ表示が不可能（通

常のＯＳＤ表示）である場合には、ラインメモリ３は、書き込んだＲ，Ｇ，Ｂ信号およびＹｓ信号をＣＫ２に同期して読み出すことを行う。この読み出されたＲ，Ｇ，Ｂ信号およびＹｓ信号は、切替部４へ出力される。

切替部４は、ラインメモリ３が出力するＲ，Ｇ，Ｂ信号とデジタル映像信号とを入力し、ラインメモリ３が出力するＹｓ信号に従って表示装置５へ出力する信号を選択的に切り替える。

表示装置５は、例えば、ＬＣＤ等の表示装置であり、切替部４が選択した信号を画面上に表示する（ステップＳ７）。

次に、第１の実施形態に係る映像表示装置が行う動作を、図３および図４をさらに参照し、一例を挙げて具体的に説明する。

図３は、オン・スクリーン表示の一例を示す図である。図３においては、表示装置５の画面上に方形の白色のオン・スクリーン表示を行う場合を示している。図４は、図３において破線で示した１Ｈラインにおける各信号のタイミングを示す図である。なお、図４では、図３の方形の白色の水平データが６つのデータ（図４中、模擬的に１～６で示している）から構成されることを前提として記載している。また、ＣＫ１を映像信号に同期したドットクロックと同じ周波数のクロック（図４（ｄ））とし、ＣＫ２をＣＫ１の１／２周波数のクロック（図４（ｃ））とする。

まず、制御信号発生部１は、水平同期信号に基づいて、１Ｈラインにおいて映像信号の有効期間の先頭を与える制

御信号およびリセット信号（図４（ａ））を生成し、ＯＳＤ発生部２およびラインメモリ３へ出力する。ＯＳＤ発生部２は、制御信号発生部１からさらに与えられるＯＳＤ情報の内容の各信号、すなわち、図４において、制御信号から期間ｔの経過後に６データの白色のオン・スクリーン表示を行うＲ，Ｇ，Ｂ信号およびＹｓ信号（図４（ｂ））を、ラインメモリ３へ出力する。

なお、この例では、白色のオン・スクリーン表示を行う場合を説明しているため、ＲＧＢの各信号とＹｓ信号とが同じ波形になっているが、例えば、緑色のオン・スクリーン表示を行う場合には、Ｇ信号とＹｓ信号とが図４（ｂ）の波形となり、Ｒ，Ｂ信号は共に常時Ｌｏ出力となることは言うまでもない。

次に、制御信号発生部１は、ＯＳＤ情報に基づいて、上記期間ｔが経過した時点から６つのデータをラインメモリ３が書き込み処理できるように、ライト・イネーブル信号（図４（ｅ））をラインメモリ３へ出力する。そして、ラインメモリ３は、ライト・イネーブル信号（図４（ｅ））の期間においてはＣＫ２に同期して、入力するＲ，Ｇ，Ｂ信号およびＹｓ信号（図４（ｂ））をメモリ領域内に順次書き込む。

一方、制御信号発生部１は、書き込むＲ，Ｇ，Ｂ信号およびＹｓ信号（図４（ｂ））のデータサイズを判断し、ラインメモリ３がメモリ領域に書き込んだ信号を連続的に読み出しが可能となった時点で、リード・イネーブル信号（図４（ｆ））をラインメモリ３へ出力する。この例では、

ＣＫ２がＣＫ１の１／２周波数のクロックであるため、全６データの半分の３データを書き込むのに必要な時間（すなわち、ＣＫ２が３クロック）にＣＫ２の半周期経過時点が、リード・イネーブル信号（図４（ｆ））の開始となる。

そして、ラインメモリ３は、リード・イネーブル信号（図４（ｆ））の信号を受けると、書き込み処理と並行してメモリ領域に書き込まれているＲ，Ｇ，Ｂ信号およびＹｓ信号をＣＫ１に同期して読み出し（図４（ｇ））、切替部４へ出力する。

次に、切替部４は、ラインメモリ３が出力するＣＫ１に同期した（すなわち、映像信号のドットクロックに同期した）Ｒ，Ｇ，Ｂ信号（図４（ｇ））とデジタル映像信号（図４（ｈ））とを入力し、ラインメモリ３が出力するＣＫ１に同期したＹｓ信号（図４（ｇ））に従って当該信号を選択的に切り替え、表示装置５へ切り替えた信号（図４（ｉ））を出力する。

表示装置５は、切替部４が選択した信号を画面上に表示する。

以上のように、本発明の第１の実施形態に係る映像表示装置によれば、デュアルポートのラインメモリ３を用い、オン・スクリーン信号を従来の遅いクロック（ＣＫ２）で一度ラインメモリ３に書き込み、この書き込んだオン・スクリーン信号を映像信号に同期した速いクロック（ＣＫ１）で再び読み出す。

従って、映像信号に同期したドットクロックより遅いク

ロックでしか動作しないオン・スクリーン表示デバイスを用いた場合でも、当該ドットクロックに従って高精細なオン・スクリーン表示が可能となる。

（第２の実施形態）

ところで、上述したように、映像のドットクロックが高い場合に並列処理をすることで見かけ上の処理時間を短縮する手法が良く用いられている。しかし、映像信号が２相の並列処理された場合には、オン・スクリーン信号を上記第１の実施形態で示したように重畳すると、オン・スクリーン表示の解像度は半分に落ちてしまい、また、１文字当たりのサイズも大きくなってしまう。

そこで、本発明の第２の実施形態に係る映像表示装置は、オン・スクリーン表示の解像度および１文字当たりのサイズを落とすことなく並列処理を可能とするものである。

図５は、本発明の第２の実施形態に係る映像表示装置の構成を示すブロック図である。図５において、第２の実施形態に係る映像表示装置は、制御信号発生部１と、オン・スクリーン・ディスプレイ（ＯＳＤ）発生部２と、ラインメモリ３１，３２と、切替部４１，４２と、表示装置５と、分周器６、ＯＳＤ制御部７とを備える。

まず、図５および図２を参照して、第２の実施形態に係る映像表示装置の各構成が行う動作を説明する。

ＯＳＤ制御部７は、上記第１の実施形態と同様に、ＯＳＤ表示対象である入力信号を検出する（図２、ステップＳ１）。そして、ＯＳＤ制御部７は、ＯＳＤ最大映像表示期間、水平同期信号、映像信号に同期したドットクロックと

同じクロックであるＣＫ１、および映像信号と同期していないクロックであるＣＫ２に基づいて、高精細でＯＳＤ表示が可能かどうかを判断する（図２，ステップＳ２）。具体的には、ＯＳＤ制御部７は、水平同期信号期間に対する映像信号の有効期間の割合をα（０≦α≦１）とすると、下記式に表す関係が満たされる場合に高精細表示が可能であると判断する。

$$\alpha \times CK1 \leqq CK2 \leqq CK1$$

さらに、ＯＳＤ制御部７は、入力信号とＣＫ１およびＣＫ２とに基づいて、ＯＳＤ表示を開始する水平期間の位置を決定する（図２、ステップＳ３，Ｓ４）。なお、ＯＳＤ制御部７は、入力信号の関係で１Ｈライン内にＯＳＤ表示を行えないような場合には、１Ｈライン前における位置を決定するようにする。

そして、ＯＳＤ制御部７は、この高精細表示の可否、表示位置および入力信号に対応するＯＳＤ表示内容等を、ＯＳＤ情報として制御信号発生部１へ出力する。

制御信号発生部１は、水平同期信号，垂直同期信号，ＣＫ１およびＯＳＤ制御部７からＯＳＤ情報を入力する。そして、制御信号発生部１は、１Ｈラインごとに、どの期間にどのようなオン・スクリーン表示がされるかをＯＳＤ情報に基づいて判断し、その内容を伝える制御信号をＣＫ１に同期してＯＳＤ発生部２へ出力する。また、制御信号発生部１は、予め定めたラインメモリ３１，３２の書き込みを指示するライト・イネーブル信号を出力すべく、分周器６を制御する。さらに、制御信号発生部１は、１Ｈライン

において映像信号の有効期間の先頭を与えるリセット信号と読み出しを指示するリード・イネーブル信号とを、ＣＫ１に同期してラインメモリ３１，３２へ出力する（図２、ステップＳ５）。なお、高精細でのＯＳＤ表示が不可能（通常のＯＳＤ表示）である場合には、制御信号発生部１は、同一タイミングのライト・イネーブル信号およびリード・イネーブル信号を出力することを行う。

ＯＳＤ発生部２は、ＣＫ２および制御信号発生部１が出力する制御信号を入力し、当該制御信号に従って、オン・スクリーン表示を行う期間を与えるＹｓ信号と、当該期間に表示する内容をＲＧＢの各原色に変換した信号とを、ＣＫ２に同期してラインメモリ３１，３２へ出力する（図２、ステップＳ６）。

分周器６は、入力するＣＫ２を１／２倍に分周し、制御信号発生部１が出力するライト・イネーブル信号に従った一定の期間だけクロックをラインメモリ３１，３２に出力する。

ラインメモリ３１，３２は、それぞれ書き込み処理と読み出し処理とが別々のクロックで動作するデュアルポート・ラインメモリであり、入力するＲ，Ｇ，Ｂ信号およびＹｓ信号をＣＫ２に同期して書き込み、この書き込んだＲ，Ｇ，Ｂ信号およびＹｓ信号をＣＫ１に同期して読み出す。ここで、ラインメモリ３１，３２は、制御信号発生部１が出力するリセット信号に従って書き込み／読み出し処理をリセットし、分周器６が出力するクロックに従って書き込み処理を行い、制御信号発生部１が出力するイネーブル信

号に従って読み出し処理を行う。なお、高精細でのＯＳＤ表示が不可能（通常のＯＳＤ表示）である場合には、ラインメモリ３は、書き込んだＲ，Ｇ，Ｂ信号およびＹｓ信号をＣＫ２に同期して読み出すことを行う。この読み出されたＲ，Ｇ，Ｂ信号およびＹｓ信号は、それぞれ切替部４１，４２へ出力される。

切替部４１は、ラインメモリ３１が出力するＲ，Ｇ，Ｂ信号とデジタル映像信号の奇数ライン（ＯＤＤ）とを入力し、ラインメモリ３１が出力するＹｓ信号に従って表示装置５へ出力する奇数ラインの信号を選択的に切り替える。切替部４２は、ラインメモリ３２が出力するＲ，Ｇ，Ｂ信号とデジタル映像信号の偶数ライン（ＥＶＥＮ）とを入力し、ラインメモリ３２が出力するＹｓ信号に従って表示装置５へ出力する偶数ラインの信号を選択的に切り替える。

表示装置５は、例えば、ＬＣＤ等の表示装置であり、切替部４１，４２が選択した奇数ライン／偶数ラインの信号を順次画面上に表示する（図２、ステップＳ７）。

次に、第２の実施形態に係る映像表示装置の動作を、図３および図６をさらに参照し、一例を挙げて具体的に説明する。

図６は、図３において破線で示した１Ｈラインにおける各信号のタイミングを示す図である。なお、図６では、図３の方形の白色の水平データが６つのデータ（図６中、模擬的に１～６で示している）から構成されることを前提として記載している。また、ＣＫ１を映像信号に同期したドットクロックと同じ周波数のクロック（図６（ｄ））とし

、ＣＫ２をＣＫ１の１／２周波数のクロック（図６（ｃ））とする。

まず、制御信号発生部１は、水平同期信号に基づいて、１Ｈラインにおいて映像信号の有効期間の先頭を与える制御信号およびリセット信号（図６（ａ））を生成し、ＯＳＤ発生部２およびラインメモリ３１，３２へ出力する。ＯＳＤ発生部２は、制御信号発生部１からさらに与えられるＯＳＤ情報の内容の各信号、すなわち、図６において、制御信号から期間ｔの経過後に６データの白色のオン・スクリーン表示を行うＲ，Ｇ，Ｂ信号およびＹｓ信号（図６（ｂ））を、ラインメモリ３１，３２へそれぞれ出力する。

なお、この例では、白色のオン・スクリーン表示を行う場合を説明しているため、ＲＧＢの各信号とＹｓ信号とが同じ波形になっているが、例えば、緑色のオン・スクリーン表示を行う場合には、Ｇ信号とＹｓ信号とが図６（ｂ）の波形となり、Ｒ，Ｂ信号は共に常時Ｌｏ出力となることは言うまでもない。

次に、制御信号発生部１は、ＯＳＤ情報に基づいて、上記期間ｔが経過した時点から６つのデータをラインメモリ３１，３２が並列的にそれぞれ書き込み処理できるように、ライト・イネーブル信号（図６（ｂ）と同一波形）を分周器６へ出力する。分周器６は、入力するＣＫ２を１／２倍に分周し、制御信号発生部１が出力するライト・イネーブル信号の期間だけ、ラインメモリ３１へは奇数ラインを処理するように奇数クロック（図６（ｅ））を、ラインメモリ３２へは偶数ラインを処理するように偶数クロック（

図６（ｆ））をそれぞれ出力する。そして、ラインメモリ３１は、奇数クロック（図６（ｅ））に同期して、入力するＲ，Ｇ，Ｂ信号およびＹｓ信号（図６（ｂ））をメモリ領域内に順次書き込み、ラインメモリ３２は、偶数クロック（図６（ｆ））に同期して、入力するＲ，Ｇ，Ｂ信号およびＹｓ信号（図６（ｂ））をメモリ領域内に順次書き込む。

一方、制御信号発生部１は、書き込むＲ，Ｇ，Ｂ信号およびＹｓ信号（図６（ｂ））のデータサイズを判断し、ラインメモリ３１，３２がメモリ領域に書き込んだ信号をそれぞれ連続的に読み出しが可能となった時点で、リード・イネーブル信号（図６（ｇ））をラインメモリ３１，３２へ出力する。この例では、ＣＫ２がＣＫ１の１／２周波数のクロックである、各ラインメモリ３１，３２の読み出すデータが１／２であるため、図６（ｇ）に示したタイミングとなる。

そして、ラインメモリ３１，３２は、リード・イネーブル信号（図６（ｇ））の信号を受けると、書き込み処理と並行してメモリ領域に書き込まれているＲ，Ｇ，Ｂ信号およびＹｓ信号をＣＫ１に同期してそれぞれ読み出し（図６（ｈ））、切替部４１，４２へ各々出力する。

次に、切替部４１は、ラインメモリ３１が出力するＣＫ１に同期した（すなわち、映像信号のドットクロックに同期した）Ｒ，Ｇ，Ｂ信号（図６（ｈ）上側）とデジタル映像信号（図６（ｉ））とを入力し、ラインメモリ３１が出力するＣＫ１に同期したＹｓ信号（図６（ｈ））に従って

当該信号を選択的に切り替え、表示装置５へ切り替えた奇数ラインの信号（図６（ｊ）上側）を出力する。切替部４２は、ラインメモリ３２が出力するＣＫ１に同期した（すなわち、映像信号のドットクロックに同期した）Ｒ，Ｇ，Ｂ信号（図６（ｈ）下側）とデジタル映像信号（図６（ｉ））とを入力し、ラインメモリ３２が出力するＣＫ１に同期したＹｓ信号（図６（ｈ））に従って当該信号を選択的に切り替え、表示装置５へ切り替えた偶数ラインの信号（図６（ｊ）下側）を出力する。

表示装置５は、切替部４１，４２が選択した奇数ライン／偶数ラインの信号を順次画面上に表示する。

以上のように、本発明の第２の実施形態に係る映像表示装置によれば、２つのデュアルポートのラインメモリ３１，３２を用い、オン・スクリーン信号を従来の遅いクロック（ＣＫ２）で奇数ラインのデータと偶数ラインのデータとを並列的に一度ラインメモリ３１，３２にそれぞれ書き込み、このそれぞれ書き込んだオン・スクリーン信号を映像信号に同期した速いクロック（ＣＫ１）で並列的に各々再び読み出す。

従って、映像信号に同期したドットクロックより遅いクロックでしか動作しないオン・スクリーン表示デバイスを用いた場合でも、当該ドットクロックに従って高精細なオン・スクリーン表示が可能となる。さらに、２相の並列処理された映像信号の場合でも、オン・スクリーン信号の１ドット単位の高精細な表示を行うことができる。

なお、上記第２の実施形態においては、２相の並列処理

された映像信号を処理する場合を述べたが、ラインメモリの数を相の数分だけ用意し、分周器６が出力するクロックをこれに対応させるようにすれば、２相以上の並列処理された映像信号に対しても本発明を適用することができる。

また、上記第１および第２の実施形態において記載したタイミングチャート図（図４，図６）は一例であって、本発明の各構成が正しく動作できれば各信号の極性がそれぞれ逆であっても構わない。

さらに、上記第１および第２の実施形態において、制御信号発生部１はＯＳＤ発生部２と独立の構成であるように記載した。しかし、これらの構成は、例えば、集積化等により同一の構成としても構わない。

産業上の利用可能性

上述したように、本発明の映像表示装置および方法は、コンピュータ信号，ＮＴＳＣ信号，ハイビジョン信号等の各種映像信号の映像表示と共に、オン・スクリーン表示を行うにあたり、映像信号に同期したドットクロックより遅いクロックでしか動作しないオン・スクリーン表示デバイスを用いた場合でも、当該ドットクロックに従った高精細なオン・スクリーン表示を可能とする目的で用いることが可能である。

請求の範囲

１．映像信号に予め定めたオン・スクリーン信号を挿入する映像表示装置であって、

前記予め定めたオン・スクリーン信号を発生するＯＳＤ発生手段(1,2)と、

前記ＯＳＤ発生手段(1,2)が出力するオン・スクリーン信号を、書き込みクロック（ただし、読み出しクロックより遅い）に同期して書き込み、当該書き込んだオン・スクリーン信号を、前記映像信号のドットクロックである読み出しクロックに同期して読み出すデュアルポートのラインメモリ(3)と、

前記ラインメモリ(3)が読み出したオン・スクリーン信号を、前記映像信号の予め定めた期間に挿入する切替手段(4)とを備える、映像表示装置。

２．並列処理された複数の映像信号にそれぞれ予め定めたオン・スクリーン信号を挿入する映像表示装置であって、

前記予め定めたオン・スクリーン信号を発生するＯＳＤ発生手段(1,2)と、

前記ＯＳＤ発生手段(1,2)が出力するオン・スクリーン信号を、予め定めた書き込みクロック（ただし、読み出しクロックより遅い）に同期して書き込み、当該書き込んだオン・スクリーン信号を、前記映像信号のドットクロックである読み出しクロックに同期して読み出すデュアルポートの複数のラインメモリ(31,32)と、

前記複数のラインメモリ（31，32）が並列的な書き込み処理を行うことができるように、各々の書き込みクロックのタイミングを制御する制御手段（1，6）と、

前記複数のラインメモリ（31，32）がそれぞれ読み出したオン・スクリーン信号を、前記複数の映像信号の予め定めた期間にそれぞれ挿入する複数の切替手段（41，42）とを備える、映像表示装置。

3．前記ＯＳＤ発生手段（1，2）は、ＯＳＤ表示対象である入力信号、ＯＳＤ最大映像表示期間、水平同期信号、前記書き込みクロックおよび前記読み出しクロックに基づいて決定される、高精細によるＯＳＤ表示の可否およびＯＳＤ表示を開始する水平期間の位置（以下、ＯＳＤ情報という）に従って、前記予め定めたオン・スクリーン信号を発生し、

前記ラインメモリ（3）は、前記ＯＳＤ情報に従ったタイミングで、書き込みおよび読み出し処理を行うことを特徴とする、請求項１に記載の映像表示装置。

4．前記ＯＳＤ発生手段（1，2）は、ＯＳＤ表示対象である入力信号、ＯＳＤ最大映像表示期間、水平同期信号、前記書き込みクロックおよび前記読み出しクロックに基づいて決定される、高精細によるＯＳＤ表示の可否およびＯＳＤ表示を開始する水平期間の位置（以下、ＯＳＤ情報という）に従って、前記予め定めたオン・スクリーン信号を発生し、

前記制御手段（1，6）および前記複数のラインメモリ（31，32）は、前記ＯＳＤ情報に従ったタイミングで、並列的な

書き込みおよび読み出し処理を行うことを特徴とする、請求項２に記載の映像表示装置。

５．　映像信号に予め定めたオン・スクリーン信号を挿入する映像表示方法であって、

前記予め定めたオン・スクリーン信号を、書き込みクロック（ただし、読み出しクロックより遅い）に同期してラインメモリに書き込むステップと、

前記ラインメモリに書き込んだオン・スクリーン信号を、前記映像信号のドットクロックである読み出しクロックに同期して読み出すステップと、

前記ラインメモリから読み出したオン・スクリーン信号を、前記映像信号の予め定めた期間に挿入するステップとを備える、映像表示方法。

６．並列処理された映像信号に、それぞれ予め定めたオン・スクリーン信号を挿入する映像表示方法であって、

前記予め定めたオン・スクリーン信号を、予め定めた各々の書き込みクロック（ただし、読み出しクロックより遅い）に同期して複数のラインメモリへ並列的に書き込むステップと、

前記複数のラインメモリに書き込んだオン・スクリーン信号を、前記映像信号のドットクロックである読み出しクロックに同期してそれぞれ読み出すステップと、

前記複数のラインメモリからそれぞれ読み出したオン・スクリーン信号を、前記映像信号の予め定めた期間にそれぞれ挿入するステップとを備える、映像表示方法。

７．前記予め定めたオン・スクリーン信号は、ＯＳＤ

表示対象である入力信号、ＯＳＤ最大映像表示期間、水平同期信号、前記書き込みクロックおよび前記読み出しクロックに基づいて決定される、高精細によるＯＳＤ表示の可否およびＯＳＤ表示を開始する水平期間の位置（以下、ＯＳＤ情報という）に従って、生成される信号であり、

前記書き込みステップおよび前記読み出すステップは、前記ＯＳＤ情報に従ったタイミングで、書き込みおよび読み出し処理を行うことを特徴とする、請求項５に記載の映像表示方法。

８．前記予め定めたオン・スクリーン信号は、ＯＳＤ表示対象である入力信号、ＯＳＤ最大映像表示期間、水平同期信号、前記書き込みクロックおよび前記読み出しクロックに基づいて決定される、高精細によるＯＳＤ表示の可否およびＯＳＤ表示を開始する水平期間の位置（以下、ＯＳＤ情報という）に従って、生成される信号であり、

前記書き込みステップおよび前記読み出すステップは、前記ＯＳＤ情報に従ったタイミングで、並列的な書き込みおよび読み出し処理を行うことを特徴とする、請求項６に記載の映像表示方法。

図１

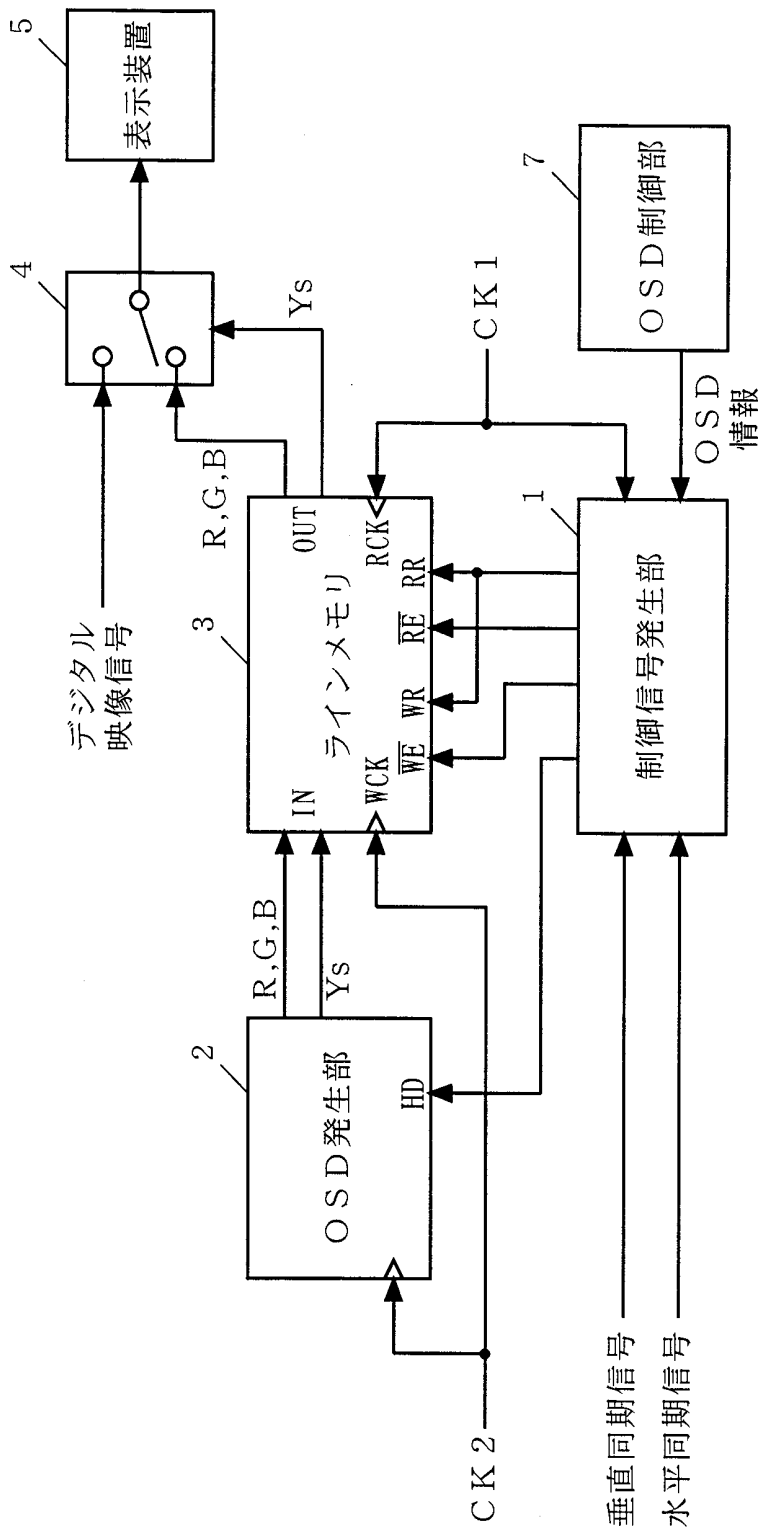

5
表示装置
4
Ys
CK1
7
OSD制御部
OSD
情報
デジタル
映像信号
R,G,B
3
OUT
RCK
ラインメモリ
RR
RE
WR
WE
WCK
IN
1
制御信号発生部
R,G,B
Ys
2
OSD発生部
HD
CK2
垂直同期信号
水平同期信号

図２

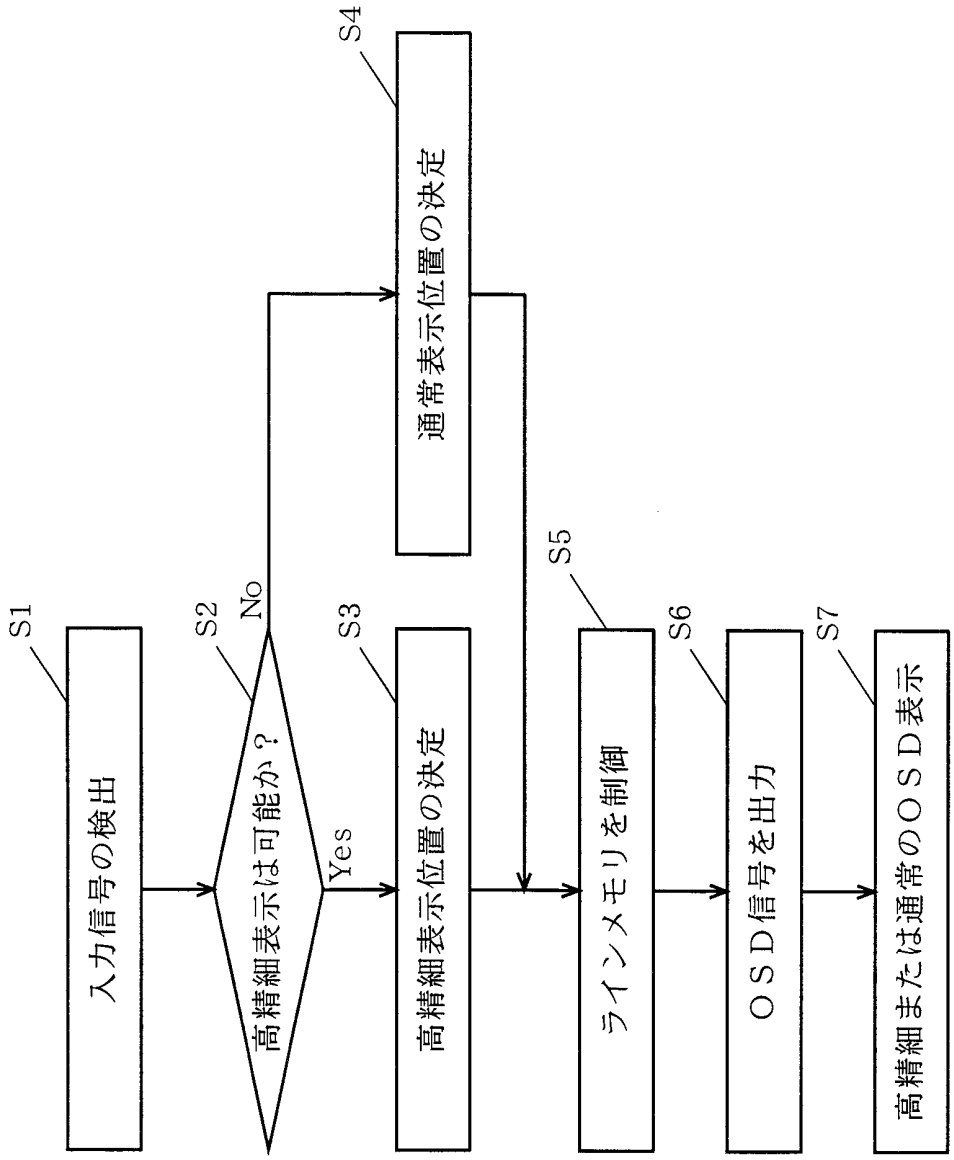

S1
入力信号の検出
S2
高精細表示は可能か？
No
Yes
S3
高精細表示位置の決定
S4
通常表示位置の決定
S5
ラインメモリを制御
S6
ＯＳＤ信号を出力
S7
高精細または通常のＯＳＤ表示

図３

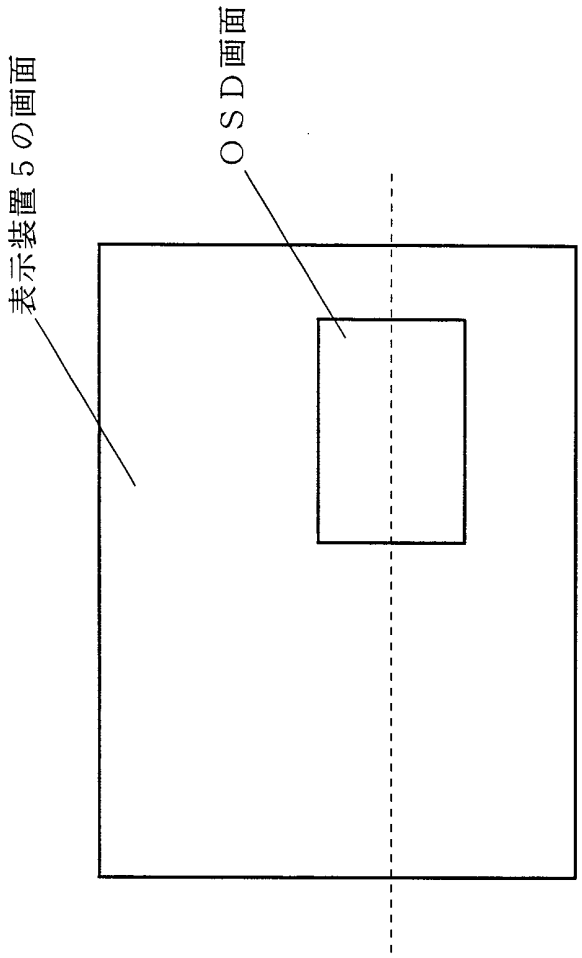


図４

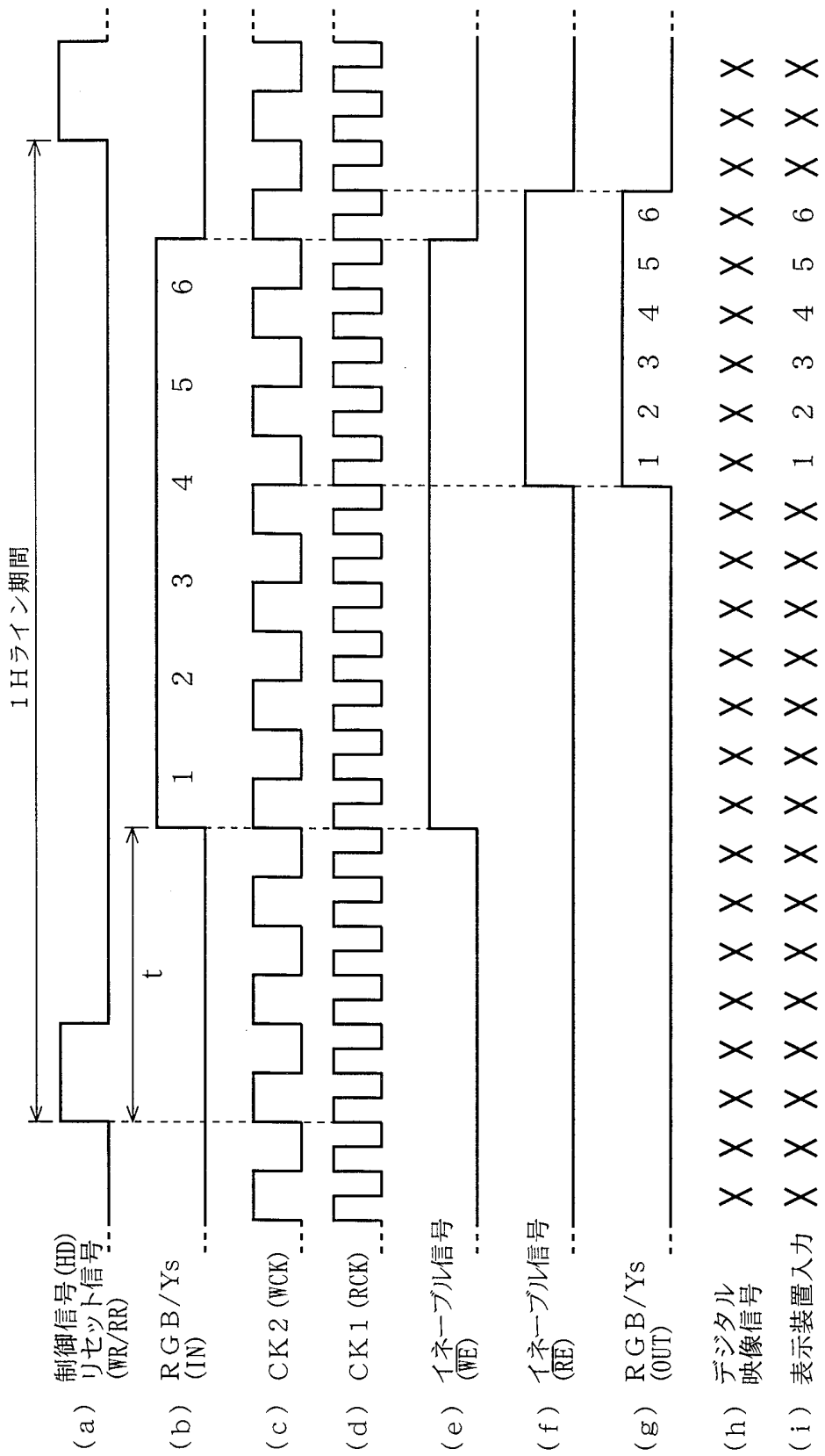

1Hライン期間
t
(a) 制御信号(HD) リセット信号 (WR/RR)
(b) RGB/Ys (IN)
(c) CK2 (WCK)
(d) CK1 (RCK)
(e) イネーブル信号 (WE)
(f) イネーブル信号 (RE)
(g) RGB/Ys (OUT)
(h) デジタル 映像信号
(i) 表示装置入力
1 2 3 4 5 6
X X X

図5

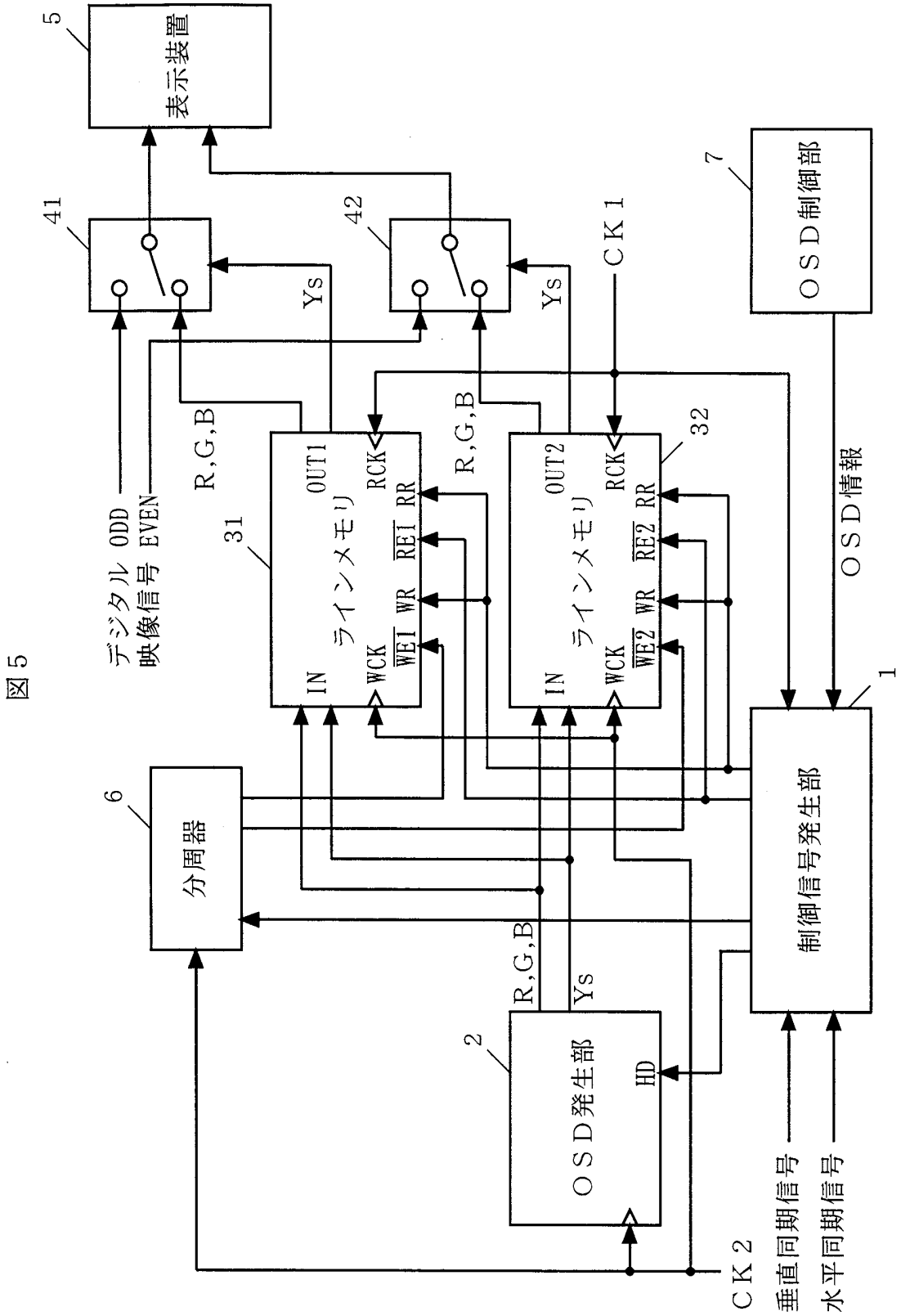

5
表示装置
41
42
7
OSD制御部
CK1
Ys
Ys
R,G,B
R,G,B
デジタル ODD
映像信号 EVEN
31
OUT1
ラインメモリ
IN
WCK
WE1
WR
RE1
RR
RCK
32
OUT2
ラインメモリ
IN
WCK
WE2
WR
RE2
RR
RCK
OSD情報
1
6
分周器
制御信号発生部
R,G,B
Ys
2
OSD発生部
HD
CK2
垂直同期信号
水平同期信号

図6

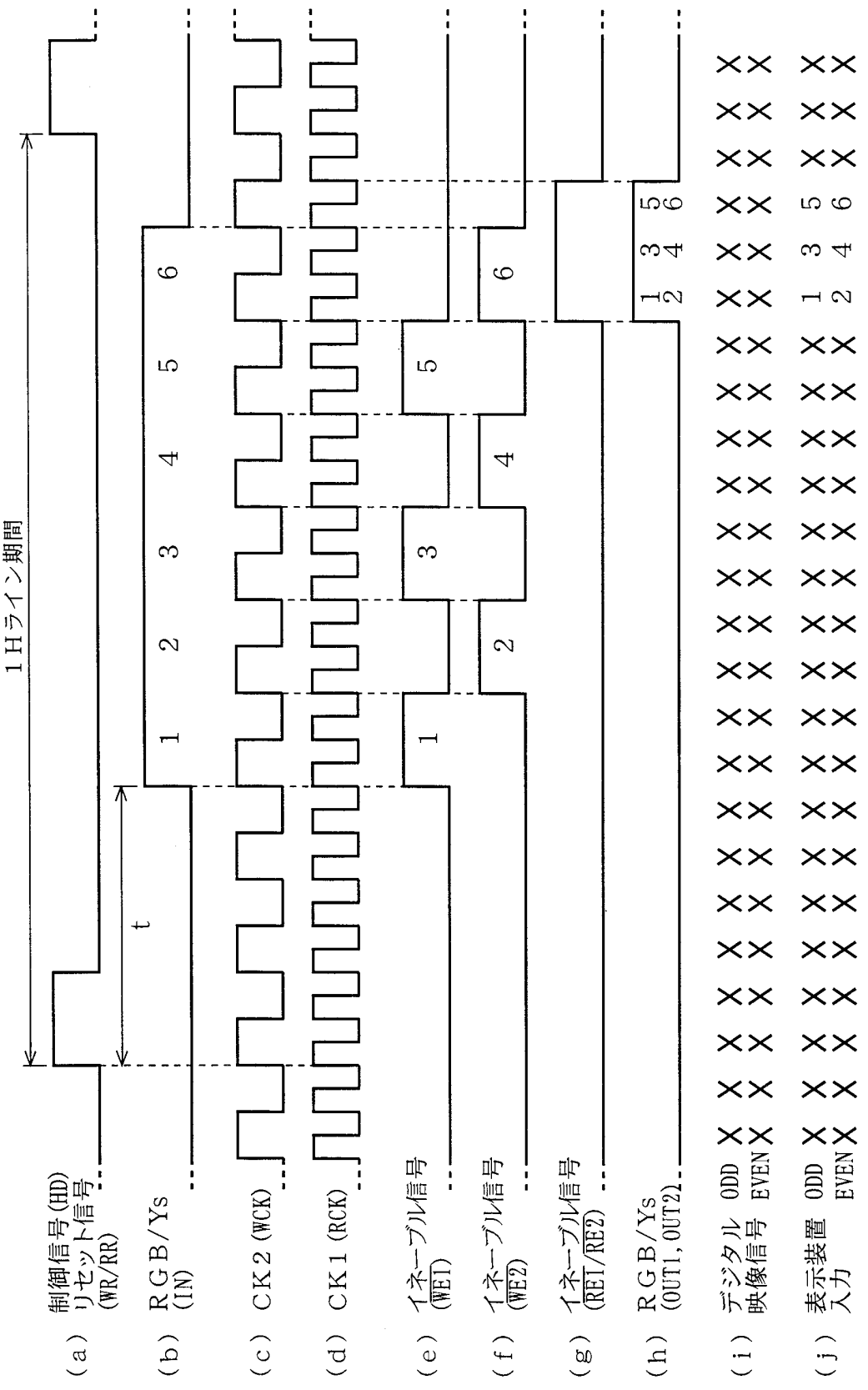
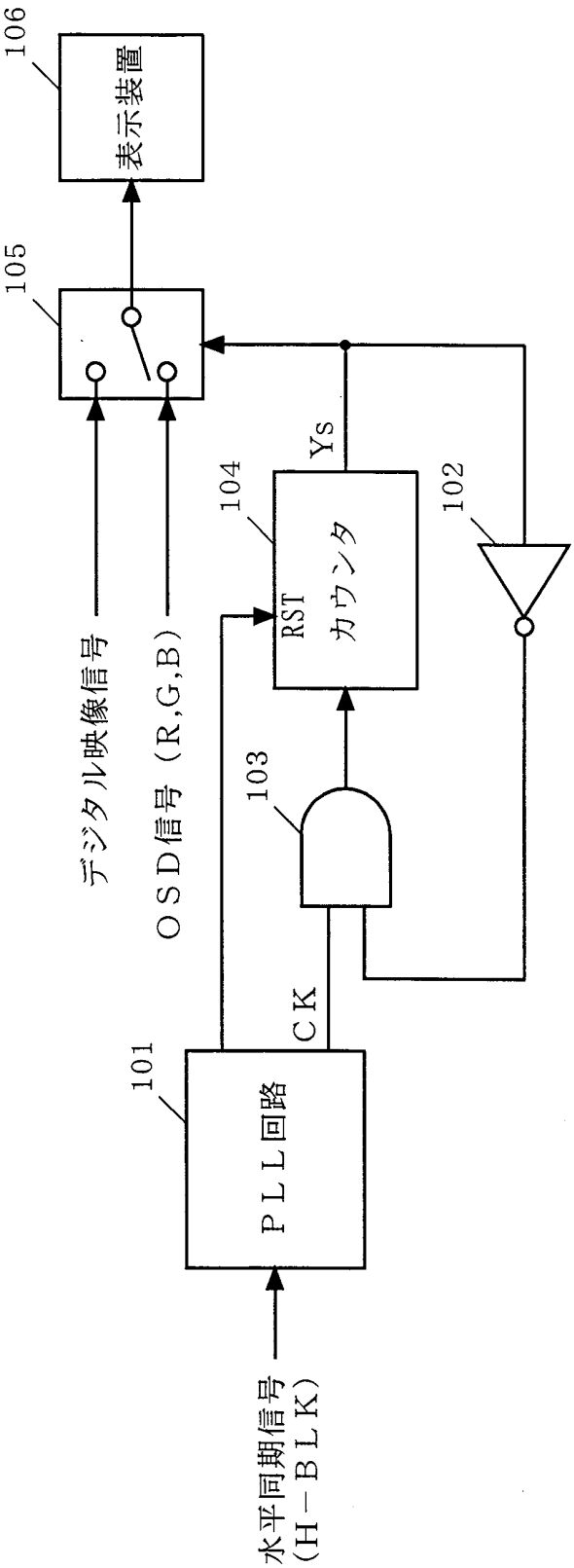

1Hライン期間
t
(a) 制御信号(HD) リセット信号 (WR/RR)
(b) RGB/Ys (IN)
(c) CK2 (WCK)
(d) CK1 (RCK)
(e) イネーブル信号 (WE1)
(f) イネーブル信号 (WE2)
(g) イネーブル信号 (RE1/RE2)
(h) RGB/Ys (OUT1, OUT2)
(i) デジタル映像信号 ODD EVEN
(j) 表示装置入力 ODD EVEN
1 2 3 4 5 6
1 3 5 2 4 6

図７


106
表示装置
105
デジタル映像信号
ＯＳＤ信号（R,G,B）
104
RST
カウンタ
Ys
102
103
101
ＰＬＬ回路
ＣＫ
水平同期信号
（Ｈ－ＢＬＫ）

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP00/00451

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] G09G5/00, H04N5/445, H04N5/278

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] G09G5/00, H04N5/445, H04N5/278

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 2-93586, A (Toshiba Corporation), 04 April, 1990 (04.04.90), Full text; Figs. 1 to 11 (Family: none)	1-8
A	JP, 2-157798, A (Matsushita Electric Ind. Co., Ltd.), 18 June, 1990 (18.06.90), Full text; Figs. 1, 2 (Family: none)	6,8

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 April, 2000 (20.04.00)	02 May, 2000 (02.05.00)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ００／００４５１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl[7]　G09G5/00, H04N5/445, H04N5/278

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl[7]　G09G5/00, H04N5/445, H04N5/278

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報　１９２２－１９９６年
日本国公開実用新案公報　１９７１－２０００年
日本国登録実用新案公報　１９９４－２０００年
日本国実用新案登録公報　１９９６－２０００年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
A	JP, 2-93586, A (株式会社東芝) 4.4月.1990 (04.04.90) 全文、第１－１１図（ファミリーなし）	1-8
A	JP, 2-157798, A (松下電器産業株式会社) 18.6月.1990 (18.06.90) 全文、第１,２図（ファミリーなし）	6, 8

☐ Ｃ欄の続きにも文献が列挙されている。　　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２０．０４．００	02.05.00

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	江成　克己	２Ｇ　７９０７
	電話番号　０３－３５８１－１１０１　内線　３２２６	

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（１９９８年７月）