

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 9 月 22 日 (22.09.2022)



(10) 国际公布号
WO 2022/193341 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01)

(21) 国际申请号: PCT/CN2021/082380

(22) 国际申请日: 2021 年 3 月 23 日 (23.03.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110280928.X 2021年3月16日 (16.03.2021) CN

(71) 申请人: 武汉华星光电技术有限公司(WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。

(72) 发明人: 潘优 (PAN, You); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。

(74) 代理人: 深圳紫藤知识产权代理有限公司 (PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.); 中国广东省深圳市南山区粤海街道大冲社区华润置地大厦 C 座 2901, Guangdong 518052 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(54) Title: GOA CIRCUIT AND DISPLAY PANEL

(54) 发明名称: GOA 电路及显示面板

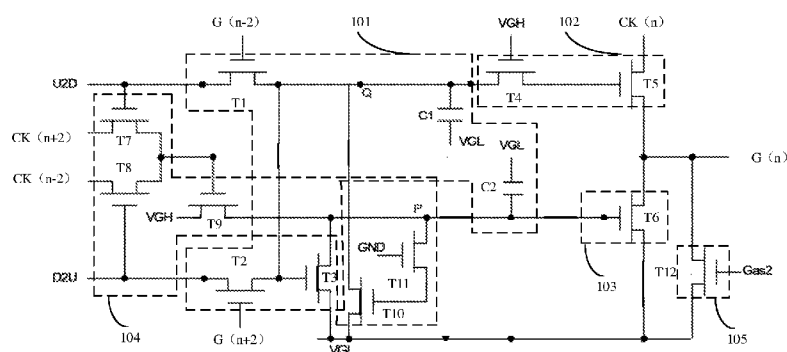


图 3

(57) Abstract: A GOA circuit, comprising N stages of cascaded GOA units, wherein an nth stage of GOA unit comprises a node control module (101), a pull-up module (102), a pull-down module (103), a pull-down maintenance module (104), and a middle-stop control module (105); and $1 < n < N-1$, and n and N are both positive integers.

(57) 摘要: 一种 GOA 电路, 包括 N 级级联设置的 GOA 单元, 第 n 级 GOA 单元包括节点控制模块 (101)、上拉模块 (102)、下拉模块 (103)、下拉维持模块 (104) 以及中停控制模块 (105), $1 < n < N-1$, n、N 均为正整数。

WO 2022/193341 A1

发明名称：GOA电路及显示面板

技术领域

[0001] 本申请涉及显示领域，具体涉及一种GOA电路及显示面板。

背景技术

[0002] GOA (Gate Driver on Array, 集成栅极驱动电路) 技术是利用现有薄膜晶体管阵列制程将栅极驱动电路制作在阵列基板上，实现对扫描线逐行扫描的一项技术。然而，现有的GOA电路长期在高温高湿环境下工作时，薄膜晶体管极易产生漏电，进而导致GOA电路失效。

发明概述

技术问题

[0003] 本申请提供一种GOA电路及显示面板，可以解决GOA电路长期使用时极易产生漏电，进而使得GOA电路失效的技术问题。

问题的解决方案

技术解决方案

[0004] 第一方面，本申请提供一种GOA电路，其包括N级级联设置的GOA单元，第n级GOA单元包括节点控制模块、上拉模块、下拉模块、下拉维持模块以及中停控制模块， $1 < n < N-1$ ，n、N均为正整数；

[0005] 所述节点控制模块接入上一级扫描信号、下一级扫描信号、第一扫描控制信号以及第二扫描控制信号，并电性连接于第一节点以及第二节点，所述节点控制模块用于根据所述上一级扫描信号、所述下一级扫描信号、所述第一扫描控制信号以及所述第二扫描控制信号，拉高所述第一节点的电位以及拉低所述第二节点的电位；

[0006] 所述上拉模块接入本级时钟信号，并电性连接于所述第一节点，所述上拉模块用于根据所述本级时钟信号以及所述第一节点的电位在本级扫描信号输出端输出本级扫描信号；

[0007] 所述下拉模块电性连接于所述第二节点，所述下拉模块用于根据所述第二节点

的电位下拉所述扫描信号输出端的电位；

[0008] 所述下拉维持模块接入上一级时钟信号、下一级时钟信号、所述第一扫描控制信号以及所述第二扫描控制信号，并电性连接于所述第一节点以及所述第二节点，所述下拉维持模块用于根据所述上一级时钟信号、所述下一级时钟信号、所述第一扫描控制信号以及所述第二扫描控制信号，拉低所述第一节点的电位以及拉高所述第二节点的电位；

[0009] 所述中停控制模块接入中停控制信号，所述中停控制模块用于在所述GOA电路处于触控中停阶段时，基于所述中停控制信号拉低所述本级扫描信号输出端的电位；所述下拉维持模块还用于在所述触控中停阶段抑制所述第一节点漏电。

[0010] 在本申请提供的GOA电路中，所述节点控制模块包括第一晶体管、第二晶体管、第三晶体管、第一电容以及第二电容；

[0011] 所述第一晶体管的栅极接入所述上一级扫描信号，所述第一晶体管的源极接入第一扫描控制信号，所述第一晶体管的漏极电性连接于所述第一节点；

[0012] 所述第二晶体管的栅极接入所述下一级扫描信号，所述第二晶体管的源极接入第二扫描控制信号，所述第二晶体管的漏极电性连接于所述第一节点；

[0013] 所述第三晶体管的栅极电性连接于所述第一节点，所述第三晶体管的源极接入恒压低电平信号，所述第三晶体管的漏极电性连接于所述第二节点；

[0014] 所述第一电容的第一端电性连接于所述第一节点，所述第一电容的第二端接入所述恒压低电平信号；

[0015] 所述第二电容的第一端电性连接于所述第二节点，所述第二电容的第二端接入所述恒压低电平信号。

[0016] 在本申请提供的GOA电路中，所述上拉模块包括第四晶体管以及第五晶体管；

[0017] 所述第四晶体管的栅极接入恒压高电平信号，所述第四晶体管的源极电性连接于所述第一节点，所述第四晶体管的漏极与所述第五晶体管的栅极电性连接；

[0018] 所述第五晶体管的源极接入所述本级时钟信号，所述第五晶体管的漏极电性连接于所述本级扫描信号输出端。

[0019] 在本申请提供的GOA电路中，所述下拉模块包括第六晶体管；

[0020] 所述第六晶体管的栅极电性连接于所述第二节点，所述第六晶体管的源极接入

恒压低电平信号，所述第六晶体管的漏极电性连接于所述本级扫描信号输出端。

[0021] 在本申请提供的GOA电路中，所述下拉维持模块包括第七晶体管、第八晶体管、第九晶体管、第十晶体管以及第十一晶体管；

[0022] 所述第七晶体管的栅极接入所述第一扫描控制信号，所述第七晶体管的源极接入所述下一级时钟信号，所述第七晶体管的漏极电性连接于所述第八晶体管的漏极以及所述第九晶体管的栅极；

[0023] 所述第八晶体管的栅极接入所述第二扫描控制信号，所述第八晶体管的源极接入所述上一级时钟信号；

[0024] 所述第九晶体管的源极接入恒压高电平信号，所述第九晶体管的漏极电性连接于所述第二节点；

[0025] 所述第十晶体管的栅极电性连接于所述第十一晶体管的漏极，所述第十晶体管的源极接入恒压低电平信号，所述第十晶体管的漏极电性连接于所述第一节点；

[0026] 所述第十一晶体管的栅极连接于接地端，所述第十一晶体管的源极电性连接于所述第二节点。

[0027] 在本申请提供的GOA电路中，当所述第二节点的电位为所述恒压高电平信号的电位时，所述第十一晶体管关闭，所述第十一晶体管的漏极的电位为所述接地端的电位与所述第十一晶体管的阈值电压之间的压差。

[0028] 在本申请提供的GOA电路中，所述第十晶体管的栅极的电位与所述第十晶体管的漏极的电位之间的压差小于所述恒压高电位与所述恒压低电位的压差。

[0029] 在本申请提供的GOA电路中，所述中停控制模块包括第十二晶体管；

[0030] 所述第十二晶体管的栅极接入所述中停控制信号，所述第十二晶体管的源极接入恒压低电平信号，所述第十二晶体管的漏极电性连接于所述本级扫描信号输出端。

[0031] 在本申请提供的GOA电路中，所述GOA电路还包括第十三晶体管、第十四晶体管以及第十五晶体管；

[0032] 所述第十三晶体管的栅极、所述第十三晶体管的源极、所述第十四晶体管的栅

极以及所述第十五晶体管的栅极均接入放电控制信号，所述第十三晶体管的漏极电性连接于所述本级扫描信号输出端；

[0033] 所述第十四晶体管的源极接入恒压低电平信号，所述第十四晶体管的漏极电性连接于所述第二节点；

[0034] 所述第十五晶体管的源极接入所述恒压低电平信号，所述第十五晶体管的漏极电性连接于所述下拉维持模块。

[0035] 第二方面，本申请还提供一种显示面板，其包括GOA电路，所述GOA电路包括N级级联设置的GOA单元，第n级GOA单元包括节点控制模块、上拉模块、下拉模块、下拉维持模块以及中停控制模块， $1 < n < N-1$ ，n、N均为正整数；

[0036] 所述节点控制模块接入上一级扫描信号、下一级扫描信号、第一扫描控制信号以及第二扫描控制信号，并电性连接于第一节点以及第二节点，所述节点控制模块用于根据所述上一级扫描信号、所述下一级扫描信号、所述第一扫描控制信号以及、所述第二扫描控制信号，拉高所述第一节点的电位以及拉低所述第二节点的电位；

[0037] 所述上拉模块接入本级时钟信号，并电性连接于所述第一节点，所述上拉模块用于根据所述本级时钟信号以及所述第一节点的电位在本级扫描信号输出端输出本级扫描信号；

[0038] 所述下拉模块电性连接于所述第二节点，所述下拉模块用于根据所述第二节点的电位下拉所述扫描信号输出端的电位；

[0039] 所述下拉维持模块接入上一级时钟信号、下一级时钟信号、所述第一扫描控制信号以及所述第二扫描控制信号，并电性连接于所述第一节点以及所述第二节点，所述下拉维持模块用于根据所述上一级时钟信号、所述下一级时钟信号、所述第一扫描控制信号以及所述第二扫描控制信号，拉低所述第一节点的电位以及拉高所述第二节点的电位；

[0040] 所述中停控制模块接入中停控制信号，所述中停控制模块用于在所述GOA电路处于触控中停阶段时，基于所述中停控制信号拉低所述本级扫描信号输出端的电位；所述下拉维持模块还用于在所述触控中停阶段抑制所述第一节点漏电。

[0041] 在本申请提供述的显示面板中，所述节点控制模块包括第一晶体管、第二晶体

管、第三晶体管、第一电容以及第二电容；

[0042] 所述第一晶体管的栅极接入所述上一级扫描信号，所述第一晶体管的源极接入第一扫描控制信号，所述第一晶体管的漏极电性连接于所述第一节点；

[0043] 所述第二晶体管的栅极接入所述下一级扫描信号，所述第二晶体管的源极接入第二扫描控制信号，所述第二晶体管的漏极电性连接于所述第一节点；

[0044] 所述第三晶体管的栅极电性连接于所述第一节点，所述第三晶体管的源极接入恒压低电平信号，所述第三晶体管的漏极电性连接于所述第二节点；

[0045] 所述第一电容的第一端电性连接于所述第一节点，所述第一电容的第二端接入所述恒压低电平信号；

[0046] 所述第二电容的第一端电性连接于所述第二节点，所述第二电容的第二端接入所述恒压低电平信号。

[0047] 在本申请提供述的显示面板中，所述上拉模块包括第四晶体管以及第五晶体管；

[0048] 所述第四晶体管的栅极接入恒压高电平信号，所述第四晶体管的源极电性连接于所述第一节点，所述第四晶体管的漏极与所述第五晶体管的栅极电性连接；

[0049] 所述第五晶体管的源极接入所述本级时钟信号，所述第五晶体管的漏极电性连接于所述本级扫描信号输出端。

[0050] 在本申请提供述的显示面板中，所述下拉模块包括第六晶体管；

[0051] 所述第六晶体管的栅极电性连接于所述第二节点，所述第六晶体管的源极接入恒压低电平信号，所述第六晶体管的漏极电性连接于所述本级扫描信号输出端。

[0052] 在本申请提供述的显示面板中，所述下拉维持模块包括第七晶体管、第八晶体管、第九晶体管、第十晶体管以及第十一晶体管；

[0053] 所述第七晶体管的栅极接入所述第一扫描控制信号，所述第七晶体管的源极接入所述下一级时钟信号，所述第七晶体管的漏极电性连接于所述第八晶体管的漏极以及所述第九晶体管的栅极；

[0054] 所述第八晶体管的栅极接入所述第二扫描控制信号，所述第八晶体管的源极接入所述上一级时钟信号；

- [0055] 所述第九晶体管的源极接入恒压高电平信号，所述第九晶体管的漏极电性连接于所述第二节点；
- [0056] 所述第十晶体管的栅极电性连接于所述第十一晶体管的漏极，所述第十晶体管的源极接入恒压低电平信号，所述第十晶体管的漏极电性连接于所述第一节点；
- [0057] 所述第十一晶体管的栅极连接于接地端，所述第十一晶体管的源极电性连接于所述第二节点。
- [0058] 在本申请提供述的显示面板中，当所述第二节点的电位为所述恒压高电平信号的电位时，所述第十一晶体管关闭，所述第十一晶体管的漏极的电位为所述接地端的电位与所述第十一晶体管的阈值电压之间的压差。
- [0059] 在本申请提供述的显示面板中，所述第十晶体管的栅极的电位与所述第十晶体管的漏极的电位之间的压差小于所述恒压高电位与所述恒压低电位的压差。
- [0060] 在本申请提供述的显示面板中，所述中停控制模块包括第十二晶体管；
- [0061] 所述第十二晶体管的栅极接入所述中停控制信号，所述第十二晶体管的源极接入恒压低电平信号，所述第十二晶体管的漏极电性连接于所述本级扫描信号输出端。
- [0062] 在本申请提供述的显示面板中，所述GOA电路还包括第十三晶体管、第十四晶体管以及第十五晶体管；
- [0063] 所述第十三晶体管的栅极、所述第十三晶体管的源极、所述第十四晶体管的栅极以及所述第十五晶体管的栅极均接入放电控制信号，所述第十三晶体管的漏极电性连接于所述本级扫描信号输出端；
- [0064] 所述第十四晶体管的源极接入恒压低电平信号，所述第十四晶体管的漏极电性连接于所述第二节点；
- [0065] 所述第十五晶体管的源极接入所述恒压低电平信号，所述第十五晶体管的漏极电性连接于所述下拉维持模块。

发明的有益效果

有益效果

- [0066] 本申请提供的GOA电路及显示面板，在GOA电路中，通过在第十晶体管的栅极和

第二节点之间设置第十一晶体管，且第十一晶体管的栅极电性连接于接地端，从而减弱第十晶体管负漂以及关态电流增加的趋势，进而在GOA电路处于触控中停阶段时，抑制第一节点漏电。

对附图的简要说明

附图说明

[0067] 为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0068] 图1为本申请实施例提供的显示面板的结构示意图；

[0069] 图2为本申请实施例提供的GOA电路中的第n级GOA单元的结构示意图；

[0070] 图3为本申请实施例提供的GOA电路中的第n级GOA单元的电路示意图；

[0071] 图4为本申请实施例提供的GOA电路中的第n级GOA单元的时序示意图；

[0072] 图5为本申请实施例提供的GOA电路中的第n级GOA单元的另一电路示意图。

发明实施例

本发明的实施方式

[0073] 下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本申请的一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

[0074] 本申请所有实施例中采用的晶体管可以为薄膜晶体管或场效应管或其他特性相同的器件。由于这里采用的晶体管的源极、漏极是对称的，所以其源极、漏极是可以互换的。在本申请实施例中，为区分晶体管除栅极之外的两极，将其中一极称为源极，另一极称为漏极。按附图中的形态规定开关晶体管的中间端为栅极、信号输入端为源极、信号输出端为漏极。

[0075] 请参阅图1，图1为本申请实施例提供的显示面板的结构示意图。如图1所示，本申请实施例提供的显示面板100包括显示区域10以及设置在显示区域10外的GOA电路区域20。显示区域10上设置有多条扫描线、多条数据线以及多条扫描线与

多条数据线交叉限定的多个子像素单元。GOA电路区域20上设置有GOA电路，GOA电路包括多级GOA单元，多级GOA单元与多条扫描线一一对应连接；即，GOA单元的数量与扫描线的数量相等。

[0076] 其中，GOA电路可以包括多个级联设置的奇数级GOA单元以及多个级联设置的偶数级GOA单元。多个级联设置的奇数级GOA单元设置在显示区域10的一侧，多个级联设置的偶数级GOA单元设置在显示区域10的另一侧。比如，GOA电路包括M级GOA单元，M为正整数。当M为偶数时，第1级GOA单元、第3级GOA单元、第5级GOA单元、……、第M-1级GOA单元级联设置。第2级GOA单元、第4级GOA单元、第6级GOA单元、……、第M级GOA单元级联设置。

[0077] 在本申请实施例中，GOA电路包括N级级联设置的GOA单元。在一些实施方式中，N级级联设置的GOA单元可以为多个级联设置的奇数级GOA单元，也可以为多个级联设置的偶数级GOA单元。

[0078] 在本申请实施例中，GOA电路接入第一时钟信号ck1、第二时钟信号ck2、第三时钟信号ck3、第四时钟信号ck4、第五时钟信号ck5、第六时钟信号ck6、第七时钟信号ck7、第八时钟信号ck8、第一起始信号STV1以及第二起始信号STV2。具体的，多个级联设置的奇数级GOA单元接入第一时钟信号ck1、第三时钟信号ck3、第五时钟信号ck5、第七时钟信号ck7以及第一起始信号STV1。多个级联设置的偶数级GOA单元接入第二时钟信号ck2、第四时钟信号ck4、第六时钟信号ck6、第八时钟信号ck8以及第二起始信号STV2。

[0079] 需要说明的是，本申请实施例提供的GOA电路可以采用正向扫描模式或者反向扫描模式。当GOA电路采用正向扫描模式时，第一起始信号接入第一级GOA单元，第一起始信号作为第一级GOA单元的上一级扫描信号；第二起始信号接入第二级GOA单元，第二起始信号作为第二级GOA单元的上一级扫描信号。在多个级联设置的奇数级GOA单元中，GOA电路从第1级GOA单元至最后一级GOA单元依次启动。在多个级联设置的偶数级GOA单元中，GOA电路从第2级GOA单元至最后一级GOA单元依次启动。

[0080] 当GOA电路采用反向扫描模式时，第一起始信号接入第M-1级GOA单元，第一起始信号作为第M-1级GOA单元的上一级扫描信号；第二起始信号接入第M级GOA单

元，第二起始信号作为第M级GOA单元的上一级扫描信号。在多个级联设置的奇数级GOA单元中，GOA电路从最后一级GOA单元至第1级GOA单元依次启动。在多个级联设置的偶数级GOA单元中，GOA电路从最后一级GOA单元至第2级GOA单元依次启动。

[0081] 需要说明的是，第 $8k+1$ 级时钟信号与第一时钟信号 $ck1$ 为同一信号，第 $8k+2$ 级时钟信号与第二时钟信号 $ck2$ 为同一信号，第 $8k+3$ 级时钟信号与第三时钟信号 $ck3$ 为同一信号，第 $8k+4$ 级时钟信号与第四时钟信号 $ck4$ 为同一信号，第 $8k+5$ 级时钟信号与第五时钟信号 $ck5$ 为同一信号，第 $8k+6$ 级时钟信号与第六时钟信号 $ck6$ 为同一信号，第 $8k+7$ 级时钟信号与第七时钟信号 $ck7$ 为同一信号，第 $8k+8$ 级时钟信号与第八时钟信号 $ck8$ 为同一信号，其中， k 大于等于0，且 k 为整数。

[0082] 请参阅图1、图2，图2为本申请实施例提供的GOA电路中的第 n 级GOA单元的结构示意图。结合图1、图2所示，第 n 级GOA单元可以为多个级联设置的奇数级单元中除第1级GOA单元以及最后一级GOA单元之外的其余GOA单元。第 n 级GOA单元也可以为多个级联设置的偶数级单元中除第2级GOA单元以及最后一级GOA单元之外的其余GOA单元。

[0083] 具体的，在本申请实施例中，第 n 级GOA单元包括节点控制模块101、上拉模块102、下拉模块103、下拉维持模块104以及中停控制模块105， $1 < n < N-1$ ， n 、 N 均为正整数， N 表示GOA单元的级联数量。

[0084] 其中，节点控制模块101接入上一级扫描信号 $G(n-2)$ 、下一级扫描信号 $G(n+2)$ 、第一扫描控制信号 $U2D$ 、第二扫描控制信号 $D2U$ 以及恒压低电平信号 VGL ，并电性连接于第一节点 Q 以及第二节点 P ，节点控制模块101用于根据上一级扫描信号 $G(n-2)$ 、下一级扫描信号 $G(n+2)$ 、第一扫描控制信号 $U2D$ 、第二扫描控制信号 $D2U$ 以及恒压低电平信号 VGL ，拉高第一节点 Q 的电位以及拉低第二节点 P 的电位。

[0085] 其中，上拉模块102接入本级时钟信号 $CK(n)$ 以及恒压高电平信号 VGH ，并电性连接于第一节点 Q ，上拉模块102用于根据本级时钟信号 $CK(n)$ 、恒压高电平信号 VGH 以及第一节点 Q 的电位在本级扫描信号输出端 $G(n)$ 输出本级扫描信号。

- [0086] 其中，下拉模块103接入恒压低电平信号VGL，并电性连接于第二节点P，下拉模块103用于根据第二节点P的电位下拉扫描信号输出端的电位。
- [0087] 其中，下拉维持模块104接入上一级时钟信号CK (n-2)、下一级时钟信号CK (n+2)、第一扫描控制信号U2D、第二扫描控制信号D2U、恒压低电平信号VGL以及恒压高电平信号VGH，并电性连接于第一节点Q以及第二节点P。下拉维持模块104用于根据上一级时钟信号CK (n-2)、下一级时钟信号CK (n+2)、第一扫描控制信号U2D、第二扫描控制信号D2U、恒压低电平信号VGL以及恒压高电平信号VGH，拉低第一节点Q的电位以及拉高第二节点P的电位。
- [0088] 其中，中停控制模块105接入中停控制信号Gas2，中停控制模块105用于在GOA电路处于触控中停阶段时，基于中停控制信号Gas2拉低本级扫描信号输出端G (n) 的电位；下拉维持模块104还用于在触控中停期间抑制第一节点Q漏电。
- [0089] 本申请实施例提供的GOA电路，通过下拉维持模块104在GOA电路处于触控中停阶段时，抑制第一节点Q漏电，从而可以解决GOA电路长期使用时极易产生漏电，进而使得GOA电路失效的技术问题。
- [0090] 请参阅图1、图2、图3，图3为本申请实施例提供的GOA电路中的第n级GOA单元的电路示意图。结合图1、图2、图3所示对第n级GOA单元进行详细介绍。
- [0091] 在一些实施例中，节点控制模块101包括第一晶体管T1、第二晶体管T2、第三晶体管T3、第一电容C1以及第二电容C2。第一晶体管T1的栅极接入上一级扫描信号G (n-2)，第一晶体管T1的源极接入第一扫描控制信号U2D，第一晶体管T1的漏极电性连接于第一节点Q。第二晶体管T2的栅极接入下一级扫描信号G (n+2)，第二晶体管T2的源极接入第二扫描控制信号D2U，第二晶体管T2的漏极电性连接于第一节点Q。第三晶体管T3的栅极电性连接于第一节点Q，第三晶体管T3的源极接入恒压低电平信号VGL，第三晶体管T3的漏极电性连接于第二节点P。第一电容C1的第一端电性连接于第一节点Q，第一电容C1的第二端接入恒压低电平信号VGL。第二电容C2的第一端电性连接于第二节点P，第二电容C2的第二端接入恒压低电平信号VGL。
- [0092] 在一些实施例中，上拉模块102包括第四晶体管T4以及第五晶体管T5。第四晶体管T4的栅极接入恒压高电平信号VGH，第四晶体管T4的源极电性连接于第一节

点Q，第四晶体管T4的漏极与第五晶体管T5的栅极电性连接。第五晶体管T5的源极接入本级时钟信号CK(n)，第五晶体管T5的漏极电性连接于本级扫描信号输出端G(n)。

[0093] 在一些实施例中，下拉模块103包括第六晶体管T6。第六晶体管T6的栅极电性连接于第二节点P，第六晶体管T6的源极接入恒压低电平信号VGL，第六晶体管T6的漏极电性连接于本级扫描信号输出端G(n)。

[0094] 在一些实施例中，下拉维持模块104包括第七晶体管T7、第八晶体管T8、第九晶体管T9、第十晶体管T10以及第十一晶体管T11。第七晶体管T7的栅极接入第一扫描控制信号U2D，第七晶体管T7的源极接入下一级时钟信号CK(n+2)，第七晶体管T7的漏极电性连接于第八晶体管T8的漏极以及第九晶体管T9的栅极。第八晶体管T8的栅极接入第二扫描控制信号D2U，第八晶体管T8的源极接入上一级时钟信号CK(n-2)。第九晶体管T9的源极接入恒压高电平信号VGH，第九晶体管T9的漏极电性连接于第二节点P。第十晶体管T10的栅极电性连接于第十一晶体管T11的漏极，第十晶体管T10的源极接入恒压低电平信号VGL，第十晶体管T10的漏极电性连接于第一节点Q。第十一晶体管T11的栅极连接于接地端GND，第十一晶体管T11的源极电性连接于第二节点P。

[0095] 特别的，当第二节点P的电位为恒压高电平信号VGH的电位时，第十一晶体管T11的源极的电位为恒压高电平信号VGH的电位，第十一晶体管T11的栅极的电位为接地端GND的电位。此时，第十一晶体管T11处于饱和状态，第十一晶体管T11关闭，根据晶体管的特性，第十一晶体管T11的漏极的电位为接地端GND的电位与第十一晶体管T11的阈值电压之间的压差。也即，第十晶体管T10的栅极的电位为接地端GND的电位与第十一晶体管T11的阈值电压之间的压差。从而，第十晶体管T10的栅极的电位与第十晶体管T10的漏极的电位之间的压差小于恒压高电位与恒压低电位的压差。

[0096] 相较于现有技术将晶体管的栅极和节点直接连接，本申请实施例通过在第十晶体管T10的栅极和第二节点P之间设置第十一晶体管T11，且第十一晶体管T11的栅极电性连接于接地端GND，从而减弱第十晶体管T10负漂以及关态电流增加的趋势，进而在GOA电路处于触控中停阶段时，抑制第一节点Q漏电。

- [0097] 在一些实施例中，中停控制模块包括第十二晶体管T12。第十二晶体管T12的栅极接入中停控制信号Gas2，第十二晶体管T12的源极接入恒压低电平信号VGL，第十二晶体管T12的漏极电性连接于本级扫描信号输出端G(n)。
- [0098] 特别的，当GOA电路处于触控中停阶段时，中停控制信号Gas2的电位为高电位，第十二晶体管T12在中停控制信号Gas2的控制下打开，恒压低电平信号VGL经第十二晶体管T12输出至本级扫描信号输出端G(n)，从而使得GOA电路在显示期间实现暂停扫描功能。与此同时，由于第一节点Q的电位为高电位，第三晶体管T3在第一节点Q的电位控制下打开，恒压低电平信号VGL经第三晶体管T3输出至第二节点P，使得第二节点P的电位为低电位，进而使得第十一晶体管T11打开，第十晶体管T10关闭。由于第十晶体管T10负漂以及关态电流增加的趋势减弱，从而可以在GOA电路处于触控中停阶段时，抑制第一节点Q漏电。
- [0099] 下面以GOA电路处于正向扫描模式为例进行说明。请参阅图3、图4，图4为本申请实施例提供的GOA电路中的第n级GOA单元的时序示意图。
- [0100] 结合图3、图4所示，当GOA电路处于正向扫描模式时，第一扫描控制信号U2D为恒压高电平信号VGH，第二扫描控制信号D2U为恒压低电平信号VGL。当GOA电路处于反向扫描模式时，第一扫描控制信号U2D为恒压低电平信号VGL，第二扫描控制信号D2U为恒压高电平信号VGH。
- [0101] 首先，当上一级扫描信号G(n-2)为高电位时，第一晶体管T1在上一级扫描信号G(n-2)的控制下打开，第一扫描控制信号U2D经第一晶体管T1对第一电容C1进行充电，使得第一节点Q的电位为高电位。由于第一节点Q的电位为高电位，第三晶体管T3在第一节点Q的电位的控制下打开，恒压低电平信号VGL经第三晶体管T3对第二节点P进行充电，使得第二节点P的电位为低电位。由于第二节点P的电位为低电位，第六晶体管T6在第二节点P的电位控制下关闭。
- [0102] 与此同时，下一级时钟信号CK(n+2)的电位为低电位，本级时钟信号CK(n)的电位为低电位。第七晶体管T7在第一扫描控制信号U2D的控制下打开，下一级时钟信号CK(n+2)的电位经第七晶体管T7输出至第九晶体管T9的栅极，使得第九晶体管T9关闭。第四晶体管T4在恒压高电平信号VGH的控制下打开，第一节点Q的电位经第四晶体管T4输出至第五晶体管T5的栅极，使得第五晶体管T5打开。

本级时钟信号CK (n) 经第五晶体管T5输出至本级扫描信号输出端G (n) , 使得本级扫描信号输出端G (n) 的电位为低电位。

[0103] 随后, 上一级扫描信号G (n-2) 的电位由高电位转为低电位, 本级时钟信号CK (n) 由低电位转为高电位。第一晶体管T1在上一级扫描信号G (n-2) 的控制下关闭。此时, 由于第一电容C1、第二电容C2的存储作用, 使得第一节点Q的电位为高电位, 第二节点P的电位为低电位。第四晶体管T4在恒压高电平信号VGH的控制下打开, 第一节点Q的电位经第四晶体管T4输出至第五晶体管T5的栅极, 使得第五晶体管T5打开。本级时钟信号CK (n) 经第五晶体管T5输出至本级扫描信号输出端G (n) , 进而输出本级扫描信号。由于第二节点P的电位为低电位, 第六晶体管T6在第二节点P的电位控制下关闭。

[0104] 与此同时, 下一级时钟信号CK (n+2) 的电位仍为低电位, 第七晶体管T7在第一扫描控制信号U2D的控制下打开, 下一级时钟信号CK (n+2) 的电位经第七晶体管T7输出至第九晶体管T9的栅极, 使得第九晶体管T9关闭。

[0105] 最后, 下一级时钟信号CK (n+2) 的电位由低电位转为高电位, 第七晶体管T7在第一扫描控制信号U2D的控制下打开, 下一级时钟信号CK (n+2) 的电位经第七晶体管T7输出至第九晶体管T9的栅极, 使得第九晶体管T9打开。恒压高电平信号VGH经第九晶体管T9输出至第二节点P, 使得第二节点P的电位为高电位。第六晶体管T6在第二节点P的电位控制下打开, 恒压低电平信号VGL经第六晶体管T6输出至本级扫描信号输出端G (n) , 进而拉低本级扫描信号的电位。

[0106] 与此同时, 由于第十一晶体管T11的源极的电位为高电位, 第十一晶体管T11的栅极端的电位为接地端GND的电位, 使得第十一晶体管T11关闭, 根据晶体管的特性, 此时第十一晶体管T11的漏极的电位为接地端GND的电位与第十一晶体管T11的阈值电压之间的压差。第十晶体管T10在第十一晶体管T11的漏极的电位控制下打开, 恒压低电平信号VGL经第十晶体管T10输出至第一节点Q, 进而拉低第一节点Q的电位。

[0107] 需要说明的是, 相较于现有技术将晶体管的栅极和节点直接连接, 本申请实施例通过在第十晶体管T10的栅极和第二节点P之间设置第十一晶体管T11, 且第十一晶体管T11的栅极电性连接于接地端GND, 从而减弱第十晶体管T10负漂以及关

态电流增加的趋势，进而在GOA电路处于触控中停阶段时，抑制第一节点Q漏电。当GOA电路处于触控中停阶段时，中停控制信号Gas2的电位为高电位，第十二晶体管T12在中停控制信号Gas2的控制下打开，恒压低电平信号VGL经第十二晶体管T12输出至本级扫描信号输出端G(n)，从而使得GOA电路在显示期间实现暂停扫描功能。与此同时，由于第一节点Q的电位为高电位，第三晶体管T3在第一节点Q的电位控制下打开，恒压低电平信号VGL经第三晶体管T3输出至第二节点P，使得第二节点P的电位为低电位，进而使得第十一晶体管T11打开，第十晶体管T10关闭。由于第十晶体管T10负漂以及关态电流增加的趋势减弱，从而可以在GOA电路处于触控中停阶段时，抑制第一节点Q漏电。

[0108] 请参阅图5，图5为本申请实施例提供的GOA电路中的第n级GOA单元的另一电路示意图。其中，图5所示的第n级GOA单元相较于图3的第n级GOA单元的区别在于，图5所示的第n级GOA单元还包括第十三晶体管T13、第十四晶体管T14以及第十五晶体管T15。

[0109] 第十三晶体管T13的栅极、第十三晶体管T13的源极、第十四晶体管T14的栅极以及第十五晶体管T15的栅极均接入放电控制信号Gas1，第十三晶体管T13的漏极电性连接于本级扫描信号输出端G(n)。第十四晶体管T14的源极接入恒压低电平信号VGL，第十四晶体管T14的漏极电性连接于第二节点P。第十五晶体管T15的源极接入恒压低电平信号VGL，第十五晶体管T15的漏极电性连接于下拉维持模块104。具体的，第十五晶体管T15的漏极、第七晶体管的漏极以及第八晶体管的漏极电性连接。

[0110] 当放电控制信号Gas1为高电位时，第十三晶体管T13、第十四晶体管T14以及第十五晶体管T15在放电控制信号Gas1的控制下打开，放电控制信号Gas1经第十三晶体管T13输出至本级扫描信号输出端G(n)，恒压低电平信号VGL经第十四晶体管T14输出至第一节点Q，恒压低电平信号VGL经第十五晶体管T15输出至第九晶体管T9的栅极，进而使得本级扫描信号输出端G(n)为高电位。

[0111] 也即，本申请实施例可以在每个GOA单元中均设置第十三晶体管T13、第十四晶体管T14以及第十五晶体管T15，从而可以通过放电控制信号Gas1使得显示面板上的扫描线均接入扫描信号，进而可以对显示面板进行放电。

[0112] 以上仅为本申请的实施例，并非因此限制本申请的专利范围，凡是利用本申请说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本申请的专利保护范围内。

权利要求书

- [权利要求 1] 一种GOA电路，其包括N级级联设置的GOA单元，第n级GOA单元包括节点控制模块、上拉模块、下拉模块、下拉维持模块以及中停控制模块， $1 < n < N-1$ ，n、N均为正整数；
- 所述节点控制模块接入上一级扫描信号、下一级扫描信号、第一扫描控制信号以及第二扫描控制信号，并电性连接于第一节点以及第二节点，所述节点控制模块用于根据所述上一级扫描信号、所述下一级扫描信号、所述第一扫描控制信号以及、所述第二扫描控制信号，拉高所述第一节点的电位以及拉低所述第二节点的电位；
- 所述上拉模块接入本级时钟信号，并电性连接于所述第一节点，所述上拉模块用于根据所述本级时钟信号以及所述第一节点的电位在本级扫描信号输出端输出本级扫描信号；
- 所述下拉模块电性连接于所述第二节点，所述下拉模块用于根据所述第二节点的电位下拉所述扫描信号输出端的电位；
- 所述下拉维持模块接入上一级时钟信号、下一级时钟信号、所述第一扫描控制信号以及所述第二扫描控制信号，并电性连接于所述第一节点以及所述第二节点，所述下拉维持模块用于根据所述上一级时钟信号、所述下一级时钟信号、所述第一扫描控制信号以及所述第二扫描控制信号，拉低所述第一节点的电位以及拉高所述第二节点的电位；
- 所述中停控制模块接入中停控制信号，所述中停控制模块用于在所述GOA电路处于触控中停阶段时，基于所述中停控制信号拉低所述本级扫描信号输出端的电位；所述下拉维持模块还用于在所述触控中停阶段抑制所述第一节点漏电。
- [权利要求 2] 根据权利要求1所述的GOA电路，其中，所述节点控制模块包括第一晶体管、第二晶体管、第三晶体管、第一电容以及第二电容；
- 所述第一晶体管的栅极接入所述上一级扫描信号，所述第一晶体管的源极接入第一扫描控制信号，所述第一晶体管的漏极电性连接于所述第一节点；

所述第二晶体管的栅极接入所述下一级扫描信号，所述第二晶体管的源极接入第二扫描控制信号，所述第二晶体管的漏极电性连接于所述第一节点；

所述第三晶体管的栅极电性连接于所述第一节点，所述第三晶体管的源极接入恒压低电平信号，所述第三晶体管的漏极电性连接于所述第二节点；

所述第一电容的第一端电性连接于所述第一节点，所述第一电容的第二端接入所述恒压低电平信号；

所述第二电容的第一端电性连接于所述第二节点，所述第二电容的第二端接入所述恒压低电平信号。

[权利要求 3] 根据权利要求1所述的GOA电路，其中，所述上拉模块包括第四晶体管以及第五晶体管；

所述第四晶体管的栅极接入恒压高电平信号，所述第四晶体管的源极电性连接于所述第一节点，所述第四晶体管的漏极与所述第五晶体管的栅极电性连接；

所述第五晶体管的源极接入所述本级时钟信号，所述第五晶体管的漏极电性连接于所述本级扫描信号输出端。

[权利要求 4] 根据权利要求1所述的GOA电路，其中，所述下拉模块包括第六晶体管；

所述第六晶体管的栅极电性连接于所述第二节点，所述第六晶体管的源极接入恒压低电平信号，所述第六晶体管的漏极电性连接于所述本级扫描信号输出端。

[权利要求 5] 根据权利要求1所述的GOA电路，其中，所述下拉维持模块包括第七晶体管、第八晶体管、第九晶体管、第十晶体管以及第十一晶体管；

所述第七晶体管的栅极接入所述第一扫描控制信号，所述第七晶体管的源极接入所述下一级时钟信号，所述第七晶体管的漏极电性连接于所述第八晶体管的漏极以及所述第九晶体管的栅极；

所述第八晶体管的栅极接入所述第二扫描控制信号，所述第八晶体管

的源极接入所述上一级时钟信号；

所述第九晶体管的源极接入恒压高电平信号，所述第九晶体管的漏极电性连接于所述第二节点；

所述第十晶体管的栅极电性连接于所述第十一晶体管的漏极，所述第十晶体管的源极接入恒压低电平信号，所述第十晶体管的漏极电性连接于所述第一节点；

所述第十一晶体管的栅极连接于接地端，所述第十一晶体管的源极电性连接于所述第二节点。

[权利要求 6] 根据权利要求5所述的GOA电路，其中，当所述第二节点的电位为所述恒压高电平信号的电位时，所述第十一晶体管关闭，所述第十一晶体管的漏极的电位为所述接地端的电位与所述第十一晶体管的阈值电压之间的压差。

[权利要求 7] 根据权利要求6所述的GOA电路，其中，所述第十晶体管的栅极的电位与所述第十晶体管的漏极的电位之间的压差小于所述恒压高电位与所述恒压低电位的压差。

[权利要求 8] 根据权利要求1所述的GOA电路，其中，所述中停控制模块包括第十二晶体管；
所述第十二晶体管的栅极接入所述中停控制信号，所述第十二晶体管的源极接入恒压低电平信号，所述第十二晶体管的漏极电性连接于所述本级扫描信号输出端。

[权利要求 9] 根据权利要求1所述的GOA电路，其中，所述GOA电路还包括第十三晶体管、第十四晶体管以及第十五晶体管；
所述第十三晶体管的栅极、所述第十三晶体管的源极、所述第十四晶体管的栅极以及所述第十五晶体管的栅极均接入放电控制信号，所述第十三晶体管的漏极电性连接于所述本级扫描信号输出端；
所述第十四晶体管的源极接入恒压低电平信号，所述第十四晶体管的漏极电性连接于所述第二节点；
所述第十五晶体管的源极接入所述恒压低电平信号，所述第十五晶体

管的漏极电性连接于所述下拉维持模块。

- [权利要求 10] 一种显示面板，其包括GOA电路，所述GOA电路包括N级级联设置的GOA单元，第n级GOA单元包括节点控制模块、上拉模块、下拉模块、下拉维持模块以及中停控制模块， $1 < n < N-1$ ，n、N均为正整数；
- 所述节点控制模块接入上一级扫描信号、下一级扫描信号、第一扫描控制信号以及第二扫描控制信号，并电性连接于第一节点以及第二节点，所述节点控制模块用于根据所述上一级扫描信号、所述下一级扫描信号、所述第一扫描控制信号以及、所述第二扫描控制信号，拉高所述第一节点的电位以及拉低所述第二节点的电位；
- 所述上拉模块接入本级时钟信号，并电性连接于所述第一节点，所述上拉模块用于根据所述本级时钟信号以及所述第一节点的电位在本级扫描信号输出端输出本级扫描信号；
- 所述下拉模块电性连接于所述第二节点，所述下拉模块用于根据所述第二节点的电位下拉所述扫描信号输出端的电位；
- 所述下拉维持模块接入上一级时钟信号、下一级时钟信号、所述第一扫描控制信号以及所述第二扫描控制信号，并电性连接于所述第一节点以及所述第二节点，所述下拉维持模块用于根据所述上一级时钟信号、所述下一级时钟信号、所述第一扫描控制信号以及所述第二扫描控制信号，拉低所述第一节点的电位以及拉高所述第二节点的电位；
- 所述中停控制模块接入中停控制信号，所述中停控制模块用于在所述GOA电路处于触控中停阶段时，基于所述中停控制信号拉低所述本级扫描信号输出端的电位；所述下拉维持模块还用于在所述触控中停阶段抑制所述第一节点漏电。

- [权利要求 11] 根据权利要求10所述的显示面板，其中，所述节点控制模块包括第一晶体管、第二晶体管、第三晶体管、第一电容以及第二电容；
- 所述第一晶体管的栅极接入所述上一级扫描信号，所述第一晶体管的源极接入第一扫描控制信号，所述第一晶体管的漏极电性连接于所述第一节点；

所述第二晶体管的栅极接入所述下一级扫描信号，所述第二晶体管的源极接入第二扫描控制信号，所述第二晶体管的漏极电性连接于所述第一节点；

所述第三晶体管的栅极电性连接于所述第一节点，所述第三晶体管的源极接入恒压低电平信号，所述第三晶体管的漏极电性连接于所述第二节点；

所述第一电容的第一端电性连接于所述第一节点，所述第一电容的第二端接入所述恒压低电平信号；

所述第二电容的第一端电性连接于所述第二节点，所述第二电容的第二端接入所述恒压低电平信号。

[权利要求 12] 根据权利要求10所述的显示面板，其中，所述上拉模块包括第四晶体管以及第五晶体管；

所述第四晶体管的栅极接入恒压高电平信号，所述第四晶体管的源极电性连接于所述第一节点，所述第四晶体管的漏极与所述第五晶体管的栅极电性连接；

所述第五晶体管的源极接入所述本级时钟信号，所述第五晶体管的漏极电性连接于所述本级扫描信号输出端。

[权利要求 13] 根据权利要求10所述的显示面板，其中，所述下拉模块包括第六晶体管；

所述第六晶体管的栅极电性连接于所述第二节点，所述第六晶体管的源极接入恒压低电平信号，所述第六晶体管的漏极电性连接于所述本级扫描信号输出端。

[权利要求 14] 根据权利要求10所述的显示面板，其中，所述下拉维持模块包括第七晶体管、第八晶体管、第九晶体管、第十晶体管以及第十一晶体管；

所述第七晶体管的栅极接入所述第一扫描控制信号，所述第七晶体管的源极接入所述下一级时钟信号，所述第七晶体管的漏极电性连接于所述第八晶体管的漏极以及所述第九晶体管的栅极；

所述第八晶体管的栅极接入所述第二扫描控制信号，所述第八晶体管

的源极接入所述上一级时钟信号；

所述第九晶体管的源极接入恒压高电平信号，所述第九晶体管的漏极电性连接于所述第二节点；

所述第十晶体管的栅极电性连接于所述第十一晶体管的漏极，所述第十晶体管的源极接入恒压低电平信号，所述第十晶体管的漏极电性连接于所述第一节点；

所述第十一晶体管的栅极连接于接地端，所述第十一晶体管的源极电性连接于所述第二节点。

[权利要求 15] 根据权利要求14所述的显示面板，其中，当所述第二节点的电位为所述恒压高电平信号的电位时，所述第十一晶体管关闭，所述第十一晶体管的漏极的电位为所述接地端的电位与所述第十一晶体管的阈值电压之间的压差。

[权利要求 16] 根据权利要求15所述的GOA电路，其中，所述第十晶体管的栅极的电位与所述第十晶体管的漏极的电位之间的压差小于所述恒压高电位与所述恒压低电位的压差。

[权利要求 17] 根据权利要求10所述的显示面板，其中，所述中停控制模块包括第十二晶体管；
所述第十二晶体管的栅极接入所述中停控制信号，所述第十二晶体管的源极接入恒压低电平信号，所述第十二晶体管的漏极电性连接于所述本级扫描信号输出端。

[权利要求 18] 根据权利要求10所述的显示面板，其中，所述GOA电路还包括第十三晶体管、第十四晶体管以及第十五晶体管；
所述第十三晶体管的栅极、所述第十三晶体管的源极、所述第十四晶体管的栅极以及所述第十五晶体管的栅极均接入放电控制信号，所述第十三晶体管的漏极电性连接于所述本级扫描信号输出端；
所述第十四晶体管的源极接入恒压低电平信号，所述第十四晶体管的漏极电性连接于所述第二节点；
所述第十五晶体管的源极接入所述恒压低电平信号，所述第十五晶体

管的漏极电性连接于所述下拉维持模块。

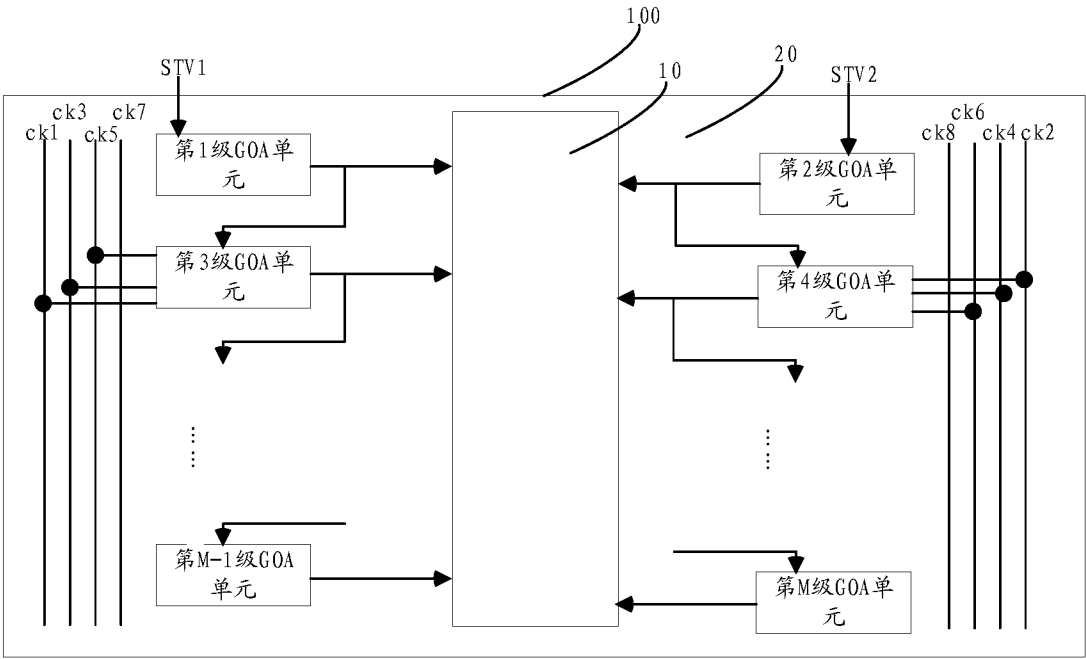


图 1

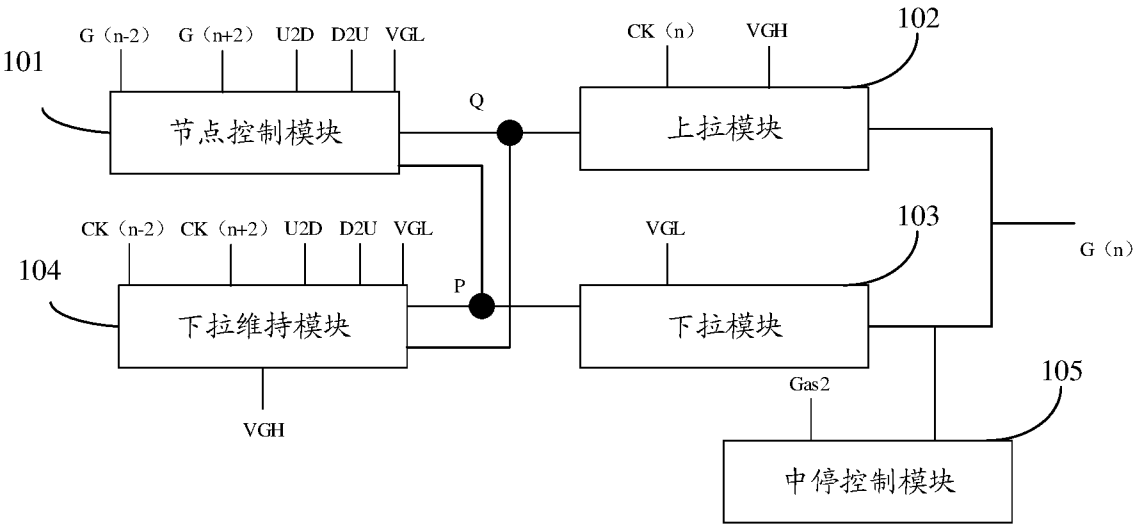


图 2

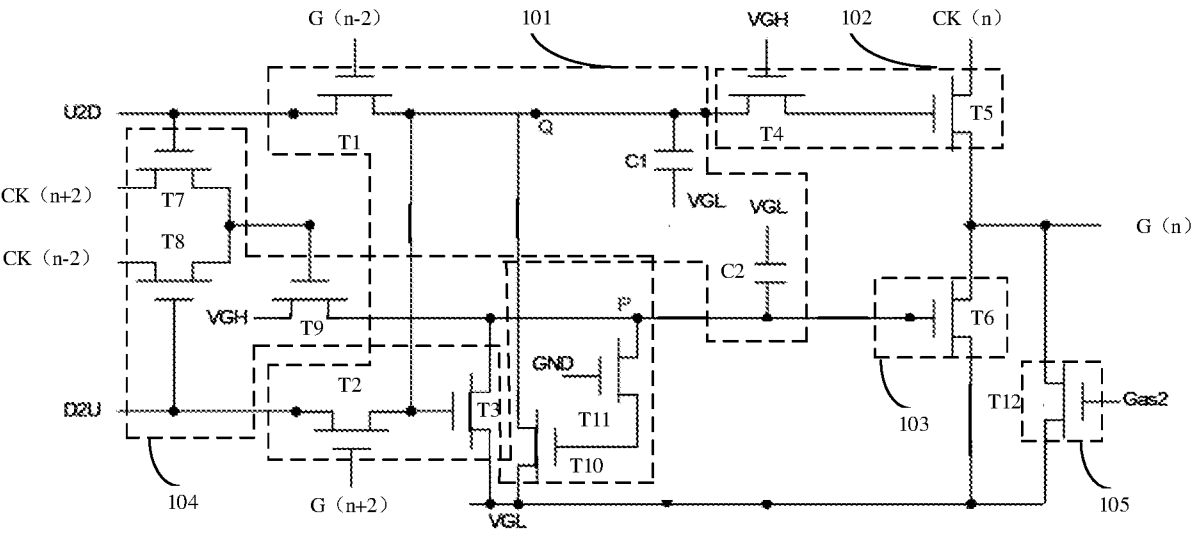


图 3

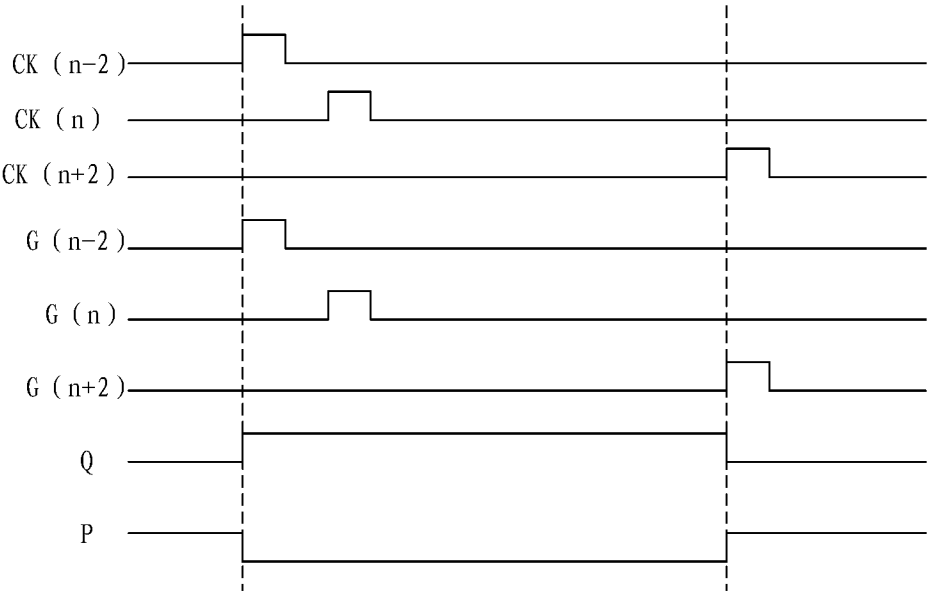


图 4

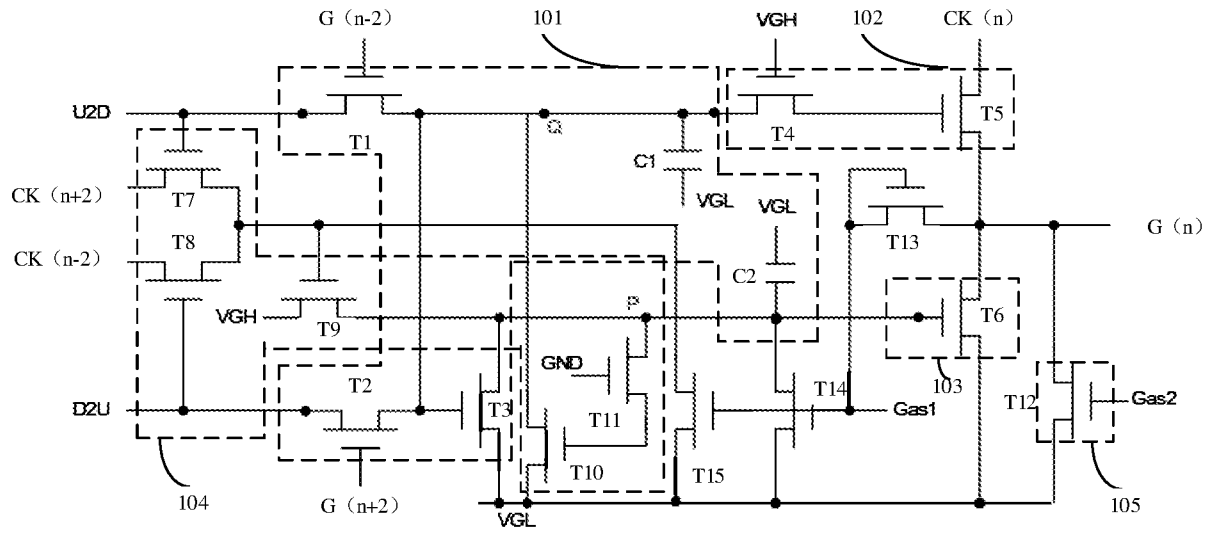


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/082380

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 华星光电, 潘优, 晶体管, 移位寄存, 栅极驱动, 扫描驱动, 漏电, 第一节点, 上拉节点, 下拉维持, transistor, shift, register, gate, scan, driv+, leak+, first, node, pull, up, down, keep+, hold+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 109326261 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 12 February 2019 (2019-02-12) description, paragraphs [0025]-[0049], and figures 1-2	1-4,8-13,17-18
X	CN 108010498 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 08 May 2018 (2018-05-08) description, paragraphs [0022]-[0037], and figures 1-3	1-4, 8-13, 17-18
A	CN 107742509 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 27 February 2018 (2018-02-27) entire document	1-18
A	CN 107958656 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 24 April 2018 (2018-04-24) entire document	1-18
A	US 20200135772 A1 (LG DISPLAY CO., LTD.) 30 April 2020 (2020-04-30) entire document	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

25 November 2021

Date of mailing of the international search report

17 December 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/082380

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109326261	A	12 February 2019	WO	2020107658	A1	04 June 2020
				US	2020410948	A1	31 December 2020
				CN	109326261	B	27 October 2020
CN	108010498	A	08 May 2018	WO	2019104823	A1	06 June 2019
				US	2019163001	A1	30 May 2019
				US	10302985	B1	28 May 2019
CN	107742509	A	27 February 2018	WO	2019085192	A1	09 May 2019
				US	10599242	B2	24 March 2020
				US	2019129547	A1	02 May 2019
CN	107958656	A	24 April 2018	WO	2019134221	A1	11 July 2019
				US	10741139	B2	11 August 2020
				CN	107958656	B	02 July 2019
				US	2020160805	A1	21 May 2020
US	20200135772	A1	30 April 2020	KR	2020048910	A	08 May 2020

国际检索报告

国际申请号

PCT/CN2021/082380

A. 主题的分类

G09G 3/20 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNPAT, CNKI, WPI, EP000C: 华星光电, 潘优, 晶体管, 移位寄存, 栅极驱动, 扫描驱动, 漏电, 第一节点, 上拉节点, 下拉维持, transistor, shift, register, gate, scan, driv+, leak+, first, node, pull, up, down, keep+, hold+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 109326261 A (武汉华星光电技术有限公司) 2019年2月12日 (2019 - 02 - 12) 说明书第[0025]-[0049]段, 图1-2	1-4, 8-13, 17-18
X	CN 108010498 A (武汉华星光电技术有限公司) 2018年5月8日 (2018 - 05 - 08) 说明书第[0022]-[0037], 图1-3	1-4, 8-13, 17-18
A	CN 107742509 A (武汉华星光电技术有限公司) 2018年2月27日 (2018 - 02 - 27) 全文	1-18
A	CN 107958656 A (武汉华星光电技术有限公司) 2018年4月24日 (2018 - 04 - 24) 全文	1-18
A	US 20200135772 A1 (LG DISPLAY CO., LTD.) 2020年4月30日 (2020 - 04 - 30) 全文	1-18

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年11月25日

国际检索报告邮寄日期

2021年12月17日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

罗朋

电话号码 86-(10)-53962510

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/082380

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109326261	A	2019年2月12日	WO	2020107658	A1	2020年6月4日
				US	2020410948	A1	2020年12月31日
				CN	109326261	B	2020年10月27日
CN	108010498	A	2018年5月8日	WO	2019104823	A1	2019年6月6日
				US	2019163001	A1	2019年5月30日
				US	10302985	B1	2019年5月28日
CN	107742509	A	2018年2月27日	WO	2019085192	A1	2019年5月9日
				US	10599242	B2	2020年3月24日
				US	2019129547	A1	2019年5月2日
CN	107958656	A	2018年4月24日	WO	2019134221	A1	2019年7月11日
				US	10741139	B2	2020年8月11日
				CN	107958656	B	2019年7月2日
				US	2020160805	A1	2020年5月21日
US	20200135772	A1	2020年4月30日	KR	2020048910	A	2020年5月8日