

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 4 月 6 日(06.04.2017)



(10) 国際公開番号
WO 2017/057555 A1

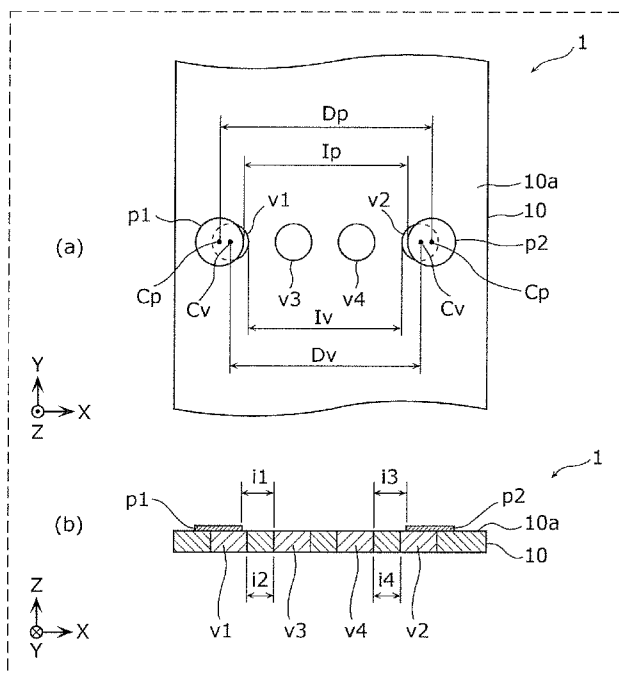
- (51) 国際特許分類:
H01L 23/12 (2006.01) H05K 1/02 (2006.01)
H01L 23/13 (2006.01) H05K 3/00 (2006.01)
- (21) 国際出願番号: PCT/JP2016/078793
- (22) 国際出願日: 2016 年 9 月 29 日(29.09.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-195001 2015 年 9 月 30 日(30.09.2015) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 Kyoto (JP).
- (72) 発明者: 本多 亮史(HONDA, Akifumi); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP). 中川 大(NAKAGAWA, Dai); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 吉川 修一, 外(YOSHIKAWA, Shuichi et al.); 〒5320011 大阪府大阪市淀川区西中島 5 丁目 3 番 1 〇 号タナカ・イトーピア新大阪ビル 6 階新居国際特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: CIRCUIT BOARD AND METHOD FOR DESIGNING SAME

(54) 発明の名称: 回路基板およびその設計方法

図2



(57) Abstract: This circuit board (1) is provided with: a board body (10); a plurality of via conductors (v1, v2) provided in the board body (10) so as to be exposed to a primary surface (10a) from the inside of the board body (10); and a plurality of pad electrodes (p1, p2) provided on the primary surface (10a) of the board body (10) so as to be respectively connected to the plurality of via conductors (v1, v2), wherein the distance (Dp) between the centers of the two pad electrodes (p1, p2) is greater than the distance (Dv) between the centers of the two via conductors (v1, v2) respectively connected to the pad electrodes (p1, p2), and the interval (Ip) between the two pad electrodes (p1, p2) is equal to or greater than the interval (Iv) between the two via conductors (v1, v2).

(57) 要約: 基板本体 (10) と、基板本体 (10) の内部から主面 (10a) に露出するように、基板本体 (10) に設けられている複数のビア導体 (v1, v2) と、複数のビア導体 (v1, v2) のそれぞれと接続するように、基板本体 (10) の主面 (10a) に設けられている複数のパッド電極 (p1, p2) とを備える回路基板 (1) であって、2つのパッド電極 (p1, p2) の中心間距離 (Dp) が、パッド電極 (p1, p2) のそれぞれに接続する2つのビア導体 (v1, v2) の中心間距離 (Dv) よりも大きく、2つのパッド電極 (p1, p2) の間隔 (Ip) が、2つのビア導体 (v1, v2) の間隔 (Iv) 以上である。

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：回路基板およびその設計方法

技術分野

[0001] 本発明は、回路基板およびその設計方法に関し、特に、電子部品を搭載するための回路基板およびその設計方法に関する。

背景技術

[0002] 従来から、半導体素子などの電子部品を搭載するための回路基板が知られている（例えば、特許文献１）。

[0003] 特許文献１には、基板本体に設けられたビア導体に接続するように、基板本体の主面に形成された導体パターン（パッド電極）を有する回路基板が開示されている。この回路基板には、各種チップ部品、高周波フィルタ、ディプレクサとしての送信用フィルタおよび受信用フィルタ、電力増幅用半導体素子などが、はんだを用いて接合されている（特許文献１の段落０００６～段落０００９参照）。

先行技術文献

特許文献

[0004] 特許文献１：特開２００７－１２４２０２号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、回路基板の高集積化、回路パターンの狭小化が求められる中で、従来技術に示す回路基板では以下の問題がある。図１は、従来技術の問題点を説明するための、比較例における回路基板１０１の断面の模式図である。

[0006] 回路基板１０１は、図１の（ａ）に示すように、基板本体１１０と、基板本体１１０の内部から主面１１０ａに露出するように、基板本体１１０に設けられている複数のビア導体ｖ１～ｖ４と、ビア導体ｖ１、ｖ２とそれぞれ接続するように、基板本体１１０の主面１１０ａに設けられている２つのパ

ッド電極 p 1、p 2 とを有している。

[0007] ビア導体 v 1 ～ v 4 は、電子部品 5 に形成される複数の外部端子（またはバンプ 6）の位置関係に合わせて、基板本体 1 1 0 に設けられている。ビア導体 v 1、v 2 の中心と、パッド電極 p 1、p 2 の中心とは、それぞれ一致している。そして、電子部品 5 がバンプ 6 を介して回路基板 1 0 1 のパッド電極 p 1、p 2 に接合されている。

[0008] この回路基板 1 0 1 では、図 1 の（b）に示すように、パッド電極 p 1 が X 方向にずれて形成された場合に、ずれて形成されたパッド電極 p 1 が、隣りに位置するビア導体 v 3 に接触することがあった。そのため、製品（回路モジュール）としてショート不良が発生するという問題があった。

[0009] 本発明は、パッド電極がずれて形成された場合であっても、ショート不良の発生を低減することのできる回路基板およびその設計方法を提供する。

課題を解決するための手段

[0010] 上記目的を達成するために、本発明の一態様に係る回路基板は、基板本体と、前記基板本体の内部から主面に露出するように、前記基板本体に設けられている複数のビア導体と、電子部品を接続するためのパッド電極であって、前記複数のビア導体のそれぞれと接続するように、前記基板本体の主面に設けられている複数のパッド電極とを備える回路基板であって、前記複数のパッド電極のうちの、少なくとも、2つのパッド電極の中心間距離が、前記パッド電極のそれぞれに接続する2つの前記ビア導体の中心間距離よりも大きく、前記2つのパッド電極の間隔が、前記2つのビア導体の間隔以上である。

[0011] このように、2つのパッド電極の中心間距離が、パッド電極のそれぞれに接続する2つのビア導体の中心間距離よりも大きく、かつ、2つのパッド電極の間隔が、2つのビア導体の間隔以上であるので、パッド電極が、所望の位置に対してずれて形成された場合であっても、ずれた方向に位置するビア導体と接触することを抑制できる。その結果、回路基板を起因とするショート不良の発生を低減することができる。

[0012] また、前記2つのパッド電極は、前記2つのビア導体の少なくとも一部が露出するように形成されていてもよい。

[0013] このように回路基板を設計した場合には、露出したビア導体に接続されるパッド電極が、所望の位置に対して、露出した側にずれて形成された場合であっても、ずれた方向に位置するビア導体に接触することを抑制できる。その結果、回路基板を起因とするショート不良の発生を低減することができる。

[0014] また、前記2つのパッド電極は、前記2つのパッド電極のそれぞれに接続する前記ビア導体の隣に位置する前記ビア導体からそれぞれ離れる方向で、かつ、隣り合う前記ビア導体どうしの間隔よりも隣に位置する前記ビア導体から離れて設けられていてもよい。

[0015] このように回路基板を設計した場合には、パッド電極が、所望の位置に対して、隣のビア導体側にずれて形成された場合であっても、ずれた方向に位置する隣のビア導体に接触することを抑制できる。その結果、回路基板を起因とするショート不良の発生を低減することができる。

[0016] また、前記電子部品が、 bumps を用いて前記パッド電極に接続されるフリップチップ部品であってもよい。

[0017] このように、電子部品として、隣り合うビア導体の距離が近いフリップチップ部品を用いた場合においても、回路基板を起因とするショート不良の発生を低減することができる。

[0018] また、さらに、前記回路基板には四角形状の前記電子部品が接合され、前記回路基板を平面視した場合に、前記2つのパッド電極が、前記電子部品の外周の対向する2辺の近傍にそれぞれ位置していてもよい。

[0019] これによれば、電子部品が接合された回路基板に熱応力が加えられた場合に、電子部品の外周付近の接合箇所にかかる応力を緩和することができる。その結果、回路基板に起因する導通不良（断線）の発生を低減することができる。

[0020] また、さらに、前記回路基板には四角形状の前記電子部品が接合され、前

記回路基板を平面視した場合に、前記2つのパッド電極が、前記電子部品の四隅のうちの2箇所それぞれ位置していてもよい。

[0021] これによれば、電子部品が接合された回路基板に熱応力が加えられた場合に、電子部品の四隅の接合箇所にかかる応力を緩和することができる。その結果、回路基板に起因する導通不良の発生を低減することができる。

[0022] また、前記回路基板を平面視して、前記複数のビア導体の最小ピッチの2倍以内の距離で隣り合うそれぞれのビア導体をひとくくりとするビア導体群を規定した場合に、前記2つのパッド電極が、前記ビア導体群の外寄りに位置する前記2つのビア導体にそれぞれ接続されていてもよい。

[0023] これによれば、電子部品が接合された回路基板に熱応力が加えられた場合に、ビア導体群の外寄りに位置する、電子部品との接合箇所にかかる応力を緩和することができる。その結果、回路基板に起因する導通不良の発生を低減することができる。

[0024] また、前記回路基板を平面視して、前記複数のビア導体の最小ピッチの2倍以内の距離で隣り合うそれぞれのビア導体をひとくくりとするビア導体群を規定した場合に、前記2つのパッド電極が、前記ビア導体群の外寄りの角に位置する前記2つのビア導体にそれぞれ接続されていてもよい。

[0025] これによれば、電子部品が接合された回路基板に熱応力が加えられた場合に、ビア導体群の外寄りの角に位置する、電子部品との接合箇所にかかる応力を緩和することができる。その結果、回路基板に起因する導通不良の発生を低減することができる。

[0026] 上記目的を達成するために、本発明の他の一態様に係る回路基板の設計方法は、基板本体の主面に露出して設けられた複数のビア導体のそれぞれと接続するように、前記基板本体の主面に複数のパッド電極を配置するための回路基板の設計方法であって、前記複数のパッド電極のうちの、2つのパッド電極が並ぶ方向において、前記2つのパッド電極のそれぞれの中心が、前記2つのパッド電極にそれぞれ接続する2つの前記ビア導体のそれぞれの中心よりも外側に位置し、かつ、前記2つのパッド電極の内側の縁が、前記2つ

のビア導体の内側の縁よりもそれぞれ外側に位置するように、前記２つのパッド電極の配置を決定する。

[0027] このように回路基板を設計することで、パッド電極が、所望の位置に対してずれて形成された場合であっても、ずれた方向に位置するビア導体と接触することを抑制できる。その結果、回路基板を起因とするショート不良の発生を低減することができる。

発明の効果

[0028] 本発明によれば、回路基板を起因とするショート不良の発生を低減することができる。

図面の簡単な説明

[0029] [図1]図１は、比較例における回路基板の断面の模式図であり、（a）はパッド電極が所望の位置にある状態、（b）はパッド電極が所望の位置からずれて形成された状態を示す図である。

[図2]図２は、実施の形態１に係る回路基板の模式図であり、（a）は平面図、（b）は断面図である。

[図3]図３は、実施の形態１に係る回路基板の断面の模式図であり、（a）はパッド電極が所望の位置にある状態、（b）はパッド電極が所望の位置からずれて形成された状態を示す図である。

[図4]図４は、実施の形態２に係る回路基板の平面図である。

[図5]図５は、実施の形態２の変形例に係る回路基板の平面図である。

[図6]図６は、実施の形態３に係る回路基板に電子部品を搭載した場合の平面図である。

[図7]図７は、実施の形態３に係る回路基板を別の局面から説明するための図である。

[図8]図８は、実施の形態４に係る回路基板に電子部品を搭載した場合の平面図である。

[図9]図９は、実施の形態４に係る回路基板を別の局面から説明するための図である。

[図10]図10は、実施の形態5に係る回路基板の平面図である。

[図11]図11は、図10に示すビア導体とパッド電極との位置関係を説明するための図であり、(a)は実施の形態5に係る図、(b)は比較例の図である。

発明を実施するための形態

[0030] 以下、本発明の実施の形態について、図面を用いて詳細に説明する。なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置および接続形態、製造工程、および製造工程の順序などは、一例であり、本発明を限定する主旨ではない。以下の実施の形態における構成要素のうち、独立請求項に記載されていない構成要素については、任意の構成要素として説明される。また、図面に示される構成要素の大きさまたは大きさの比は、必ずしも厳密ではない。また、以下の実施の形態において、「接続される」とは、直接接続される場合だけでなく、他の素子等を介して電氣的に接続される場合も含まれる。

[0031] (実施の形態1)

本実施の形態に係る回路基板は、半導体素子などの電子部品を搭載するための回路基板である。電子部品は、例えば、フリップチップ部品であり、複数のバンプ（接合材）を介して、回路基板に接続される。

[0032] 図2は、実施の形態1に係る回路基板1の模式図であり、(a)は平面図、(b)は断面図である。以下では、簡明のため、同種の構成要素を同じ模様で示して符号を適宜省略し、また、厳密には別断面にある構成要素を同一図面内に示して説明することがある。

[0033] 本実施の形態に係る回路基板1は、図2に示すように、基板本体10と、基板本体10の内部に設けられる複数のビア導体 v ($v1 \sim v4$)と、基板本体10の主面10aに設けられる複数のパッド電極 p ($p1$ 、 $p2$)とを備えている。

[0034] 基板本体10の内部には、例えば、インダクタ、キャパシタ、抵抗などの

電気素子や、これらの電気素子を接続する引き回し配線が形成されている（図示省略）。基板本体10の材料は、例えば、LTCCセラミックス（Low Temperature Co-fired Ceramics）である。その他、アルミナ基板などを用いることもできる。

[0035] ビア導体vは、基板本体10の内部から主面10aに露出するように設けられている。ビア導体vは、電子部品5に形成されている複数の外部端子（またはバンプ）の位置関係に合わせて、基板本体10に設けられている（図3（a）参照）。ビア導体vの形状は、平面視して円形状である。ビア導体vの材料としては、導電率の高い材料が用いられ、例えば、銀、銅錫、ニッケル、金、または、これらの材料から選択される合金などが用いられる。

[0036] パッド電極pは、電子部品5を回路基板1に接続するための電極である。パッド電極p1、p2は、複数のビア導体vのうちの外側に位置するビア導体v1、v2にそれぞれ接続するように形成されている。パッド電極pの形状は、平面視して円形状であり、その面積は、ビア導体vの面積よりも大きい。パッド電極pの材料としては、バンプ6およびビア導体vとの接合性が高く、導電率の高い材料が用いられ、例えば、銀、銅、錫、ニッケル、金、または、これらの材料から選択される合金などが用いられる。

[0037] 本実施の形態の回路基板1は、図2に示すように、パッド電極p1、p2の並ぶ方向（X方向）において、パッド電極p1、p2のそれぞれの中心Cpが、ビア導体v1、v2のそれぞれの中心Cvに対して、それぞれ外寄り（X方向のマイナス側、プラス側）に位置するように設計されている。

[0038] 具体的には、2つのパッド電極p1、p2の中心間距離Dpを、パッド電極p1、p2のそれぞれに接続する2つのビア導体v1、v2の中心間距離Dvよりも大きくしている。また、2つのパッド電極p1、p2の間隔lpを、2つのビア導体v1、v2の間隔lv以上となるようにしている。また、2つのパッド電極p1、p2の間隔lpを、2つのビア導体v1、v2の中心間距離Dvよりも小さくしている。

[0039] 図2の（a）に示すパッド電極pおよびビア導体vの形状は、楕円状、円

弧状または角形状であってもよい。本実施の形態におけるパッド電極 p_1 、 p_2 のそれぞれの中心 C_p は、パッド電極 p_1 、 p_2 のそれぞれの図心であり、ビア導体 v_1 、 v_2 のそれぞれの中心 C_v は、ビア導体 v_1 、 v_2 のそれぞれの図心である。また、本実施の形態における2つのパッド電極 p_1 、 p_2 の間隔 l_p は、これらパッド電極間の最短距離を意味し、2つのビア導体 v_1 、 v_2 の間隔 l_v は、これらビア導体間の最短距離を意味する。

[0040] また、本実施の形態では、パッド電極 p_1 、 p_2 は、ビア導体 v_1 、 v_2 の一部が露出するようにそれぞれ形成されている。

[0041] 具体的には、図2の(b)に示すように、パッド電極 p_1 は、パッド電極 p_1 に接続するビア導体 v_1 の隣に位置するビア導体 v_3 から離れる方向(X方向のマイナス側)に位置している。そして、パッド電極 p_1 とビア導体 v_3 との間隔 i_1 は、隣り合うビア導体 v_1 、 v_3 どうしの間隔 i_2 よりも大きくなるように設計されている。また、パッド電極 p_2 は、パッド電極 p_2 に接続するビア導体 v_2 の隣に位置するビア導体 v_4 から離れる方向(X方向のプラス側)に位置している。そして、パッド電極 p_2 とビア導体 v_4 との間隔 i_3 は、隣り合うビア導体 v_2 、 v_4 どうしの間隔 i_4 よりも大きくなるように設計されている。

[0042] ここで、回路基板1にパッド電極 p_1 、 p_2 を形成する際に、その位置がずれて形成された場合について説明する。図3の(a)はパッド電極 p_1 、 p_2 が所望の位置にある状態、(b)はパッド電極 p_1 、 p_2 が所望の位置からずれて形成された状態を示す図である。なお、回路基板1には、 bumps 6を介して電子部品5が接合されている。

[0043] 本実施の形態に係る回路基板1では、図3の(b)に示すように、パッド電極 p_1 、 p_2 が右側(X方向のプラス側)にずれて形成された場合であっても、元々のパッド電極 p_1 とビア導体 v_3 との間隔 i_1 が間隔 i_2 より大きいので、パッド電極 p_1 が隣に位置するビア導体 v_3 に接触しにくくなる。また、図示はしていないが、パッド電極 p_1 、 p_2 が左側(X方向のマイナス側)にずれて形成された場合であっても、元々のパッド電極 p_2 とビア

導体 v_4 との間隔 i_3 が間隔 i_4 より大きいので、パッド電極 p_2 が隣に位置するビア導体 v_4 に接触しにくくなる。これにより、回路基板1を起因とする製品（回路モジュール）のショート不良の発生が低減される。

[0044] なお、上記では、パッド電極 p_1 、 p_2 の両方が右側または左側にずれて形成された例を示したが、パッド電極 p_1 のみが右側に、または、パッド電極 p_2 のみが左側にずれて形成された場合であっても、上記効果を発揮することができる。

[0045] 次に、回路基板1の製造方法について説明する。

[0046] まず、セラミックグリーンシートに形成された複数のビア孔を導電ペーストで充填し、複数のビア導体パターンを有するセラミックグリーンシートを形成する。そして、これらのセラミックグリーンシートを積み重ねて一体化し、未焼成積層体ブロックを形成する。

[0047] 次に、この未焼成積層体ブロックの表面をスクリーン印刷することで、複数のビア導体パターンのそれぞれに接続される複数のパッド電極パターンを形成する。

[0048] パッド電極パターンの形成位置は、複数のパッド電極パターンのうちの、2つのパッド電極パターンが並ぶ方向（例えばX方向）において、その2つのパッド電極パターンのそれぞれの中心が、2つのパッド電極パターンにそれぞれ接続する2つのビア導体パターンのそれぞれの中心よりも外側に位置するように予め設計されている。また、2つのパッド電極パターンの内側の縁が、2つのビア導体パターンの内側の縁よりもそれぞれ外側に位置するように予め設計されている。

[0049] パッド電極パターンを形成した後、未焼成積層体ブロックを一括して焼成することで、ビア導体 v およびパッド電極 p を有する回路基板1を作製する。

[0050] 作製された回路基板1には、電子部品5が実装される。回路基板1は、その後、電子部品5を覆うように樹脂封止され、また、リフロー炉に投入される。

[0051] 本実施の形態では、前述したように、2つのパッド電極 p_1 、 p_2 の中心間距離 D_p が、パッド電極 p_1 、 p_2 のそれぞれに接続する2つのビア導体 v_1 、 v_2 の中心間距離 D_v よりも大きく、かつ、2つのパッド電極 p_1 、 p_2 の間隔 l_p が、2つのビア導体 v_1 、 v_2 の間隔 l_v 以上である。したがって、パッド電極 p_1 、 p_2 が、所望の位置に対して、2つのビア導体 v が並ぶ方向にずれて形成された場合であっても、ずれた方向に位置するビア導体 v に接触することを抑制できる。その結果、回路基板 1 を起因とするショート不良の発生を低減することができる。

[0052] また、2つのパッド電極 p_1 、 p_2 を、2つのビア導体 v_1 、 v_2 の少なくとも一部が露出するように設計している。したがって、露出したビア導体 v_1 、 v_2 に接続されるパッド電極 p_1 、 p_2 が、所望の位置に対して、露出した側にずれて形成された場合であっても、ずれた方向に位置するビア導体 v に接触することを抑制できる。その結果、回路基板 1 を起因とするショート不良の発生を低減することができる。

[0053] また、パッド電極 p_1 を、隣に位置するビア導体 v_3 から離れる方向で、かつ、隣り合うビア導体 v_1 、 v_3 どうしの間隔 i_2 よりも、隣に位置するビア導体 v_3 から離れるように設計している。したがって、パッド電極 p_1 が、所望の位置に対して、隣のビア導体 v_3 側にずれて形成された場合であっても、元々のパッド電極 p_1 とビア導体 v_3 の間隔 i_1 が大きいので、ビア導体 v_3 に接触することを抑制できる。その結果、回路基板 1 を起因とするショート不良の発生を低減することができる。

[0054] また、電子部品 5 として、隣り合うビア導体 v の距離が近いフリップチップ部品を用いた場合においても、回路基板 1 を起因とするショート不良の発生を低減することができる。

[0055] 以上、実施の形態 1 にて本発明の代表例を説明したが、以下において、実施の形態 1 をさらに具体化した他の実施の形態を説明する。

[0056] (実施の形態 2)

図 4 は、実施の形態 2 に係る回路基板 1 A の平面図である。回路基板 1 A

では、X方向に向かい合うパッド電極pが、互いに離れるように配置されている。なお、実施の形態1と共通する構成については、同じ符号を記し、説明を省略する。

[0057] この回路基板1Aは、基板本体10と、基板本体10の内部に設けられる複数のビア導体v（v11～v18、v21～v28、v31～v40）と、基板本体10の主面10aに設けられる複数のパッド電極p（p11～p18、p21～p28）とを備えている。回路基板1は板状であり、ビア導体vは円形であり、パッド電極pは円形である。

[0058] なお、回路基板1Aの大きさは、図4に示す態様に限られない。例えば、面積の大きい回路基板のうちの一部において、本実施の形態にて示すビア導体vとパッド電極pとの位置関係を満たせばよい。また、本実施の形態にて示すビア導体vの外側に、所定の距離を離して異なるビア導体vが形成されていてもよい。また、ビア導体vやパッド電極pの位置は例示であり、ビア導体v33～v39が、ビア導体v13～v18またはv23～v28の近くに配置されていてもよい。

[0059] 本実施の形態の回路基板1Aは、例えば、パッド電極p18、p28の中心間距離を、パッド電極p18、p28のそれぞれに接続するビア導体v18、v28の中心間距離よりも大きくしている。また、パッド電極p18、p28の間隔を、ビア導体v18、v28の間隔以上となるようにしている。また、パッド電極p18、p28の間隔を、ビア導体v18、v28の中心間距離よりも小さくしている。

[0060] また、左右方向（X方向）にそれぞれ向かい合う、他のパッド電極p11～p17、p21～p27と、他のビア導体v11～v17、v21～v27との位置関係についても同様である。

[0061] 本実施の形態に係る回路基板1Aでは、パッド電極pがX方向にずれて形成された場合であっても、パッド電極pが、X方向の隣に位置するビア導体vに接触することを抑制できる。これにより、回路基板1Aを起因とする製品のショート不良の発生が低減される。

[0062] なお、回路基板 1 A では、回路基板 1 A の内側に位置するビア導体 v 3 1 ～ v 4 0 にパッド電極 p を設けていないが、変形例の回路基板 1 B に示すように（図 5 参照）、ビア導体 v 3 1 ～ v 4 0 のそれぞれに接続するようにパッド電極 p 3 1 ～ p 4 0 を設けてもよい。すなわち、ビア導体 v に対してパッド電極 p を一対一対応で設けてもよい。変形例に示す回路基板 1 B でも、回路基板 1 A と同様の効果を得られる。

[0063] （実施の形態 3）

図 6 は、実施の形態 3 に係る回路基板 1 C を示す平面図である。この回路基板 1 C では、X 方向に向かい合うパッド電極 p が互いに離れるように配置され、さらに、複数のパッド電極 p のうちの隅に位置するパッド電極 p が互いに離れるように配置されている。なお、実施の形態 2 と共通する構成については、同じ符号を記し、説明を省略する。

[0064] 図 6 は、回路基板 1 C に電子部品 5 が搭載されている状態を示している。電子部品 5 は、四角形状をしたフリップチップ品であり、 bumps（図示せず）を介してパッド電極 p（p 1 1 ～ p 1 8、p 2 1 ～ p 2 8、p 3 1 ～ p 4 0）に接合されている。

[0065] 本実施の形態では、回路基板 1 C を平面視した場合に、実施の形態 1 で示す 2 つのパッド電極 p が、電子部品 5 の外周の対向する 2 辺の近傍にそれぞれ位置している。

[0066] すなわち、2 つのパッド電極 p のうちの一方であるパッド電極 p 1 1 ～ p 1 8 が、電子部品 5 の左辺の近傍に位置しており、他方であるパッド電極 p 2 1 ～ p 2 8 が、電子部品 5 の左辺に対向する右辺の近傍に位置している。そして、これらパッド電極 p 1 1 ～ p 1 8 が、ビア導体 v 1 1 ～ v 1 8 に対してそれぞれ左寄り（X 方向のマイナス側）に配置されており、パッド電極 p 2 1 ～ p 2 8 が、ビア導体 v 2 1 ～ v 2 8 に対してそれぞれ右寄り（X 方向のプラス側）に配置されている。

[0067] また、2 つのパッド電極 p のうちの一方であるパッド電極 p 3 2 が、電子部品 5 の上辺の近傍に位置しており、他方であるパッド電極 p 4 0 が、電子

部品5の上辺に対向する下辺の近傍に位置している。そして、このパッド電極p32が、ビア導体v32に対して上寄り（Y方向のプラス側）に配置されており、パッド電極p40が、ビア導体v40に対して下寄り（Y方向のマイナス側）に配置されている。

[0068] さらに、電子部品5の四隅の位置に対応するパッド電極p11、p18、p21、p28が、ビア導体v11、v18、v21、v28に対してそれぞれ外寄りであって、互いに離れる方向に配置されている。

[0069] これらの構成により、所望の位置に対して、パッド電極p11～p18、p21～p28がX方向にずれて形成された場合であっても、パッド電極p32、p40がY方向にずれて形成された場合であっても、また、パッド電極p11、p18、p21、p28がX方向、Y方向にずれて形成された場合であっても、ずれた方向に位置するビア導体vに接触することを抑制できる。

[0070] また、電子部品5が接合された回路基板1Cが樹脂封止されたり、リフロー炉に投入されたりして、熱応力が加えられた場合であっても、パッド電極pが電子部品5の外周の対向する2辺の近傍に位置するようにそれぞれ設けられているので、電子部品5の外周付近の接合箇所に発生する応力を緩和することができる。その結果、回路基板1Cに起因する導通不良（断線）の発生を低減することができる。

[0071] また、図7を参照して、実施の形態3に係る回路基板1Cを別の局面から見た場合について説明する。

[0072] 例えば、回路基板1Cを平面視して、複数のビア導体vの一部の集合体であるビア導体群A1を規定する。ビア導体群A1とは、複数のビア導体vの最小ピッチ（例えば、ビア導体v17とv18との距離）の2倍以内の距離で隣り合うそれぞれのビア導体vをひとくくりとするビア導体v（v13～v18、v23～v28、v34～v40）の集合体である。

[0073] 本実施の形態では、実施の形態1で示す2つのパッド電極pが、このビア導体群A1の外寄りに位置する2つのビア導体vにそれぞれ接続されている

。

[0074] すなわち、2つのパッド電極pのうちの一方であるパッド電極p 1 3～p 1 8が、ビア導体群A 1の左側に位置しており、他方であるパッド電極p 2 3～p 2 8が、ビア導体群A 1の右側に位置している。そして、これらパッド電極p 1 3～p 1 8が、ビア導体v 1 3～v 1 8に対してそれぞれ左寄り（X方向のマイナス側）に配置されており、パッド電極p 2 3～p 2 8が、ビア導体v 2 3～v 2 8に対してそれぞれ右寄り（X方向のプラス側）に配置されている。

[0075] さらに、ビア導体群A 1の外寄りの角に位置するパッド電極p 1 3、p 1 8、p 2 3、p 2 8が、ビア導体v 1 3、v 1 8、v 2 3、v 2 8に対してそれぞれ外寄りであって、ビア導体群A 1の中央から互いに離れる方向に配置されている。

[0076] また、回路基板1 Cを平面視して、複数のビア導体vの他の一部の集合体であるビア導体群A 2を規定する。ビア導体群A 2とは、複数のビア導体vの最小ピッチ（例えば、ビア導体v 1 1とv 1 2との距離）の2倍以内の距離で隣り合うそれぞれのビア導体vをひとくくりとするビア導体v（v 1 2、v 1 1、v 3 1～v 3 3、v 2 1、v 2 2）の集合体である。

[0077] このビア導体群A 2についても、ビア導体群A 1と同様に、前述した2つのパッド電極pが、このビア導体群A 2の外寄りに位置する2つのビア導体vにそれぞれ接続されている。

[0078] すなわち、2つのパッド電極pのうちの一方であるパッド電極p 1 1、p 1 2が、ビア導体群A 2の左側に位置しており、他方であるパッド電極p 2 1、p 2 2が、ビア導体群A 2の右側に位置している。そして、これらパッド電極p 1 1、p 1 2が、ビア導体v 1 1、v 1 2に対してそれぞれ左寄りに配置されており、パッド電極p 2 1、p 2 2が、ビア導体v 2 1、v 2 2に対してそれぞれ右寄りに配置されている。

[0079] さらに、ビア導体群A 2の外寄りの角に位置するパッド電極p 1 1、p 1 2、p 2 1、p 2 2が、ビア導体v 1 1、v 1 2、v 2 1、v 2 2に対して

それぞれ外寄りであって、ビア導体群A 2の中央から互いに離れる方向に配置されている。

[0080] これらの構成により、所望の位置に対して、パッド電極p 1 1～p 1 8、p 2 1～p 2 8がX方向にずれて形成された場合であっても、また、パッド電極p 1 3、p 1 8、p 2 3、p 2 8、p 1 1、p 1 2、p 2 1、p 2 2がX方向、Y方向にずれて形成された場合であっても、ずれた方向に位置するビア導体vに接触することを抑制できる。

[0081] また、電子部品5が接合された回路基板1 Cに熱応力が加えられた場合であっても、パッド電極pがビア導体群A 1またはA 2の外寄りに設けられているので、ビア導体群A 1またはA 2の外寄りに位置する、電子部品5との接合箇所に発生する応力を緩和することができる。その結果、回路基板1 Cに起因する導通不良の発生を低減することができる。

[0082] (実施の形態4)

図8は、実施の形態4に係る回路基板1 Dを示す平面図である。この回路基板1 Dでは、複数のパッド電極pのうちの隅に位置するパッド電極pが互いに離れるように配置されている。なお、実施の形態2、3と共通する構成については、同じ符号を記し、説明を省略する。

[0083] 図8は、回路基板1 Dに電子部品5が搭載されている状態を示している。

[0084] 本実施の形態では、回路基板1 Dを平面視した場合に、実施の形態1で示す2つのパッド電極pが、電子部品5の四隅のうちの2箇所にそれぞれ位置している。すなわち、電子部品5の四隅の位置に対応するパッド電極p 1 1、p 1 8、p 2 1、p 2 8が、ビア導体v 1 1、v 1 8、v 2 1、v 2 8に対してそれぞれ外寄りであって、互いに離れる方向に配置されている。なお、パッド電極p 1 4～p 1 7、p 2 4～p 2 7、p 3 1～p 3 3は、ビア導体v 1 4～v 1 7、v 2 4～v 2 7、v 3 1～v 3 3のそれぞれを完全に覆うように形成されている。

[0085] これらの構成により、パッド電極p 1 1、p 1 8、p 2 1、p 2 8が、所望の位置に対して、X方向、Y方向にずれて形成された場合であっても、ず

れた方向に位置するビア導体 v に接触することを抑制できる。

[0086] また、電子部品 5 が接合された回路基板 1 D が樹脂封止されたり、リフロー炉に投入されたりして、熱応力が加えられた場合であっても、パッド電極 p が電子部品 5 の四隅に設けられているので、熱応力が最も大きくなる電子部品 5 の四隅の接合箇所に発生する応力を緩和することができる。その結果、回路基板 1 D に起因する導通不良の発生を低減することができる。

[0087] また、図 9 を参照して、実施の形態 4 に係る回路基板 1 D を別の局面から見た場合について説明する。

[0088] 例えば、回路基板 1 D を平面視して、実施の形態 3 と同様に、複数のビア導体 v の一部の集合体であるビア導体群 A 1 を規定する。

[0089] 本実施の形態では、前述した 2 つのパッド電極 p が、ビア導体群 A 1 のうちの外寄りの角に位置する 2 つのビア導体 v にそれぞれ接続されている。そして、ビア導体群 A 1 の外寄りの角に位置するパッド電極 p 1 3、p 1 8、p 2 3、p 2 8 が、ビア導体 v 1 3、v 1 8、v 2 3、v 2 8 に対してそれぞれ外寄りであって、ビア導体群 A 1 の中央から互いに離れる方向に配置されている。

[0090] さらに、回路基板 1 D を平面視して、実施の形態 3 と同様に、複数のビア導体 v の一部の集合体であるビア導体群 A 2 を規定する。

[0091] このビア導体群 A 2 についても、前述した 2 つのパッド電極 p が、このビア導体群 A 2 の外寄りの角に位置する 2 つのビア導体 v にそれぞれ接続されている。そして、ビア導体群 A 2 の外寄りの角に位置するパッド電極 p 1 1、p 1 2、p 2 1、p 2 2 が、ビア導体 v 1 1、v 1 2、v 2 1、v 2 2 に対してそれぞれ外寄りであって、ビア導体群 A 2 の中央から互いに離れる方向に配置されている。

[0092] これらの構成により、パッド電極 p 1 3、p 1 8、p 2 3、p 2 8、p 1 1、p 1 2、p 2 1、p 2 2 が、所望の位置に対して、X 方向、Y 方向にずれて形成された場合であっても、ずれた方向に位置するビア導体 v に接触することを抑制できる。

[0093] また、電子部品 5 が接合された回路基板 1 D に熱応力が加えられた場合であっても、パッド電極 p がビア導体群 A 1 または A 2 の外寄りの角に設けられているので、ビア導体群 A 1 または A 2 の外寄りに位置する、電子部品 5 との接合箇所が発生する応力を緩和することができる。その結果、回路基板 1 D に起因する導通不良の発生を低減することができる。

[0094] (実施の形態 5)

図 10 は、実施の形態 5 に係る回路基板 1 E の平面図である。

[0095] 本実施の形態に係る回路基板 1 E では、隣り合うパッド電極 p が、隣り合う方向と直交する方向に、それぞれ位置を移して形成されている。なお、実施の形態 2 と共通する構成については、同じ符号を記し、説明を省略する。

[0096] 回路基板 1 E において、Y 方向に隣り合うパッド電極 p 13 ~ p 18 は、パッド電極 p 13 ~ p 18 の並ぶ順に、X 方向に交互に位置を移して形成されている。Y 方向に隣り合うパッド電極 p 23 ~ p 28 は、パッド電極 p 23 ~ p 28 の並ぶ順に、X 方向に交互に位置を移して形成されている。X 方向に隣り合うパッド電極 p 11、p 31 ~ p 33、p 21 は、パッド電極 p 11、p 31 ~ p 33、p 21 の並ぶ順に、Y 方向に交互に位置を移して形成されている。

[0097] 図 11 は、ビア導体 v とパッド電極 p との位置関係を説明するための図であり、(a) は本実施の形態に係る図、(b) は比較例の図である。この図において、ビア導体 v 17 とビア導体 v 28 との距離 D 10、および、その間隔 I 10 は、(a) に示す本実施の形態と (b) に示す比較例とで同じである。

[0098] 本実施の形態では、図 11 の (a) に示すようにパッド電極 p 17、p 18 をそれぞれ右左 (X 方向) に移している。これにより、パッド電極 p 17 とパッド電極 p 18 との距離 D 20 を、比較例に示す 2 つのパッド電極 p の距離 D 30 よりも大きくしている。また、パッド電極 p 17 とパッド電極 p 18 との間隔 I 20 を、比較例に示す 2 つのパッド電極 p の間隔 I 30 よりも大きくしている。なお、上記の位置関係は、Y 方向に隣り合うパッド電極

p 1 3 ~ p 1 7 の位置関係、Y 方向に隣り合う P 2 3 ~ p 2 7 の位置関係、および、X 方向に隣り合うパッド電極 p 1 1、p 3 1 ~ p 3 3、p 1 2 の位置関係についても同様である。

[0099] この回路基板 1 E では、パッド電極 p が X 方向または Y 方向にずれて形成された場合であっても、ビア導体 v に接触することを抑制できる。これにより、回路基板 1 E を起因とするショート不良の発生を低減することができる。

[0100] 以上、本発明の実施の形態及びその変形例に係る回路基板について説明したが、本発明は、個々の実施の形態及びその変形例には限定されない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態及びその変形例に施したものや、異なる実施の形態及びその変形例における構成要素を組み合わせて構築される形態も、本発明の一つ又は複数の態様の範囲内に含まれてもよい。

[0101] また、本発明は、上記のような特徴的な回路基板だけではなく、このような特徴的な構成を有する回路基板の設計方法としても成立する。

産業上の利用可能性

[0102] 本発明は、無線通信装置などに用いられる回路基板として広く利用できる。

符号の説明

- [0103]
- 1、1 A、1 B、1 C、1 D、1 E 回路基板
 - 5 電子部品
 - 6 バンプ
 - 1 0 基板本体
 - 1 0 a 基板本体の主面
 - A 1、A 2 ビア導体群
 - C p パッド電極の中心
 - C v ビア導体の中心
 - D p 2つのパッド電極の中心間距離

D_v 2つのビア導体の中心間距離

l_p 2つのパッド電極の間隔

l_v 2つのビア導体の間隔

p 、 p_1 、 p_2 、 $p_{11} \sim p_{18}$ 、 $p_{21} \sim p_{28}$ 、 $p_{31} \sim p_{40}$

パッド電極

v 、 $v_1 \sim v_4$ 、 $v_{11} \sim v_{18}$ 、 $v_{21} \sim v_{28}$ 、 $v_{31} \sim v_{40}$

ビア導体

請求の範囲

- [請求項1] 基板本体と、
 前記基板本体の内部から主面に露出するように、前記基板本体に設けられている複数のビア導体と、
 電子部品を接続するためのパッド電極であって、前記複数のビア導体のそれぞれと接続するように、前記基板本体の主面に設けられている複数のパッド電極と
 を備える回路基板であって、
 前記複数のパッド電極のうちの、少なくとも、2つのパッド電極の中心間距離が、前記パッド電極のそれぞれに接続する2つの前記ビア導体の中心間距離よりも大きく、
 前記2つのパッド電極の間隔が、前記2つのビア導体の間隔以上である
 回路基板。
- [請求項2] 前記2つのパッド電極は、前記2つのビア導体の少なくとも一部が露出するように形成されている
 請求項1に記載の回路基板。
- [請求項3] 前記2つのパッド電極は、前記2つのパッド電極のそれぞれに接続する前記ビア導体の隣に位置する前記ビア導体からそれぞれ離れる方向で、かつ、隣り合う前記ビア導体どうしの間隔よりも隣に位置する前記ビア導体から離れて設けられている
 請求項1または2に記載の回路基板。
- [請求項4] 前記電子部品が、 bumps を用いて前記複数のパッド電極に接続されるフリップチップ部品である
 請求項1～3のいずれか1項に記載の回路基板。
- [請求項5] さらに、
 前記回路基板には四角形状の前記電子部品が接合され、
 前記回路基板を平面視した場合に、

前記2つのパッド電極が、前記電子部品の外周の対向する2辺の近傍にそれぞれ位置している

請求項1～4のいずれか1項に記載の回路基板。

[請求項6]

さらに、

前記回路基板には四角形状の前記電子部品が接合され、

前記回路基板を平面視した場合に、

前記2つのパッド電極が、前記電子部品の四隅のうちの2箇所それぞれ位置している

請求項1～4のいずれか1項に記載の回路基板。

[請求項7]

前記回路基板を平面視して、前記複数のビア導体の最小ピッチの2倍以内の距離で隣り合うそれぞれのビア導体をひとくくりとするビア導体群を規定した場合に、

前記2つのパッド電極が、前記ビア導体群の外寄りに位置する前記2つのビア導体にそれぞれ接続されている

請求項1～4のいずれか1項に記載の回路基板。

[請求項8]

前記回路基板を平面視して、前記複数のビア導体の最小ピッチの2倍以内の距離で隣り合うそれぞれのビア導体をひとくくりとするビア導体群を規定した場合に、

前記2つのパッド電極が、前記ビア導体群の外寄りの角に位置する前記2つのビア導体にそれぞれ接続されている

請求項1～4のいずれか1項に記載の回路基板。

[請求項9]

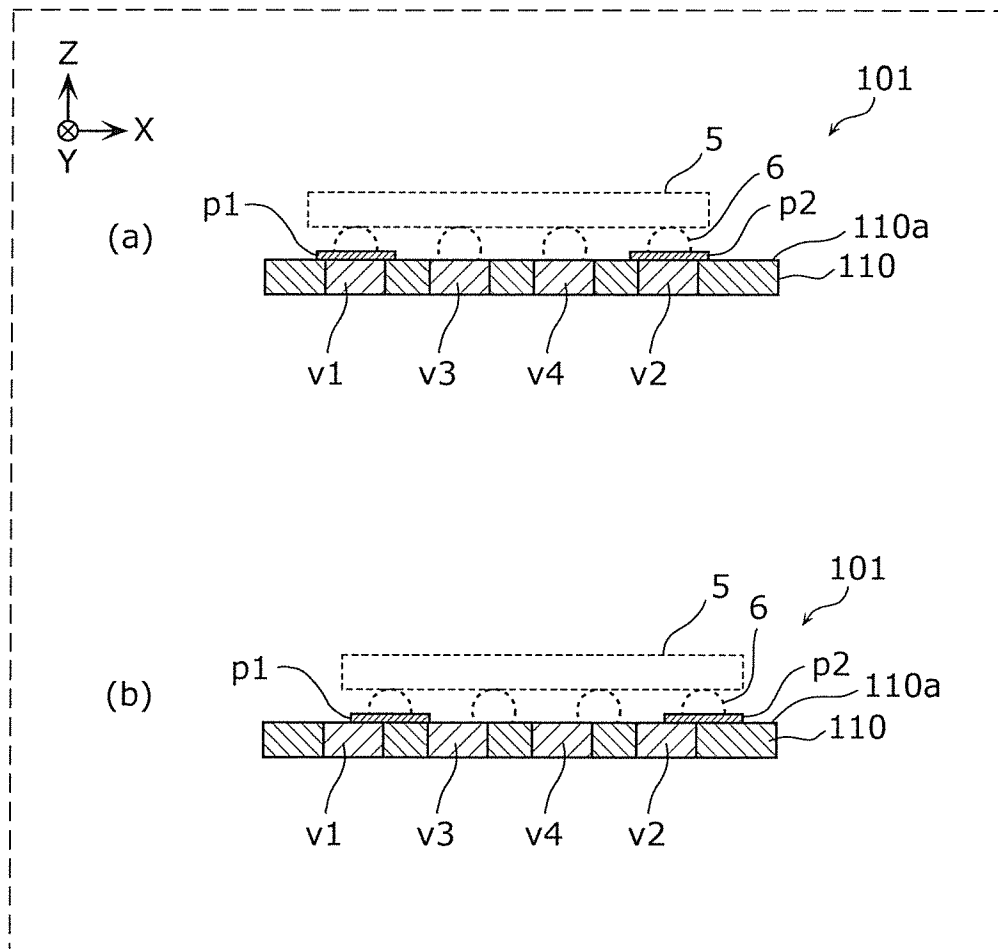
基板本体の主面に露出して設けられた複数のビア導体のそれぞれと接続するように、前記基板本体の主面に複数のパッド電極を配置するための回路基板の設計方法であって、

前記複数のパッド電極のうちの、2つのパッド電極が並ぶ方向において、前記2つのパッド電極のそれぞれの中心が、前記2つのパッド電極にそれぞれ接続する2つの前記ビア導体のそれぞれの中心よりも外側に位置し、かつ、前記2つのパッド電極の内側の縁が、前記2つ

のビア導体の内側の縁よりもそれぞれ外側に位置するように、前記 2
つのパッド電極の配置を決定する
回路基板の設計方法。

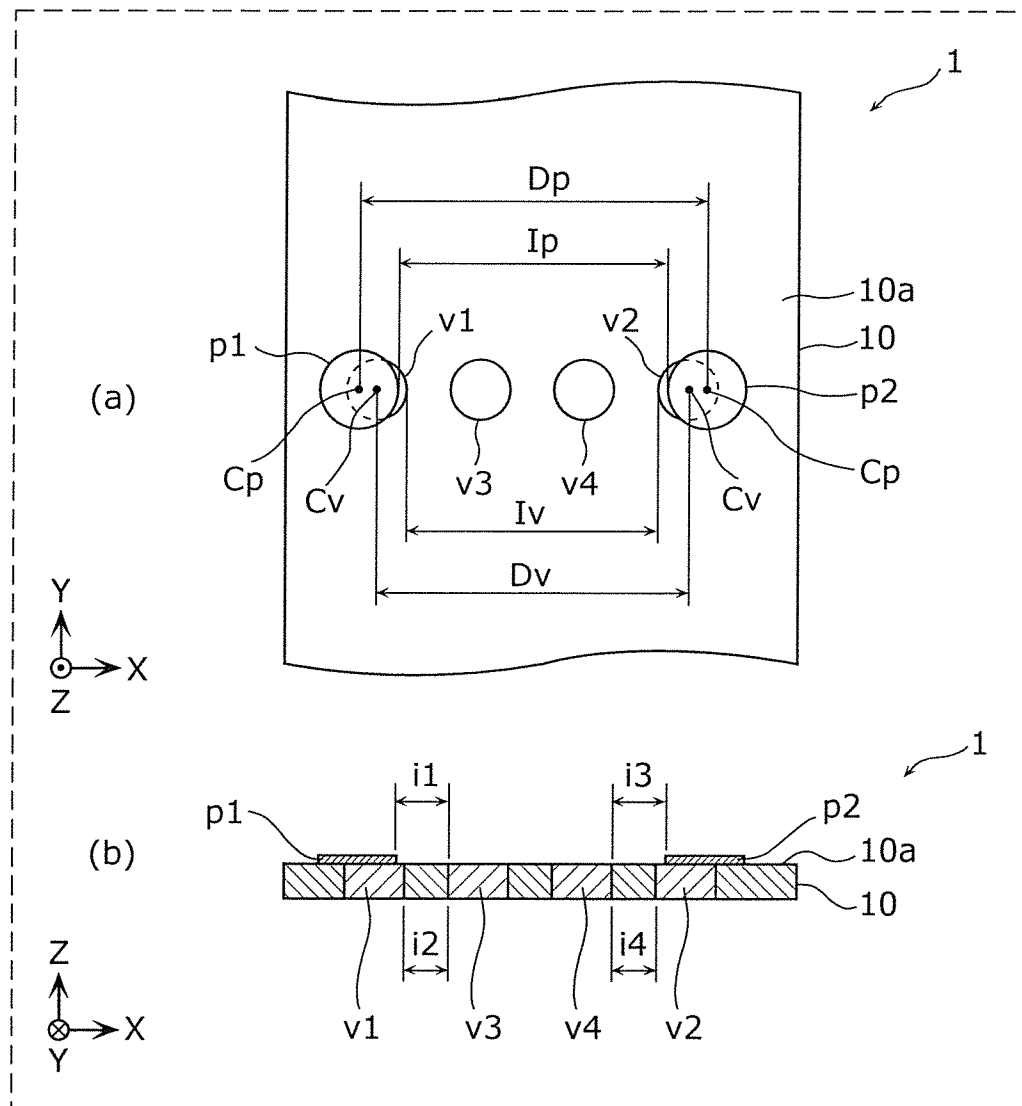
[図1]

図1



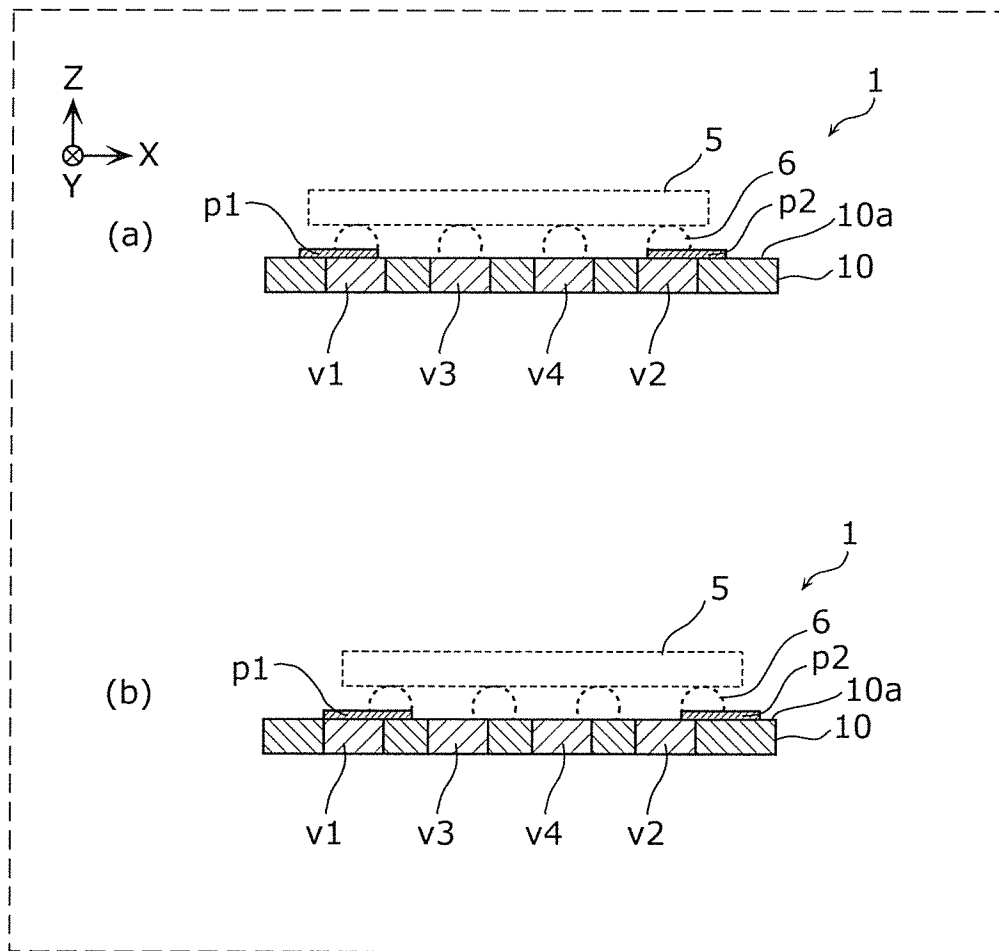
[図2]

图2



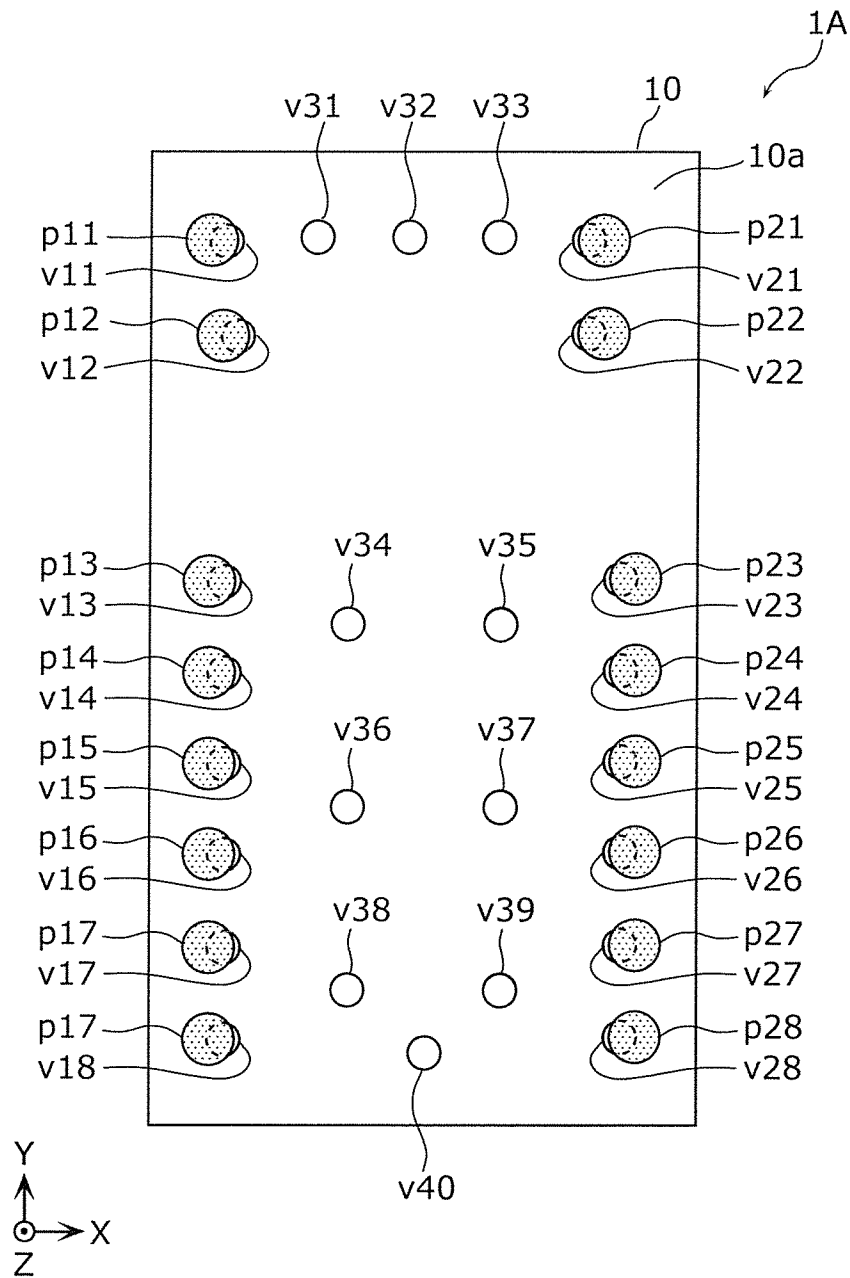
[図3]

図3



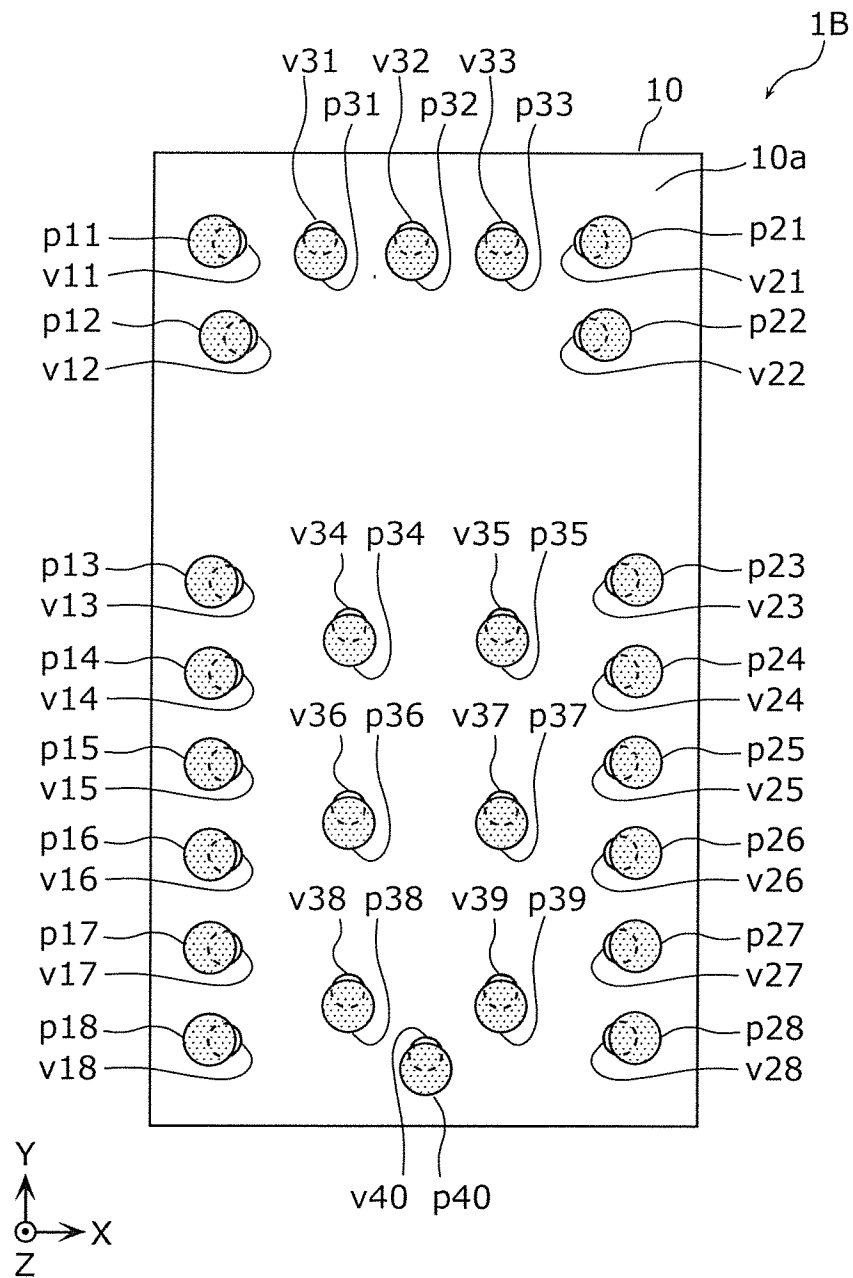
[図4]

図4



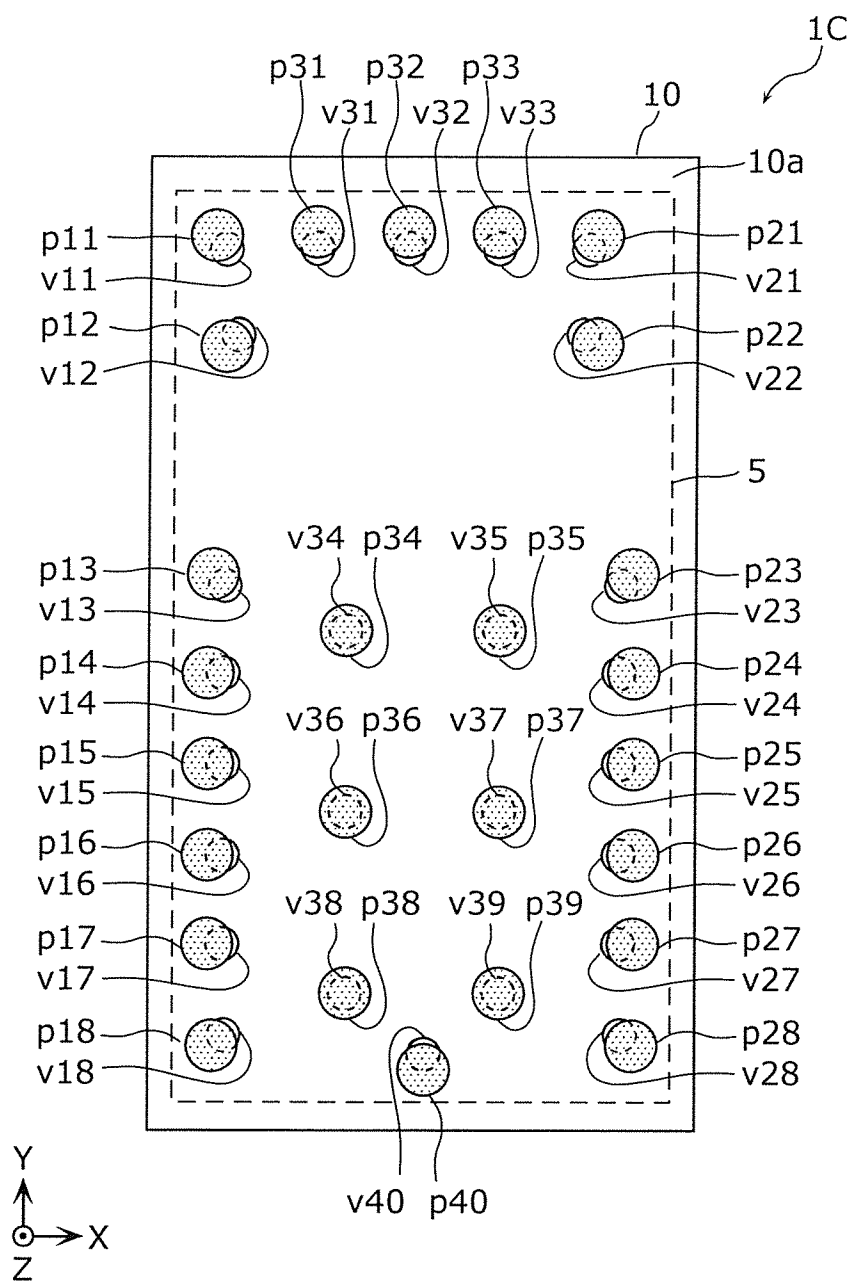
[図5]

図5



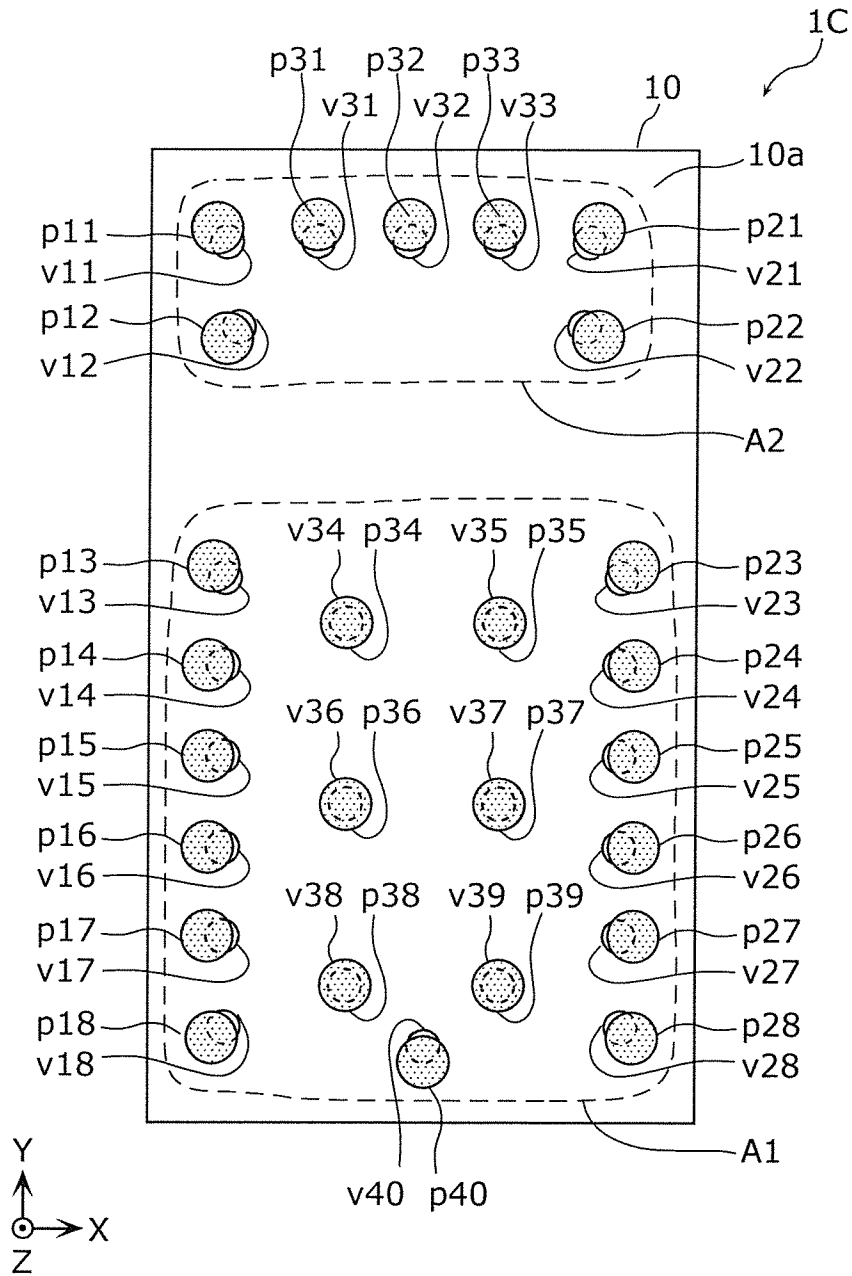
[図6]

図6



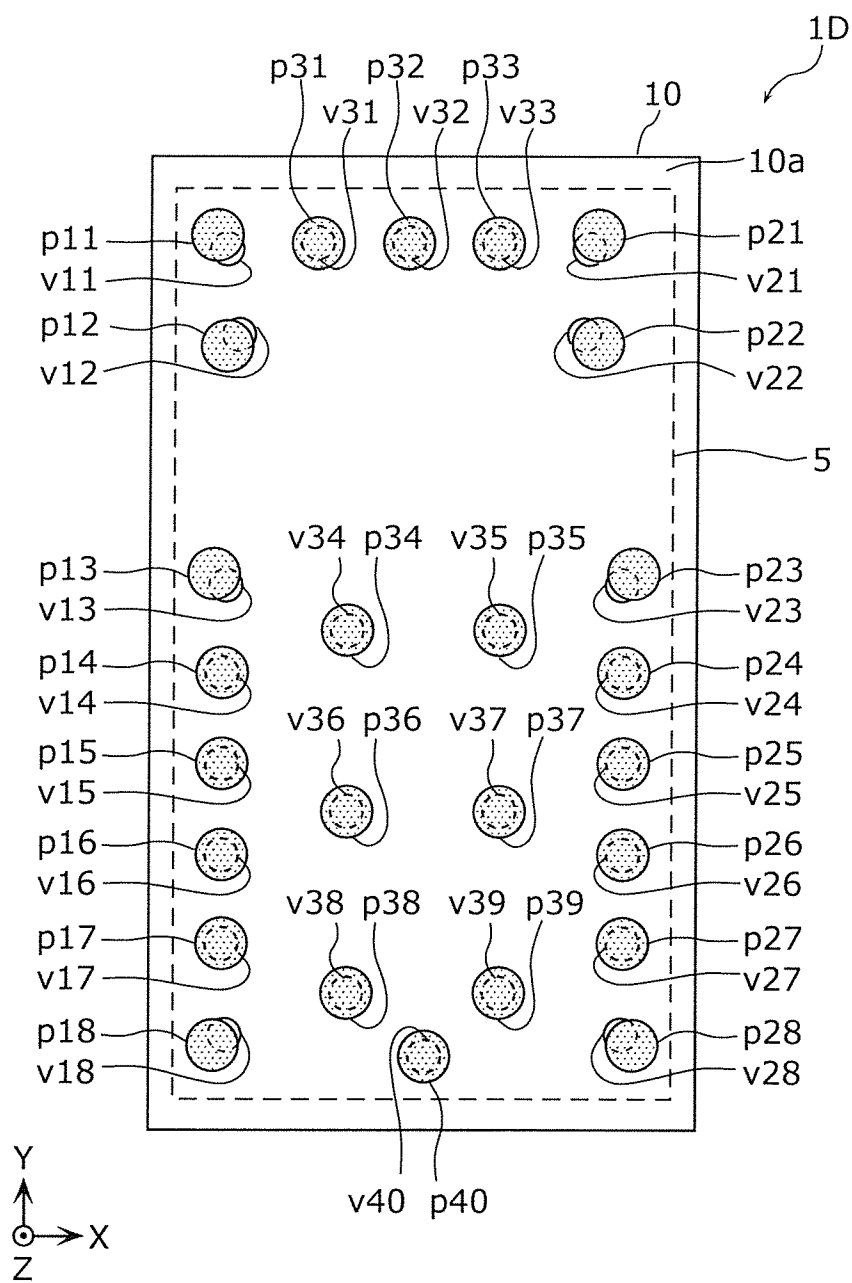
[図7]

図7



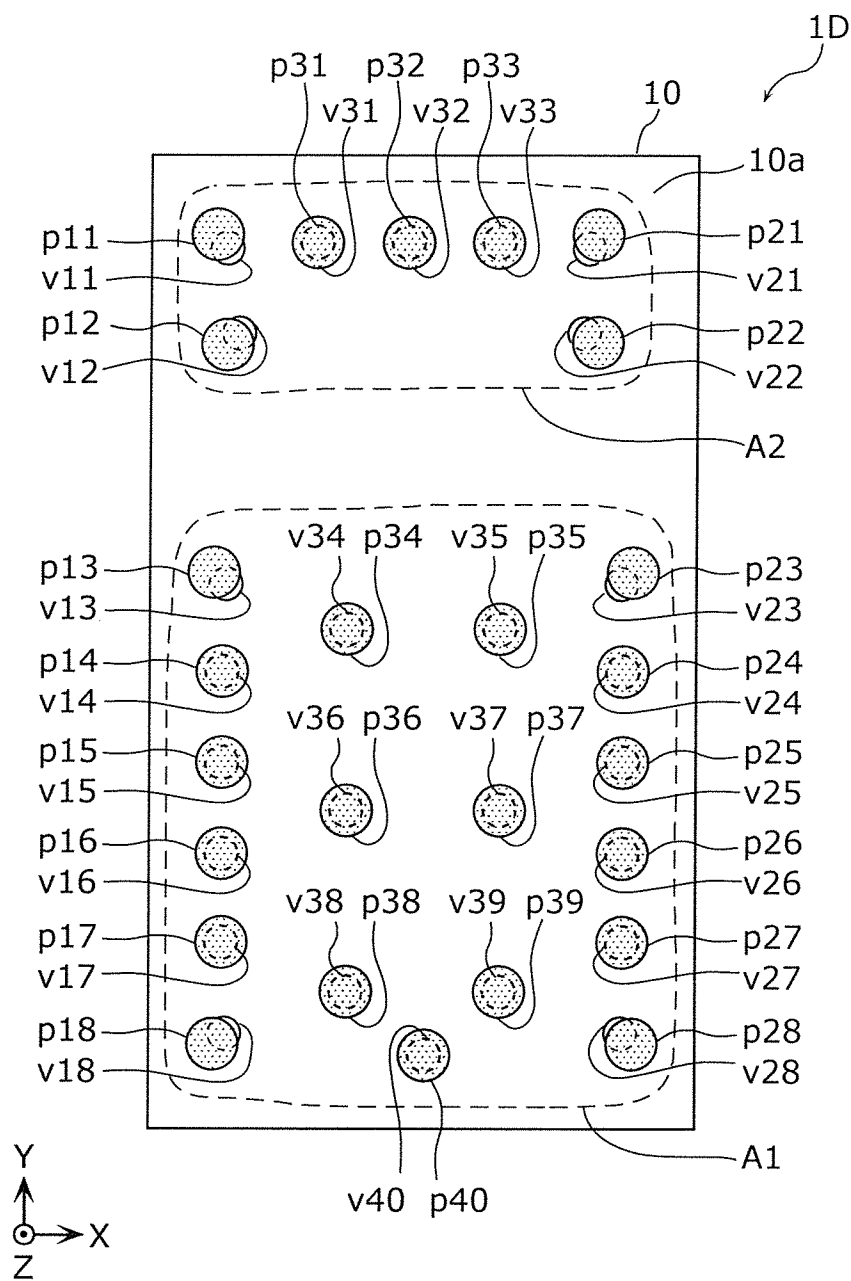
[図8]

図8



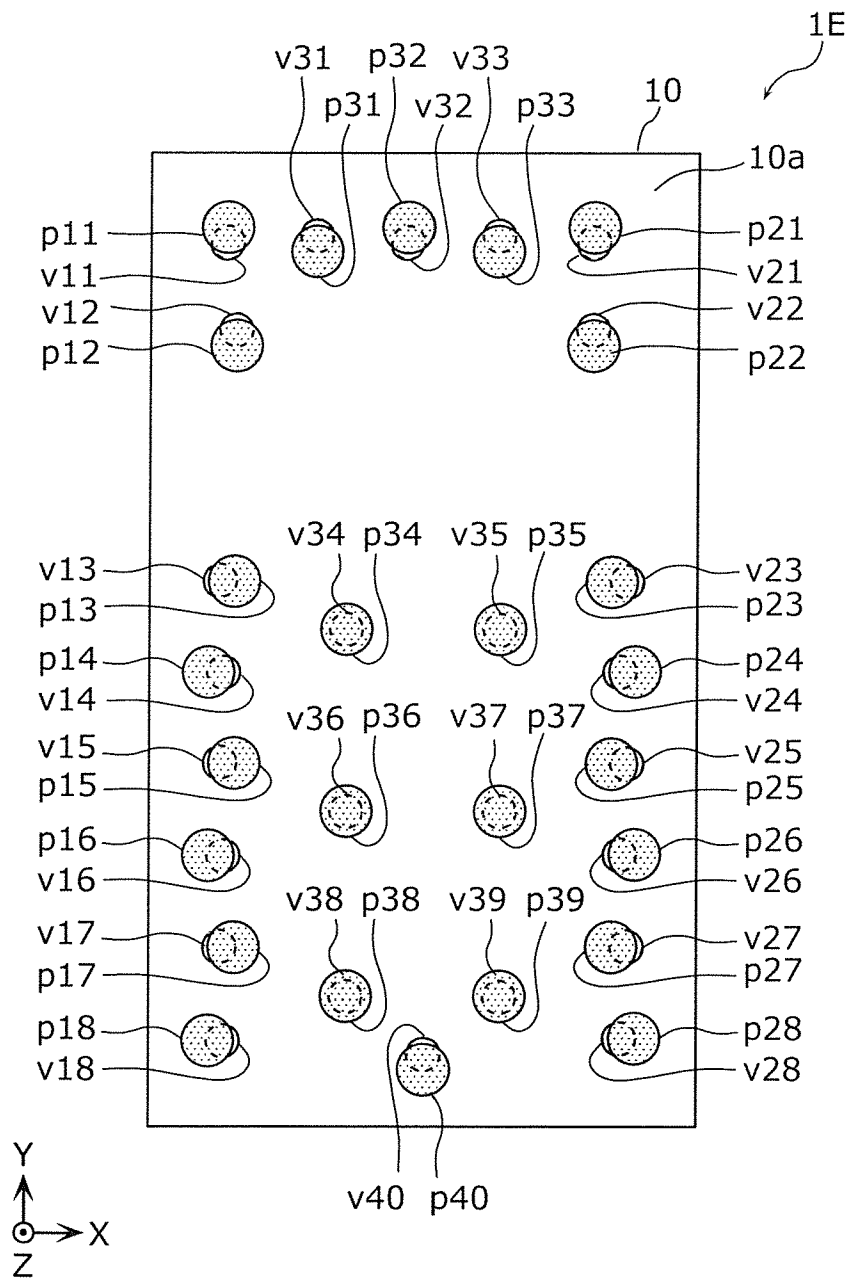
[図9]

図9



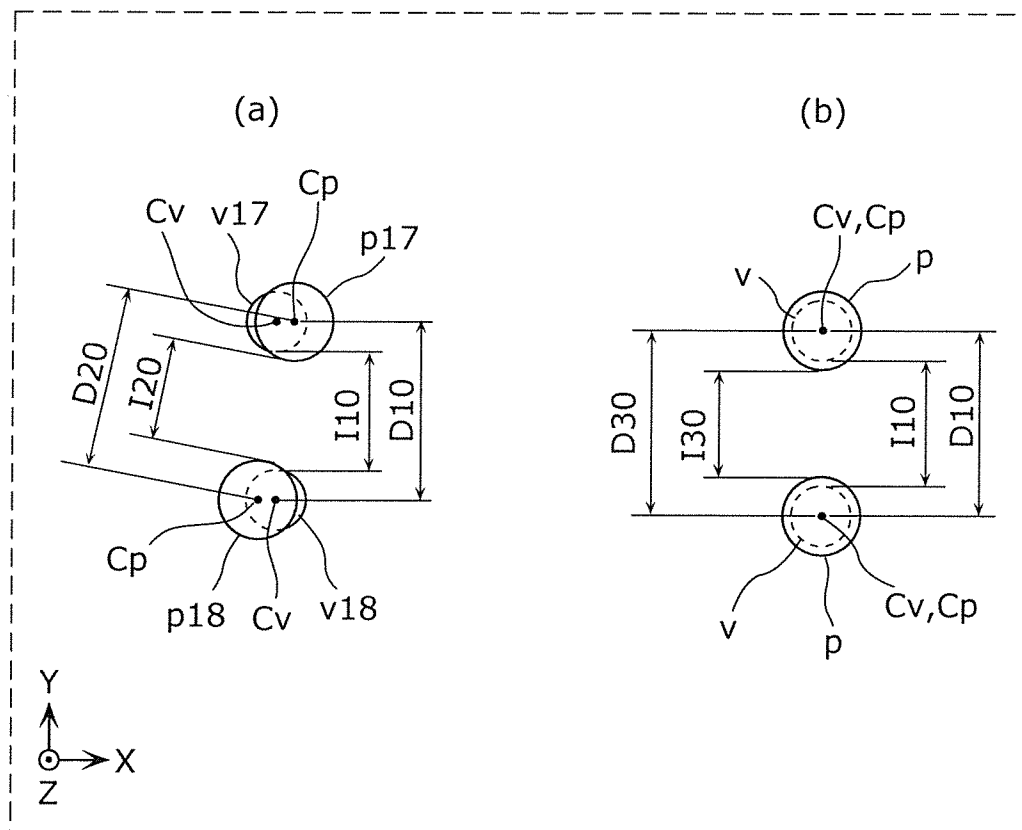
[図10]

図10



[図11]

図11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/078793

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/12(2006.01)i, H01L23/13(2006.01)i, H05K1/02(2006.01)i, H05K3/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12, H01L23/13, H05K1/02, H05K3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-313984 A (Hitachi AIC Inc.), 25 October 2002 (25.10.2002), paragraphs [0006] to [0009], [0015] to [0019], [0023]; fig. 2 to 3, 7 to 9 (Family: none)	1-5, 7, 9 6, 8
Y A	JP 10-223803 A (Ibiden Co., Ltd.), 21 August 1998 (21.08.1998), paragraphs [0002], [0024] to [0036]; fig. 1 to 4, 11 to 12 (Family: none)	6, 8 1-5, 7, 9
A	JP 9-321172 A (Toshiba Corp.), 12 December 1997 (12.12.1997), paragraphs [0014] to [0027]; fig. 1 to 6 (Family: none)	1-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
29 November 2016 (29.11.16)

Date of mailing of the international search report
13 December 2016 (13.12.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/078793

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2006/0284310 A1 (LSI LOGIC CORP.), 21 December 2006 (21.12.2006), paragraphs [0006] to [0016]; fig. 1 (Family: none)	2-8

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L23/12(2006.01)i, H01L23/13(2006.01)i, H05K1/02(2006.01)i, H05K3/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L23/12, H01L23/13, H05K1/02, H05K3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 6 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2002-313984 A（日立エーアイシー株式会社） 2002.10.25, 段落[0006]-[0009]、[0015]-[0019]、[0023]、図2-3、 7-9 (ファミリーなし)	1-5, 7, 9 6, 8
Y A	JP 10-223803 A（イビデン株式会社） 1998.08.21, 段落[0002]、[0024]-[0036]、図1-4、11-12 (ファミリーなし)	6, 8 1-5, 7, 9

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 9 . 1 1 . 2 0 1 6

国際調査報告の発送日

1 3 . 1 2 . 2 0 1 6

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

麻川 倫広

5 D

4 4 4 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 9-321172 A (株式会社東芝) 1997. 12. 12, 段落[0014]-[0027]、図 1-6 (ファミリーなし)	1-9
A	US 2006/0284310 A1 (LSI LOGIC CORPORATION) 2006. 12. 21, [0006]-[0016]、図 1 (ファミリーなし)	2-8