

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7402053号  
(P7402053)

(45)発行日 令和5年12月20日(2023.12.20)

(24)登録日 令和5年12月12日(2023.12.12)

(51)国際特許分類	F I			
G 0 9 F 9/30 (2006.01)	G 0 9 F	9/30	3 3 8	
G 0 9 G 3/3233(2016.01)	G 0 9 F	9/30	3 6 5	
G 0 9 G 3/20 (2006.01)	G 0 9 G	3/3233		
H 0 1 L 29/786(2006.01)	G 0 9 G	3/20	6 2 4 B	
H 1 0 K 59/12 (2023.01)	G 0 9 G	3/20	6 1 1 H	
請求項の数 15 (全19頁) 最終頁に続く				

(21)出願番号	特願2019-570502(P2019-570502)	(73)特許権者	510280589
(86)(22)出願日	平成31年1月10日(2019.1.10)		京東方科技集團股 ぶん 有限公司
(65)公表番号	特表2021-521471(P2021-521471 A)		BOE TECHNOLOGY GROU P CO., LTD.
(43)公表日	令和3年8月26日(2021.8.26)		中華人民共和國 1 0 0 0 1 5 北京市朝陽 區酒仙橋路 1 0 號
(86)国際出願番号	PCT/CN2019/071187		No. 10 Jiuxianqiao R d., Chaoyang Distri ct, Beijing 100015, CHINA
(87)国際公開番号	WO2019/218713	(73)特許権者	519385216
(87)国際公開日	令和1年11月21日(2019.11.21)		北京京 東 方 技 術 開 発 有 限 公 司
審査請求日	令和4年1月6日(2022.1.6)		BEIJING BOE TECHNOL OGY DEVELOPMENT CO.
(31)優先権主張番号	201820713468.9		最終頁に続く
(32)優先日	平成30年5月14日(2018.5.14)		
(33)優先権主張国・地域又は機関	中国(CN)		
前置審査			

(54)【発明の名称】 表示パネル及び表示装置

(57)【特許請求の範囲】

【請求項 1】

画素回路構造、データ線及び電圧信号線を備える表示パネルであって、  
基板を含み、

前記データ線は、データ信号を提供するように前記画素回路構造に接続され、  
前記電圧信号線は、一定の電圧信号である電圧信号を提供するように、前記画素回路構造に接続され、  
前記画素回路構造は、前記データ線と前記電圧信号線の間に提供された第1安定化容量を含み、

前記表示パネルは、ゲート線及び発光素子をさらに備え、  
前記ゲート線は、走査信号を提供するように前記画素回路構造に接続され、  
前記画素回路構造は、前記発光素子に電氣的に接続される共に、前記走査信号及び前記データ信号の制御下で駆動電流を出力して、発光素子を発光させるように駆動する、駆動トランジスタをさらに含み、  
前記第1安定化容量の容量値は、前記データ線と前記駆動トランジスタのゲートとの間の寄生容量の10倍以上であり、  
前記第1安定化容量の一端のレベルが前記データ信号のレベルであり、前記第1安定化容量の他端のレベルが前記電圧信号のレベルであり、  
前記第1安定化容量は第1容量電極と第2容量電極を含み、  
前記第1容量電極は前記電圧信号線に電氣的に接続され、前記第2容量電極は前記データ

線に電氣的に接続され、

前記第 1 安定化容量の容量値は、前記第 1 容量電極と前記第 2 容量電極の間の距離、中間絶縁層の材料、及び両者の重なり領域を設計することによって調整でき、

前記電圧信号線と前記データ線は同層に配置され、且つ延在方向が同一であり、前記第 1 容量電極はデータ線の前記基板に近い側に位置し、前記データ線を押し上げるように機能し、

前記画素回路構造は、第 2 安定化容量及び第 3 安定化容量をさらに含み、前記第 2 安定化容量は前記データ線と前記駆動トランジスタの第 1 極の間に位置し、前記第 3 安定化容量は前記電圧信号線と前記駆動トランジスタの第 1 極との間にあり、前記第 2 安定化容量の存在により、前記データ線と前記駆動トランジスタのゲートとの間に位置する寄生容量の前記駆動トランジスタのゲート信号への干渉がより低減され、前記第 3 安定化容量の存在により、前記電圧信号線と前記駆動トランジスタのゲートとの間に位置する寄生容量の駆動トランジスタのゲート信号への干渉が低減される、

10

表示パネル。

【請求項 2】

前記画素回路構造、前記ゲート線、前記データ線、及び前記電圧信号線は前記基板に位置し、前記第 1 容量電極及び第 2 容量電極とは、前記基板に垂直な方向において互いに重なり合う、請求項 1 に記載の表示パネル。

【請求項 3】

前記表示パネルは、前記データ線と前記第 1 容量電極の間に位置する層間絶縁層をさらに含み、前記第 1 容量電極は、前記層間絶縁層を貫通するビアホールを介して前記電圧信号線に電氣的に接続される、請求項 2 に記載の表示パネル。

20

【請求項 4】

補償トランジスタをさらに備え、

前記駆動トランジスタの第 1 極と第 2 極は、それぞれ前記電圧信号線と前記発光素子に接続され；

前記補償トランジスタの第 1 極と第 2 極は、それぞれ前記駆動トランジスタの第 2 極とゲートに接続され、前記補償トランジスタのゲートは前記ゲート線に接続される、請求項 2 又は請求項 3 に記載の表示パネル。

【請求項 5】

前記補償トランジスタは、第 1 極領域、第 2 極領域、及び第 1 極領域と第 2 極領域との間に位置するチャンネル領域を含む活性層を含み、前記第 1 極領域と第 2 極領域は導体領域であり、

30

前記表示パネルは、前記第 2 極領域と前記駆動トランジスタのゲートとを接続する第 1 接続電極をさらに含む、請求項 4 に記載の表示パネル。

【請求項 6】

前記画素回路構造は、第 1 極と第 2 極がそれぞれ電圧信号線と前記駆動トランジスタのゲートに電氣的に接続される蓄積容量をさらに含み、

前記蓄積容量の第 1 極は、前記第 1 容量電極と同層に配置されると共に、前記駆動トランジスタのゲートとは前記基板に垂直な方向において互いに重なり合う、請求項 5 に記載の表示パネル。

40

【請求項 7】

前記蓄積容量の第 1 極と前記データ線とは、前記基板に垂直な方向において互いに重なり合う、請求項 6 に記載の表示パネル。

【請求項 8】

前記蓄積容量の第 1 極には開口部が設けられ、前記第 1 接続電極は、前記開口部を介して前記駆動トランジスタのゲートに電氣的に接続される、請求項 6 又は請求項 7 に記載の表示パネル。

【請求項 9】

発光制御信号線、リセット制御信号線、及び初期化信号線をさらに備え、前記画素回路構

50

造は、データ書き込みトランジスタ、第1発光制御トランジスタ、第2発光制御トランジスタ、第1リセットトランジスタ及び第2リセットトランジスタをさらに含み、

前記データ書き込みトランジスタの第1極と第2極は、それぞれ前記データ線と前記駆動トランジスタの第1極に電氣的に接続され、前記データ書き込みトランジスタのゲートは前記ゲート線に電氣的に接続され；

前記第1発光制御トランジスタのゲートは発光制御信号線に電氣的に接続され、前記第1発光制御トランジスタの第1極と第2極は、それぞれ前記電圧信号線と前記駆動トランジスタの第1極に電氣的に接続され；

前記第2発光制御トランジスタのゲートは前記発光制御信号線に電氣的に接続され、前記第2発光制御トランジスタの第1極と第2極は、それぞれ前記駆動トランジスタの第2極と前記発光素子の第1極に電氣的に接続され；

10

前記第1リセットトランジスタのゲートはリセット制御信号線に電氣的に接続され、前記第1リセットトランジスタの第1極と第2極は、それぞれ前記初期化信号線と前記駆動トランジスタのゲートに電氣的に接続され；

前記第2リセットトランジスタのゲートは前記リセット制御信号線と電氣的に接続され、前記第2リセットトランジスタの第1極と第2極は、それぞれ初期化信号線と前記発光素子の第1極に電氣的に接続される、請求項5～8のいずれか1項に記載の表示パネル。

【請求項10】

前記電圧信号線は、電源線を含む、請求項1～9のいずれか1項に記載の表示パネル。

【請求項11】

20

基板、及び基板に位置する画素回路構造、発光素子、ゲート線、データ線、第1電源線、第2電源線、発光制御信号線、初期化信号線、及びリセット制御信号線を備える表示パネルであって、前記画素回路構造は、蓄積容量、駆動トランジスタ、データ書き込みトランジスタ、補償トランジスタ、第1発光制御トランジスタ、第2発光制御トランジスタ、第1リセットトランジスタ、及び第2リセットトランジスタを含み、

前記蓄積容量の第1極は前記第1電源線に電氣的に接続され、前記蓄積容量の第2極は第1接続電極を介して前記補償トランジスタの第2極に電氣的に接続され；

前記データ書き込みトランジスタのゲートは前記ゲート線と電氣的に接続され、前記データ書き込みトランジスタの第1極と第2極は、それぞれ前記データ線、前記駆動トランジスタの第1極に電氣的に接続され；

30

前記補償トランジスタのゲートは前記ゲート線に電氣的に接続され、前記補償トランジスタの第1極と第2極は、それぞれ前記駆動トランジスタの第2極とゲートに電氣的に接続され；

前記第1発光制御トランジスタのゲートは前記発光制御信号線に電氣的に接続され、前記第1発光制御トランジスタの第1極と第2極は、それぞれ前記第1電源線と前記駆動トランジスタの第1極に電氣的に接続され；

前記第2発光制御トランジスタのゲートは前記発光制御信号線に電氣的に接続され、前記第2発光制御トランジスタの第1極と第2極は、それぞれ前記駆動トランジスタの第2極、前記発光素子の第1極に電氣的に接続され；

前記第1リセットトランジスタのゲートはリセット制御信号線に電氣的に接続され、前記第1リセットトランジスタの第1極と第2極は、それぞれ前記初期化信号線と前記駆動トランジスタのゲートに電氣的に接続され；

40

前記第2リセットトランジスタのゲートは前記リセット制御信号線と電氣的に接続され、前記第2リセットトランジスタの第1極と第2極は、それぞれ初期化信号線と前記発光素子の第1極に電氣的に接続され；

前記発光素子の第2極は、前記第2電源線に電氣的に接続され；

前記画素回路構造は前記データ線と前記第1電源線の間に位置する第1安定化容量をさらに含み、前記第1安定化容量は第1容量電極を含み、且つ前記第1電源線は前記画素回路構造に一定の電圧信号を提供し、

前記データ線は、データ信号を提供するように前記画素回路構造に接続され、

50

前記第 1 安定化容量の容量値は、前記データ線と前記駆動トランジスタのゲートとの間の寄生容量の 10 倍以上であり、

前記第 1 安定化容量の一端のレベルが前記データ信号のレベルであり、前記第 1 安定化容量の他端のレベルが前記電圧信号のレベルであり、

前記第 1 安定化容量は前記データ線に電氣的に接続される第 2 容量電極をさらに含み、電圧信号線と前記データ線は同層に配置され、且つ延在方向が同一であり、前記第 1 容量電極はデータ線の前記基板に近い側に位置し、前記データ線を押し上げるように機能し、

前記第 1 安定化容量の容量値は、前記第 1 容量電極と前記第 2 容量電極の間の距離、中間絶縁層の材料、及び両者の重なり領域を設計することによって調整でき、

前記画素回路構造は、第 2 安定化容量及び第 3 安定化容量をさらに含み、前記第 2 安定化容量は前記データ線と前記駆動トランジスタの第 1 極の間に位置し、前記第 3 安定化容量は前記電圧信号線と前記駆動トランジスタの第 1 極との間にあり、前記第 2 安定化容量の存在により、前記データ線と前記駆動トランジスタのゲートとの間に位置する寄生容量の前記駆動トランジスタのゲート信号への干渉がより低減され、前記第 3 安定化容量の存在により、前記第 1 電源線と前記駆動トランジスタのゲートとの間に位置する寄生容量の駆動トランジスタのゲート信号への干渉が低減される、

表示パネル。

【請求項 1 2】

前記ゲート線、前記駆動トランジスタのゲートと前記蓄積容量の第 2 極は、同層に配置され、

前記第 1 容量電極、前記初期化信号線、前記蓄積容量の第 1 極は同層に配置され、

前記データ線、前記第 1 電源線と前記第 1 接続電極は、同層に配置され、

前記第 1 容量電極と前記データ線とは、前記基板に垂直な方向において互いに重なり合う、請求項 1 1 に記載の表示パネル。

【請求項 1 3】

前記補償トランジスタ及び前記第 1 リセットトランジスタは、金属酸化物半導体薄膜トランジスタ又はダブルゲート薄膜トランジスタである、請求項 1 1 又は請求項 1 2 に記載の表示パネル。

【請求項 1 4】

前記第 1 容量電極は前記第 1 電源線に電氣的に接続され、前記第 1 容量電極と前記第 2 容量電極とは、前記基板に垂直な方向において互いに重なり合い、

前記表示パネルは前記データ線と前記第 1 容量電極の間に位置する層間絶縁層をさらに含み、前記第 1 容量電極は、前記層間絶縁層を貫通するビアホールを介して前記第 1 電源線に電氣的に接続され、

前記蓄積容量の第 1 極と前記駆動トランジスタのゲートとは、前記基板に垂直な方向において互いに重なり合い；

前記蓄積容量の第 1 極と前記データ線とは、前記基板に垂直な方向において互いに重なり合い；

前記蓄積容量の第 1 極には開口部が設けられ、前記第 1 接続電極は前記開口部を介して前記駆動トランジスタのゲートに電氣的に接続される、請求項 1 1 ~ 1 3 のいずれか 1 項に記載の表示パネル。

【請求項 1 5】

請求項 1 ~ 1 4 のいずれか 1 項に記載の表示パネルを備える、表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示の実施例は、表示パネル及び表示装置に関するものである。

【背景技術】

【0002】

表示技術の分野において、有機発光ダイオード（OLED）表示パネルは、自発光、高コ

10

20

30

40

50

ントラスト比、低消費電力、広視野角、高速応答、可撓性パネルに好適であり、温度範囲が広く、製造方法が簡単などの利点を有し、より幅広い適用が期待される。

【発明の概要】

【0003】

本開示の実施例は、表示パネルと表示装置を提供する。

【0004】

本開示の実施例に係る表示パネルは、画素回路構造、データ線、及び電圧信号線を備え、前記データ線は、データ信号を提供するように、前記画素回路構造に接続され；前記電圧信号線は、一定の電圧信号である電圧信号を提供するように前記画素回路構造に接続され；前記画素回路構造は、前記データ線と前記電圧信号線の間提供される第1安定化容量を含む。

10

【0005】

例えば、表示パネルは、ゲート線及び発光素子をさらに含み、そして、走査信号を提供するように、前記ゲート線は前記画素回路構造に接続され；前記画素回路構造は、駆動トランジスタをさらに含み、前記駆動トランジスタは発光素子に電氣的に接続されると共に、前記走査信号及び前記データ信号の制御下で駆動電流を出力して、発光素子を発光させるように駆動する。

【0006】

例えば、前記第1安定化容量の容量値は、前記データ線と前記駆動トランジスタのゲートとの間に位置する寄生容量の10倍よりも大きい。

20

【0007】

例えば、前記第1安定化容量は第1容量電極と第2容量電極を含み、前記第1容量電極は前記電圧信号線に電氣的に接続され、前記第2容量電極は前記データ線に電氣的に接続される。

【0008】

例えば、前記表示パネルは、基板をさらに備え、前記画素回路構造、前記ゲート線、前記データ線、及び前記電圧信号線は前記基板上に配置され、前記第1容量電極と前記第2容量電極とは、前記基板に垂直な方向において互いに重なり合う。

【0009】

例えば、前記電圧信号線と前記データ線は同層に位置し、且つ同じ方向に延在し、前記第1容量電極はデータ線の前記基板に近い側に位置し；前記表示パネルは前記データ線と前記第1容量電極の間に位置する層間絶縁層をさらに含み、前記第1容量電極は、前記層間絶縁層を貫通するビアホールを介して前記電圧信号線に電氣的に接続される。

30

【0010】

例えば、前記表示パネルは、補償トランジスタをさらに含み、前記駆動トランジスタの第1極と第2極は、それぞれ前記電圧信号線と前記発光素子に接続され；前記補償トランジスタの第1極と第2極は、それぞれ前記駆動トランジスタの第2極とゲートに接続され、前記補償トランジスタのゲートは前記走査線に接続される。

【0011】

例えば、前記補償トランジスタは、第1極領域、第2極領域、及び第1極領域と第2極領域との間に位置するチャンネル領域を含む活性層を有する。前記第1極領域と第2極領域は導体領域であり、前記表示パネルは、前記第2極領域と前記駆動トランジスタのゲートに接続する第1接続電極をさらに含む。

40

【0012】

例えば、前記画素回路構造は蓄積容量をさらに含み、前記蓄積容量の第1極と第2極は、それぞれ前記電圧信号線と前記駆動トランジスタのゲートに電氣的に接続され、ここで、前記蓄積容量の第1極は、前記第1容量電極と同層に配置されると共に、前記駆動トランジスタのゲートとは、前記基板に垂直な方向において互いに重なり合う。

【0013】

例えば、前記蓄積容量の第1極と前記データ線とは、前記基板に垂直な方向において互い

50

に重なり合う。

【 0 0 1 4 】

例えば、前記蓄積容量の第 1 極には開口部が配置され、前記第 1 接続電極は、前記開口部を介して駆動トランジスタのゲートに電氣的に接続される。

【 0 0 1 5 】

例えば、前記画素回路構造は、第 2 安定化容量をさらに含み、前記第 2 安定化容量は、前記データ線と前記駆動トランジスタの第 1 極の間に位置するか、若しくは前記電圧信号線と前記駆動トランジスタの第 1 極の間に位置する。又は、前記画素回路構造は、第 2 安定化容量及び第 3 安定化容量をさらに含み、前記第 2 安定化容量及び第 3 安定化容量の一方は前記データ線と前記駆動トランジスタの第 1 極の間に位置し、他方は前記電圧信号線と前記駆動トランジスタの第 1 極との間に位置する。

10

【 0 0 1 6 】

例えば、前記表示パネルは、発光制御信号線、リセット制御信号線、及び初期化信号線をさらに含み、前記画素回路構造は、データ書き込みトランジスタ、第 1 発光制御トランジスタ、第 2 発光制御トランジスタ及び第 1 リセットトランジスタ及び第 2 リセットトランジスタをさらに含み、前記データ書き込みトランジスタの第 1 極と第 2 極は、それぞれ前記データ線と前記駆動トランジスタの第 1 極に電氣的に接続され、前記データ書き込みトランジスタのゲートは前記走査線に電氣的に接続され；前記第 1 発光制御トランジスタのゲートは発光制御信号線に電氣的に接続され、前記第 1 発光制御トランジスタの第 1 極と第 2 極は、それぞれ前記電圧信号線と前記駆動トランジスタの第 1 極に電氣的に接続され；第 2 発光制御トランジスタのゲートは前記発光制御信号線に電氣的に接続され、前記第 2 発光制御トランジスタの第 1 極と第 2 極は、それぞれ前記駆動トランジスタの第 2 極と前記発光素子の第 1 極に電氣的に接続され；前記第 1 リセットトランジスタのゲートはリセット制御信号線に電氣的に接続され、前記第 1 リセットトランジスタの第 1 極と第 2 極は、それぞれ前記初期化信号線と前記駆動トランジスタのゲートと電氣的に接続され；第 2 リセットトランジスタのゲートは前記リセット制御信号線に電氣的に接続され、前記第 2 リセットトランジスタの第 1 極と第 2 極は、それぞれ初期化信号線と前記発光素子の第 1 極に電氣的に接続される。

20

【 0 0 1 7 】

例えば、前記電圧信号線は電源線を含む。

30

【 0 0 1 8 】

本開示の実施例は、基板、及び基板に位置する画素回路構造、発光素子、ゲート線、データ線、第 1 電源線、第 2 電源線、発光制御信号線、初期化信号線、及びリセット信号線を備える表示パネルを提供する。前記画素回路は、蓄積容量、駆動トランジスタ、データ書き込みトランジスタ、補償トランジスタ、第 1 発光制御トランジスタ、第 2 発光制御トランジスタ、第 1 リセットトランジスタ、及び第 2 リセットトランジスタを含む。前記蓄積容量の第 1 極は前記第 1 電源線に電氣的に接続され、前記蓄積容量の第 2 極は第 1 接続電極を介して前記補償トランジスタの第 2 極に電氣的に接続され；前記データ書き込みトランジスタのゲートは前記ゲートと電氣的に接続され、前記データ書き込みトランジスタの第 1 極と第 2 極は、それぞれ前記データ線と前記駆動トランジスタの第 1 極に電氣的に接続され；前記補償トランジスタのゲートは前記ゲートに電氣的に接続され、前記補償トランジスタの第 1 極と第 2 極は、それぞれ前記駆動トランジスタの第 2 極とゲートに電氣的に接続され；前記第 1 発光制御トランジスタのゲートは前記発光制御信号線に電氣的に接続され、前記第 1 発光制御トランジスタの第 1 極と第 2 極は、それぞれ前記第 1 電源線と前記駆動トランジスタの第 1 極に電氣的に接続され；前記第 2 発光制御トランジスタのゲートは前記発光制御信号線に電氣的に接続され、前記第 2 発光制御トランジスタの第 1 極と第 2 極は、それぞれ前記駆動トランジスタの第 2 極と前記発光素子の第 1 極に電氣的に接続され；前記第 1 リセットトランジスタのゲートはリセット制御信号線に電氣的に接続され、前記第 1 リセットトランジスタの第 1 極と第 2 極は、それぞれ前記初期化信号線と前記駆動トランジスタのゲートに電氣的に接続され；第 2 リセットトランジスタのゲート

40

50

は前記リセット制御信号線に電氣的に接続され、前記第2リセットトランジスタの第1極と第2極は、それぞれ前記初期化信号線と前記発光素子の第1極に電氣的に接続され；前記発光素子の第2極は前記第2電源線に電氣的に接続され；前記画素回路構造は前記データ線と前記第1電源線の間位置する第1安定化容量をさらに含み、前記第1安定化容量は第1容量電極を含み、また、前記第1電源線は前記画素回路構造に一定の電圧信号を提供する。

【0019】

例えば、前記ゲート線、前記駆動トランジスタのゲート、及び前記蓄積容量の第2極は同層に配置され、前記第1容量電極、前記初期化信号線、前記蓄積容量の第1極は同層に配置され、前記データ線、前記第1電源線、及び第1接続電極は同層に配置される。前記第1容量電極と前記データ線とは、前記基板に垂直な方向において互いに重なり合う。

10

【0020】

例えば、前記補償トランジスタ及び前記第1リセットトランジスタは、金属酸化物半導体薄膜トランジスタ又はダブルゲート薄膜トランジスタである。

【0021】

例えば、前記第1容量電極は前記第1電源線に電氣的に接続され、前記第1安定化容量は前記データ線に電氣的に接続される第2容量電極をさらに含み、前記第1容量電極と前記第2容量電極とは、前記基板に垂直な方向において互いに重なり合う。

【0022】

例えば、前記第1容量電極は前記データ線の前記基板に近い側に位置し；前記表示パネルは前記データ線と前記第1容量電極の間位置する層間絶縁層をさらに含み、前記第1容量電極は、前記層間絶縁層を貫通するビアホールを介して前記第1電源線に電氣的に接続される。

20

【0023】

例えば、前記蓄積容量の第1極と前記駆動トランジスタのゲートとは、前記基板に垂直な方向において互いに重なり合い；前記蓄積容量の第1極と前記データ線とは、前記基板に垂直な方向において互いに重なり合い；前記蓄積容量の第1極には開口部が設けられ、前記第1接続電極は開口部を介して前記駆動トランジスタのゲートに電氣的に接続される。

【0024】

例えば、前記画素回路構造は、第2安定化容量をさらに含み、前記第2安定化容量は、前記データ線と前記駆動トランジスタの第1極の間に位置するか、若しくは、前記第1電源線と前記駆動トランジスタの第1極の間に位置する。又は、前記画素回路構造は、第2安定化容量及び第3安定化容量をさらに含み、前記第2安定化容量及び第3安定化容量の一方は前記データ線と前記駆動トランジスタの第1極の間に位置し、他方は前記第1電源線と前記駆動トランジスタの第1極との間に位置する。

30

【0025】

本開示の実施例は、上述の表示パネルを備える表示装置を提供する。

【図面の簡単な説明】

【0026】

本開示の実施例の技術案をより明確に説明するため、以下、実施例又は関連技術の説明に必要な図面を簡単に説明する。無論、以下の説明における図面は、本開示の実施例の一部のみであり、本開示を限定するとは意図しない。

40

【0027】

【図1】本開示の実施例に係る表示パネルの構造を示す図である。

【0028】

【図2】本開示の実施例に係る表示パネルの概略平面図である。

【0029】

【図3】本開示の実施例に係る表示パネルの1つの画素単位のタイミング信号図である。

【0030】

【図4】本開示の他の実施例に係る表示パネルの構造を示す図である。

50

【 0 0 3 1 】

【 図 5 】 本開示の実施例に係る表示パネルの概略平面図である。

【 0 0 3 2 】

【 図 6 】 図 5 における表示パネルの切断線 I - I ' に沿った断面図である。

【 0 0 3 3 】

【 図 7 】 図 5 における表示パネルの切断線 I I - I I ' に沿った断面図である。

【 発明を実施するための形態 】

【 0 0 3 4 】

以下、図面を参照して、本開示の実施例における技術案を、添付の図面に示される後述で詳述される非限定的な例示的な実施例を参照して、明確かつ完全に説明し、特に本開示における実施例とそれらの様々な特徴及び有利な細部を全面的に説明する。図面に示される特徴は必ずしも縮尺通りに描かれていないことに注意されたい。本開示は、本開示の例示的な実施例を不明瞭にしないように、既知の材料、構成要素、及びプロセス技術の説明を省略する。本開示の例示的な実施例の実施の理解を容易にし、当業者が例示的な実施例を実施できるために、これらの例は挙げられている。したがって、これらの実施例は、本開示の実施例の範囲を限定するものと解釈されるべきではない。

10

【 0 0 3 5 】

特に定義されない限り、本開示で使用される技術用語又は科学用語は、本開示が属する技術分野の当業者によって理解される通常の意味で理解されるものとする。本開示で 사용되는用語「第 1」、「第 2」、及びこれらに類する用語は、いかなる順序、数量、又は重要性も示さなく、単に異なる構成部分を区別するために使用される。また、本開示の各々の実施例において、同一又は類似の参照符号は、同一又は類似の構成要素を示す。

20

【 0 0 3 6 】

有機発光ダイオードの表示パネルの画素単位において、駆動トランジスタが有機発光素子に接続されており、データ信号や走査信号などの信号の制御下で、有機発光素子に駆動電流を出力して、有機発光素子を発光させるように駆動する。駆動トランジスタのゲート電圧の大きさは、有機発光素子の駆動電流の大きさに直接関係するため、ゲート信号の安定化は、有機発光素子の発光の安定性と表示パネルの表示安定性を達成するための重要な要素である。

【 0 0 3 7 】

本研究において、発明者は、データ信号がデータ線を介して伝送されるとき、データ信号の変動が駆動トランジスタのゲート信号を容易に干渉することを発見した。たとえば、データ信号はデータ線と駆動トランジスタのゲートとの間に形成される寄生容量を介してゲート信号を干渉し、よって、ゲート信号の安定性に影響する。

30

【 0 0 3 8 】

図 1 は本開示の実施例に係る表示パネルの構造を示す図であり、図 2 は本開示の実施例に係る表示パネルの概略平面図である。図 1 及び図 2 を併せて参照すると、表示パネル 1 0 0 は、マトリックス状に配置される複数の画素単位 1 0 1 を有し、各々の画素単位 1 0 1 は、画素回路構造 1 0、発光素子 2 0、ゲート線 1 1、データ線 1 2、及び電圧信号線を含む。発光素子 2 0 は有機発光素子 O L E D であり、発光素子 2 0 は、対応する画素回路構造 1 0 の駆動下で、赤色光、緑色光、青色光、又は白色光などを発させる。当該電圧信号線は 1 本であっても複数本であってもよい。例えば、図 1 に示すように、当該電圧信号線は、第 1 電源線 1 3、第 2 電源線 1 4、初期化信号線 1 6 などの一定の電圧信号を提供する信号線を含んでもよい。

40

【 0 0 3 9 】

例えば、第 1 電源線 1 3 は、画素回路構造 1 0 に一定の第 1 電圧信号 E L V D D を提供するように配置され、第 2 電源線 1 4 は、一定の第 2 電圧信号 E L V S S を提供するように配置され、そして、第 1 電圧信号 E L V D D は第 2 電圧信号 E L V S S より大きい。発光制御信号線 1 5 は、発光制御信号 E M を提供するように配置される。初期化信号線 1 6 とリセット制御信号線 1 7 は、それぞれ初期化信号 V i n t とリセット制御信号 R e s e t

50

を提供するように配置される。ここで、初期化信号  $V_{int}$  は一定の電圧信号であり、その大きさは、例えば、第 1 電圧信号  $E_{LVD D}$  と第 2 電圧信号  $E_{L V S S}$  の間であってもよいが、これに限定されない、例えば、第 2 電圧信号  $E_{L V S S}$  以下である。

#### 【0040】

当該画素回路構造 10 は、駆動トランジスタ  $T_1$ 、データ書き込みトランジスタ  $T_2$ 、補償トランジスタ  $T_3$ 、第 1 発光制御トランジスタ  $T_4$ 、第 2 発光制御トランジスタ  $T_5$ 、第 1 リセットトランジスタ  $T_6$ 、第 2 リセットトランジスタ  $T_7$ 、及び蓄積容量  $C_{st}$  を含む。駆動トランジスタ  $T_1$  は、発光素子 20 に電氣的に接続されており、走査信号  $S_{can}$ 、データ信号  $D_{ata}$ 、第 1 電圧信号  $E_{LVD D}$ 、第 2 電圧信号  $E_{L V S S}$  などの信号の制御下で駆動電流を出力して、発光素子 20 を発光させるように駆動する。

10

#### 【0041】

例えば、図 1 に示すように、画素回路構造 10 は、データ線 12 と電圧信号線との間に位置する第 1 安定化容量  $C_1$  をさらに含み、図 1 に示す電圧信号線は第 1 電源線 13 を指す。データ線 12 上のデータ信号  $D_{ata}$  が変化するとき、第 1 安定化容量  $C_1$  は、データ線 12 と駆動トランジスタ  $T_1$  のゲートとの間の寄生容量の駆動トランジスタ  $T_1$  のゲート信号への干渉を低減できる。

#### 【0042】

実際の場合、例えば、第 1 安定化容量  $C_1$  の容量値は、データ線 12 と駆動トランジスタ  $T_1$  のゲートとの間の寄生容量の 10 倍よりも大きくなるように設定されてもよい。この寄生容量の容量値が第 1 安定化容量  $C_1$  と比較して無視しても良い場合には、この寄生容量を介したデータ線信号のゲート信号への影響も無視しても良い。

20

#### 【0043】

第 1 安定化容量  $C_1$  は様々な配置方法がある。例えば、第 1 安定化容量は第 1 容量電極と第 2 容量電極を含み、第 1 容量電極は第 1 電源線 13 に電氣的に接続され、第 2 容量電極はデータ線 12 に電氣的に接続される。説明すべきなのは、第 1 容量電極は、第 1 電源線 13 の一部であってもよいし、別途設けられて第 1 電源線 13 に電氣的に接続される電極であってもよく、いずれの場合も「第 1 容量電極は第 1 電源線に電氣的に接続される」に含まれる。同様に、第 2 容量電極は、データ線 12 の一部であってもよいし、別途設けられてデータ線 12 に電氣的に接続される電極であってもよく、いずれの場合も「第 2 容量電極はデータ線 12 に電氣的に接続される」に含まれる。

30

#### 【0044】

例えば、作製工程において、表示パネル 100 の基板上に、半導体プロセスにより、積層回路層、絶縁層等を含む画素回路構造が作製される。第 1 容量電極と第 2 容量電極とは、表示パネル 100 の基板に垂直な方向において互いに重なり合うと共に、絶縁層（誘電体層）によって互いに離隔されてコンデンサーを構成する。実際の設計では、第 1 安定化容量  $C_1$  の容量値は、第 1 容量電極と第 2 容量電極の間の距離、中間絶縁層の材料（すなわち、誘電率）、及び両者の重なり領域を設計することによって調整できる。

#### 【0045】

図 1 に示すように、蓄積容量  $C_{st}$  の第 1 極は第 1 電源線 13 に電氣的に接続され、蓄積容量  $C_{st}$  の第 2 極は補償トランジスタ  $T_3$  の第 2 極に電氣的に接続される。データ書き込みトランジスタ  $T_2$  のゲートはゲート線 11 に電氣的に接続され、データ書き込みトランジスタ  $T_2$  の第 1 極と第 2 極は、それぞれデータ線 12 と駆動トランジスタ  $T_1$  の第 1 電極に電氣的に接続される。補償トランジスタ  $T_3$  のゲートは、ゲート線 11 に電氣的に接続され、補償トランジスタ  $T_3$  の第 1 極と第 2 極は、それぞれ駆動トランジスタ  $T_1$  の第 2 極とゲートに電氣的に接続される。第 1 発光制御トランジスタ  $T_4$  のゲートは、発光制御信号線 15 に電氣的に接続され、第 1 発光制御トランジスタ  $T_4$  の第 1 極と第 2 極は、それぞれ第 1 電源線 13 と駆動トランジスタ  $T_1$  の第 1 極に電氣的に接続される。第 2 発光制御トランジスタ  $T_5$  のゲートは、発光制御信号線 15 に電氣的に接続され、第 2 発光制御トランジスタ  $T_5$  の第 1 極と第 2 極は、それぞれ駆動トランジスタ  $T_1$  の第 2 極と発光素子 20 の第 1 極に電氣的に接続される。第 1 リセットトランジスタ  $T_6$  のゲートは

40

50

リセット制御信号線 17 に電氣的に接続され、第 1 リセットトランジスタ T 6 の第 1 極と第 2 極は、それぞれ初期化信号線 16 と駆動トランジスタ T 1 のゲートに電氣的に接続される。第 2 リセットトランジスタ T 7 のゲートはリセット制御信号線 17 に電氣的に接続され、第 2 リセットトランジスタ T 7 の第 1 極と第 2 極は、それぞれ初期化信号線 16 と発光素子 20 の第 1 極に電氣的に接続される。発光素子 20 の第 2 極は、第 2 電源線 14 に電氣的に接続される。本開示の実施例に用いられるトランジスタは、薄膜トランジスタ又は電界効果トランジスタ、又は同じ特性を有する他のスイッチングデバイスであり得ることに留意されたい。ここに用いられるトランジスタのソースとドレインは構造的に対称的であるため、ソースとドレインは構造的に区別がない。本開示の実施例では、トランジスタのゲート以外の 2 つの極を区別するため、1 つの極は第 1 極、もう 1 つの極は第 2 極と直接記載するため、本開示の実施例のすべて又は一部のトランジスタの第 1 極と第 2 極は、必要に応じて交換可能である。例えば、本開示の実施例に記載のトランジスタの第 1 極はソースであり、第 2 極はドレインであってもよい；又は、トランジスタの第 1 極はドレインであり、第 2 極はソースである。

10

#### 【0046】

また、トランジスタの特性によって、トランジスタを N 型と P 型に分けることができる。本開示の実施例は、P 型トランジスタを例として取り上げて説明する。本開示の実行方法の説明及び開示に基づき、当業者は、格別創意を要することなく、本開示の実施例の画素回路構造におけるトランジスタの少なくとも一部に N 型トランジスタを採用する実行方法、すなわち、N 型トランジスタ又は N 型トランジスタと P 型トランジスタとの組み合わせを採用する実行方法を容易に想到できる。したがって、これらの実行方法も本開示の保護範囲内である。

20

#### 【0047】

例えば、本開示の実施例に用いられるトランジスタの活性層は、単結晶シリコン、多結晶シリコン（例えば、低温多結晶シリコン）、又は金属酸化物半導体材料（例えば、IGZO、AZO など）であってもよい。一例では、当該トランジスタはすべて P 型 LTPS（低温多結晶シリコン）薄膜トランジスタである。他の例では、駆動トランジスタ T 1 のゲートに直接接続される補償トランジスタ T 3（閾値補償トランジスタ）及び第 1 リセットトランジスタ T 6 は金属酸化物半導体薄膜トランジスタであり、すなわち、トランジスタのチャネル材料は金属酸化物半導体材料（例えば、IGZO、AZO など）である。金属酸化物半導体薄膜トランジスタは低い漏れ電流を有し、これは、駆動トランジスタ T 1 のゲート漏れ電流を低減することに有利である。

30

#### 【0048】

例えば、本開示の実施例に用いられるトランジスタは、トップゲート型、ボトムゲート型、又はダブルゲート型などの様々な構造を含んでも良い。一例では、駆動トランジスタ T 1 のゲートに直接接続される補償トランジスタ T 3 と第 1 リセットトランジスタ T 6 はダブルゲート型トランジスタであり、駆動トランジスタ T 1 のゲート漏れ電流の低減に有利である。

#### 【0049】

例えば、図 2 に示すように、本開示の実施例に係わる表示パネル 100 は、データドライブ 102、走査ドライブ 103、及びコントローラ 104 をさらに含む。データドライブ 102 は、コントローラ 104 の指示に応じてデータ信号 Data を画素単位 101 に提供するように配置され；走査ドライブ 103 は、コントローラ 104 の指示に応じて発光制御信号 EM、走査信号 Scan、及びリセット制御信号 Reset を画素単位 101 に提供するように配置される。例えば、走査ドライブ 103 は、当該表示パネルに設けられる GOA（Gate On Array）構造、又は当該表示パネルにボンディング（Bonding）されるドライブチップ（IC）構造である。例えば、異なるドライブを用いて、発光制御信号 EM と走査信号 Scan をそれぞれ提供することができる。例えば、表示パネル 100 は、上記の電圧信号を提供するように、必要に応じて電圧源又は電流源であり得る電源（図示せず）をさらに含む。前記電源は、前記電源はそれぞれ第 1 電

40

50

源線 1 3、第 2 電源線 1 4 と初期化信号線 1 6 を介して、画素単位 1 0 1 に第 1 電源電圧 E L V D D、第 2 電源電圧 E L V S S、及び初期化信号 V i n t などを供給するように配置される。

【 0 0 5 0 】

図 3 は、本開示の実施例に係る表示パネルの 1 つの画素単位のタイミング信号図である。以下、図 3 を参照し、本開示の実施例に係わる表示パネルにおける 1 つの画素単位の駆動方法について説明する。

【 0 0 5 1 】

図 3 に示すように、画素単位の駆動方法は、1 フレームの表示期間内に、リセット段階 t 1、データ書き込み及び閾値補償段階 t 2、発光段階 t 3 を有する。

10

【 0 0 5 2 】

リセット段階 t 1 では、発光制御信号 E M をオフ電圧に設定し、リセット制御信号 R e s e t をオン電圧に設定し、走査信号 S c a n をオフ電圧に設定する。

【 0 0 5 3 】

データ書き込み及び閾値補償段階 t 2 では、発光制御信号 E M をオフ電圧に設定し、リセット制御信号 R e s e t をオフ電圧に設定し、走査信号 S c a n をオン電圧に設定する。

【 0 0 5 4 】

発光段階 t 3 では、発光制御信号 E M をオン電圧に設定し、リセット制御信号 R e s e t をオフ電圧に設定し、走査信号 S c a n をオフ電圧に設定する。

【 0 0 5 5 】

20

例えば、本開示の実施例におけるオン電圧とは、対応するトランジスタの第 1 極と第 2 極の間を導通可能な電圧を指し、オフ電圧とは、対応するトランジスタの第 1 極と第 2 極の間を遮断可能な電圧を指す。トランジスタが P 型のトランジスタである場合、オン電圧は低電圧（例えば、0 V）であり、オフ電圧は高電圧（例えば、5 V）であり；トランジスタが N 型のトランジスタである場合、オン電圧は高電圧（例えば、5 V）であり、オフ電圧は低電圧（例えば、0 V）である。図 3 に示される駆動波形はすべて P 型トランジスタを例にとって説明される。図 3 に示す駆動波形は、いずれもオン電圧が低電圧（例えば、0 V）で、オフ電圧が高電圧（例えば、5 V）の P 型トランジスタを例にとって説明する。

【 0 0 5 6 】

図 1 及び図 3 を併せて参照すると、リセット段階 t 1 では、発光制御信号 E M はオフ電圧であり、リセット制御信号 R e s e t はオン電圧であり、走査信号 S c a n はオフ電圧である。このとき、第 1 リセットトランジスタ T 6 及び第 2 リセットトランジスタ T 7 は、オン状態になる一方、データ書き込みトランジスタ T 2、補償トランジスタ T 3、第 1 発光制御トランジスタ T 4、及び第 2 発光制御トランジスタ T 5 はオフ状態になる。第 1 リセットトランジスタ T 6 は、初期化信号（初期化電圧）V i n t を駆動トランジスタ T 1 のゲートに送信を転送して、蓄積容量 C s t に蓄積させ、駆動トランジスタ T 1 をリセットして、前回（前のフレーム）発光時に蓄積されたデータを消去し、第 2 リセットトランジスタ T 7 は、初期化信号 V i n t を発光素子 2 0 の第 1 極に送信して、発光素子 2 0 をリセットする。

30

【 0 0 5 7 】

40

データ書き込み及び閾値補償段階 t 2 では、発光制御信号 E M はオフ電圧であり、リセット制御信号 R e s e t はオフ電圧であり、走査信号 S c a n はオン電圧である。このとき、データ書き込みトランジスタ T 2 と補償トランジスタ T 3 はオン状態になる一方、第 1 発光制御トランジスタ T 4、第 2 発光制御トランジスタ T 5、第 1 リセットトランジスタ T 6 及び第 2 リセットトランジスタ T 7 はオフ状態になる。このとき、データ書き込みトランジスタ T 2 は、データ信号電圧 V d a t a を駆動トランジスタ T 1 の第 1 極に転送する、すなわち、データ書き込みトランジスタ T 2 は、走査信号 S c a n 及びデータ信号 D a t a を受信して、走査信号 S c a n に応じて、駆動トランジスタ T 1 の第 1 極にデータ信号 D a t a を書き込む。補償トランジスタ T 3 はオンして、駆動トランジスタ T 1 をダイオード構造に接続することにより、駆動トランジスタ T 1 のゲートを充電することがで

50

きる。充電が完了すると、駆動トランジスタT1のゲート電圧は $V_{data} + V_{th}$ になり、ここで、 $V_{data}$ はデータ信号電圧であり、 $V_{th}$ は駆動トランジスタT1の閾値電圧である。すなわち、補償トランジスタT3は走査信号Scanを受信し、走査信号Scanに応じて駆動トランジスタT1のゲート電圧に対する閾値電圧補償を実行する。この段階では、蓄積容量Cstの両端の電圧差は $ELVDD - V_{data} - V_{th}$ である。

【0058】

発光段階t3では、発光制御信号EMはオン電圧であり、リセット制御信号Resetはオフ電圧であり、走査信号Scanはオフ電圧である。第1発光制御トランジスタT4と第2発光制御トランジスタT5はオン状態になる一方、データ書き込みトランジスタT2、補償トランジスタT3、第1リセットトランジスタT6及び第2リセットトランジスタT7はオフ状態になる。第1電源信号ELVDDは、第1発光制御トランジスタT4を介して駆動トランジスタT1の第1極に転送され、駆動トランジスタT1のゲート電圧は $V_{data} + V_{th}$ に保持され、発光電流Iは第1発光制御トランジスタT4、駆動トランジスタT1及び第2発光制御トランジスタT5を介して、発光素子20に流れ、発光素子20が発光する。すなわち、第1発光制御トランジスタT4及び第2発光制御トランジスタT5は、発光制御信号EMを受信して、発光制御信号EMに応じて発光素子20の発光を制御する。発光電流Iは、以下の飽和電流式を満足する。

【0059】

$$I = K (V_{gs} - V_{th})^2 = K (V_{data} + V_{th} - ELVDD - V_{th})^2 = K (V_{data} - ELVDD)^2$$

【0060】

$$K = 0.5\mu_n C_{ox} \frac{W}{L}$$

ここで、 $\mu_n$ はトランジスタのチャネル移動度であり、 $C_{ox}$ は駆動トランジスタT1の単位面積あたりのチャネル容量であり、WとLはそれぞれ駆動トランジスタT1のチャネル幅とチャネル長であり、 $V_{gs}$ は駆動トランジスタT1のゲートとソース（すなわち、本実施例の駆動トランジスタT1の第1極）の間の電圧差である。

【0061】

上式から、発光素子20に流れる電流は、駆動トランジスタT1の閾値電圧と無関係であることがわかる。したがって、本画素回路構造は、駆動トランジスタTの閾値電圧を非常によく補償することができる。

【0062】

例えば、表示パネルの画素アレイにおいて、配線を簡単にするために、リセット制御信号線17を前の行の画素単位の走査線として設定する、すなわち、リセット制御信号は前の行の画素単位の走査信号Scan(n-1)によって兼ねるようにして、配線数と信号数を削減するようにしてもよい。

【0063】

例えば、1フレームの表示期間に対する発光段階t3の持続時間の比率が調整可能である。このように、1フレームの表示期間に対する発光段階t3の持続時間の比率を調整することにより、発光の輝度を制御することができる。例えば、表示パネルにおける走査ドライブ103又は追加のドライブを制御することにより、1フレームの表示期間に対する発光段階t3の持続時間の比率の調整を達成する。

【0064】

例えば、他の例において、第1安定化容量C1は、データ線12と一定の電圧信号を提供する他の信号線との間に位置しても良い。例えば、第1安定化容量C1は、データ線12と第2電源線14との間に位置するか、データ線12と初期化信号線16との間に位置する。他の例において、第1発光制御トランジスタT4あるいは第2発光制御トランジスタ

10

20

30

40

50

T5は設けられなくてもよく、又は第1リセットトランジスタT6あるいは第2リセットトランジスタT7などは設けられなくてもよく、すなわち、本開示の実施例は図1に示される特定の画素回路に限定されなく、駆動トランジスタの補償を可能にする他の画素回路を使用してもよい。本開示の実行方法の説明及び開示に基づいて、当業者は、格別創意を要することなく、容易に想到され得る他の実行方法も本開示の保護範囲内である。

【0065】

図4は本開示の他の実施例に係る表示パネルを示す図である。図4に示すように、本実施例に係る表示パネルは、データ線12と駆動トランジスタT1の第1極との間に位置する第2安定化容量C2及び/又は第1電源線13と駆動トランジスタT1の第1極との間に位置する第3安定化容量C3を更に含む点で、図1の表示パネルと異なる。第2安定化容量C2の存在により、データ線12と駆動トランジスタT1のゲートとの間に位置する寄生容量の駆動トランジスタT1のゲート信号への干渉がより低減される。そして、第3安定化容量C3の存在により、第1電源線13と駆動トランジスタT1のゲートとの間に位置する寄生容量の駆動トランジスタT1のゲート信号への干渉が低減される。

10

【0066】

図5は、図1に示す表示パネル100の平面構造の一例を示す図（レイアウトの一例）である。なお、図面の明確化のため、図5には、駆動トランジスタT1、データ書き込みトランジスタT2、補償トランジスタT3、蓄積容量Cst、及び第1安定化容量C1の構造のみを示し、他のトランジスタの構造は示されていない。図6は図5における表示パネルの切断線II-II'に沿った断面図であり、図7は図5における表示パネルの切断線I-I'に沿った断面図である。以下、図5～図7を参照し、本開示の実施例に係る表示パネル100を例示的に説明する。

20

【0067】

なお、本開示において「同層配置」とは、2つ（又は2つ以上）の材料層構造が同一の堆積プロセスで形成され、同一のパターニングプロセスでパターン化されることにより、両者（多者）の材料が同一であることを意味する。

【0068】

また、本開示でいうAとBとの間の電氣的に接続は、AがBの一部である場合と、BがAの一部である場合を含むことにも留意されたい。

【0069】

説明の便宜上、図5～7中及び以下の説明において、トランジスタT1のゲート、第1極、第2極及びチャネル領域をそれぞれT1g、T1s、T1d、及びT1aで表し、データ書き込みトランジスタT2のゲート、第1極、第2極、及びチャネル領域をそれぞれT2g、T2s、T2d、およびT2aで表し、補償トランジスタT3のゲート、第1極、第2極、及びチャネル領域をそれぞれT3g、T3s、T3d、及びT3aで表し、蓄積容量の第1極と第2極をそれぞれCs aとCs bで表す。

30

【0070】

図5～7に示すように、表示パネル100は、基板200と、基板200上に順次積層される半導体パターン層21、第1絶縁層22、第1導電パターン層23、第2絶縁層24、第2導電パターン層25、層間絶縁層26及び第3導電パターン層27を含む。

40

【0071】

例えば、半導体パターン層21は、駆動トランジスタT1の活性層、データ書き込みトランジスタT2の活性層、及び補償トランジスタT3の活性層を含む。

【0072】

例えば、第1導電パターン層23は、ゲート線11、蓄積容量Cstの第2極Cs b、駆動トランジスタT1のゲートT1g、データ書き込みトランジスタのゲートT2g、及び補償トランジスタのゲートT3gを含む。

【0073】

例えば、第2導電パターン層25は、蓄積容量Cstの第1極Cs aを含む。

【0074】

50

例えば、蓄積容量  $C_{st}$  の第 1 極  $C_{sa}$  と駆動トランジスタ  $T_1$  のゲート  $T_{1g}$  とは、基板 200 に垂直な方向において互いに重なり合う。

【0075】

例えば、第 3 導電パターン層 27 は、データ線 12 と第 1 電源線 13 を含む。

【0076】

図 5 に示のように、ゲート線 11 は第 1 方向  $D_1$  に沿って延び、データ線 12 と第 1 電源線 13 は第 2 方向  $D_2$  に沿って延びると共に、同層に配置される。例えば、第 1 方向  $D_1$  と第 2 方向  $D_2$  とは、実質的に垂直である。

【0077】

本実施例において、第 1 安定化容量  $C_1$  は、別個に設けられ第 1 電源線 13 に電氣的に接続される第 1 容量電極 18 を含み、第 1 安定化容量  $C_1$  の第 2 容量電極は、データ線 12 自体の一部によって提供される。他の実施例において、第 2 容量電極は、データ線 12 に接続される電極として別個に設けられてもよい。

10

【0078】

例えば、第 1 容量電極 18 は、データ線 12 の基板 200 に近い側に位置し、そして、蓄積容量  $C_{st}$  の第 1 容量電極  $C_{sa}$  と同層に配置される。第 1 容量電極 18 は、層間絶縁層 26 を貫通する第 1 ピアホール 260 を介して第 1 電源線 13 に電氣的に接続される。第 1 容量電極 18 とデータ線 12 とは、基板 200 に垂直な方向において互いに重ならない合い、第 1 安定化容量  $C_1$  を構成する。

【0079】

例えば、表示パネル 100 の製造プロセスにおいて、自己整合プロセスを用いて、第 1 導電パターン層 23 をマスクとして半導体パターン層 21 に対して導体化処理を実行する。例えば、半導体パターン層 21 を、イオン注入により高濃度にドーピングして、半導体パターン層 21 の第 1 導電パターン層 23 に覆われていない部分を導体化させ、これにより、駆動トランジスタ  $T_1$  のソース領域（第 1 極  $T_{1s}$ ）及びドレイン領域（第 2 極  $T_{1d}$ ）、データ書き込みトランジスタ  $T_2$  のソース領域（第 1 極  $T_{2s}$ ）及びドレイン領域（第 2 極  $T_{2d}$ ）と、補償トランジスタ  $T_3$  のソース領域（第 1 極  $T_{3s}$ ）及びドレイン領域（第 2 極  $T_{3d}$ ）を形成させる。半導体パターン層 21 の第 1 導電パターン層 23 によって覆われる部分は、半導体特性を保持し、各トランジスタのチャネル領域  $T_{1a}$ 、 $T_{2a}$ 、及び  $T_{3a}$  を形成する。

20

30

【0080】

例えば、表示パネル 100 は補償トランジスタ  $T_3$  のドレイン領域（第 2 極領域）と駆動トランジスタ  $T_1$  のゲート  $T_{1g}$  とを接続して、補償トランジスタ  $T_3$  の第 2 極  $T_{3d}$  と駆動トランジスタ  $T_1$  のゲート  $T_{1g}$  とを電氣的に接続する第 1 接続電極 19 をさらに含む。

【0081】

例えば、第 1 接続電極 19 は、データ線 12 と同層に配置されており、且つデータ線 12 の延在方向と同じである。

【0082】

図 5 及び図 6 を併せて参照すると、データ線 12、第 1 接続電極 19、及び補償トランジスタ  $T_3$  の第 2 極  $T_{3d}$  の相互間には寄生容量が存在するため、第 1 容量電極 18 をデータ線 12 の基板 200 に近い側に位置させることにより、該第 1 容量電極が該データ線を押し上げるように機能し、データ線 12 と第 1 接続電極 19 及び補償トランジスタ  $T_3$  の第 2 極  $T_{3d}$  の側面との間の距離を増加させることができ、該寄生容量を低減することができる。例えば、補償トランジスタ  $T_3$  の第 2 極  $T_{3d}$  は駆動トランジスタ  $T_1$  のゲートに直接接続されているため、この寄生容量の低減は、データ線の駆動トランジスタ  $T_1$  のゲート信号への干渉の低減に有利である。

40

【0083】

例えば、第 1 接続電極 19 は第 1 容量電極 18 が位置する層（すなわち、第 2 導電パターン層 25）における正投影と第 1 容量電極 18 とは、データ線 12 の延在方向に垂直の方

50

向（すなわち、第1方向D1）において互いに重なり合う。

【0084】

例えば、図6を参照すると、第1接続電極19は第1容量電極18が位置する層（すなわち、第2導電パターン層25）における正投影と第1容量電極18とは、データ線12の延在方向に垂直の方向（すなわち、第1方向D1）において互いに重なり合う。

【0085】

例えば、蓄積容量Cstの第1極Csaには開口部250が設けられ、第1接続電極19は、該開口部と第2絶縁層24及び層間絶縁層26を貫通する第2ビアホール240を介して駆動トランジスタT1のゲートT1g（すなわち、蓄積容量Cstの第2極Csb）に電氣的に接続される。

10

【0086】

例えば、第1接続電極19は、第1絶縁層22、第2絶縁層24及び層間絶縁層26を貫通する第3ビアホール220を介して補償トランジスタT3の第2極T3dに電氣的に接続される。

【0087】

例えば、第1電源線13は、層間絶縁層26を貫通する第4ビアホール261を介して蓄積容量Cstの第1極Csaに電氣的に接続される。

【0088】

例えば、図5を併せて参照すると、蓄積容量Cstの第1極Csaとデータ線12とは、基板に垂直な方向において互いに重なり合い、第4安定化容量C4を構成する。蓄積容量Cstの第1極Csaは第1電源線13に電氣的に接続されるため、該第4安定化容量C4も該第1電源線と該データ線の間形成されるため、データ線12と駆動トランジスタT1のゲートとの間の寄生容量の、駆動トランジスタT1のゲート信号への干渉がさらに削減される。

20

【0089】

例えば、第1絶縁層22、第2絶縁層24、及び層間絶縁層26の材料としては、窒化シリコン、酸化シリコンなどの無機絶縁材料や、酸化アルミニウム、窒化チタンなど等を用いることができる。例えば、該絶縁材料は、アクリル酸、ポリメチルメタクリレート（PMMA）などの有機絶縁材料を含んでいてもよい。例えば、該絶縁層は、単層構造でも多層構造でもよい。

30

【0090】

例えば、第1導電パターン層23、第2導電パターン層25、及び第3導電パターン層27の材料には、金（Au）、銀（Ag）、銅（Cu）、アルミニウム（Al）、モリブデン（Mo）、マグネシウム（Mg）、タングステン（W）、及びこれらを組み合わせた合金材料、又は酸化インジウムスズ（ITO）、酸化インジウム亜鉛（IZO）、酸化亜鉛（ZnO）、酸化亜鉛アルミニウム（AZO）などの導電性金属酸化物材料が挙げられる。

【0091】

例えば、表示パネル100は、基板200と半導体パターン層21との間に位置するバッファ層28をさらに含んでもよい。

【0092】

例えば、基板200はガラス基板であり、バッファ層28は、基板200中の不純物（金属イオン）が画素回路構造に拡散するのを防ぐための二酸化ケイ素である。

40

【0093】

例えば、本開示の実施例に係わる表示パネルは、携帯電話、タブレットコンピュータ、テレビ、ディスプレイ、ノートコンピュータ、デジタルフォトフレーム、ナビゲーション等の表示機能を有する如何なる製品又は部品に適用することができる。例えば、該表示パネルは有機発光ダイオードの表示パネルである。

【0094】

本開示の実施例は、上述の表示パネルを備える表示装置を提供する。例えば、該表示装置は、該表示パネルが適用される携帯電話、タブレットコンピュータ、テレビ、ディスプレ

50

イ、ノートコンピュータ、デジタルフォトフレーム、ナビゲーション等の電子装置であり得る。例えば、該表示装置は有機発光ダイオード表示装置である。

【0095】

以上、本発明の具体的な実施形態について、一般的且つ詳細に説明したが、本開示の実施例に基づき、当業者であれば、本発明の趣旨を逸脱しない範囲内で、本発明の一部の変更または改良を加えることができることは明らかである。したがって、本開示の精神を逸脱しない範囲で行われた変形や改善は、本開示の保護範囲内であるものとする。

【0096】

また、以下の数点に留意されたい。

【0097】

(1) 本開示の実施例の図面では、本開示の実施例に関連する構造のみに関し、他の構造は通常的设计を参照してもよい。

【0098】

(2) 矛盾がない場合、本開示の同じ実施例及び異なる実施例の特徴は、互いに組み合わせてもよい。

【0099】

上述は、本開示の具体的な実施形態に過ぎないが、本開示の技術的範囲はこれに限定されるものではなく、本開示の技術的範囲内で当業者であれば容易に想到できる変更又は置換は、すべて本開示の技術的範囲内に包含するものである。したがって、本開示の保護範囲は、特許請求の範囲の保護範囲に準ずるものとする。

【0100】

本出願は、2018年5月14日に出願された中国特許出願第201820713468.9号を基礎出願とする優先権を主張し、前記中国特許出願の開示内容の全てが参照によって本出願の一部に組み込まれる。

10

20

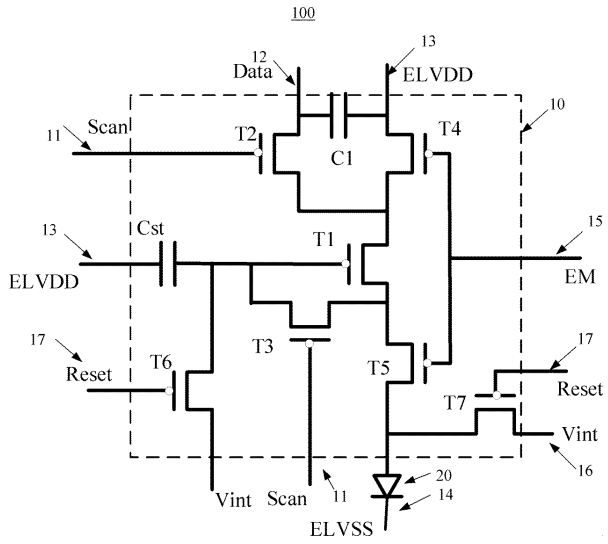
30

40

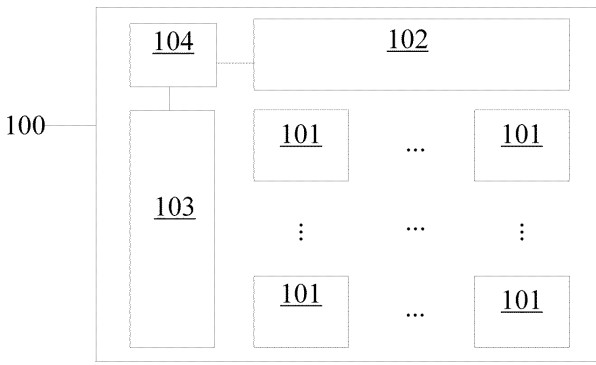
50

【 図面 】

【 図 1 】

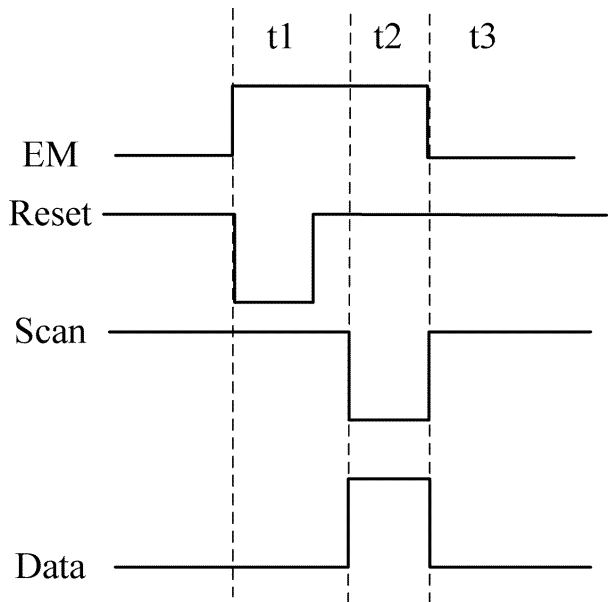


【 図 2 】

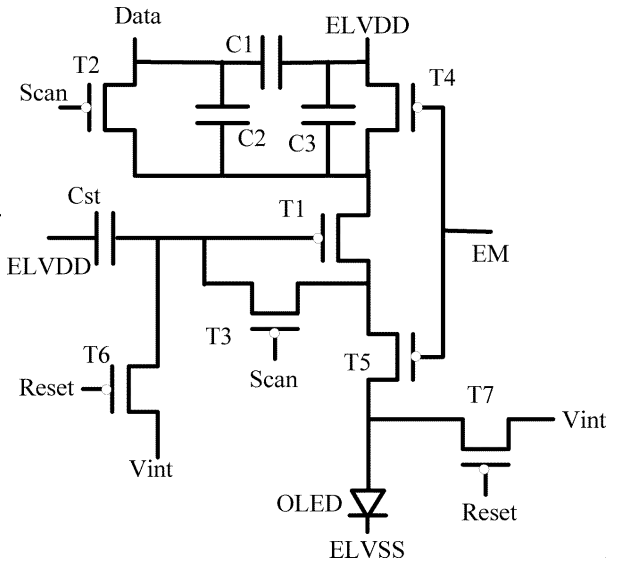


10

【 図 3 】



【 図 4 】



20

30

40

50



## フロントページの続き

## (51)国際特許分類

H 1 0 K 59/179(2023.01)

F I

H 0 1 L	29/78	6 1 4
H 1 0 K	59/12	
H 1 0 K	59/179	

, L T D .

中華人民共和国 1 0 0 1 7 6 北京市北京 經 済 技 術 開 発 区 地 澤 路 9 号 1 幢  
4 0 7 室Room 4 0 7 , Building 1 , No . 9 Dize Road , BDA , Beijin  
g , 1 0 0 1 7 6 , CHINA

## (74)代理人

100103894

弁理士 家入 健

## (72)発明者

シュー チェン

中華人民共和国 1 0 0 1 7 6 ベイジン, ビーディーエー, ディーゼー ロード ナンバー 9

## (72)発明者

ハオ シュエグアン

中華人民共和国 1 0 0 1 7 6 ベイジン, ビーディーエー, ディーゼー ロード ナンバー 9

## (72)発明者

チャオ ヨン

中華人民共和国 1 0 0 1 7 6 ベイジン, ビーディーエー, ディーゼー ロード ナンバー 9

## (72)発明者

ウー シンイン

中華人民共和国 1 0 0 1 7 6 ベイジン, ビーディーエー, ディーゼー ロード ナンバー 9

審査官

川俣 郁子

## (56)参考文献

米国特許出願公開第 2 0 1 7 / 0 3 1 6 7 3 9 ( U S , A 1 )

特開 2 0 0 5 - 3 3 1 9 1 9 ( J P , A )

米国特許出願公開第 2 0 1 8 / 0 1 2 2 2 9 8 ( U S , A 1 )

中国特許出願公開第 1 0 3 5 1 4 8 3 4 ( C N , A )

中国特許出願公開第 1 0 5 6 7 9 2 3 6 ( C N , A )

特開 2 0 1 3 - 2 1 3 9 7 9 ( J P , A )

特開 2 0 1 5 - 1 3 8 1 5 4 ( J P , A )

米国特許出願公開第 2 0 1 1 / 0 1 5 7 1 1 0 ( U S , A 1 )

米国特許出願公開第 2 0 1 4 / 0 0 6 2 9 8 8 ( U S , A 1 )

米国特許出願公開第 2 0 1 7 / 0 0 1 1 6 8 2 ( U S , A 1 )

米国特許出願公開第 2 0 1 8 / 0 1 3 0 4 0 9 ( U S , A 1 )

## (58)調査した分野

(Int.Cl., D B 名)

G 0 2 F 1 / 1 3 3

1 / 1 3 6 - 1 / 1 3 6 8

G 0 9 F 9 / 0 0 - 9 / 4 6

G 0 9 G 3 / 1 2 - 3 / 1 4

3 / 3 0 - 3 / 3 2 9 1

H 0 1 L 2 1 / 3 3 6

2 9 / 7 8 6

H 0 5 B 3 3 / 0 0 - 3 3 / 2 8

4 4 / 0 0

4 5 / 6 0

H 1 0 K 5 0 / 0 0 - 9 9 / 0 0