

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年3月5日(05.03.2020)



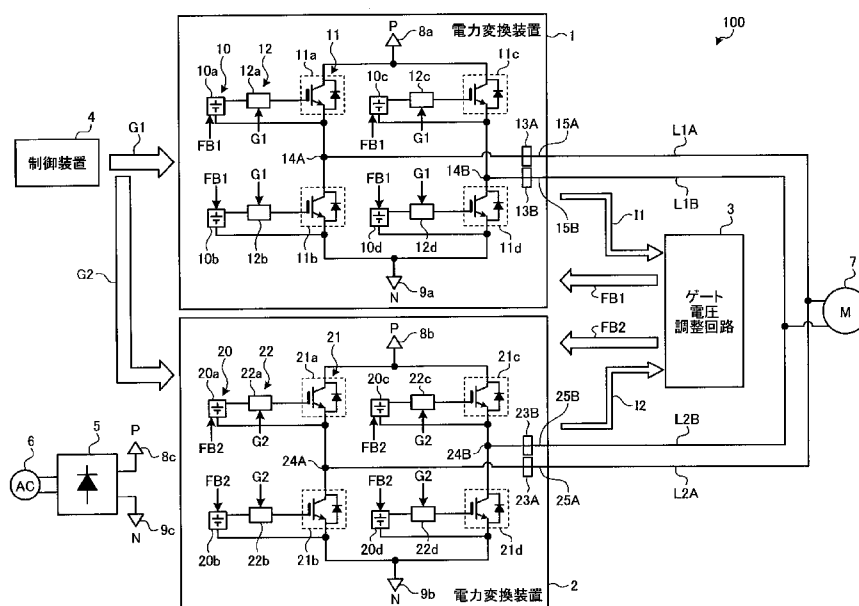
(10) 国際公開番号

WO 2020/045008 A1

- (51) 国際特許分類:
H02M 7/493 (2007.01) H02M 7/48 (2007.01)
- (21) 国際出願番号: PCT/JP2019/031196
- (22) 国際出願日: 2019年8月7日(07.08.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-159499 2018年8月28日(28.08.2018) JP
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 野中 貴文 (NONAKA, Takafumi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 村田 信二(MURATA, Shinji); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 伊澤 文仁(IZAWA, Fumihito); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 鈴木 規央(SUZUKI, Norihiro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人:高村 順(TAKAMURA, Jun); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎

(54) Title: ELECTRIC POWER CONVERTING SYSTEM

(54) 発明の名称: 電力変換システム



- 1, 2 Electric power converting device
3 Gate voltage adjusting circuit
4 Control device

(57) Abstract: An electric power converting system (100) is provided with: a plurality of electric power converting devices (1, 2) each provided with switching elements (11, 21) which adopt an ON state upon application of a gate voltage, and which are connected in parallel with one another in such a way as to be capable of supplying alternating-current power to the same load; and a gate voltage adjusting circuit (3) which performs adjustment to equalize the average electric power that is output from each of the plurality of electric power converting devices (1, 2), by generating a feedback signal which

の門三井ビルディング 特許業務法人酒
井国際特許事務所 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

causes the level of the gate voltage applied to at least one of the plurality of switching elements (11, 21) to change.

(57) 要約: 電力変換システム (100) は、ゲート電圧が印加されることによってオン状態となるスイッチング素子 (11, 21) が各々に設けられており、かつ同一の負荷へ交流電力を供給可能に互いに並列に接続されている複数の電力変換装置 (1, 2) と、複数のスイッチング素子 (11, 21) のうち少なくとも1つに印加されるゲート電圧のレベルを変化させるフィードバック信号を生成することによって、複数の電力変換装置 (1, 2) の各々から出力される平均電力を均等にさせる調整を行うゲート電圧調整回路 (3) と、を備える。

明 細 書

発明の名称：電力変換システム

技術分野

[0001] 本発明は、複数の電力変換装置を備える電力変換システムに関する。

背景技術

[0002] 複数の電力変換装置の並列運転によって、単独の電力変換装置を運転する場合よりも電力容量を増大可能とする電力変換システムが知られている。複数の電力変換装置は、同一の負荷へ交流電流を出力可能に互いに並列に接続される。電力変換システムは、交流電流を一旦直流電流へ変換し、さらに各電力変換装置にて直流電流を交流電流へ変換することにより、交流電圧の周波数あるいは交流電圧のレベルを変化させる。

[0003] 複数の電力変換装置を並列運転させる場合に、電力変換装置ごとの出力電圧に差が生じることにより、複数の電力変換装置のいずれかの負荷が他の電力変換装置の負荷よりも高くなる。また、各電力変換装置の出力電圧の差によって、電力変換装置の間のループ回路を循環する電流である循環電流が生じることがある。循環電流は、横電流とも称される。横電流は負荷である装置の駆動に寄与しないことから、電力変換システムは、横電流の発生により電力変換の効率が低下することになる。

[0004] 特許文献1には、各電力変換装置におけるゲート信号の同期を可能とする電力変換システムが開示されている。ゲート信号は、各電力変換装置に備えられているスイッチング素子のゲートに入力される。特許文献1によると、各電力変換装置は、制御装置との間の通信によって、電圧指令と、ゲート信号の同期のための同期信号とを受信して、ゲート信号を生成する。電力変換システムは、各電力変換装置におけるゲート信号の同期によって、各電力変換装置により交流電流が出力されるタイミングのずれを抑制可能とし、出力電圧の差を低減する。電力変換システムは、出力電圧の差を低減することによって、各電力変換装置によって供給される平均電力を均等にさせることが

できる。

先行技術文献

特許文献

[0005] 特許文献1：特開2008-228548号公報

発明の概要

発明が解決しようとする課題

[0006] 上記特許文献1にかかる従来の電力変換システムには、制御装置からのゲート信号にしたがって単独で運転する既存の電力変換装置と同様の構成が備えられるほかに、同期信号の送受信のための通信機能とゲート信号の同期のための処理機能とが追加されている。従来の電力変換システムは、かかる機能の実現のための構成が追加されることで、既存の電力変換装置を備える場合の構成からの大幅な変更を要し、構成が複雑になるという問題があった。

[0007] 本発明は、上記に鑑みてなされたものであって、簡易な構成によって、各電力変換装置から出力される平均電力が均等になるように複数の電力変換装置を制御可能とする電力変換システムを得ることを目的とする。

課題を解決するための手段

[0008] 上述した課題を解決し、目的を達成するために、本発明にかかる電力変換システムは、ゲート電圧が印加されることによってオン状態となるスイッチング素子が各々に設けられており、かつ同一の負荷へ交流電力を供給可能に互いに並列に接続されている複数の電力変換装置と、複数のスイッチング素子のうち少なくとも1つに印加されるゲート電圧のレベルを変化させるフィードバック信号を生成することによって、複数の電力変換装置の各々から出力される平均電力を均等にさせる調整を行うゲート電圧調整回路と、を備える。

発明の効果

[0009] 本発明にかかる電力変換システムは、簡易な構成によって、各電力変換装置から出力される平均電力が均等になるように複数の電力変換装置を制御す

ることができるという効果を奏する。

図面の簡単な説明

- [0010] [図1]本発明の実施の形態1にかかる電力変換システムを示す図
- [図2]図1に示す電力変換システムが有する制御装置によって生成されるゲート信号の波形と、電力変換装置による出力電圧の波形とを示す図
- [図3]図1に示す制御装置の機能が専用のハードウェアによって実現される場合のハードウェア構成を示す図
- [図4]図1に示す制御装置の機能が、メモリに格納されるプログラムを実行するプロセッサによって実現される場合のハードウェア構成を示す図
- [図5]図1に示す電力変換システムが有するスイッチング素子におけるコレクタ電流とコレクタエミッタ間電圧との関係の例を示す図
- [図6]本発明の実施の形態2にかかるゲート電圧調整回路を示す図
- [図7]本発明の実施の形態3にかかる電力変換システムを示す図
- [図8]図7に示す電力変換システムが有するゲート電圧調整回路の構成例を示す図
- [図9]本発明の実施の形態4にかかる電力変換システムを示す図

発明を実施するための形態

- [0011] 以下に、本発明の実施の形態にかかる電力変換システムを図面に基づいて詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。

- [0012] 実施の形態1.

図1は、本発明の実施の形態1にかかる電力変換システム100を示す図である。電力変換システム100は、複数の電力変換装置である電力変換装置1、2と、ゲート電圧を調整するゲート電圧調整回路3と、電力変換装置1、2を制御する制御装置4と、整流素子5とを備える。

- [0013] 電力変換システム100は、商用電源6からの交流電流を整流素子5にて一旦直流電流へ変換し、さらに各電力変換装置1、2にて直流電流を交流電流へ変換する。電力変換システム100は、負荷装置であるモータ7へ変換

後の交流電流を供給する。電力変換装置 1, 2 は、同一の負荷であるモータ 7 へ交流電流を供給可能に互いに並列に接続されている。電力変換システム 100 に備えられる電力変換装置は 2 つに限られない。電力変換システム 100 は、互いに並列に接続された 3 つ以上の電力変換装置を備えていても良い。

[0014] 制御装置 4 は、電力変換システム 100 の出力電圧が目標値となるように電力変換装置 1, 2 の出力電圧を制御するための共通のゲート信号であるゲート信号 G 1, G 2 を生成する。制御装置 4 は、生成されたゲート信号 G 1 を電力変換装置 1 へ送るとともに、生成されたゲート信号 G 2 を電力変換装置 2 へ送る。ゲート信号 G 1, G 2 は、パルス幅変調 (Pulse Width Modulation: PWM) 信号である。ゲート信号 G 1, G 2 のパルス幅が変化することによって、モータ 7 へ印加される電流の電流値が変化する。具体的には、パルス幅が小さいほど電流値は小さくなり、パルス幅が大きいほど電流値は大きくなる。

[0015] 整流素子 5 は、ダイオードブリッジといった半導体整流素子である。整流素子 5 のプラス端子 8 c は、電力変換装置 1 の P 端子 8 a と電力変換装置 2 の P 端子 8 b とに接続されている。整流素子 5 のマイナス端子 9 c は、電力変換装置 1 の N 端子 9 a と電力変換装置 2 の N 端子 9 b とに接続されている。整流素子 5 は、商用電源 6 からの交流電流を直流電流へ変換し、電力変換装置 1 と電力変換装置 2 とへ直流電流を供給する。

[0016] 電力変換装置 1 は、ゲート電圧を生成するゲート電圧回路 10 a, 10 b, 10 c, 10 d と、スイッチング素子 11 a, 11 b, 11 c, 11 d と、スイッチング素子 11 a, 11 b, 11 c, 11 d を駆動するゲート駆動回路 12 a, 12 b, 12 c, 12 d とを有する。ゲート駆動回路 12 a, 12 b, 12 c, 12 d は、ゲート電圧回路 10 a, 10 b, 10 c, 10 d によって生成されたゲート電圧をスイッチング素子 11 a, 11 b, 11 c, 11 d へ印加することによってスイッチング素子 11 a, 11 b, 11 c, 11 d を駆動する。スイッチング素子 11 a, 11 b, 11 c, 11 d

は、ゲート電圧が印加されることによってオン状態となる。なお、ゲート電圧回路 10 とは、ゲート電圧回路 10 a, 10 b, 10 c, 10 d の各々を区別せずに称したものとする。スイッチング素子 11 とは、スイッチング素子 11 a, 11 b, 11 c, 11 d の各々を区別せずに称したものとする。ゲート駆動回路 12 とは、ゲート駆動回路 12 a, 12 b, 12 c, 12 d の各々を区別せずに称したものとする。スイッチング素子 11 は、半導体素子である IGBT (Insulated Gate Bipolar Transistor) である。スイッチング素子 11 は、MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) またはトランジスタであっても良い。

[0017] ゲート電圧回路 10 a は、生成されたゲート電圧をゲート駆動回路 12 a へ出力する。ゲート電圧回路 10 b は、生成されたゲート電圧をゲート駆動回路 12 b へ出力する。ゲート電圧回路 10 c は、生成されたゲート電圧をゲート駆動回路 12 c へ出力する。ゲート電圧回路 10 d は、生成されたゲート電圧をゲート駆動回路 12 d へ出力する。各ゲート電圧回路 10 a, 10 b, 10 c, 10 d は、ゲート電圧調整回路 3 からのフィードバック信号 FB1 に従ってゲート電圧のレベルの高低を変化させることができる。

[0018] ゲート駆動回路 12 は、ゲート信号 G1 のパルスがオンである期間においてゲート電圧を出力し、ゲート信号 G1 のパルスがオフである期間においてゲート電圧の出力を停止する。ゲート駆動回路 12 は、ゲート信号 G1 にしたがって、ゲート電圧の出力と出力停止とを切り換える。ゲート駆動回路 12 a は、スイッチング素子 11 a のゲート電極へゲート電圧を出力する。ゲート駆動回路 12 b は、スイッチング素子 11 b のゲート電極へゲート電圧を出力する。ゲート駆動回路 12 c は、スイッチング素子 11 c のゲート電極へゲート電圧を出力する。ゲート駆動回路 12 d は、スイッチング素子 11 d のゲート電極へゲート電圧を出力する。ゲート駆動回路 12 は、ゲート電圧を出力する閉状態とゲート電圧の出力を停止する開状態とを切り換えるスイッチの機能を果たす。

[0019] スwitchング素子 11 は、ゲート電圧の印加によってコレクタとエミッタ

との間に電流が流れるオン状態となり、ゲート電圧の印加が停止されることによってコレクタとエミッタとの間に電流が流れないオフ状態となる。

[0020] スイッチング素子 11a のコレクタ端子とスイッチング素子 11c のコレクタ端子とは、P 端子 8a に接続されている。スイッチング素子 11b のエミッタ端子とスイッチング素子 11d のエミッタ端子とは、N 端子 9a に接続されている。スイッチング素子 11a とスイッチング素子 11b とは、P 端子 8a と N 端子 9a との間にて直列に接続されている。スイッチング素子 11c とスイッチング素子 11d とは、P 端子 8a と N 端子 9a との間にて直列に接続されている。

[0021] スイッチング素子 11a のエミッタ端子とスイッチング素子 11b のコレクタ端子との接続点 14A は、出力線 15A を介してモータ 7 に接続されている。電流センサ 13A は、出力線 15A を流れる電流を検出する。スイッチング素子 11c のエミッタ端子とスイッチング素子 11d のコレクタ端子との接続点 14B は、出力線 15B を介してモータ 7 に接続されている。電流センサ 13B は、出力線 15B を流れる電流を検出する。電力変換装置 1 は、接続点 14A の電圧 L1A と接続点 14B の電圧 L1B との差である出力電圧をモータ 7 に印加する。

[0022] P 端子 8a に接続されたスイッチング素子 11a, 11c は、電力変換装置 1 に設けられたスイッチング素子 11 のうちプラス側である P 側のスイッチング素子である。N 端子 9a に接続されたスイッチング素子 11b, 11d は、電力変換装置 1 に設けられたスイッチング素子 11 のうちマイナス側である N 側のスイッチング素子である。電力変換装置 1 の構成は、P 側の構成要素と N 側の構成要素とに分けられる。ゲート電圧回路 10a, 10c とスイッチング素子 11a, 11c とゲート駆動回路 12a, 12c とは、P 側の構成要素である。ゲート電圧回路 10b, 10d とスイッチング素子 11b, 11d とゲート駆動回路 12b, 12d とは、N 側の構成要素である。P 側とは、P 端子 8a と N 端子 9a との間の回路のうち接続点 14A, 14B よりも P 端子 8a 側の部分とする。N 側とは、P 端子 8a と N 端子 9a

との間の回路のうち接続点 1 4 A, 1 4 B よりも N 端子 9 a 側の部分とする。

[0023] また、電力変換装置 1 の構成は、P 端子 8 a と N 端子 9 a との間の回路のうち電圧 L 1 A が印加される側である第 1 相側の構成要素と、P 端子 8 a と N 端子 9 a との間の回路のうち電圧 L 1 B が印加される側である第 2 相側の構成要素とに分けられる。ゲート電圧回路 1 0 a, 1 0 b とスイッチング素子 1 1 a, 1 1 b とゲート駆動回路 1 2 a, 1 2 b とは、第 1 相側の構成要素である。ゲート電圧回路 1 0 c, 1 0 d とスイッチング素子 1 1 c, 1 1 d とゲート駆動回路 1 2 c, 1 2 d とは、第 2 相側の構成要素である。

[0024] 電力変換装置 2 は、電力変換装置 1 と同様の構成を備える。電力変換装置 2 は、ゲート電圧を生成するゲート電圧回路 2 0 a, 2 0 b, 2 0 c, 2 0 d と、スイッチング素子 2 1 a, 2 1 b, 2 1 c, 2 1 d と、スイッチング素子 2 1 a, 2 1 b, 2 1 c, 2 1 d を駆動するゲート駆動回路 2 2 a, 2 2 b, 2 2 c, 2 2 d とを有する。ゲート駆動回路 2 2 a, 2 2 b, 2 2 c, 2 2 d は、ゲート電圧回路 2 0 a, 2 0 b, 2 0 c, 2 0 d によって生成されたゲート電圧をスイッチング素子 2 1 a, 2 1 b, 2 1 c, 2 1 d へ印加することによってスイッチング素子 2 1 a, 2 1 b, 2 1 c, 2 1 d を駆動する。スイッチング素子 2 1 a, 2 1 b, 2 1 c, 2 1 d は、ゲート電圧が印加されることによってオン状態となる。なお、ゲート電圧回路 2 0 とは、ゲート電圧回路 2 0 a, 2 0 b, 2 0 c, 2 0 d の各々を区別せずに称したものとする。スイッチング素子 2 1 とは、スイッチング素子 2 1 a, 2 1 b, 2 1 c, 2 1 d の各々を区別せずに称したものとする。ゲート駆動回路 2 2 とは、ゲート駆動回路 2 2 a, 2 2 b, 2 2 c, 2 2 d の各々を区別せずに称したものとする。スイッチング素子 2 1 は、半導体素子である I G B T である。スイッチング素子 2 1 は、M O S F E T またはトランジスタであっても良い。

[0025] ゲート電圧回路 2 0 a は、生成されたゲート電圧をゲート駆動回路 2 2 a へ出力する。ゲート電圧回路 2 0 b は、生成されたゲート電圧をゲート駆動

回路 22b へ出力する。ゲート電圧回路 20c は、生成されたゲート電圧をゲート駆動回路 22c へ出力する。ゲート電圧回路 20d は、生成されたゲート電圧をゲート駆動回路 22d へ出力する。各ゲート電圧回路 20a, 20b, 20c, 20d は、ゲート電圧調整回路 3 からのフィードバック信号 FB2 に従ってゲート電圧のレベルの高低を変化させることができる。

[0026] ゲート駆動回路 22 は、ゲート信号 G2 のパルスがオンである期間においてゲート電圧を出力し、ゲート信号 G2 のパルスがオフである期間においてゲート電圧の出力を停止する。ゲート駆動回路 22 は、ゲート信号 G2 にしたがって、ゲート電圧の出力と出力停止とを切り換える。ゲート駆動回路 22a は、スイッチング素子 21a のゲート電極へゲート電圧を出力する。ゲート駆動回路 22b は、スイッチング素子 21b のゲート電極へゲート電圧を出力する。ゲート駆動回路 22c は、スイッチング素子 21c のゲート電極へゲート電圧を出力する。ゲート駆動回路 22d は、スイッチング素子 21d のゲート電極へゲート電圧を出力する。ゲート駆動回路 22 は、ゲート電圧を出力する閉状態とゲート電圧の出力を停止する開状態とを切り換えるスイッチの機能を果たす。

[0027] スwitching素子 21 は、ゲート電圧の印加によってコレクタとエミッタとの間に電流が流れるオン状態となり、ゲート電圧の印加が停止されることによってコレクタとエミッタとの間に電流が流れないオフ状態となる。

[0028] スwitching素子 21a のコレクタ端子とスイッチング素子 21c のコレクタ端子とは、P 端子 8b に接続されている。スイッチング素子 21b のエミッタ端子とスイッチング素子 21d のエミッタ端子とは、N 端子 9b に接続されている。スイッチング素子 21a とスイッチング素子 21b とは、P 端子 8b と N 端子 9b との間にて直列に接続されている。スイッチング素子 21c とスイッチング素子 21d とは、P 端子 8b と N 端子 9b との間にて直列に接続されている。

[0029] スwitching素子 21a のエミッタ端子とスイッチング素子 21b のコレクタ端子との接続点 24A は、出力線 25A を介してモータ 7 に接続されて

いる。電流センサ 23 A は、出力線 25 A を流れる電流を検出する。スイッチング素子 21 c のエミッタ端子とスイッチング素子 21 d のコレクタ端子との接続点 24 B は、出力線 25 B を介してモータ 7 に接続されている。電流センサ 23 B は、出力線 25 B を流れる電流を検出する。電力変換装置 2 は、接続点 24 A の電圧 L 2 A と接続点 24 B の電圧 L 2 B との差である出力電圧をモータ 7 に印加する。

[0030] P 端子 8 b に接続されたスイッチング素子 21 a, 21 c は、電力変換装置 2 に設けられたスイッチング素子 21 のうちプラス側である P 側のスイッチング素子である。N 端子 9 b に接続されたスイッチング素子 21 b, 21 d は、電力変換装置 2 に設けられたスイッチング素子 21 のうちマイナス側である N 側のスイッチング素子である。電力変換装置 2 の構成は、P 側の構成要素と N 側の構成要素とに分けられる。ゲート電圧回路 20 a, 20 c とスイッチング素子 21 a, 21 c とゲート駆動回路 22 a, 22 c とは、P 側の構成要素である。ゲート電圧回路 20 b, 20 d とスイッチング素子 21 b, 21 d とゲート駆動回路 22 b, 22 d とは、N 側の構成要素である。P 側とは、P 端子 8 b と N 端子 9 b との間の回路のうち接続点 24 A, 24 B よりも P 端子 8 b 側の部分とする。N 側とは、P 端子 8 b と N 端子 9 b との間の回路のうち接続点 24 A, 24 B よりも N 端子 9 b 側の部分とする。

[0031] また、電力変換装置 2 の構成は、P 端子 8 b と N 端子 9 b との間の回路のうち電圧 L 2 A が印加される側である第 1 相側の構成要素と、P 端子 8 b と N 端子 9 b との間の回路のうち電圧 L 2 B が印加される側である第 2 相側の構成要素とに分けられる。ゲート電圧回路 20 a, 20 b とスイッチング素子 21 a, 21 b とゲート駆動回路 22 a, 22 b とは、第 1 相側の構成要素である。ゲート電圧回路 20 c, 20 d とスイッチング素子 21 c, 21 d とゲート駆動回路 22 c, 22 d とは、第 2 相側の構成要素である。

[0032] ゲート電圧調整回路 3 は、電力変換装置 1, 2 が有するスイッチング素子 11, 21 のうち少なくとも 1 つに印加されるゲート電圧のレベルを変化さ

せるフィードバック信号F B 1, F B 2を生成することによって、電力変換装置1, 2の出力電圧が、電力変換装置1, 2の各々による出力電力の目標値となるような調整を行う。

[0033] ゲート電圧調整回路3は、各電力変換装置1, 2の出力電圧をそれぞれ目標値に一致させる調整を行うことによって、各電力変換装置1, 2から出力される平均電力を均等にさせる調整を行う。平均電力とは、単位時間、例えば1秒間当たりの電力であって、電力電圧の実効値と電流の実効値とを掛け合わせたものとする。各電力変換装置1, 2から出力される平均電力が均等であるとは、各電力変換装置1, 2から出力される平均電力が同じである場合、すなわちモータ7へ供給される電力のうちの50%ずつが各電力変換装置1, 2により負担される場合に限られない。各電力変換装置1, 2から出力される平均電力が異なる場合であっても、電力変換装置1, 2の各々により負担される電力が、モータ7へ供給される電力のうちの40%から60%の範囲内である場合は、各電力変換装置1, 2から出力される平均電力が均等であるものとみなす。

[0034] 電流センサ13Aは、出力線15Aを流れる電流を測定し、測定結果を示す電気信号を制御装置4へ出力する。電流センサ13Bは、出力線15Bを流れる電流を測定し、測定結果を示す電気信号を制御装置4へ出力する。なお、図1では、電流センサ13A, 13Bから制御装置4への電気信号の出力については図示を省略する。制御装置4は、電流センサ13A, 13Bにおける測定結果を基に、電力変換装置1による出力電圧が目標値となるようにパルス幅が調整されたゲート信号G1を生成する。制御装置4は、生成されたゲート信号G1をゲート駆動回路12へ送る。また、制御装置4は、ゲート信号G1と同じゲート信号であるゲート信号G2をゲート駆動回路22へ送る。制御装置4には、電力変換装置1へ出力されるゲート信号G1を分岐させることによって電力変換装置2へのゲート信号G2の出力を可能としたコネクタが設けられても良い。ゲート信号G1と同じゲート信号であるゲート信号G2が電力変換装置2へ入力されることによって、電力変換装置2

による出力電圧の目標値は、電力変換装置 1 による出力電圧の目標値と同じ値となる。

[0035] 図 2 は、図 1 に示す電力変換システム 100 が有する制御装置 4 によって生成されるゲート信号 G 1 の波形と、電力変換装置 1, 2 による出力電圧の波形とを示す図である。ゲート信号 G 1, G 2 である PWM 信号は、パルス幅の変化によって信号レベルを表す方形波である。かかる PWM 信号に応じた電圧が、モータ 7 のインダクタ成分によって平滑化されることによって、滑らかな正弦波である出力電圧が得られる。なお、図 2 に示すゲート信号 G 1 の波形は模式的に表したものであり、出力電圧の周期に含まれるゲート信号 G 1 のパルス数は任意であるものとする。ゲート信号 G 2 の波形は、ゲート信号 G 1 の波形と同様である。

[0036] ゲート信号 G 1 を電力変換装置 1 へ入力すると、ゲート信号 G 1 のパルスがオンである期間においてゲート駆動回路 12 はゲート電圧を出力し、ゲート信号 G 1 のパルスがオフである期間においてゲート駆動回路 12 はゲート電圧の出力を停止する。期間 T 1 において、P 側かつ第 1 相側のスイッチング素子 11 a と N 側かつ第 2 相側のスイッチング素子 11 d とは、ゲート電圧の印加によるオン状態とゲート電圧の印加停止によるオフ状態とを切り換えるスイッチングを行う。また、期間 T 1 において、P 側かつ第 2 相側のスイッチング素子 11 c と N 側かつ第 1 相側のスイッチング素子 11 b とはスイッチングを停止する。

[0037] 期間 T 1 では、スイッチング素子 11 a がオン状態であるとき、整流素子 5 から供給される電流がスイッチング素子 11 a のコレクタとエミッタとの間を流れる。これにより、出力線 15 A には P 端子 8 a の電圧が印加され、モータ 7 に電流が流れる。また、スイッチング素子 11 d がオン状態であるとき、モータ 7 から流れる電流がスイッチング素子 11 d のコレクタとエミッタとの間を流れる。これにより、出力線 15 B には N 端子 9 a の電圧が印加され、モータ 7 に電流が流れる。モータ 7 には、出力線 15 A の電圧 L 1 A と出力線 15 B の電圧 L 2 A との差である出力電圧が印加される。このよ

うに、期間T 1において、電力変換装置1は、スイッチング素子1 1 aとスイッチング素子1 1 dとがオン状態となることにより、モータ7に出力電圧を印加する。期間T 1において、モータ7の両端に出力電圧が印加されることによって、モータ7に電流が流れる。

[0038] 期間T 1の次の期間T 2では、スイッチング素子1 1 bとスイッチング素子1 1 cとがスイッチングを行い、スイッチング素子1 1 aとスイッチング素子1 1 dとはスイッチングを停止する。期間T 2では、スイッチング素子1 1 cがオン状態であるとき、整流素子5から供給される電流がスイッチング素子1 1 cのコレクタとエミッタとの間を流れる。これにより、出力線1 5 BにはP端子8 aの電圧が印加され、モータ7に電流が流れる。また、スイッチング素子1 1 bがオン状態であるとき、モータ7から流れる電流がスイッチング素子1 1 bのコレクタとエミッタとの間を流れる。これにより、出力線1 5 AにはN端子9 aの電圧が印加され、モータ7に電流が流れる。モータ7には、出力線1 5 Aの電圧L 1 Aと出力線1 5 Bの電圧L 2 Aとの差である出力電圧が印加される。このように、期間T 2において、電力変換装置1は、スイッチング素子1 1 bとスイッチング素子1 1 cとがオン状態となることにより、モータ7に出力電圧を印加する。期間T 2においても、モータ7の両端に出力電圧が印加されることによって、モータ7に電流が流れる。

[0039] モータ7の両端では、電圧L 1 Aおよび電圧L 2 Aの正負が、期間T 1と期間T 2とにおいて互いに逆となる。PWM信号に応じた電圧は、モータ7のインダクタ成分によって平滑化される。これにより、電力変換装置1は、正弦波である出力電圧をモータ7に印加する。制御装置4は、期間T 2以降も、スイッチング素子1 1 a, 1 1 dのスイッチングを行う期間とスイッチング素子1 1 b, 1 1 cのスイッチングを行う期間とを交互に繰り返して、電力変換装置1を制御する。

[0040] 制御装置4は、電力変換装置1と同様に電力変換装置2を制御する。スイッチング素子2 1 aがオン状態であるとき、出力線2 5 AにはP端子8 bの

電圧が印加される。スイッチング素子 2 1 d がオン状態であるとき、出力線 2 5 B には N 端子 9 b の電圧が印加される。また、スイッチング素子 2 1 c がオン状態であるとき、出力線 2 5 B には P 端子 8 b の電圧が印加される。スイッチング素子 2 1 b がオン状態であるとき、出力線 2 5 A には N 端子 9 b の電圧が印加される。制御装置 4 は、スイッチング素子 2 1 a, 2 1 d のスイッチングを行う期間とスイッチング素子 2 1 b, 2 1 c のスイッチングを行う期間とを交互に繰り返す。モータ 7 には、出力線 2 5 A の電圧 L 2 A と出力線 2 5 B の電圧 L 2 B との差である出力電圧が印加される。電力変換装置 2 は、電力変換装置 1 と同様に、正弦波である出力電圧をモータ 7 に印加する。電力変換装置 2 がモータ 7 の両端に出力電圧を印加することによって、モータ 7 に電流が流れる。

[0041] 制御装置 4 の機能は、処理回路により実現される。処理回路は、制御装置 4 に搭載される専用のハードウェアである。処理回路は、メモリに格納されるプログラムを実行するプロセッサであっても良い。

[0042] 図 3 は、図 1 に示す制御装置 4 の機能が専用のハードウェアによって実現される場合のハードウェア構成を示す図である。専用のハードウェアである処理回路 4 0 は、単一回路、複合回路、プログラム化されたプロセッサ、並列プログラム化したプロセッサ、A S I C (Application Specific Integrated Circuit)、F P G A (Field-Programmable Gate Array)、又はこれらの組み合わせである。

[0043] 図 4 は、図 1 に示す制御装置 4 の機能が、メモリ 4 2 に格納されるプログラムを実行するプロセッサ 4 1 によって実現される場合のハードウェア構成を示す図である。プロセッサ 4 1 およびメモリ 4 2 は、相互に通信可能に接続されている。プロセッサ 4 1 は、C P U (Central Processing Unit)、処理装置、演算装置、マイクロプロセッサ、マイクロコンピュータ、又は D S P (Digital Signal Processor) である。制御装置 4 の機能は、プロセッサ 4 1 と、ソフトウェア、ファームウェア、又はソフトウェアとファームウェアとの組み合わせによって実現される。ソフトウェア又はファームウェア

アは、プログラムとして記述され、メモリ42に格納される。メモリ42は、RAM (Random Access Memory)、ROM (Read Only Memory)、フラッシュメモリ、EPROM (Erasable Programmable Read Only Memory)、EEPROM (登録商標) (Electrically Erasable Programmable Read-Only Memory) 等の不揮発性もしくは揮発性の半導体メモリ等の内蔵メモリである。

[0044] 制御装置4の機能の一部が専用のハードウェアにより実現され、制御装置4の機能のその他の部分がソフトウェアあるいはファームウェアにより実現されても良い。このように、制御装置4の機能は、ハードウェア、ソフトウェア、ファームウェア、又はこれらの組み合わせによって実現することができる。

[0045] 電力変換装置1の出力電圧と電力変換装置2の出力電圧とに差が生じた場合、電力変換装置1, 2のうち出力電圧が高いほうである一方が、他方よりもモータ7へ多くの電流を供給する状態となる。以下の説明にて、かかる状態のことを負荷アンバランスと称することがある。負荷アンバランスの発生により、電力変換装置1, 2のいずれかが高負荷となる。電力変換装置1が電力変換装置2よりも高負荷であるとした場合に、電力変換装置1により出力される電力が、供給可能である限界の電力に達した場合に、かかる電力を超える電力を電力変換装置1が供給し得なくなる。電力変換装置1におけるこのような電力制限が生じた場合に、電力変換装置2は、電力変換装置1と同じゲート信号によって制御されることから、電力変換装置1での電力制限が生じたときに供給していた電力よりも高い電力を供給することができなくなる。

[0046] また、電力変換装置1の出力電圧と電力変換装置2の出力電圧とに差が生じることによって、電力変換装置1と電力変換装置2との間で横電流が発生し得る。電力変換装置1が電力変換装置2よりも高負荷である場合には、横電流は、電力変換装置1から電力変換装置2へ流れる。例を挙げると、電力変換装置1と電力変換装置2との出力がいずれも10kWである場合におい

て、力率を100%と仮定して、電力変換システム100は、電力変換装置1, 2の出力電圧に差が生じていなければモータ7へ20kWの電力を供給し得る。4kWの横電流が生じた場合、モータ7へ供給可能であった20kWの電力のうちの4kWが電力変換装置1, 2の間にて消費されることになり、モータ7へ供給される電力は16kWへ低下する。このように、電力変換システム100は、横電流の発生により電力変換の効率が低下することとなる。

[0047] 電力変換装置1の出力電圧と電力変換装置2の出力電圧との差は、スイッチング素子11, 21におけるコレクタエミッタ間飽和電圧の差によって生じ得る。コレクタエミッタ間飽和電圧は、スイッチング素子11, 21が飽和している状態におけるコレクタとエミッタとの間の電圧である。電力変換装置1の出力電圧と電力変換装置2の出力電圧との差は、コレクタエミッタ間飽和電圧の差のほかに、ゲート駆動回路12, 22の電圧降下の差、ゲート信号G1, G2のパルス幅の誤差、あるいはゲート電圧の誤差といった要因によって生じ得る。

[0048] 実施の形態1にかかる電力変換システム100は、図1に示すゲート電圧調整回路3によって、電力変換装置1, 2のうち少なくとも1つに印加されるゲート電圧のレベルを変化させることによって、電力変換装置1, 2の各々による出力電圧を一致させる調整を行う。例を挙げると、電力変換システム100では、電力変換装置1, 2により供給可能な電力の合計を100%とした場合に、電力変換装置1, 2の各々が50%の電力供給を負担することが目標とされる。電力変換システム100では、電力変換装置1, 2の各々による電力供給の負担が40%から60%程度の範囲に収められるように、電力供給の負担を均すことができる。このようにして、電力変換システム100は、複数の電力変換装置1, 2の各々から出力される平均電力が均等になるように複数の電力変換装置1, 2を制御して、負荷装置を駆動することができる。

[0049] 図5は、図1に示す電力変換システム100が有するスイッチング素子1

1, 21におけるコレクタ電流とコレクタエミッタ間電圧との関係の例を示す図である。図5に示すグラフの縦軸は、コレクタ電流である I_C を表す。グラフの横軸は、コレクタエミッタ間電圧である V_{CE} を表す。図5には、ゲート電圧である V_{GE} が8V、10V、12V、15Vおよび20Vである場合における I_C と V_{CE} との各関係を表すグラフを示している。

[0050] 図5に示すグラフによると、スイッチング素子11, 21には、 V_{GE} が低くなるにしたがい V_{CE} が高くなり、かつ V_{GE} が高くなるにしたがい V_{CE} が低くなる特性がある。また、スイッチング素子11, 21には、 V_{GE} が低くなるにしたがい I_C が低くなり、かつ V_{GE} が高くなるにしたがい I_C が高くなる特性がある。ゲート電圧調整回路3は、かかる特性を利用して、スイッチング素子11, 21のゲート電圧のレベルを変化させることによって、スイッチング素子11, 21の出力電圧を調整する。

[0051] 通常、電流センサ13A, 13B, 23A, 23Bは電流の瞬時値を測定するが、実施の形態1では、便宜上、電流センサ13A, 13B, 23A, 23Bが電流の実効値を出力するものとして説明する。電流センサ13A, 13B, 23A, 23Bが測定結果として実効値を出力する場合は、電流センサ13A, 13B, 23A, 23Bには、瞬時値から実効値への変換のための回路、あるいは瞬時値から実効値を算出するための演算手段が設けられる。このような回路および演算手段は、ゲート電圧調整回路3あるいは制御装置4に設けられても良い。実施の形態1にかかる電力変換システム100は、複数の電力変換装置1, 2の各々によって出力される平均電力が均等になるような制御を目的としている。このため、電流の瞬時値を一致させるような制御を行うことと、電流の実効値を一致させるような制御を行うこととは、結果的に同じ意味を持つことになる。

[0052] 電流センサ13Aは、出力線15Aを流れる出力電流の実効値を測定する。電流センサ13Bは、出力線15Bを流れる出力電流の実効値を測定する。これにより、電流センサ13A, 13Bは、電力変換装置1から出力される出力電流 I_1 の実効値を測定し、測定結果を示す電気信号をゲート電圧調

整回路 3 へ出力する。

[0053] 電流センサ 23 A は、出力線 25 A を流れる出力電流の実効値を測定する。電流センサ 23 B は、出力線 25 B を流れる出力電流の実効値を測定する。これにより、電流センサ 23 A、23 B は、電力変換装置 2 から出力される出力電流 I 2 の実効値を測定し、測定結果を示す電気信号をゲート電圧調整回路 3 へ出力する。

[0054] ゲート電圧調整回路 3 は、出力電流 I 1 の実効値と出力電流 I 2 の実効値との差を求める。ゲート電圧調整回路 3 は、求めた差を基に、電力変換装置 1 のフィードバック信号 F B 1 と、電力変換装置 2 のフィードバック信号 F B 2 とを生成する。ゲート電圧調整回路 3 は、電力変換装置 1 へフィードバック信号 F B 1 を出力し、電力変換装置 2 へフィードバック信号 F B 2 を出力する。ゲート電圧調整回路 3 は、複数の電力変換装置 1、2 からの出力電流 I 1、I 2 を比較した結果を基に、ゲート信号 G 1、G 2 のレベルを変化させるフィードバック信号 F B 1、F B 2 を生成することによって、複数の電力変換装置 1、2 の各々による出力電圧を一致させる調整を行う。これにより、ゲート電圧調整回路 3 は、複数の電力変換装置 1、2 の各々から出力される平均電圧を均等にさせる調整を行う。なお、複数の電力変換装置 1、2 の各々による出力電圧を一致させる調整とは、電力変換装置 1、2 ごとの出力電圧の電圧値が同じとなるような調整のみならず、電力変換装置 1、2 ごとの出力電圧の電圧値が互いに近くなるような調整も含むものとする。

[0055] 出力電流 I 1 の実効値が出力電流 I 2 の実効値よりも高かった場合、電力変換装置 1 の出力電圧は、電力変換装置 2 の出力電圧よりも高い。この場合、ゲート電圧調整回路 3 は、ゲート電圧回路 10 のゲート電圧のレベルを下げるためのフィードバック信号 F B 1 を生成する。ゲート電圧調整回路 3 は、生成されたフィードバック信号 F B 1 を、電力変換装置 1 の各ゲート電圧回路 10 へ出力する。ゲート電圧回路 10 は、ゲート電圧のレベルを、フィードバック信号 F B 1 に応じたレベルの分だけ下げる。図 5 に示す関係により、スイッチング素子 11 は、ゲート電圧のレベルが下がることによって、

コレクタ電流が減少する。コレクタ電流の減少によって、スイッチング素子 11 による出力電圧が減少する。これにより、ゲート電圧調整回路 3 は、電力変換装置 1 の出力電圧のレベルを低下させる調整を行う。

[0056] または、出力電流 I1 の実効値が出力電流 I2 の実効値よりも高かった場合において、ゲート電圧調整回路 3 は、ゲート電圧回路 20 のゲート電圧のレベルを上げるためのフィードバック信号 FB2 を生成する。これにより、ゲート電圧調整回路 3 は、電力変換装置 2 の出力電圧のレベルを高める調整を行う。

[0057] 出力電流 I1 の実効値が出力電流 I2 の実効値よりも低かった場合は、ゲート電圧調整回路 3 は、ゲート電圧回路 10 のゲート電圧のレベルを上げるためのフィードバック信号 FB1、または、ゲート電圧回路 20 のゲート電圧のレベルを下げるためのフィードバック信号 FB2 を生成する。このように、ゲート電圧調整回路 3 は、電力変換装置 1 のゲート電圧または電力変換装置 2 のゲート電圧を変化させることによって、電力変換装置 1, 2 の各々による出力電圧の差を低減させる。ゲート電圧調整回路 3 は、出力電流 I1 の実効値と出力電流 I2 の実効値とを比較した結果に応じたゲート電圧の変化を繰り返すことによって、電力変換装置 1, 2 の出力電圧のレベルの差を収束させる。

[0058] ゲート電圧回路 10a, 10b, 10c, 10d の各々は、フィードバック信号 FB1 に基づいてゲート電圧を調整する。ゲート電圧回路 20a, 20b, 20c, 20d の各々は、フィードバック信号 FB2 に基づいてゲート電圧を調整する。これにより、ゲート電圧調整回路 3 は、電力変換装置 1, 2 の各々による出力電圧を一致させる調整を行うことによって、電力変換装置 1, 2 の各々から出力される平均電圧を均等にさせる調整を行う。

[0059] なお、ゲート電圧調整回路 3 は、出力電流 I1 の実効値が出力電流 I2 の実効値よりも高かった場合、または出力電流 I1 の実効値が出力電流 I2 の実効値よりも低かった場合に、ゲート電圧回路 10 のゲート電圧のレベルを変化させるフィードバック信号 FB1 とゲート電圧回路 20 のゲート電圧の

レベルを変化させるフィードバック信号F B 2との双方を生成しても良い。この場合、ゲート電圧調整回路3は、電力変換装置1の出力電圧と電力変換装置2の出力電圧とを変化させることによって、電力変換装置1, 2の各々による出力電圧の差を低減させる。これにより、ゲート電圧調整回路3は、電力変換装置1, 2の各々による出力電圧を一致させる調整を行うことができる。

[0060] 電力変換システム100は、電力変換装置1, 2の各々による出力電圧を一致させる調整を行うことで、横電流の発生を低減できる。電力変換システム100は、横電流の発生の低減により、高い効率での電力変換が可能となる。電力変換システム100は、電力変換装置1, 2の各々による電力供給の負担を均すことができるため、電力変換装置1, 2の一方が過負荷となる事態を低減できる。これにより、電力変換システム100は、電力変換装置1, 2のうちの一方に経年劣化が集中することを抑制できる。

[0061] 電力変換システム100は、ゲート電圧調整回路3を備えるとともに、フィードバック信号F B 1, F B 2によるゲート電圧回路10, 20でのゲート電圧のレベルの変更が可能である以外は、制御装置4からのゲート信号によって単独で運転する既存の電力変換装置を備える場合と同様の構成を流用できる。制御装置4のソフトウェア構成には、電力変換装置1, 2ごとの出力電圧の調整のための構成の追加または変更を施す必要がない。制御装置4は、複数の電力変換装置1, 2へゲート信号G 1, G 2を出力可能とされている以外は、既存の電力変換装置を制御する場合と同様の構成とすることができる。電力変換装置1, 2は、ゲート電圧のレベルの変更が可能とされた以外は、既存の電力変換装置と同様の構成とすることができる。このように、電力変換システム100は、既存の構成への追加と既存の構成からの変更を少なくすることができる。電力変換システム100は、既存の構成への追加と既存の構成からの変更とを少なくできることで、簡易な構成とすることができ、製造コストを低減できる。

[0062] 実施の形態1によると、電力変換システム100は、ゲート電圧のレベル

を変化させることによって複数の電力変換装置 1, 2 の各々による出力電圧を一致させる調整を行うゲート電圧調整回路 3 を備えることで、簡易な構成によって各電力変換装置 1, 2 の出力電圧の差を低減できる。電力変換システム 100 は、各電力変換装置 1, 2 の出力電圧の差を低減することによって、各電力変換装置 1, 2 から負荷装置へ流れる出力電流についても出力電流の値が互いに近くなるように調整されるため、各電力変換装置 1, 2 から出力される平均電力が均等になるようにすることができる。これにより、電力変換システム 100 は、簡易な構成によって、各電力変換装置 1, 2 から出力される平均電力が均等になるように複数の電力変換装置 1, 2 を制御することができるという効果を奏する。

[0063] ゲート電圧調整回路 3 は、複数の電力変換装置 1, 2 のうち少なくとも 1 つに印加されるゲート電圧のレベルを変化させることによって複数の電力変換装置 1, 2 の各々による出力電圧を一致させる調整が可能であれば良く、任意の構成とすることができる。実施の形態 2 では、ゲート電圧調整回路 3 の構成例を説明する。

[0064] 実施の形態 2.

図 6 は、本発明の実施の形態 2 にかかるゲート電圧調整回路 3 を示す図である。ゲート電圧調整回路 3 には、電力変換装置 1 からの出力電流 I_1 の実効値を示す電気信号と、電力変換装置 2 からの出力電流 I_2 の実効値を示す電気信号とが入力される。ゲート電圧調整回路 3 は、比較器 31, 32 を有する。

[0065] 出力電流 I_1 の実効値を示す電気信号は、比較器 31 の反転入力端子と比較器 32 の非反転入力端子とへ入力される。出力電流 I_2 の実効値を示す電気信号は、比較器 31 の非反転入力端子と比較器 32 の反転入力端子とへ入力される。比較器 31 は、出力電流 I_1 の実効値と出力電流 I_2 の実効値との差を基に、フィードバック信号 FB_1 を生成する。比較器 32 は、出力電流 I_1 の実効値と出力電流 I_2 の実効値との差を基に、フィードバック信号 FB_2 を生成する。

[0066] ゲート電圧調整回路 3 は、電力変換装置 1 へフィードバック信号 F B 1 を出力し、電力変換装置 2 へフィードバック信号 F B 2 を出力する。これにより、ゲート電圧調整回路 3 は、出力電流 I_1 、 I_2 の実効値を比較した結果を基に、複数の電力変換装置 1、2 の各々による出力電圧を一致させる調整を行うことができる。

[0067] 実施の形態 2 によると、電力変換システム 100 は、電力変換装置 1、2 の各々による出力電圧を一致させる調整によって、各電力変換装置 1、2 から負荷装置へ流れる出力電流についても出力電流の値が互いに近くなるように調整されるため、各電力変換装置 1、2 から出力される平均電力が均等になるようにすることができる。これにより、電力変換システム 100 は、簡易な構成によって、各電力変換装置 1、2 から出力される平均電力が均等になるように複数の電力変換装置 1、2 を制御することができるという効果を奏する。

[0068] 実施の形態 3.

図 7 は、本発明の実施の形態 3 にかかる電力変換システム 101 を示す図である。電力変換システム 101 のゲート電圧調整回路 33 は、複数の電力変換装置 1、2 からの出力電圧 V_1 、 V_2 を比較した結果を基に、複数の電力変換装置 1、2 の各々による出力電圧を一致させる調整を行う。実施の形態 3 では、上記の実施の形態 1 および 2 と同一の構成要素には同一の符号を付し、実施の形態 1 および 2 とは異なる構成について主に説明する。

[0069] 電力変換装置 1 は、電流検出抵抗 16 A、16 B を有する。電流検出抵抗 16 A は、出力線 15 A に接続されている。電流検出抵抗 16 B は、出力線 15 B に接続されている。電力変換装置 2 は、電流検出抵抗 26 A、26 B を有する。電流検出抵抗 26 A は、出力線 25 A に接続されている。電流検出抵抗 26 B は、出力線 25 B に接続されている。

[0070] 電流検出抵抗 16 A に電流が流れることにより、電流検出抵抗 16 A の両端には電圧降下が発生する。電流検出抵抗 16 B に電流が流れることにより、電流検出抵抗 16 B の両端には電圧降下が発生する。制御装置 4 は、電流

検出抵抗 16 A, 16 B に発生する電圧降下と電流検出抵抗 16 A, 16 B の抵抗値を基に、出力線 15 A, 15 B を流れる電流を測定する。制御装置 4 は、電流の測定結果を基に、電力変換装置 1 による出力電圧が目標値となるようにパルス幅が調整されたゲート信号 G 1 を生成する。制御装置 4 は、生成されたゲート信号 G 1 をゲート駆動回路 12 へ送る。また、制御装置 4 は、ゲート信号 G 1 と同じゲート信号であるゲート信号 G 2 をゲート駆動回路 22 へ送る。

[0071] 電流検出抵抗 16 A, 16 B の両端は、ゲート電圧調整回路 33 に接続されている。ゲート電圧調整回路 33 は、電流検出抵抗 16 A, 16 B に発生する電圧降下を基に、電力変換装置 1 の出力電圧 V 1 を検出する。また、電流検出抵抗 26 A, 26 B の両端は、ゲート電圧調整回路 33 に接続されている。ゲート電圧調整回路 33 は、電流検出抵抗 26 A, 26 B に発生する電圧降下を基に、電力変換装置 2 の出力電圧 V 2 を検出する。

[0072] ゲート電圧調整回路 33 は、複数の電力変換装置 1, 2 のうち少なくとも 1 つに印加されるゲート電圧のレベルを変化させることによって複数の電力変換装置 1, 2 の各々による出力電圧を一致させる調整を行う。ゲート電圧調整回路 33 は、かかる調整が可能であれば良く、任意の構成とすることができる。

[0073] 図 8 は、図 7 に示す電力変換システム 101 が有するゲート電圧調整回路 33 の構成例を示す図である。ゲート電圧調整回路 33 は、比較器 34, 35 と演算回路 36, 37 とを有する。

[0074] 演算回路 36 は、電流検出抵抗 16 A の両端に発生する電圧降下と電流検出抵抗 16 B の両端に発生する電圧降下とを検出する。演算回路 36 は、電流検出抵抗 16 A, 16 B に発生する電圧降下を基に電力変換装置 1 の出力電圧 V 1 を検出し、出力電圧 V 1 の実効値を求める。演算回路 36 は、出力電圧 V 1 の実効値を示す電気信号を出力する。演算回路 37 は、電流検出抵抗 26 A の両端に発生する電圧降下と電流検出抵抗 26 B の両端に発生する電圧降下とを検出する。演算回路 37 は、電流検出抵抗 26 A, 26 B に発

生する電圧降下を基に電力変換装置 2 の出力電圧 V_2 を検出し、出力電圧 V_2 の実効値を求める。演算回路 37 は、出力電圧 V_2 の実効値を示す電気信号を出力する。

[0075] 出力電圧 V_1 の実効値を示す電気信号は、比較器 34 の反転入力端子と比較器 35 の非反転入力端子とへ入力される。出力電圧 V_2 の実効値を示す電気信号は、比較器 34 の非反転入力端子と比較器 35 の反転入力端子とへ入力される。比較器 34 は、出力電圧 V_1 の実効値と出力電圧 V_2 の実効値との差を基に、フィードバック信号 FB_1 を生成する。比較器 35 は、出力電圧 V_1 の実効値と出力電圧 V_2 の実効値との差を基に、フィードバック信号 FB_2 を生成する。

[0076] ゲート電圧調整回路 33 は、電力変換装置 1 へフィードバック信号 FB_1 を出力し、電力変換装置 2 へフィードバック信号 FB_2 を出力する。これにより、ゲート電圧調整回路 33 は、出力電圧 V_1 、 V_2 の実効値を比較した結果を基に、複数の電力変換装置 1、2 の各々による出力電圧を一致させる調整を行うことができる。

[0077] 実施の形態 3 によると、電力変換システム 101 は、ゲート電圧のレベルを変化させることによって複数の電力変換装置 1、2 の各々による出力電圧を一致させる調整を行うゲート電圧調整回路 33 を備えることで、簡易な構成によって各電力変換装置 1、2 の出力電圧の差を低減できる。電力変換システム 101 は、各電力変換装置 1、2 の出力電圧の差を低減することによって、各電力変換装置 1、2 から負荷装置へ流れる出力電流についても出力電流の値が互いに近くなるように調整されるため、各電力変換装置 1、2 から出力される平均電力が均等になるようにすることができる。これにより、電力変換システム 101 は、簡易な構成によって、各電力変換装置 1、2 から出力される平均電力が均等になるように複数の電力変換装置 1、2 を制御することができるという効果を奏する。

[0078] 実施の形態 4.

図 9 は、本発明の実施の形態 4 にかかる電力変換システム 102 を示す図

である。電力変換システム 102 は、ゲート電圧回路 17, 27 を有する。実施の形態 4 では、上記の実施の形態 1 から 3 と同一の構成要素には同一の符号を付し、実施の形態 1 から 3 とは異なる構成について主に説明する。

[0079] 実施の形態 1 にかかる電力変換システム 100 は、ゲート電圧回路 10a, 10b, 10c, 10d の各々へフィードバック信号 FB1 が入力されることによるゲート電圧の調整とゲート電圧回路 20a, 20b, 20c, 20d の各々へフィードバック信号 FB2 が入力されることによるゲート電圧の調整とによって、複数の電力変換装置 1, 2 の各々による出力電圧を一致させる調整を行う。実施の形態 4 において、電力変換装置 1 には、ゲート電圧回路 10a, 10b, 10c, 10d に代えて、ゲート電圧回路 17 が設けられている。実施の形態 4 において、電力変換装置 2 には、ゲート電圧回路 20a, 20b, 20c, 20d に代えて、ゲート電圧回路 27 が設けられている。

[0080] ゲート電圧回路 17, 27 は、多出力のスイッチング電源である。ゲート電圧回路 17 は、フィードバック信号 FB1 に従って生成されたゲート電圧をゲート駆動回路 12a, 12b, 12c, 12d へ出力する。ゲート電圧回路 27 は、フィードバック信号 FB2 に従って生成されたゲート電圧をゲート駆動回路 22a, 22b, 22c, 22d へ出力する。

[0081] ゲート電圧回路 17, 27 は、多出力のうちの 1 つの出力を制御対象として、制御対象についてゲート電圧のレベルを変化させる。ゲート電圧回路 17, 27 は、制御対象についてのゲート電圧の変化に連動して、多出力のうち制御対象以外の出力についてのゲート電圧を変化させる。ゲート電圧回路 17, 27 は、制御対象以外の各出力についての構成が、制御対象とする出力のための構成と同じとされることによって、例えばトランスの巻き数が同じとされることによって、制御対象についてのゲート電圧にゲート電圧を連動させる。なお、電力変換システム 102 は、実施の形態 2 と同様のゲート電圧調整回路 3 または実施の形態 3 と同様のゲート電圧調整回路 33 を備えるものであっても良い。

[0082] 実施の形態4によると、電力変換システム102は、フィードバック信号FB1、FB2に従ってゲート電圧回路17、27がゲート電圧を変化させることによって、電力変換装置1、2の各々による出力電圧を一致させる調整を行う。電力変換システム102は、電力変換装置1、2の各々による出力電圧を一致させる調整によって、各電力変換装置1、2から負荷装置へ流れる出力電流についても出力電流の値が互いに近くなるように調整されるため、各電力変換装置1、2から出力される平均電力が均等になるようにすることができる。これにより、電力変換システム102は、簡易な構成によって、各電力変換装置1、2から出力される平均電力が均等になるように複数の電力変換装置1、2を制御することができるという効果を奏する。

[0083] 以上の実施の形態に示した構成は、本発明の内容の一例を示すものであり、別の公知の技術と組み合わせることも可能であるし、本発明の要旨を逸脱しない範囲で、構成の一部を省略、変更することも可能である。

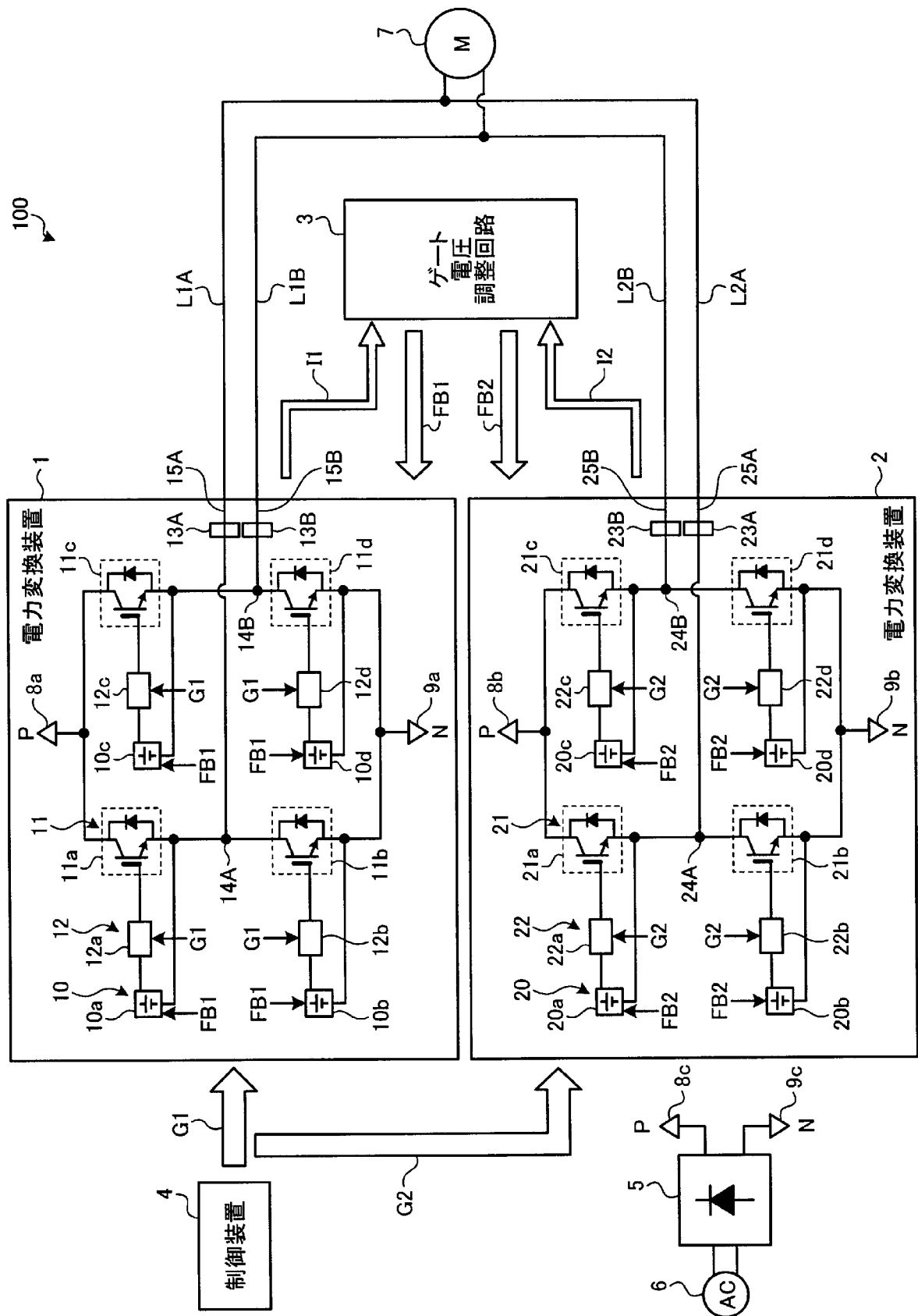
符号の説明

[0084] 1、2 電力変換装置、3、33 ゲート電圧調整回路、4 制御装置、5 整流素子、6 商用電源、7 モータ、8a、8b P端子、8c プラス端子、9a、9b N端子、9c マイナス端子、10、10a、10b、10c、10d、17、20、20a、20b、20c、20d、27 ゲート電圧回路、11、11a、11b、11c、11d、21、21a、21b、21c、21d スwitching素子、12、12a、12b、12c、12d、22、22a、22b、22c、22d ゲート駆動回路、13A、13B、23A、23B 電流センサ、14A、14B、24A、24B 接続点、15A、15B、25A、25B 出力線、16A、16B、26A、26B 電流検出抵抗、31、32、34、35 比較器、36、37 演算回路、40 処理回路、41 プロセッサ、42 メモリ、100、101、102 電力変換システム。

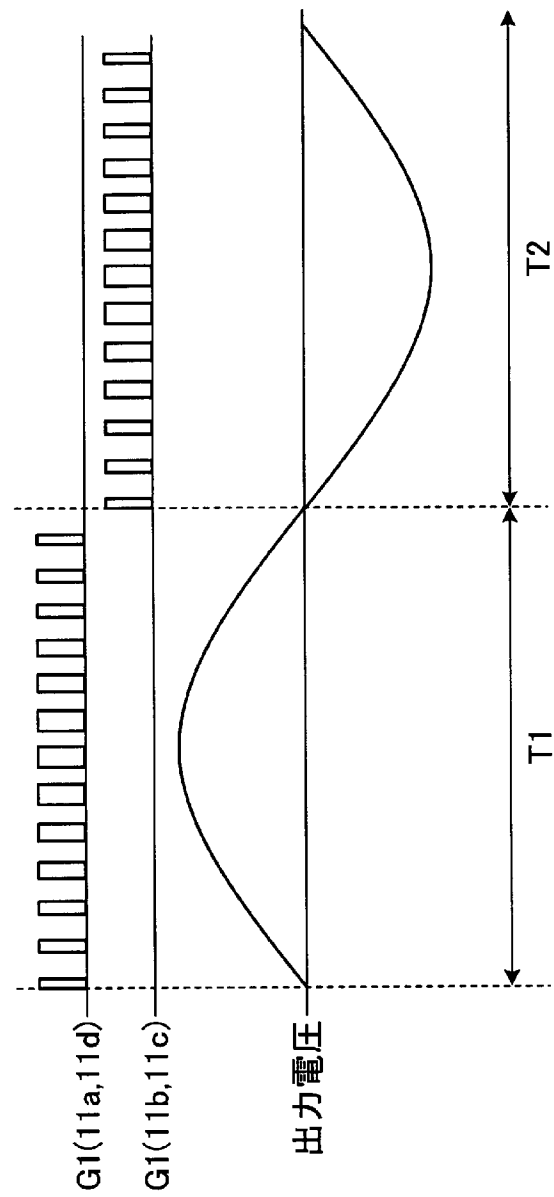
請求の範囲

- [請求項1] ゲート電圧が印加されることによってオン状態となるスイッチング素子が各々に設けられており、かつ同一の負荷へ交流電力を供給可能に互いに並列に接続されている複数の電力変換装置と、
- 複数の前記スイッチング素子のうち少なくとも1つに印加される前記ゲート電圧のレベルを変化させるフィードバック信号を生成することによって、前記複数の電力変換装置の各々から出力される平均電力を均等にさせる調整を行うゲート電圧調整回路と、
- を備えることを特徴とする電力変換システム。
- [請求項2] 前記ゲート電圧を制御するための共通のゲート信号を複数の前記スイッチング素子の各々へ送る制御装置
- を備えることを特徴とする請求項1に記載の電力変換システム。
- [請求項3] 前記複数の電力変換装置の各々は、複数の前記スイッチング素子に印加される前記ゲート電圧のレベルを変化させるゲート電圧回路を有することを特徴とする請求項1または2に記載の電力変換システム。
- [請求項4] 前記ゲート電圧調整回路は、前記複数の電力変換装置からの出力電流を比較した結果を基に前記調整を行うことを特徴とする請求項1から3のいずれか1つに記載の電力変換システム。
- [請求項5] 前記ゲート電圧調整回路は、前記複数の電力変換装置からの出力電圧を比較した結果を基に前記調整を行うことを特徴とする請求項1から3のいずれか1つに記載の電力変換システム。

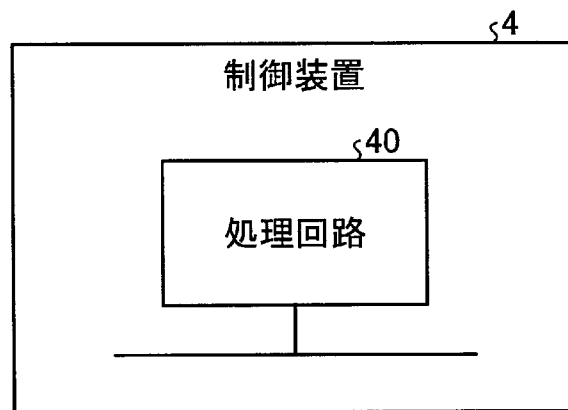
[図1]



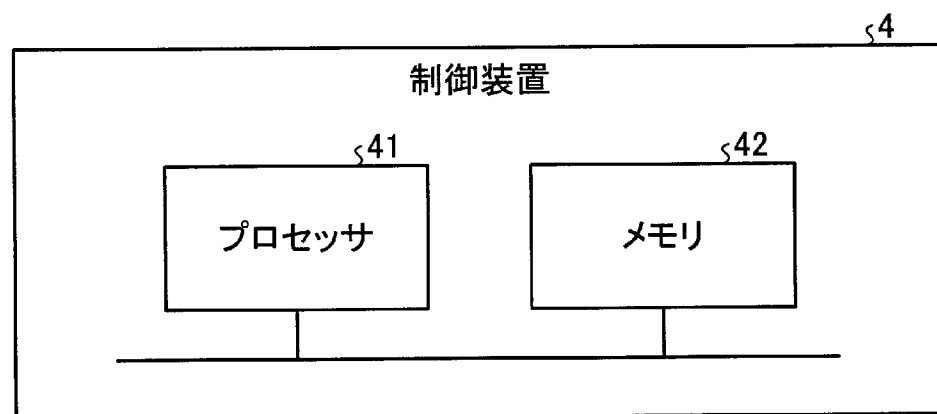
[図2]



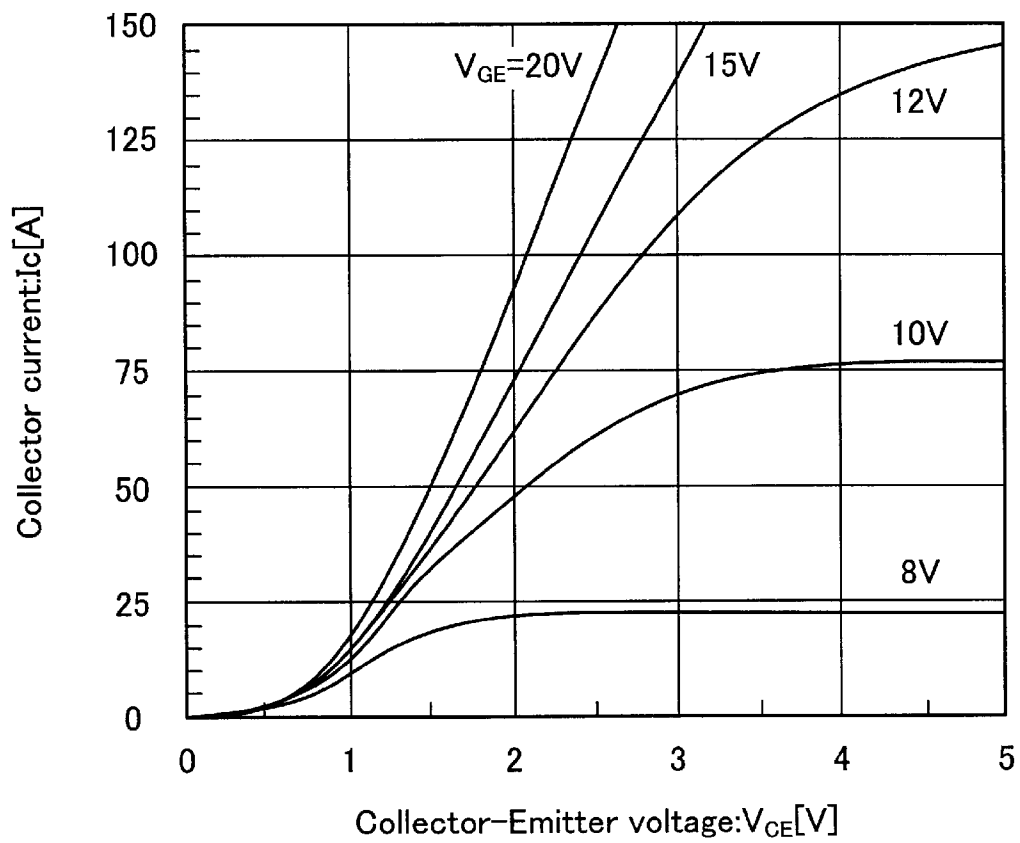
[図3]



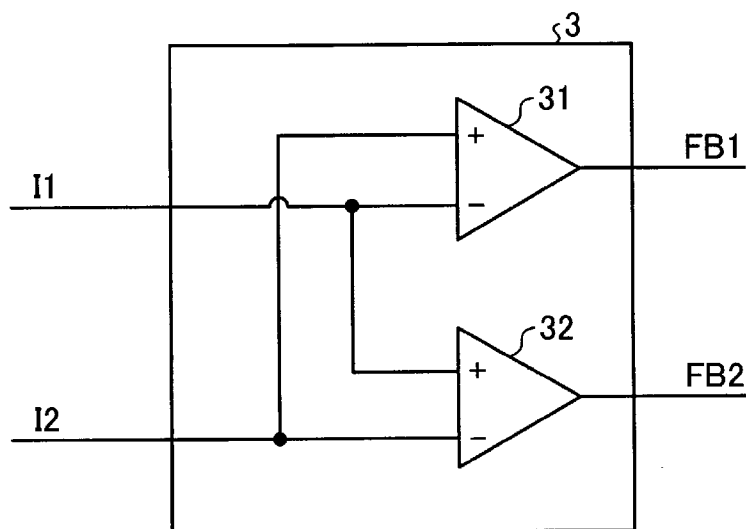
[図4]



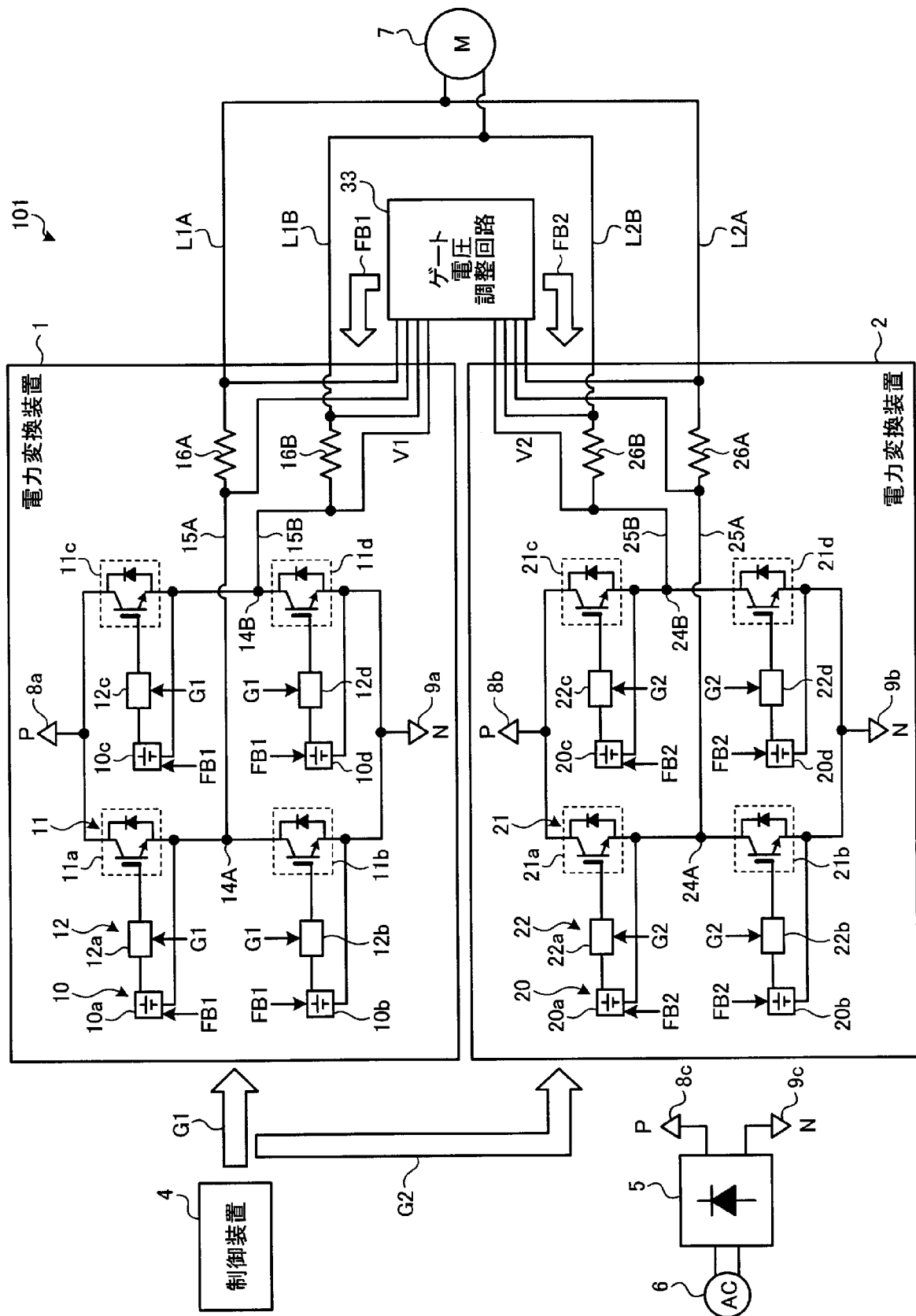
[図5]



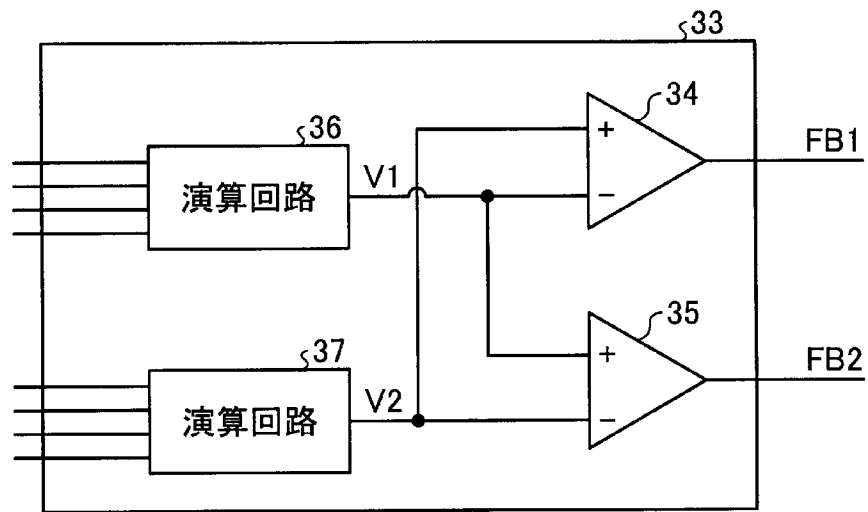
[図6]



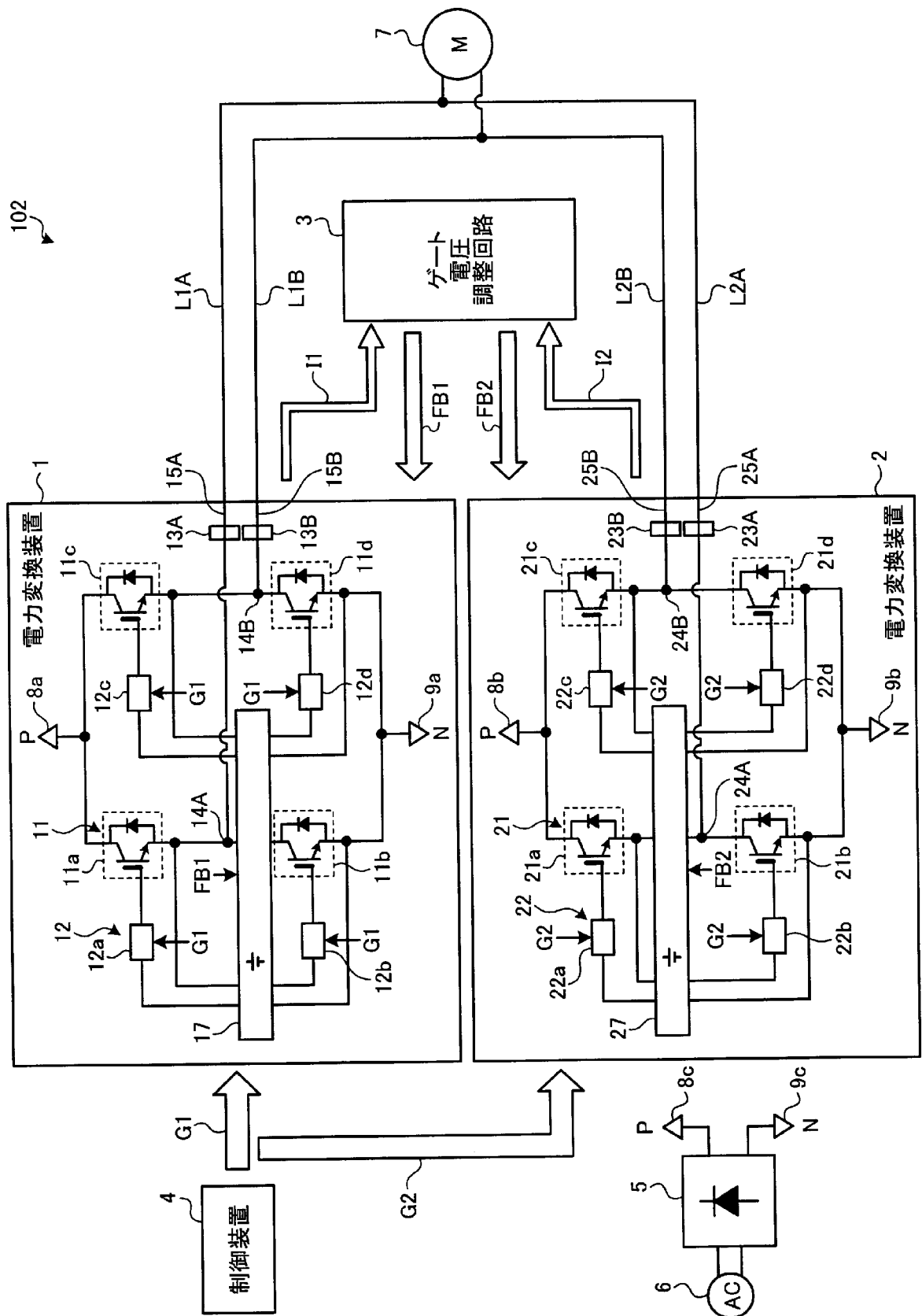
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/031196

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H02M7/493(2007.01)i, H02M7/48(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H02M1/08, H02M3/00-3/44, H02M7/42-7/98

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-228548 A (NIPPON RELIANCE KK) 25 September 2008, entire text, all drawings (Family: none)	1-5
A	JP 9-308254 A (TOSHIBA CORPORATION) 28 November 1997, entire text, all drawings (Family: none)	1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

26.09.2019

Date of mailing of the international search report

08.10.2019

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/031196

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2011/052214 A1 (PANASONIC CORPORATION) 05 May 2011, entire text, all drawings (Family: none)	1-5

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M7/493(2007.01)i, H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M1/08, H02M3/00-3/44, H02M7/42-7/98

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-228548 A（日本リライアンス株式会社） 2008.09.25, 全文, 全図 (ファミリーなし)	1-5
A	JP 9-308254 A（株式会社東芝） 1997.11.28, 全文, 全図 (ファミリーなし)	1-5

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

26.09.2019

国際調査報告の発送日

08.10.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

東 昌秋

5G

1595

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2011/052214 A1 (パナソニック株式会社) 2011.05.05, 全文, 全図 (ファミリーなし)	1-5