



(12) 发明专利申请

(10) 申请公布号 CN 116189727 A

(43) 申请公布日 2023.05.30

(21) 申请号 202310463781.7

(22) 申请日 2023.04.26

(71) 申请人 长鑫存储技术有限公司

地址 230601 安徽省合肥市经济技术开发区
空港工业园兴业大道388号

(72) 发明人 刘志拯

(74) 专利代理机构 北京律智知识产权代理有限公司 11438

专利代理师 孙宝海

(51) Int. Cl.

G11C 5/02 (2006.01)

G11C 5/06 (2006.01)

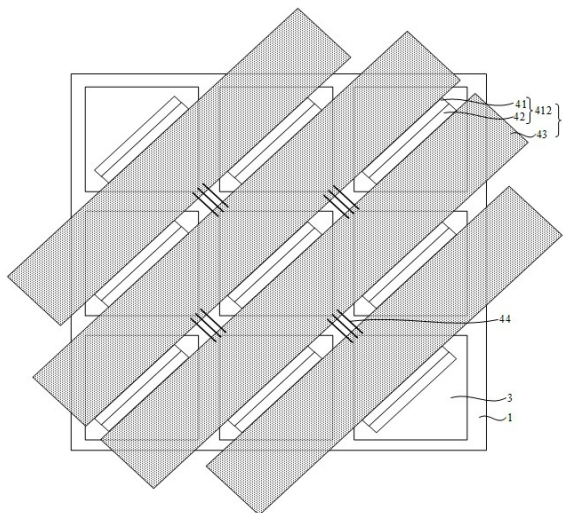
权利要求书3页 说明书9页 附图11页

(54) 发明名称

半导体结构、存储器及半导体结构的制造方法

(57) 摘要

本公开实施例涉及半导体领域,提供一种半导体结构、存储器及半导体结构的制造方法,半导体结构包括:阵列半导体层,具有多个存储块,所述存储块包括多条位线和多条字线;与所述阵列半导体层相键合的外围半导体层,所述外围半导体层包括字线驱动区域和感测放大区域;所述感测放大区域的感测放大器与所述位线电连接,所述字线驱动区域的字线驱动器与所述字线电连接;所述字线驱动区域和所述感测放大区域在所述阵列半导体层上的正投影与至少一个所述存储块在所述阵列半导体层上的正投影至少部分重叠。本公开实施例至少提高半导体结构的集成度,提高生产效率和半导体结构的性能。



1. 一种半导体结构,其特征在于,包括:

阵列半导体层,具有多个存储块,所述存储块包括多条位线和多条字线;

与所述阵列半导体层相键合的外围半导体层,所述外围半导体层包括字线驱动区域和感测放大区域;所述感测放大区域的感测放大器与所述位线电连接,所述字线驱动区域的字线驱动器与所述字线电连接;

所述字线驱动区域和所述感测放大区域在所述阵列半导体层上的正投影与至少一个所述存储块在所述阵列半导体层上的正投影至少部分重叠。

2. 根据权利要求1所述的半导体结构,其特征在于,

所述字线驱动区域的字线驱动器与所述存储块一一对应电连接,且一所述字线驱动区域在所述阵列半导体层上的正投影位于对应的一所述存储块在所述阵列半导体层上的正投影内;和/或,

所述感测放大区域的感测放大器与所述存储块一一对应电连接,且一所述感测放大区域在所述阵列半导体层上的正投影位于对应的一所述存储块在所述阵列半导体层上的正投影内。

3. 根据权利要求2所述的半导体结构,其特征在于,所述字线沿第一方向延伸,所述位线沿第二方向延伸,所述第一方向垂直于所述第二方向;

所述字线驱动区域的延伸方向相对于所述第一方向和所述第二方向倾斜;和/或,

所述感测放大区域的延伸方向相对于所述第一方向和所述第二方向倾斜。

4. 根据权利要求3所述的半导体结构,其特征在于,

所述字线驱动区域的延伸方向分别与所述第一方向和所述第二方向的夹角为 30° ~ 60° ;和/或,

所述感测放大区域的延伸方向分别与所述第一方向和所述第二方向的夹角为 30° ~ 60° 。

5. 根据权利要求4所述的半导体结构,其特征在于,所述字线驱动区域和/或所述感测放大区域在所述阵列半导体层上的正投影覆盖所述存储块在所述阵列半导体层上的正投影的中心位置。

6. 根据权利要求2所述的半导体结构,其特征在于,

所述字线沿第一方向延伸,所述位线沿第二方向延伸,所述第一方向垂直于所述第二方向;

所述字线驱动区域的延伸方向与所述第一方向或所述第二方向平行,和/或,所述感测放大区域的延伸方向与所述第一方向或所述第二方向平行。

7. 根据权利要求1所述的半导体结构,其特征在于,

在第一方向排布的相邻两个所述存储块构成存储组,或,在第二方向排布的相邻两个所述存储块构成存储组;

一所述字线驱动区域在所述阵列半导体层上的正投影与一所述存储组的两个所述存储块在所述阵列半导体层上的正投影至少部分重叠;和/或,

一所述感测放大区域在所述阵列半导体层上的正投影与一所述存储组的两个所述存储块在所述阵列半导体层上的正投影至少部分重叠。

8. 根据权利要求7所述的半导体结构,其特征在于,

所述字线沿所述第一方向延伸,所述位线沿所述第二方向延伸,所述第一方向垂直于所述第二方向;

所述字线驱动区域的延伸方向相对于所述第一方向和所述第二方向倾斜;和/或,所述感测放大区域的延伸方向相对于所述第一方向和所述第二方向倾斜。

9. 根据权利要求8所述的半导体结构,其特征在于,

所述字线驱动区域包括相连的两个第一子区,且两个所述第一子区在所述阵列半导体层上的正投影分别与对应所述存储组包括的两个不同所述存储块在所述阵列半导体层上的正投影至少部分重叠;

两个所述第一子区的字线驱动器分别与两个不同所述存储块电连接,或,两个所述第一子区的字线驱动器均与对应所述存储组中的一个所述存储块电连接。

10. 根据权利要求8所述的半导体结构,其特征在于,

所述感测放大区域包括相连的两个第二子区,且两个所述第二子区在所述阵列半导体层上的正投影分别与对应所述存储组包括的两个不同所述存储块在所述阵列半导体层上的正投影至少部分重叠;

两个所述第二子区的感测放大器分别与两个不同所述存储块电连接,或,两个所述第二子区的感测放大器均与对应所述存储组中的一个所述存储块电连接。

11. 根据权利要求1-10任一项所述的半导体结构,其特征在于,

所述字线驱动区域的延伸方向与所述感测放大区域的延伸方向相互平行。

12. 根据权利要求11所述的半导体结构,其特征在于,

所述字线驱动区域和所述感测放大区域相邻设置,且二者构成第一外围区;所述外围半导体层还包括第二外围区,所述第二外围区内包括地址译码电路或写驱动电路,所述第二外围区至少位于所述第一外围区的相对两侧。

13. 根据权利要求1-10任一项所述的半导体结构,其特征在于,所述半导体结构还包括:

互连结构,用于电连接所述阵列半导体层与所述外围半导体层;

位于所述外围半导体层的位线连接线,至少部分所述位线连接线沿第一方向延伸,所述位线连接线与所述感测放大区域的感测放大器电连接,且通过所述互连结构与所述位线电连接;

位于所述外围半导体层的字线连接线,至少部分所述字线连接线沿第二方向延伸,所述字线连接线与所述字线驱动区域的字线驱动器电连接,且通过所述互连结构与所述字线电连接。

14. 一种存储器,其特征在于,包括:如权利要求1-13中任一项所述的半导体结构。

15. 一种半导体结构的形成方法,其特征在于,包括:

提供阵列半导体层并在所述阵列半导体层上形成第一互连结构,所述阵列半导体层具有多个存储块,所述存储块包括多条位线和多条字线;

提供外围半导体层并在所述外围半导体层上形成第二互连结构,所述外围半导体层包括字线驱动区域和感测放大区域;

通过所述第一互连结构和所述第二互连结构键合所述阵列半导体层和所述外围半导体层,以使所述字线驱动区域和所述感测放大区域在所述阵列半导体层上的正投影与至少

一个所述存储块在所述阵列半导体层上的正投影至少部分重叠,并使所述感测放大区域的感测放大器与所述位线电连接,所述字线驱动区域的字线驱动器与所述字线电连接。

半导体结构、存储器及半导体结构的制造方法

技术领域

[0001] 本公开属于半导体领域,具体涉及一种半导体结构、存储器及半导体结构的制造方法。

背景技术

[0002] 存储器通常包括半导体层及形成在半导体层上的存储块和外围器件。具体而言,存储块用于存储数据,其可以包括存储单元以及与存储单元相连的字线和位线;外围器件用于控制存储块的读取过程,其可以包括字线驱动器和感测放大器。

[0003] 然而,外围器件和存储块在半导体层上所占据的面积较大,存储器的尺寸有待进一步缩小。另外,存储器的生产工艺较为复杂,存储器的性能也有待提升。

发明内容

[0004] 本公开实施例提供一种半导体结构、存储器及半导体结构的制造方法,至少有利于缩小存储器的尺寸。

[0005] 根据本公开一些实施例,本公开实施例一方面提供一种半导体结构,其中,半导体结构包括:阵列半导体层,具有多个存储块,所述存储块包括多条位线和多条字线;与所述阵列半导体层相键合的外围半导体层,所述外围半导体层包括字线驱动区域和感测放大区域;所述感测放大区域的感测放大器与所述位线电连接,所述字线驱动区域的字线驱动器与所述字线电连接;所述字线驱动区域和所述感测放大区域在所述阵列半导体层上的正投影与至少一个所述存储块在所述阵列半导体层上的正投影至少部分重叠。

[0006] 根据本公开一些实施例,本公开实施例另一方面还提供一种存储器,包括前述半导体结构。

[0007] 根据本公开一些实施例,本公开实施例又一方面还提供一种半导体结构的制造方法,半导体结构的制造方法包括:提供阵列半导体层并在所述阵列半导体层上形成第一互连结构,所述阵列半导体层具有多个存储块,所述存储块包括多条位线和多条字线;提供外围半导体层并在所述外围半导体层上形成第二互连结构,所述外围半导体层包括字线驱动区域和感测放大区域;通过所述第一互连结构和所述第二互连结构键合所述阵列半导体层和所述外围半导体层,以使所述字线驱动区域和所述感测放大区域在所述阵列半导体层上的正投影与至少一个所述存储块在所述阵列半导体层上的正投影至少部分重叠,并使所述感测放大区域的感测放大器与所述位线电连接,所述字线驱动区域的字线驱动器与所述字线电连接。

[0008] 本公开实施例提供的技术方案至少具有以下优点:

半导体结构包括相键合的阵列半导体层和外围半导体层,存储块形成于阵列半导体层上,外围器件形成于外围半导体层上。由于前述两层半导体层层叠设置,因此,有利于降低单个半导体层的面积,并提高在垂直于半导体层上表面的方向上的空间利用率。

[0009] 另外,由于存储块和外围器件可以分开制造,因此,生产工艺更简单,产能更高,且

有利于提高半导体结构的性能。

[0010] 另外,外围半导体层包括字线驱动区域和感测放大区域,且二者在阵列半导体层上的正投影与至少一个存储块在所述阵列半导体层上的正投影至少部分重叠,从而有利于缩小字线驱动区域和感测放大区域与存储块的距离,进而提高信号传输速率。

附图说明

[0011] 此处的附图被并入说明书中并构成本说明书的一部分,示出了符合本公开的实施例,并与说明书一起用于解释本公开的原理。显而易见地,下面描述中的附图仅仅是本公开的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0012] 图1示出了本公开实施例提供的一种半导体结构的剖面图。

[0013] 图2示出了本公开实施例提供的阵列半导体层的键合表面的示意图。

[0014] 图3示出了本公开实施例提供的外围半导体层的键合表面的示意图。

[0015] 图4示出了本公开实施例提供的半导体结构的第一种局部俯视图。

[0016] 图5示出了本公开实施例提供的半导体结构的第二种局部俯视图。

[0017] 图6示出了本公开实施例提供的半导体结构的第三种局部俯视图。

[0018] 图7示出了本公开实施例提供的半导体结构的第四种局部俯视图。

[0019] 图8示出了本公开实施例提供的半导体结构的第五种局部俯视图。

[0020] 图9示出了本公开实施例提供的半导体结构的第六种局部俯视图。

[0021] 图10示出了本公开实施例提供的半导体结构的第七种局部俯视图。

[0022] 图11示出了本公开实施例提供的半导体结构的第八种局部俯视图。

[0023] 图12示出了本公开实施例提供的半导体结构的第九种局部俯视图。

[0024] 图13示出了本公开实施例提供的半导体结构的第十种局部俯视图。

[0025] 图14示出了本公开实施例提供的半导体结构的第十一种局部俯视图。

具体实施方式

[0026] 由背景技术可知,外围器件和存储块在半导体层上所占据的面积较大,存储器的尺寸有待进一步缩小。存储器的生产工艺较为复杂,存储器的性能也有待提升。经分析发现,主要原因在于:感测放大器和字线驱动器等外围器件与存储块通常形成于同一块半导体层上,因此,半导体层的所需面积较大,且在垂直于半导体层上表面的方向上的空间利用率较低。此外,由于存储块和外围器件的关键工艺不同,性能要求也不同,因此,将两者集成在同一半导体层上的工艺较为复杂,并且可能会导致低产能和低性能。

[0027] 本公开实施例提供一种半导体结构,半导体结构包括阵列半导体层和外围半导体层这两层相互键合的半导体层,存储块形成于阵列半导体层上,外围器件形成于外围半导体层上。由于两层半导体层层叠设置,因此,单个半导体层所需的面积较小,且在垂直于半导体层上表面的方向上的空间利用率较高,从而提高半导体结构的集成度。另外,外围半导体层包括字线驱动区域和感测放大区域,且二者在所述阵列半导体层上的正投影与至少一个所述存储块在所述阵列半导体层上的正投影至少部分重叠,即字线驱动区域和感测放大区域与存储块的距离较近,从而有利于提高信号传输速率。

[0028] 下面将结合附图对本公开的各实施例进行详细的阐述。然而,本领域的普通技术人员可以理解,在本公开各实施例中,为了使读者更好地理解本公开实施例而提出了许多技术细节。但是,即使没有这些技术细节和基于以下各实施例的种种变化和修改,也可以实现本公开实施例所要求保护的技术方案。

[0029] 如图1-图14所示,本公开一实施例提供一种半导体结构,半导体结构包括:阵列半导体层1,具有多个存储块3,存储块3包括多条位线BL和多条字线WL;与阵列半导体层1相键合的外围半导体层2,外围半导体层2包括字线驱动区域42和感测放大区域41;感测放大区域41的感测放大器61与位线BL电连接,字线驱动区域42的字线驱动器62与字线WL电连接;字线驱动区域42和感测放大区域41在阵列半导体层1上的正投影与至少一个存储块3在阵列半导体层1上的正投影至少部分重叠。

[0030] 这样的设计至少具有如下好处:

第一,将存储块3与感测放大器61、字线驱动器62等外围器件设置在两块不同的半导体层上,有利于缩小单个半导体层的面积。此外,在垂直于半导体层上表面的方向上,半导体层的空间利用率提高。由于存储块3和外围器件分开制造,因此工艺更加简单,生产效率更高,且有利于提高二者的良率和性能。

[0031] 第二,字线驱动区域42和感测放大区域41在阵列半导体层1上的正投影与至少一个存储块3在阵列半导体层1上的正投影至少部分重叠。这样有利于减小存储块3的位线BL与感测放大器61的距离,以及存储块3的字线WL与字线驱动器62的距离,从而有利于缩短布线长度,缩短延迟时间。

[0032] 下面将结合附图对半导体结构进行详细说明。

[0033] 半导体结构包括第一方向X、第二方向Y和第三方向Z,第一方向X垂直于第二方向Y,且第一方向X和第二方向Y还与第三方向Z相垂直。其中,第一方向X和第二方向Y可以平行于阵列半导体层1的上表面,第三方向Z可以垂直于阵列半导体层1的上表面。字线WL沿第一方向X延伸,位线BL沿第二方向Y延伸。

[0034] 图1示出了半导体结构的剖面图,参考图1,阵列半导体层1和外围半导体层2可以均为芯片基底或者均为晶圆。阵列半导体层1和外围半导体层2可以通过混合键合的方式连接在一起。阵列半导体层1与外围半导体层2可以通过正面对背面或者正面对正面的方式进行键合。其中,阵列半导体层1形成有存储块3的一面称为正面,外围半导体层2形成有感测放大器61、字线驱动器62等外围器件的一面称为正面。

[0035] 半导体结构还包括互连结构13,互连结构13用于电连接阵列半导体层1与外围半导体层2。互连结构13包括位于阵列半导体层1上的第一互连结构11和位于外围半导体层2上的第二互连结构12。在两个半导体层以正面对正面的方式键合时,第一互连结构11可以为第一焊盘,第二互连结构12可以为第二焊盘122;在两个半导体层以正面对背面的方式键合时,第二互连结构12可以包括第二焊盘122和导电通孔121,导电通孔121可以为穿硅通孔(Through-Silicon Via,TSV)。另外,外围半导体层2还形成有与其他电路或器件连接的数据通道焊垫123(I/O pad)。

[0036] 图2示出了阵列半导体层1的键合表面的示意图,图3示出了外围半导体层2的键合表面的示意图,参考图2-图3,阵列半导体层1和外围半导体层2的键合表面上均设有焊盘以分别作为第一互连结构11和第二互连结构12。在一些实施例中,一个存储块3的位线BL数量

范围和字线WL数量范围可以均为900~1100,互连结构13的数量可以等于位线BL和字线WL的数量总和。一个存储块3的面积范围可以为 $45\mu\text{m}\times 45\mu\text{m}\sim 55\mu\text{m}\times 55\mu\text{m}$ 。以互连结构13的数量为2000,存储块3的面积为 $50\mu\text{m}\times 50\mu\text{m}$ 为例,则互连结构13的间距约为 $1.1118\mu\text{m}$,该间距符合混合键合的要求。

[0037] 参考图4-图12,下面将对存储块3进行详细说明。存储块3包括多个阵列排布的存储单元,存储单元可以包括晶体管和电容,字线WL可以与晶体管的栅极相连,位线BL可以与晶体管的源极或漏极相连。在一些实施例中,存储块3可以为存储阵列(array)、存储库(bank),并与全局感测放大器、全局字线驱动器对应电连接。在另一些实施例中,存储块3可以为存储器阵列片(memory array tile, MAT),并与局部感测放大器、局部字线驱动器电连接。

[0038] 字线驱动区域42内可以具有多个字线驱动器62,字线驱动器62可以为字线WL提供开启或关闭电压。感测放大区域41内可以具有多个感测放大器61,感测放大器61可以将存储单元传输到位线BL上的数据放大,以保证正确检测存储单元中存储的数据。参考图4-图7,每个字线驱动器62可以与存储块3内的一条字线WL电连接。参考图8-图12,每个感测放大器61可以与存储块3内的两条位线BL电连接,感测放大器61可以放大两条位线BL上的电压差。需要说明的是,感测放大器61电连接的两条位线BL可以位于同一存储块3内,也可以位于不同的存储块3内,后续将对此进行详细说明。

[0039] 半导体结构还包括连接线,示例的,至少部分连接线可以在平行于阵列半导体层1的上表面的方向上延伸,从而改变位线BL和字线WL的布局。具体地,参考图4、图6-图7,连接线包括位于外围半导体层2的字线连接线WL0,至少部分字线连接线WL0沿第二方向Y延伸,字线连接线WL0与字线驱动区域42的字线驱动器62电连接,且通过互连结构13与字线WL电连接。参考图8-图12,连接线包括位于外围半导体层2的位线连接线BL0。至少部分位线连接线BL0沿第一方向X延伸,位线连接线BL0与感测放大区域41的感测放大器61电连接,且通过互连结构13与位线BL电连接。也就是说,至少部分位线连接线BL0与位线BL相垂直,至少部分字线连接线WL0与字线WL相垂直,这样能够规范连接线的布局,且减少连接线的长度。

[0040] 下面将对字线驱动区域42和感测放大区域41的位置关系进行详细说明。

[0041] 在一些实施例中,参考图4-图14,字线驱动区域42的延伸方向与感测放大区域41的延伸方向相互平行。这是因为每个存储块3都与字线驱动区域42的字线驱动器62以及感测放大区域41的感测放大器61存在电连接关系,因此,将两个区域的延伸方向平行设置可以简化连接线的布局方式,并且为其他的外围区域提供更加充足的空间。

[0042] 具体地,参考图13-图14,字线驱动区域42和感测放大区域41相邻设置,且二者构成第一外围区412;外围半导体层2还包括第二外围区43,第二外围区43内包括地址译码电路或写驱动电路。此外,第二外围区43内还可以包括解码器、I/O电路、时钟信号产生电路等外围器件。第二外围区43至少位于第一外围区412的相对两侧。由此,第二外围区43的空间更大,从而能够便于工艺制造,且降低信号干扰。

[0043] 继续参考图13-图14,外围半导体层2上还具有布线层44,以电连接多个第二外围区43。在一些实施例中,多个第一外围区412间隔设置,从而为第二外围区43之间的布线层44预留位置。至少部分布线层44在阵列半导体层1上的正投影可以与相邻存储块3的间隔区域的正投影相重叠。

[0044] 在另一些实施例中,字线驱动区域42和感测放大区域41也可以与感测放大区域41间隔设置。字线驱动区域42的延伸方向也可以与感测放大区域41的延伸方向不同,例如字线驱动区域42的延伸方向垂直于感测放大区域41的延伸方向。

[0045] 在一些实施例中,参考图5-图7以及图9-图12,字线驱动区域42的延伸方向可以相对于第一方向X和第二方向Y倾斜,感测放大区域41的延伸方向也可以相对于第一方向X和第二方向Y倾斜。倾斜设置有利于扩大字线驱动区域42的正投影与存储块3的正投影的重叠面积,以及感测放大区域41的正投影与存储块3的正投影的重叠面积,这样可以增大字线驱动器62、感测放大器61以及连接线等结构的工艺窗口,以降低工艺难度。此外,扩大感测放大区域41和字线驱动区域42的空间还有利于降低寄生电容,从而提高半导体结构的性能。

[0046] 例如,字线驱动区域42的延伸方向分别与第一方向X和第二方向Y的夹角可以为 $30^{\circ}\sim 60^{\circ}$ 。感测放大区域41的延伸方向分别与第一方向X和第二方向Y的夹角可以为 $30^{\circ}\sim 60^{\circ}$ 。在夹角处于上述范围时,可以为字线驱动区域42和感测放大区域41提供较为充足的空间,并避免挤占布线层44(参考图13-图14)的位置。

[0047] 在另一些实施例中,参考图4和图8,字线驱动区域42的延伸方向可以相对于第一方向X或第二方向Y平行,感测放大区域41的延伸方向可以相对于第一方向X或第二方向Y平行。

[0048] 举例而言,字线驱动区域42和感测放大区域41的延伸方向均相对于第一方向X平行设置,或者字线驱动区域42和感测放大区域41的延伸方向还可以均相对于第二方向Y平行设置。这样可以保证字线驱动区域42和感测放大区域41的延伸方向的一致性。

[0049] 另外,字线驱动区域42的延伸方向还可以平行于第二方向Y,即平行于多条字线WL的排列方向;且感测放大区域41的延伸方向平行于第一方向X,即平行于多条位线BL的排列方向。如此,字线驱动区域42在阵列半导体层1上的正投影可以与多条字线WL的在阵列半导体层1上正投影至少部分重叠,感测放大区域41在阵列半导体层1上的正投影可以与多条位线BL在阵列半导体层1上的正投影至少部分重叠,这样有利于缩短位线连接线BL0和字线连接线WL0的长度。

[0050] 参考图4-图7,下面将对字线驱动区域42与存储块3的正投影关系和电连接关系进行举例说明。为了更加清晰地示意字线驱动器62与存储块3的电连接关系,图4-图7未示意感测放大器61及其与存储块3的电连接关系,且图4-图7均为半导体结构的局部示意图。需要说明的是,后续所述的正投影均指位于阵列半导体层1上的正投影。

[0051] 参考图4-图5,示例一:字线驱动区域42的字线驱动器62与存储块3一一对应电连接,且一字线驱动区域42在阵列半导体层1上的正投影位于对应的一存储块3在阵列半导体层1上的正投影内。即字线驱动区域42与存储块3的正投影关系和电连接关系均是一一对应的。一一对应的方式较为简单,有利于减小字线WL与字线驱动器62的距离,进而提高半导体结构的运行速率。

[0052] 参考图4,字线驱动区域42的延伸方向可以与第一方向X或第二方向Y平行。参考图5,字线驱动区域42的延伸方向也可以相对于第一方向X和第二方向Y倾斜。也就是说,在示例一中,无论是平行设置还是倾斜设置,字线驱动区域42的正投影均可以与存储块3的正投影相重叠。对比图4-图5可知,在倾斜设置时,多条字线WL的正投影可以与字线驱动区域42的正投影具有重叠关系,由此可以无需设置字线连接线WL0,或者设置较短的字线连接线

WL0。示例地,字线驱动区域42可以沿着存储块3的对角线的方向延伸,这样有利于扩大字线驱动器62的空间,以降低寄生电容。在一些实施例中,每一字线WL的正投影均与一字线驱动器62的正投影具有重叠关系。

[0053] 继续参考图4-图5,字线驱动区域42在阵列半导体层1上的正投影覆盖存储块3在阵列半导体层1上的正投影的中心位置。这样可以平衡字线连接线WL0的布局以及降低寄生电容。

[0054] 如图4所示,存储块3可以包括在第二方向Y排布的两个存储子块31,相邻两个字线驱动器62可以与不同存储子块31的字线WL电连接,由此,相邻两个字线驱动器62对应连接的字线连接线WL0无需正对设置,从而有利于降低寄生电容。

[0055] 在另一些实施例中,参考图6-图7,在第一方向X排布的相邻两个存储块3构成存储组3a,或,在第二方向Y排布的相邻两个存储块3构成存储组3a;一字线驱动区域42在阵列半导体层1上的正投影与一存储组3a的两个存储块3在阵列半导体层1上的正投影至少部分重叠。由于字线驱动区域42的正投影可以与两个存储块3的正投影具有重叠关系,从而有利于为字线驱动器62提供更加充足的空间位置,以降低信号干扰,且简化制造工艺。

[0056] 具体地,参考图6,示例二:字线驱动区域42包括相连的两个第一子区421,且两个第一子区421在阵列半导体层1上的正投影分别与对应存储组3a包括的两个不同存储块3在阵列半导体层1上的正投影至少部分重叠;两个第一子区421的字线驱动器62分别与两个不同存储块3电连接。

[0057] 例如,两个第一子区421分别与距离其最近的一个存储块3电连接。也就是说,第一子区421可以与一个存储块3同时具有正投影重叠的关系以及电连接关系。这样有利于简化字线连接线WL0的布局方式,提高信号传输速率。

[0058] 具体而言,每个存储块3包括两个存储子块31,两个存储子块31可以在第一方向X或第二方向Y上排列。字线驱动区域42的两个第一子区421的字线驱动器62分别与两个不同存储块3中的一个存储子块31对应电连接,且第一子区421的正投影与对应存储子块31的正投影至少部分重叠。也就是说,一个第一子区421的字线驱动器62与一个存储子块31的字线WL电连接,且一个第一子区421的正投影与一个存储子块31的正投影具有重叠关系。

[0059] 继续参考图6,第一子区421内的多个字线驱动器62可以等间距排列,多条字线连接线WL0的长度可以相同,这样可以提高半导体结构的均一性,避免产生不同的延迟时间。另外,多条字线连接线WL0还可以错开设置,即多条字线连接线WL0在第一方向X不是正对正对关系,这样可以降低寄生电容。

[0060] 参考图7,示例三:字线驱动区域42包括相连的两个第一子区421,且两个第一子区421在阵列半导体层1上的正投影分别与对应存储组3a包括的两个不同存储块3在阵列半导体层1上的正投影至少部分重叠;两个第一子区421的字线驱动器62均与对应存储组3a中的一个存储块3电连接。即,虽然字线驱动区域42的正投影可以与两个存储块3的正投影具有重叠关系,但字线驱动区域42的字线驱动器62可以只与其中一个存储块3电连接。

[0061] 需要说明的是,在示例二和示例三中,字线驱动区域42的延伸方向可以相对于第一方向X和第二方向Y倾斜,即字线驱动区域42的延伸方向不同于第一方向X和第二方向Y,以保证字线驱动区域42可以横跨两个存储块3。

[0062] 对比示例二和示例三可知,在字线驱动区域42与两个存储块3的字线WL均存在电

连接关系时,字线连接线WL0的长度更短,且字线连接线WL0之间的正对面积更小,这样可以缩短延迟时间,减小寄生电容。

[0063] 参考图8-图12,下面将对感测放大区域41与存储块3的投影关系和电连接关系进行举例说明。为了更加清晰地示意感测放大区域41与存储块3的电连接关系,图8-图12未示意字线驱动器62及其与存储块3的电连接关系。图8-图12均为半导体结构的局部示意图。

[0064] 参考图8-图9,示例四:感测放大区域41的感测放大器61与存储块3一一对应电连接,且一感测放大区域41在阵列半导体层1上的正投影位于对应的一存储块3在阵列半导体层1上的正投影内。即感测放大区域41与存储块3的正投影关系和电连接关系均是一一对应的。一一对应的连接方式较为简单,且有利于缩小位线BL与感测放大器61的距离,从而提高半导体结构的运行速率。

[0065] 参考图8,感测放大区域41的延伸方向可以与第一方向X或第二方向Y平行。参考图9,感测放大区域41的延伸方向可以相对于第一方向X和第二方向Y倾斜。例如,感测放大区域41可以沿着存储块3的对角线的方向延伸,这样有利于扩大感测放大区域41的空间,以降低寄生电容。此外,较多位线BL的正投影可以与感测放大区域41的正投影具有重叠,以简化位线连接线BL0的布局。

[0066] 继续参考图8-图9,感测放大区域41在阵列半导体层1上的正投影覆盖存储块3在阵列半导体层1上的正投影的中心位置。这样可以平衡位线连接线BL0的布局以及降低寄生电容。

[0067] 参考图8,感测放大器61的正投影可以位于与其电连接的两条位线BL的正投影之间,这样有利于减小位线连接线BL0的长度。此外,参考图9,感测放大器61还可以位于与其电连接的两条位线BL的同一侧。

[0068] 在另一些实施例中,参考图10-图12,在第一方向X排布的相邻两个存储块3构成存储组3a,或,在第二方向Y排布的相邻两个存储块3构成存储组3a;一感测放大区域41在阵列半导体层1上的正投影与一存储组3a的两个存储块3在阵列半导体层1上的正投影至少部分重叠。由于感测放大区域41的正投影可以与两个存储块3的正投影具有重叠关系,从而有利于为感测放大区域41提供更加充足的空间位置,以降低信号干扰,且简化制造工艺。

[0069] 具体地,参考图10,示例五:感测放大区域41包括相连的两个第二子区411,且两个第二子区411在阵列半导体层1上的正投影分别与对应存储组3a包括的两个不同存储块3在阵列半导体层1上的正投影至少部分重叠,两个第二子区411的感测放大器61分别与两个不同存储块3电连接。

[0070] 例如,两个第二子区411分别与距离其最近的一个存储块3电连接。也就是说,第二子区411可以与一个存储块3同时具有正投影重叠的关系以及电连接关系。这样有利于简化位线连接线BL0的布局方式,提高信号传输速率。

[0071] 具体而言,每个存储块3包括两个存储子块31,两个存储子块31可以在第一方向X或第二方向Y上排列。感测放大区域41的两个第二子区411分别与两个不同存储块3中的一个存储子块31对应电连接,且第二子区411的正投影与对应存储子块31的正投影至少部分重叠。也就是说,一个第二子区411的感测放大器61与一个存储子块31的位线BL对应电连接,且一个第二子区411的正投影与对应的一个存储子块31的正投影具有重叠关系。

[0072] 参考图11,示例六:感测放大区域41包括相连的两个第二子区411,且两个第二子

区411在阵列半导体层1上的正投影分别与对应存储组3a包括的两个不同存储块3在阵列半导体层1上的正投影至少部分重叠,两个第二子区411的感测放大器61均与对应存储组3中的一个存储块3电连接。即,虽然感测放大区域41的正投影可以与两个存储块3的正投影具有重叠关系,但感测放大区域41的感测放大器61可以只与其中一个存储块3电连接。

[0073] 对比示例五和示例六可知,在感测放大区域41与两个存储块3的位线BL均存在电连接关系时,位线连接线BL0的长度更短,且位线连接线BL0之间的正对面积更小,这样可以缩短延迟时间,减小寄生电容。

[0074] 参考图12,示例七:一个感测放大区域41的感测放大器61与对应存储组3a中的两个存储块3电连接。即一个感测放大区域41和两个与其具有正投影重叠关系的存储块3中的所有位线BL电连接。

[0075] 举例而言,存储组3a的两个存储块3在第二方向Y上排列。每一感测放大器61电连接两条不同存储块3的位线BL,与同一感测放大器61电连接的两条位线BL在第二方向Y上对齐。这样可以减少感测放大器61的数量,从而为第二外围区43的外围器件以及布线层44(参考图13-图14)等结构提供更充足的空间。

[0076] 需要说明的是,在示例五至示例七中,感测放大区域41的延伸方向可以相对于第一方向X和第二方向Y倾斜,即感测放大区域41的延伸方向不同于第一方向X和第二方向Y,以保证感测放大区域41可以横跨两个存储块3。

[0077] 值得注意的是,在不矛盾的前提下,“字线驱动区域42与存储块3的正投影关系、电连接关系”可以与“感测放大区域41与存储块3的正投影关系、电连接关系”相互组合。

[0078] 举例而言,一字线驱动区域42和一感测放大区域41均与一存储块3存在正投影重叠关系和电连接关系。或者,一字线驱动区域42和一感测放大区域41均与两个存储块3存在正投影重叠关系和电连接关系。这样有利于提高半导体结构的均一性,有利于减小连接线长度,从而为第二外围区43提供更加充足的空间。值得注意的是,本公开实施例并不限于上述两种组合方案。即,示例一至示例三的各方案可以与示例四至示例七的各方案进行两两组合。

[0079] 综上所述,本公开实施例中将存储块3和外围器件设置在两块不同的半导体层上并键合设置,从而有利于缩小半导体层的面积,并且有利于提高生产效率和半导体结构的性能。字线驱动区域42和感测放大区域41在阵列半导体层1上的正投影与至少一个存储块3在阵列半导体层1上的正投影至少部分重叠,这样有利于减小连接线的长度,缩短延迟时间。

[0080] 本公开实施例还提供一种存储器,存储器包括前述实施例提供的半导体结构,有关此半导体结构的详细说明可以参考前述实施例。存储器可以为动态随机存取存储器(Dynamic Random Access Memory, DRAM)、静态随机存储器(Static Random-Access Memory, SRAM)、高带宽存储器(High Bandwidth Memory, HBM)等存储器。

[0081] 本公开实施例还提供一种半导体结构的制造方法,此制造方法可以制造前述实施例提供的半导体结构,有关此半导体结构的详细说明可以参考前述实施例。

[0082] 参考图1,制造方法包括:提供阵列半导体层1并在阵列半导体层1上形成第一互连结构11。示例地,通过图形化工艺和沉积工艺形成第一焊盘以作为第一互连结构11。阵列半导体层1还可以具有介质层,第一互连结构11的上表面可以与介质层的上表面齐平。阵列半

导体层还具有多个存储块3(参考图4-图14),存储块3包括多条位线BL和多条字线WL。

[0083] 提供外围半导体层2并在外围半导体层2上形成第二互连结构12。示例地,通过图形化工艺和沉积工艺形成第二焊盘122和导电通孔121以作为第二互连结构12。在另一些实施例中,也可以只形成第二焊盘122以作为第二互连结构12。外围半导体层2还可以具有介质层,第二互连结构12的上表面可以与介质层的上表面齐平。外围半导体层2还包括字线驱动区域42和感测放大区域41。

[0084] 通过第一互连结构11和第二互连结构12键合阵列半导体层1和外围半导体层2,以使字线驱动区域42和感测放大区域41在阵列半导体层1上的正投影与至少一个存储块3在阵列半导体层1上的正投影至少部分重叠,并使感测放大区域41的感测放大器61与位线BL电连接,字线驱动区域42的字线驱动器62与字线WL电连接。示例地,采用混合键合的方式,使得第一互连结构11与第二互连结构12对准且键合,使得阵列半导体层1上的介质层与外围半导体层2上的介质层对准且键合。

[0085] 在另一些实施例中,还可以采用熔融键合的方式实现两个半导体层的键合。即,第一互连结构11和第二互连结构12可以均为凸设于半导体层表面的焊球。

[0086] 在本说明书的描述中,参考术语“一些实施例”、“示例地”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施例或示例中。在本说明书中,对上述术语的示意性表述不必须针对的是相同的实施例或示例。而且,描述的具体特征、结构、材料或者特点可以在任一个或多个实施例或示例中以合适的方式结合。此外,在不相互矛盾的情况下,本领域的技术人员可以将本说明书中描述的不同实施例或示例以及不同实施例或示例的特征进行结合和组合。

[0087] 尽管上面已经示出和描述了本公开的实施例,可以理解的是,上述实施例是示例性的,不能理解为对本公开的限制,本领域的普通技术人员在本公开的范围内可以对上述实施例进行变化、修改、替换和变型,故但凡依本公开的权利要求和说明书所做的变化或修饰,皆应属于本公开专利涵盖的范围之内。

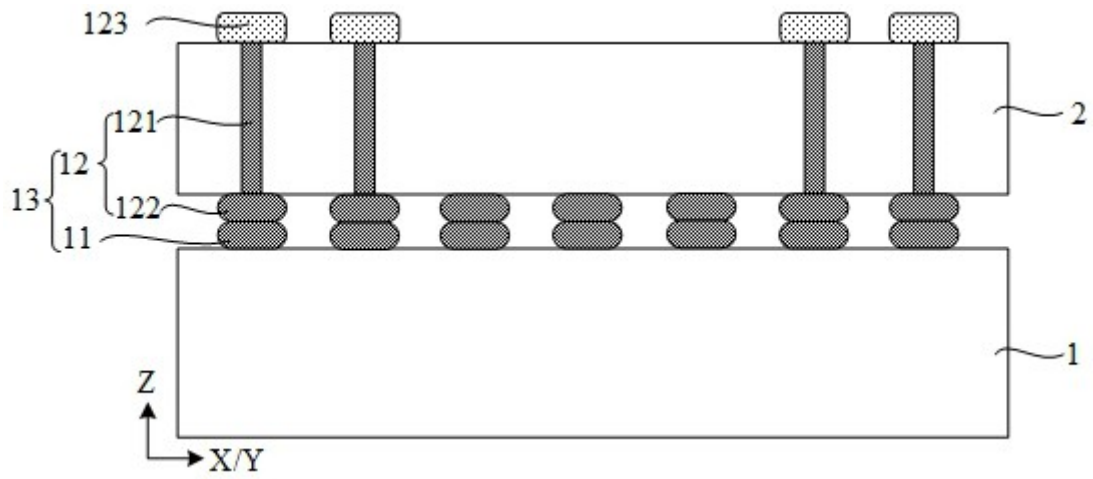


图 1

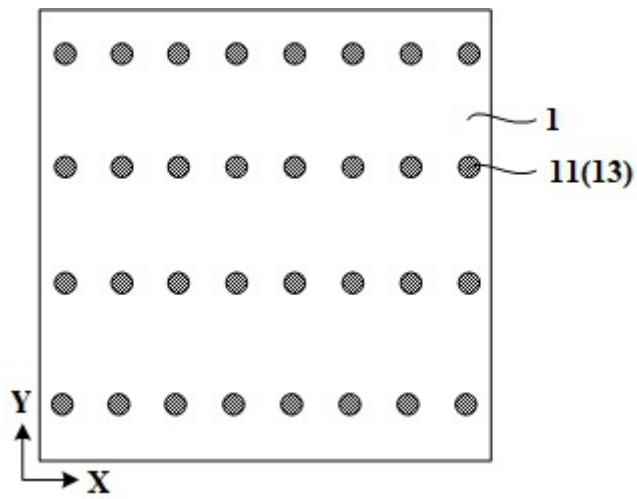


图 2

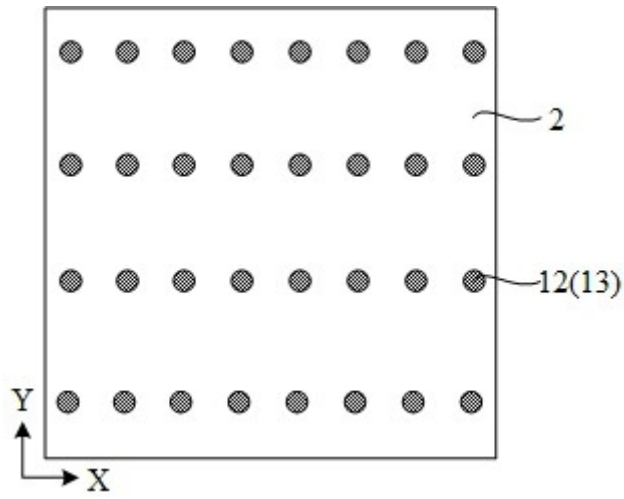


图 3

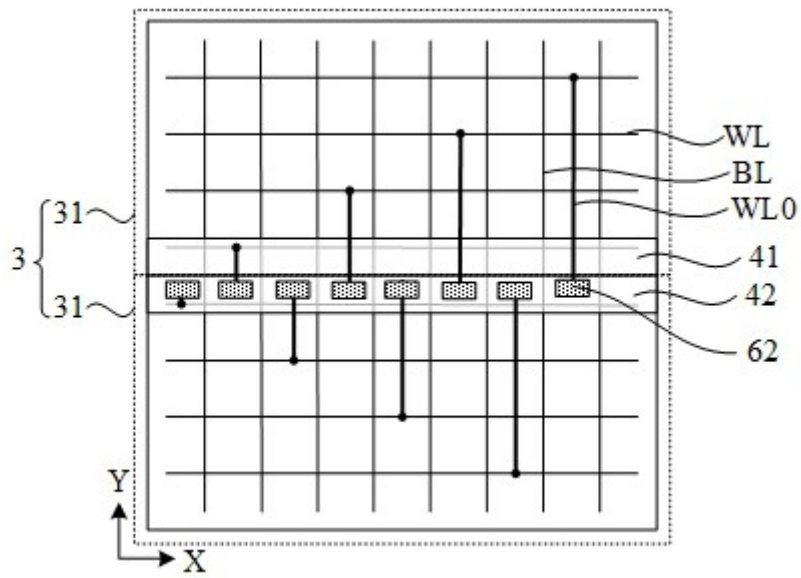


图 4

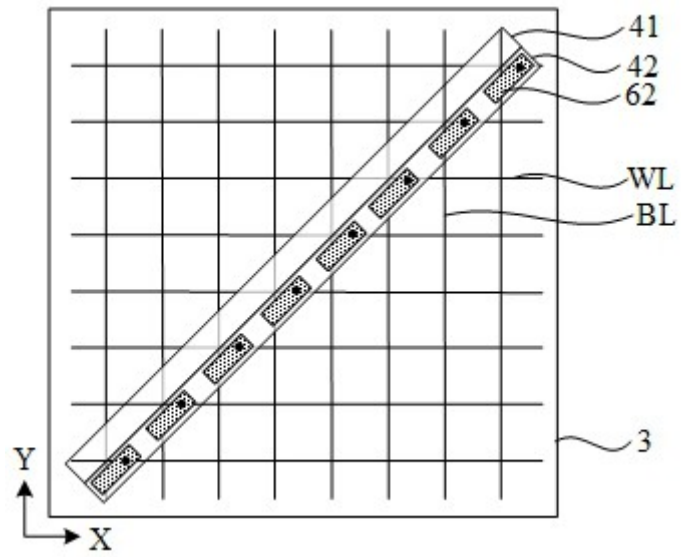


图 5

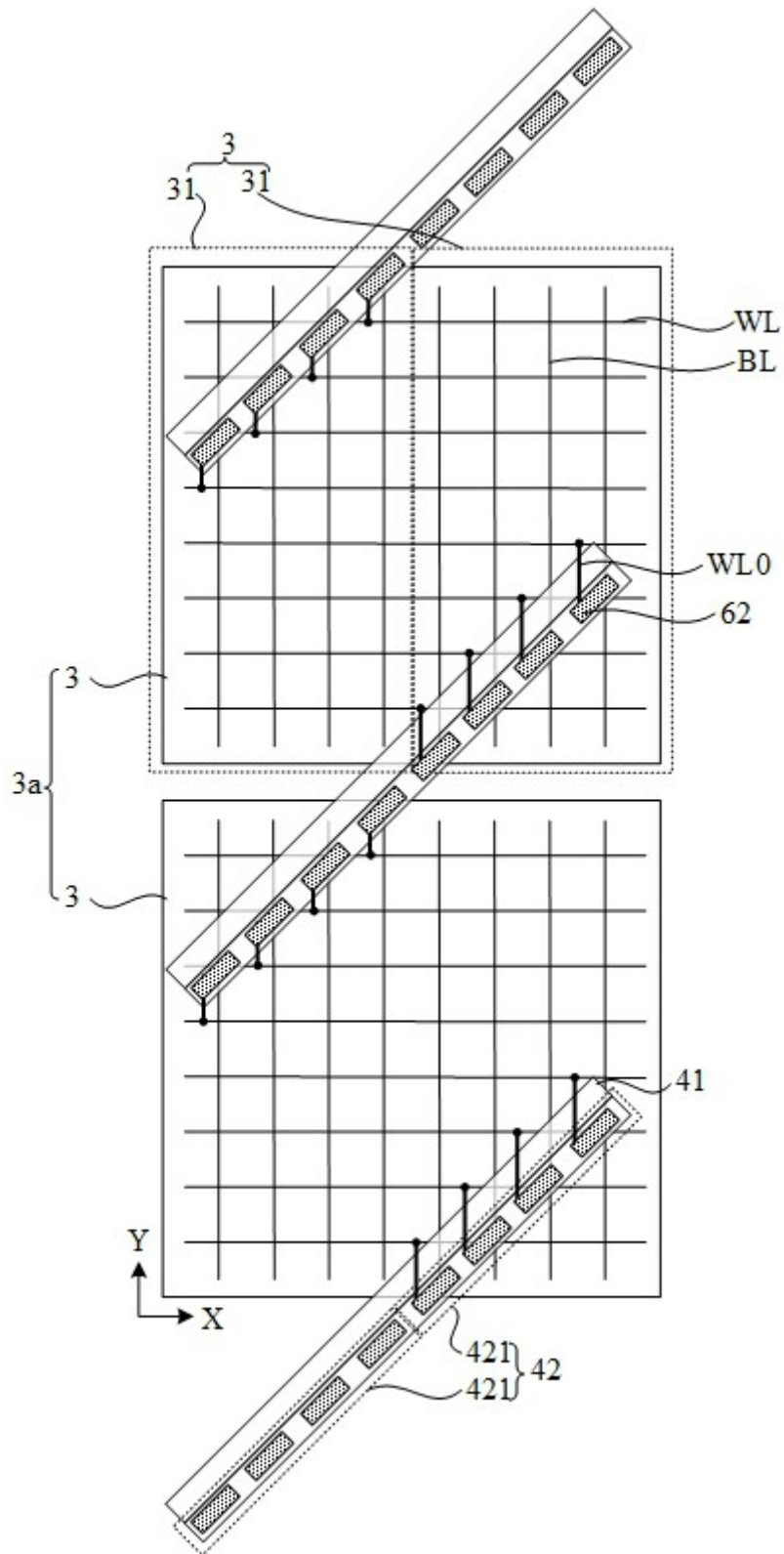


图 6

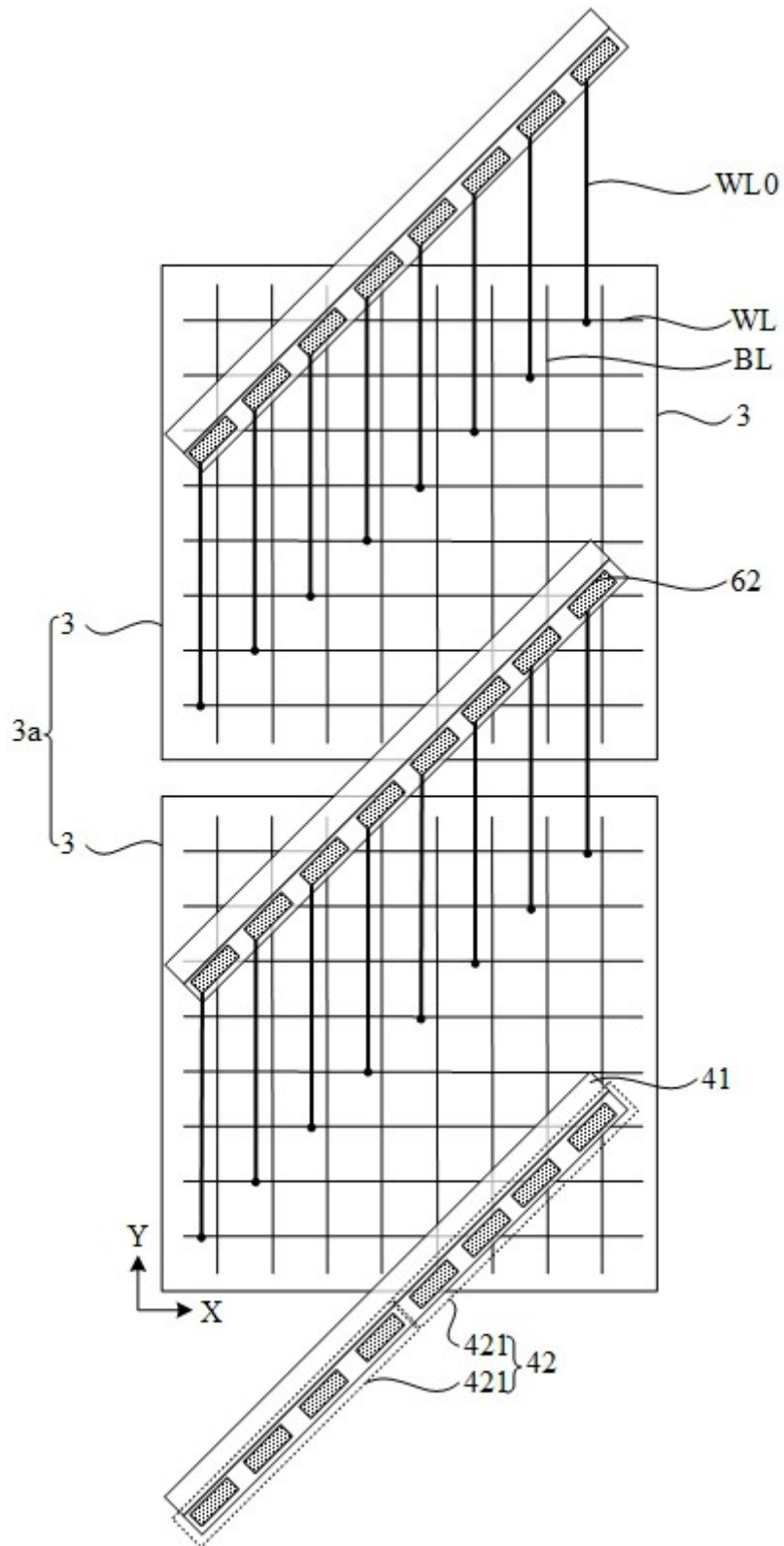


图 7

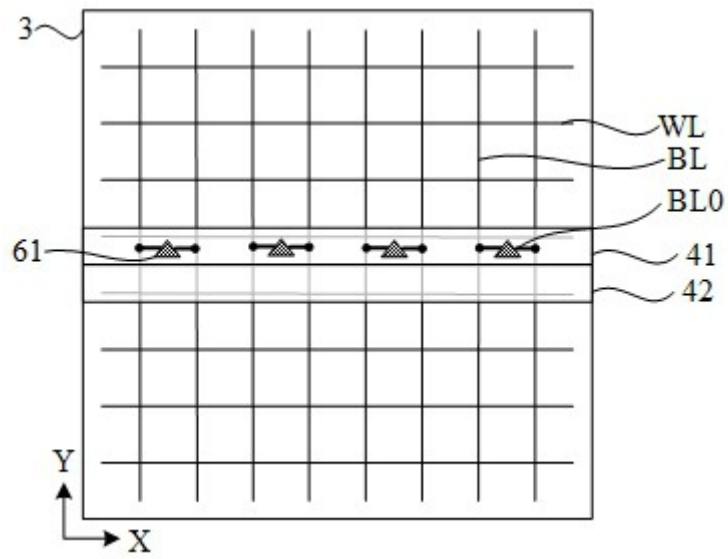


图 8

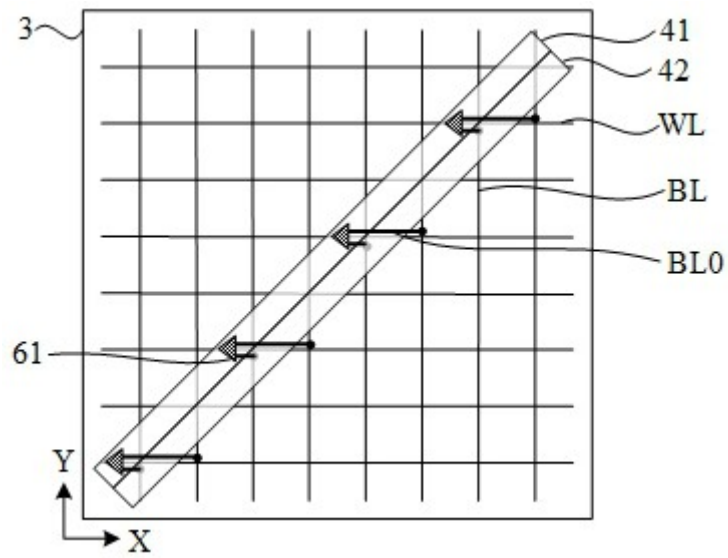


图 9

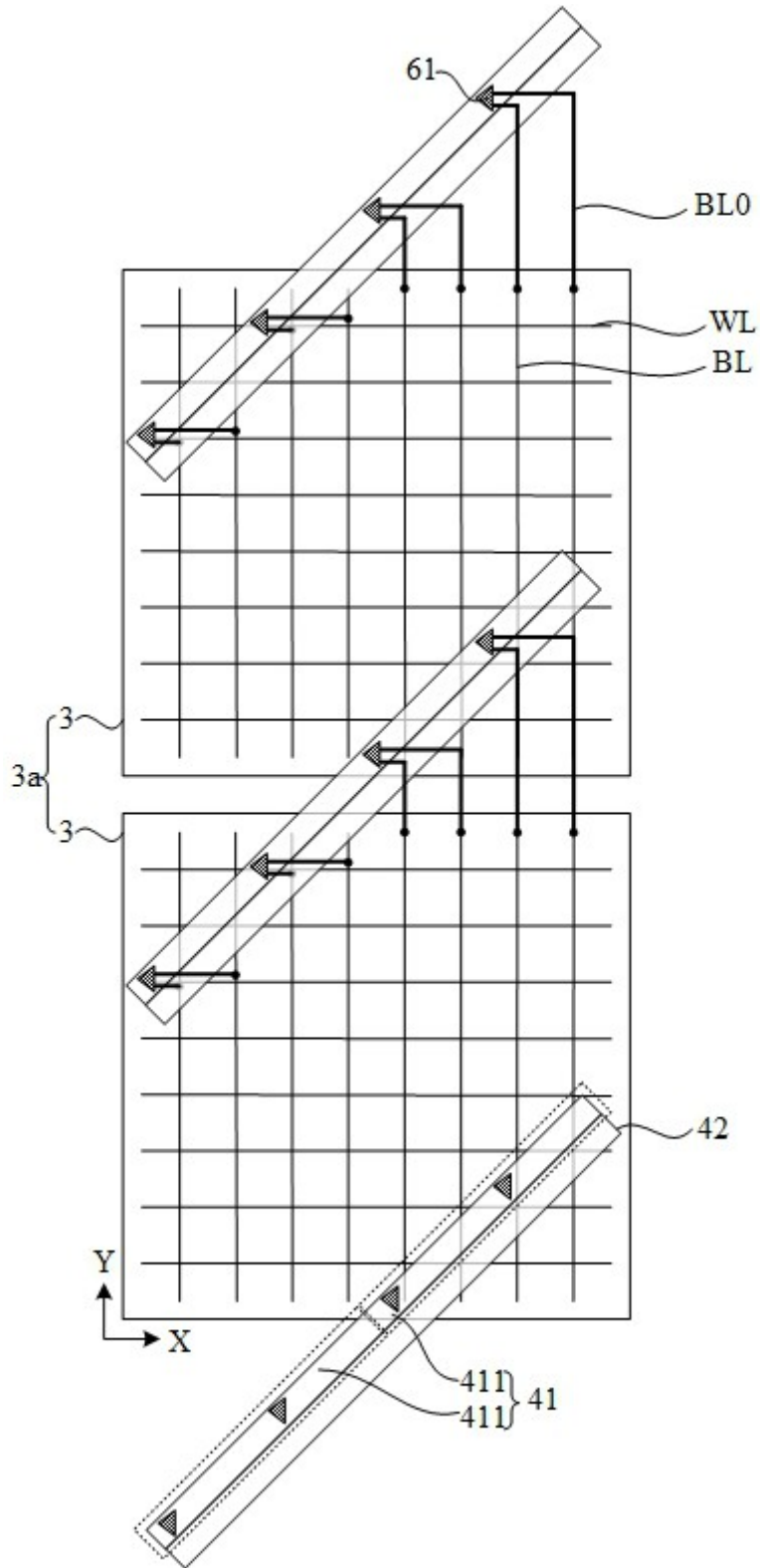


图 11

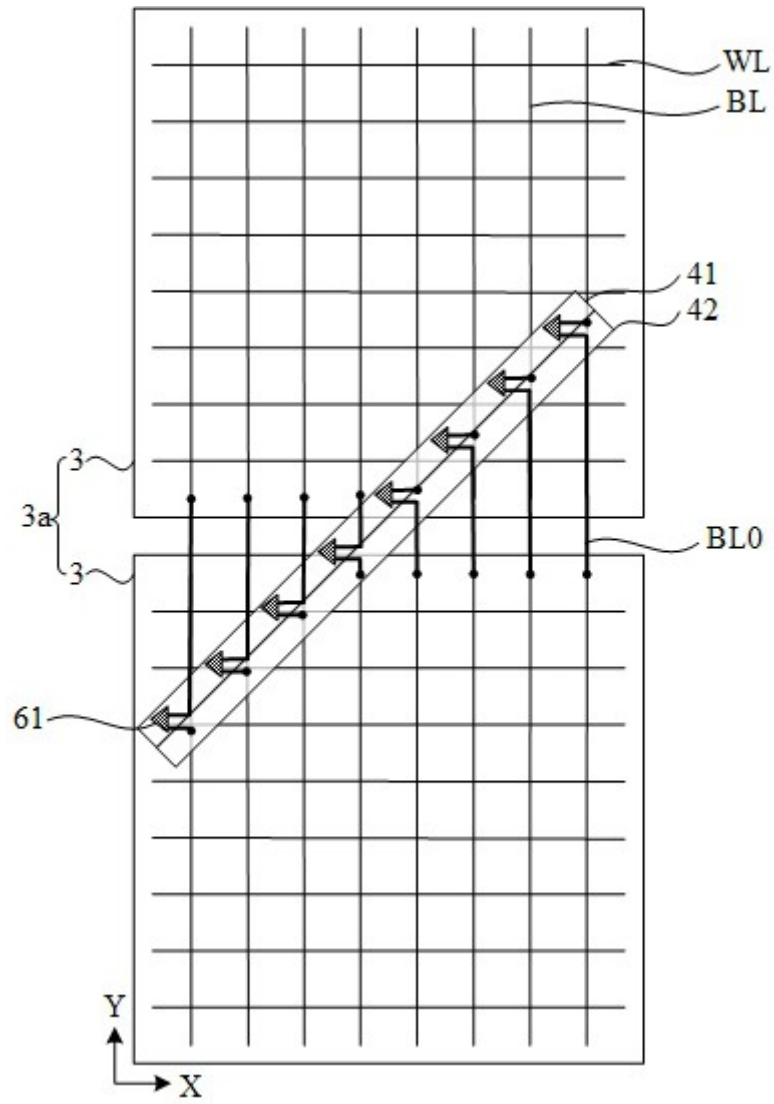


图 12

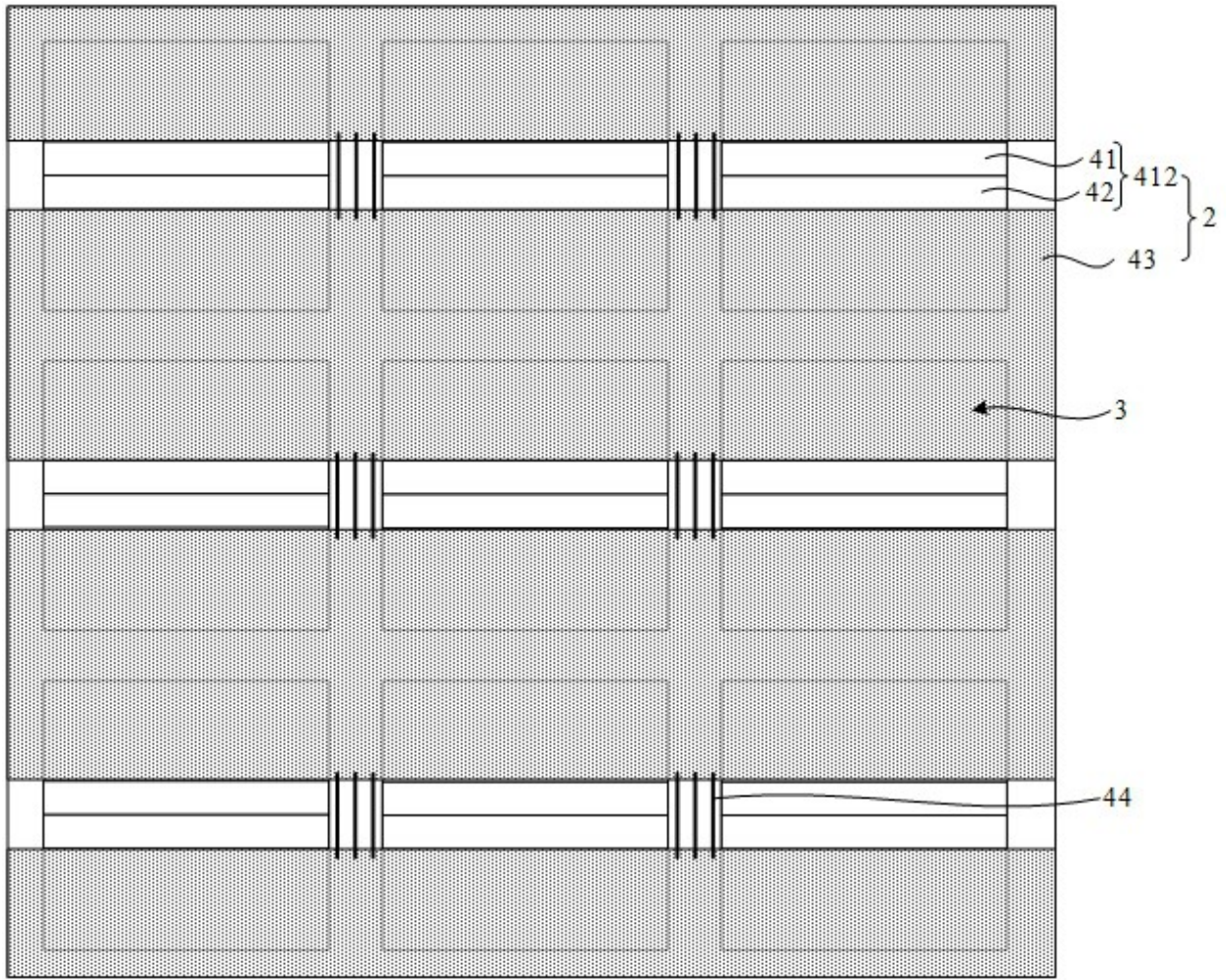


图 13

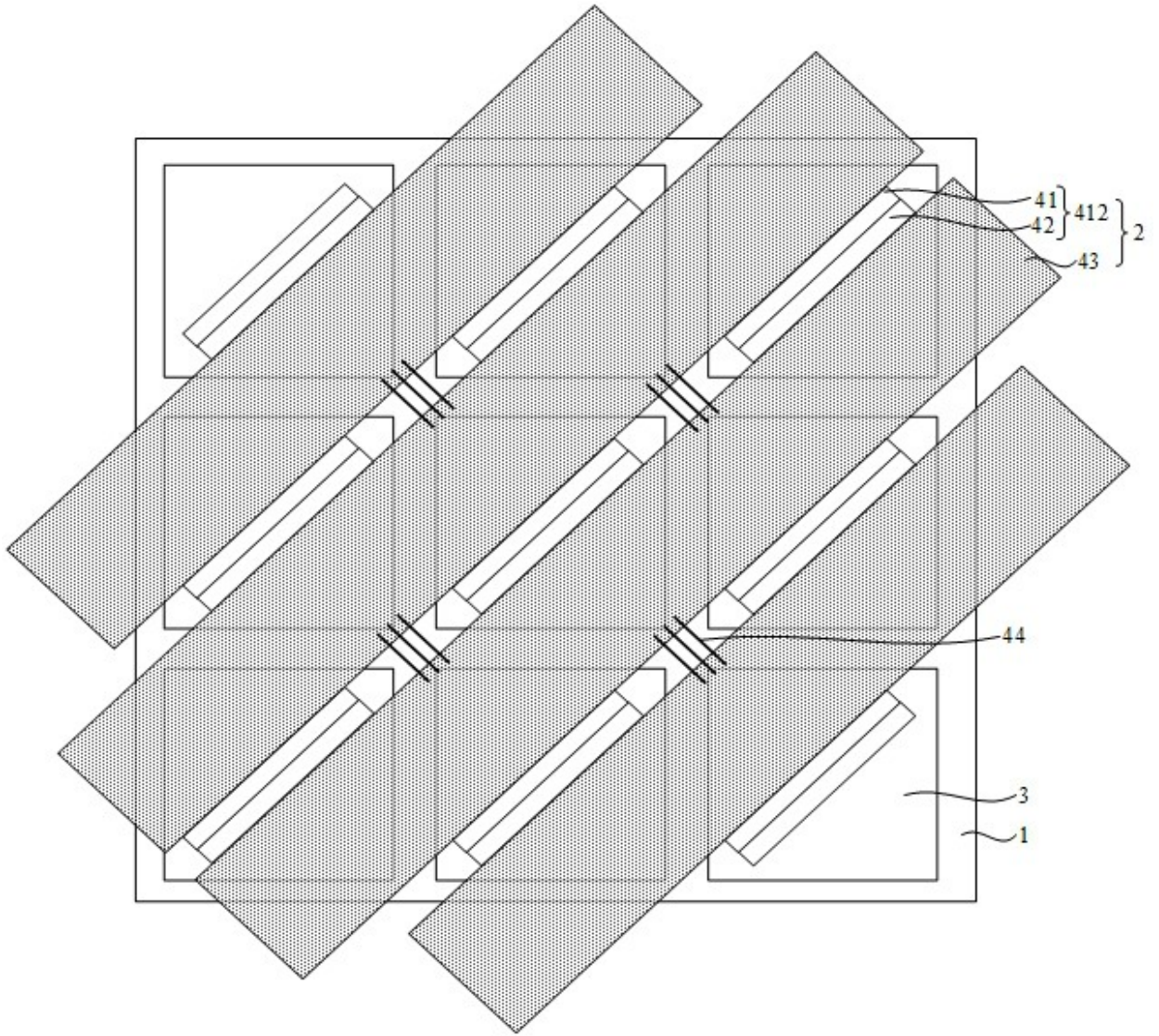


图 14