(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/401

(45) 공고일자 1998년12월01일
(11) 등록번호 특0150492
(24) 등록일자 1998년06월15일

(21) 출원번호 특1994-040719
(22) 출원일자 1994년12월28일
(65) 공개번호 특1995-020713
(43) 공개일자 1995년07월24일

(30) 우선권주장 93-336667 1993년12월28일 일본(JP)
94-285279 1994년11월18일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 오오와키 유키히토
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
하세가와 다케히로
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터내
(74) 대리인 이세진, 김윤배

심사관 : 정희환

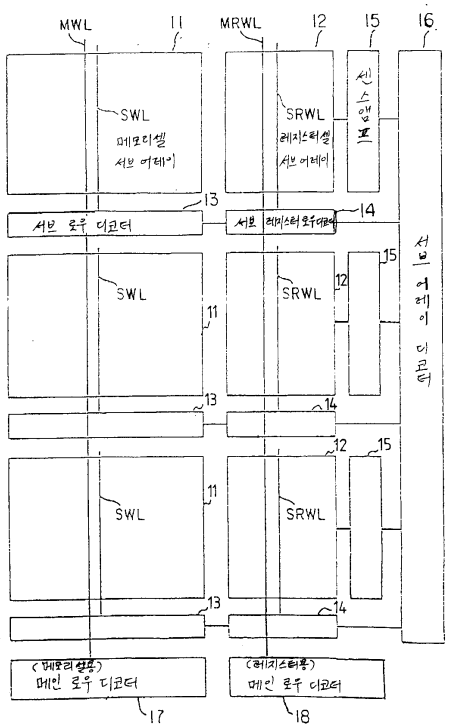
(54) 다이나믹 반도체기억장치

요약

본 발명은 복수의 메모리 셀을 직렬로 접속하여 메모리 셀 유니트를 구성하는 NAND형 셀 어레이방식에 있어서, 데이터 액세스에 따른 소비전력의 저감을 도모하고, 또한 액세스속도를 고속화한 반도체 기억장치를 제공하고자 함에 그 목적이 있는 것이다.

이를 위한 본 발명은, 메모리 셀 어레이를 복수의 서브 어레이로 분할하고, 분할된 서브 어레이를 선택적으로 활성화함으로써, 데이터를 액세스할 때에 충방전하는 워드선, 레지스터 워드선, 비트선 등의 용량을 작게 하도록 구성되어 있다.

대표도



명세서

[발명의 명칭]

다이나믹 반도체기억장치

[도면의 간단한 설명]

제1도는 종래의 반도체기억장치에 있어서의 메모리 셀 유니트와 레지스터 셀 어레이, 센스 앰프의 구성을 나타낸 도면.

제2도는 종래기술에 있어서의 데이터 액세스시의 동작을 설명하기 위한 신호파형도.

제3도는 본 발명의 제1실시예에 관한 반도체기억장치의 개략구성을 모식적으로 나타낸 블록도.

제4도는 제1실시예에 있어서의 서브 어레이와 서브 로우 디코더를 보다 구체적으로 나타낸 도면.

제5도는 본 발명의 제2실시예에 관한 반도체기억장치의 개략 구성을 모식적으로 나타낸 블록도.

제6도는 제2실시예에 있어서의 복수 비트선과 1개의 센스 앰프의 접속예를 나타낸 도면.

제7도는 본 발명의 제3실시예에 관한 반도체기억장치의 개략구성을 모식적으로 나타낸 블록도.

제8도는 본 발명의 제4실시예에 관한 반도체기억장치의 개략구성을 모식적으로 나타낸 블록도.

제9도는 제4실시예에 있어서의 서브 어레이 콘트롤러의 구체적인 구성을 나타낸 회로도.

제10도는 제4실시예에 있어서의 서브 로우 디코더, 레지스터 서브 로우 디코더, 센스 앰프 및 기타 제어회로의 일부를 나타낸 회로도.

제11도는 제4실시예에 있어서의 메모리 셀 어레이, 레지스터 셀 어레이, 센스 앰프 및 기타 제어회로의 일부를 나타낸 회로도로서, 제10도와 관련되어 있는 도면.

제12도는 제4실시예의 동작을 설명하기 위한 신호파형도.

제13도는 제4실시예에 있어서 서브 어레이 사이즈를 결정하기 위한 서브 어레이 디코더의 구체적인 구성을 설명하기 위한 회로도.

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 반도체 기억장치에 관한 것으로, 특히 메모리 셀이 복수개 직렬로 접속된 메모리 셀 유니트의 어레이를 갖춘 반도체기억장치에 관한 것이다.

[종래의 기술 및 그 문제점]

종래부터, 복수개의 메모리 셀을 직렬로 접속하여 NAND형 메모리 셀 유니트를 형성하고, 이 메모리 셀 유니트를 복수개 비트선에 접속하여 메모리 셀 어레이를 구성하는 방식의 DRAM이 알려져 있다. 이 셀 어레이 방식은 개개의 메모리 셀을 각각 비트선에 접속하는 방식에 비해, 비트선 콘택트가 적어지게 되기 때문에, 셀의 면적을 작게 할 수 있다는 이점이 있다.

이 NAND형 셀 어레이 방식에서는, 메모리 셀 유니트 내의 비트선으로부터 먼 쪽의 메모리 셀 데이터를 독출할 때에는, 그보다 비트선측의 셀 데이터를 파괴하게 된다. 그래서, 메모리 셀 유니트내의 데이터를 일시 보존하여 재기록을 하기 위한 레지스터를 필요로 한다(예컨대, 1991년 IEEE ISSCC DIGEST OF TECHNICAL PAPERS, VOL. 34, p106, TAM6.2).

제1도는 종래의 NAND형 셀 어레이 방식의 반도체기억장치를 나타낸 것으로, 참조부호 1은 예컨대 4개의 메모리 셀(M)을 직렬로 접속하여 이루어진 NAND형 셀 어레이, 참조부호 2는 상기 메모리 셀에 대응하는 4개의 레지스터 셀(RM)으로 이루어진 레지스터 셀 어레이, 참조부호 3은 센스 앰프, 참조부호 4는 로우 디코더, 참조부호 5는 레지스터용 로우 디코더를 나타내고 있다.

이 장치에서 1메모리 셀 유니트의 데이터를 독출하고 재기록하기 위해서는, 워드선(WL0)을 상승시켜서(activate), 메모리 셀(M0)의 데이터를 검지(센스)하고, 비트선(BL)을 충방전하며, 레지스터 셀용 워드선(RWL0)을 상승시켜서 메모리 셀(M0)의 데이터를 레지스터 셀(RM0)로 전송하고, RWL0를 하강시켜서(de-activate), 레지스터 셀(RM0)의 데이터를 확보하도록 동작한다. 이를 위하여, 1비트의 데이터를 메모리 셀(M)로부터 레지스터 셀(RM)로 독출하여 전송하기 위해, WL이 1회 상승하고, 레지스터 셀용 워드선(RWL)이 1회 상승하며, 1회 하강한다. 더욱이, 1비트의 데이터를 메모리 셀에 재개록하기 위해서는 레지스터 셀용 워드선(RWL)이 1회 상승하고, 하강하며, 워드선(WL)이 1회 하강한다.

따라서, 4비트가 1유니트인 셀에서는 제2도에 나타낸 것처럼 워드선 4개가 1회 상승 및 하강하고, 레지스터 워드선 4개가 2회 상승 및 하강하며(단, RWL3는 1회여도 됨). 레지스터 워드선이 상승하는 만큼의 회수를 각각의 비트선이 충방전하게 된다. 이 때문에, 워드선, 레지스터 워드선, 비트선의 충방전 전류가 지극히 커지게 됨과 더불어, 메모리 셀로의 액세스에 시간이 걸린다는 문제점이 있었다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 복수의 메모리 셀을 직렬로 접속하여 메모리 셀 유니트를 구성하는 NAND형 셀 어레이 방식에 있어서, 데이터 액세스에 따른 소비전력의 저감을 도모하고, 또한 액세스속도를 고속화한 반도체기억장치를 제공함에 그 목적이 있다.

[발명의 구성]

본 발명의 골자는, 메모리 셀 어레이를 복수의 서브 어레이로 분할하고, 분할된 서브 어레이를 선택적으로 활성화함으로써, 데이터를 액세스할 때에 충방전하는 워드선, 레지스터 워드선, 비트선 등의 용량을

작게함에 있다.

즉, 본 발명의 반도체기억장치는, 반도체기판과, 이 반도체기판상에서 로우방향 및 컬럼방향으로 배열되고, 또한, 각각이 상기 반도체기판에 행렬상으로 형성되며, 각각이 로우 어드레스와 컬럼어드레스를 각각 갖는 복수의 메모리 셀을 소정개 직렬로 접속하여 구성된 복수의 메모리 셀 유니트로 구성되는 메모리 셀 어레이, 상기 복수의 메모리 셀 유니트가 컬럼방향으로 접속되는 복수의 비트선, 상기 복수의 메모리 셀이 로우방향으로 선택적으로 접속되는 복수의 워드선, 상기 복수의 메모리 셀 유니트로부터 상기 비트선으로 독출된 메모리 셀 데이터를 일시적으로 기억하는 복수의 레지스터 셀이 배치된 복수의 레지스터 어레이, 상기 복수의 레지스터 어레이에 기억된 상기 메모리 셀 데이터를 검지하는 복수의 센스 앰프, 외부로부터 상기 로우 어드레스의 정보를 받아서, 상기 복수의 워드선으로부터 대응하는 워드선을 선택적으로 활성화하는 메인 로우 디코더, 상기 레지스터 어레이의 레지스터 워드선을 활성화하는 메인 레지스터 로우 디코더, 외부로 부터 상기 컬럼 어드레스의 정보를 받아서, 대응하는 상기 센스 앰프를 선택하는 서브 어레이 디코더, 상기 메모리 셀 어레이를 분할하여 얻어지는 복수의 메모리 셀 서브 어레이에 각각 접속되며, 또한, 각각은 상기 서브 어레이 디코더와 상기 메인 로우 디코더에 접속되는 복수의 서브 로우 디코더, 상기 레지스터 어레이를 상기 복수의 메모리 셀 서브 어레이에 대응하여 분할해서 얻어지며, 또한 각각이 대응되는 상기 센스 앰프에 접속되는 복수의 레지스터 서브 어레이에 각각 접속되고, 또한 각각은 상기 서브 어레이 디코더와 상기 메인 레지스터 로우 디코더에 접속되는 복수의 서브 레지스터 로우 디코더를 구비하고, 상기 메모리 셀 서브 어레이와 상기 레지스터 서브 어레이가 상기 서브 어레이 디코더에 의해 선택적으로 구동되는 것을 특징으로 한다.

본 발명의 바람직한 실시태양으로는 다음과 같은 것을 들 수 있다. 즉,

(1) 서브 어레이내의 임의의 메모리 셀 유니트에 액세스할 때에, 로우 어드레스, 컬럼 어드레스의 양 어드레스 모두 메모리 바깥으로부터 칩내로 거두어 들인 후, 상기 어드레스로 추출되는 메모리 셀 유니트를 갖춘 서브 어레이를 선택적으로 활성화하는 것이다.

(2) 서브 어레이내의 임의의 메모리 셀 유니트에 액세스할 때에, 비트선으로부터 제1번째 메모리 셀에 액세스할 때에는 칩이 로우 어드레스를 거두어 들인 시점에서 상기 로우 어드레스에 대응하는 모든 서브 어레이를 활성화하고, 데이터를 서브 어레이용 센스 앰프로 독출한다. 그리고 나서, 계속하여 외부로부터 칩에 입력되는 컬럼 어드레스에 대응하는 데이터를 출력으로 독출한다. 잇따르는 제2번째 이후의 메모리 셀에 관해서는, 이미 지정되어 있는 서브 어레이만을 활성화하는 것이다.

[작용]

본 발명에 의하면, 메모리 셀 및 레지스터 셀의 각각의 어레이를 복수의 서브 어레이로 분할하고, 분할된 서브 어레이를 선택적으로 구동함으로써, 데이터를 액세스할 때에 동작하는 워드선, 레지스터 워드선, 비트선의 용량이 종래보다 지극히 작다. 이 때문에, 워드선, 레지스터 워드선, 비트선 등의 충방전 전류가 작아져서 소비전력을 대폭 저감할 수 있게 된다. 예컨대, 64Mbit DRAM의 경우에 1서브 어레이를 수 10 내지 수 100Kbit 단위로 분할하면, 소비전력을 약 10분의 1로 저감할 수 있다.

또한, 메모리 셀 유니트의 제1번째 메모리 셀에 액세스 할 때에는 모든 서브 어레이를 활성화하고, 제2번째 이후의 메모리 셀에 액세스할 때에는 1개의 서브 어레이를 활성화함으로써, 데이터 액세스의 고속화와 함께 소비전력의 저감을 도모할 수 있게 된다.

더욱이, 본 발명에 의하면, 메모리 셀에 액세스할 때의 워드선의 용량을 종래의 워드선의 용량보다 작게 할 수 있기 때문에, 고속으로 워드선을 활성화할 수 있음과 더불어, 활성화되는 비트선의 수가 종래보다 적기 때문에, 고속으로 비트선을 충방전, 즉, 독출, 기록을 행할 수 있고, 메모리 셀에 대해 종래보다 10% 정도 고속으로 액세스할 수 있게 된다.

또한, 상기 (1)의 구성에 의하면, (2)의 구성보다도 소비전류를 적게 할 수 있다. (2)의 구성에 의하면, (1)의 구성보다도 제1번째 셀로의 액세스를 메모리가 컬럼 어드레스 입력을 기다리는 사이만큼 빠르게 액세스할 수 있다.

[실시예]

이하, 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

[실시예 1]

제3도는 본 발명의 제1실시예에 관한 반도체기억장치의 개략적인 구성을 모식적으로 나타낸 블록도이다. 메모리 셀을 직렬로 접속한 NAND형 메모리 셀 유니트는 매트릭스형상으로 배치되어 어레이를 구성하는데, 이 어레이가 복수로 분할되어 서브 어레이(11)가 형성되어 있다. 이 메모리 셀 어레이의 분할에 따라 레지스터 셀의 어레이도 분할되어, 레지스터 셀의 서브 어레이(12)가 형성되고 있다.

메모리 셀의 서브 어레이(11)에는 서브 로우 디코더(13)가 접속되고, 레지스터 셀의 서브 어레이(12)에는 서브 레지스터 로우 디코더(14)가 접속되어 있다. 또한, 각 서브 어레이(11, 12)에는 서브 어레이용 센스 앰프(15)가 접속되어 있다. 서브 로우 디코더(13)는 서브 워드선(SWL)을 선택하는 것이고, 이 서브 워드선(SWL)에 메모리 셀이 접속되어 있다. 서브 레지스터 로우 디코더(14)는 서브 레지스터 워드선(SRWL)을 선택하는 것이고, 이 서브 레지스터 워드선(SRWL)에 레지스터 셀이 접속되어 있다.

또한, 각 서브 어레이(11, 12)에 있어서의 서브 로우 디코더(13), 서브 레지스터 로우 디코더(14) 및 서브 어레이용 센스 앰프(15)는 서브 어레이 디코더(16)에 의해 선택된다. 서브 어레이 디코더(16)에는 외부로부터 입력되는 컬럼 어드레스신호가 어드레스 버퍼(도시되어 있지 않음)를 거쳐서 입력된다. 메인 워드선(MWL)은 메인 로우 디코더(17)에 의해 선택되고, 서브 로우 디코더(13)에 접속되어 이것을 구동시키도록 되어 있다. 메인 로우 디코더(17)에는 외부로부터 입력되는 로우 어드레스 신호가 어드레스 버퍼(도시되어 있지 않음)를 거쳐서 입력된다. 마찬가지로, 메인 레지스터 워드선(MRWL)은 메인 레지스터 로우 디코더(18)에 의해 선택되고, 레지스터용 서브 로우 디코더(14)에 접속되어 이것을 구동시키도록 되어 있다. 메인 레지스터 로우 디코더(18)에는 어드레스 신호에 연동하는 내부 카운터회로(도시되어 있지 않

음)로부터의 신호가 입력된다.

제4도는 메모리 셀의 서브 어레이(11)와 서브 로우 디코더(13)의 접속 관계를 보다 구체적으로 나타낸 도면이다. 서브 로우 디코더(13)는 복수의 스위칭소자회로(13a)와 서브 어레이 콘트롤러(13b)로 구성된다. 스위칭소자회로(13a)의 스위칭소자가 메인 워드선(MWL)에 의해 구동되어 서브 워드선(SWL)을 서브 어레이 콘트롤러(13b)에 접속한다. 서브 어레이 디코더(16)에 의해 선택된 서브 어레이 콘트롤러(13b)는 어드레스 버스로부터 입력된 신호에 의해 서브 워드선(SWL) 중 어느 하나를 선택한다. 이로써, 메인 워드선(MWL)의 선택과 서브 어레이 디코더(16)의 선택에 의해, 서브 워드선(SWL) 중 어느것인가가 선택되는 것으로 되어 있다.

한편, 여기에서는 메인 워드선(MWL)의 1개에 대해 서브 워드선(SWL)을 4개 대응시켰지만, 1개의 메인 워드선(MWL)에 대해 1개의 서브 워드선(SWL)을 대응시켜도 되는 바, 4개로 한정되는 것은 아니다. 또한, 서브 레지스터 로우 디코더(14)는 상기한 서브 로우 디코더(13)와 마찬가지로 구성할 수 있다.

본 실시예에 있어서는, 로우 어드레스 입력에 의해 메인 로우 디코더(17)가 메인 워드선(MWL)을 선택하고, 서브 어레이 디코더입력에 따라 메인 워드선(MWL)과 서브 어레이 디코더(16) 양쪽에서 결정된 서브 워드선(SWL)이 선택된다. 그리고, 이 서브 워드선(SWL)에 접속된 메모리 셀의 데이터가 비트선(BL)으로 독출되고, 서브 어레이용 센스 앰프(15)에 의해 선택적으로 데이터가 센스되어 비트선(BL)의 충방전이 행하여진다. 이때, 서브 어레이 디코더(16)에서 선택되지 않은 다른 서브 어레이의 서브 워드선(SWL), 더욱이는 서브 레지스터 워드선(SRWL)은 동작시키지 않고, 그 서브 어레이의 비트선(BL)도 충방전시키지 않는다.

이와 같이 본 실시예에 의하면, 데이터를 액세스할 때에, 메모리 셀 어레이의 전체가 동시에 구동되는 것이 아니라, 메인 로우 디코더(17) 및 서브 어레이 디코더(16)에 의해 선택된 서브 어레이만이 선택된다. 이 때문에, 데이터 액세스시에 동작하는 워드선, 레지스터 워드선의 용량이 종래보다 지극히 작아지게 되고, 이들의 충방전에 필요한 전류가 급격히 작아지게 된다. 따라서, NAND형 셀 어레이 방식에 있어서, 데이터 액세스에 따르는 소비전력을 대폭으로 저감할 수 있다.

[실시예 2]

제5도는 본 발명의 제2실시예에 관한 반도체기억장치의 개략적인 구성을 모식적으로 나타낸 블록도이다. 한편, 제3도와 동일한 부분에는 동일한 부호를 병기하고, 그 상세한 설명은 생략한다.

이 실시예가 앞서 설명한 제1실시예와 다른 점은, 메모리 셀의 서브 어레이(11)와 레지스터 셀의 서브 어레이(12) 간에, 비트선 선택용의 스위치 서브 어레이(31)를 설치하였다는 데에 있다. 그리고, 서브 어레이(31)마다에 서브ϕT 콘트롤러(33)가 설치되고, 더욱이 메인 ϕT 콘트롤러(37)가 설치되어 있다. 이것은, 제6도에 나타낸 것처럼, 복수의 비트선이 1개의 센스앰프를 공유할 수 있도록 설치된 비트선 선택회로를 이루는 것이다.

본 실시예에 있어서는, 워드선, 레지스터 워드선, 센스 앰프 이외에, 비트선과 센스 앰프의 접속을 행하는 ϕT신호도 서브 어레이마다 선택적으로 활성화된다. 이로써, ϕT신호의 충방전 전류도 저감된다. 따라서, 제1실시예와 마찬가지로, 데이터 액세스에 따르는 소비전력을 대폭으로 저감할 수 있다.

[실시예 3]

제7도는 본 발명의 제3실시예에 관한 반도체기억장치의 개략적인 구성을 모식적으로 나타낸 블록도이다. 한편, 제3와 동일한 부분에는 동일한 부호를 병기하고, 그 자세한 설명은 생략한다. 이 실시예는 기본적으로 제3도의 구성과 마찬가지이나, 이에 부가하여, 서브 어레이 선택회로(21)가 설치되어 있다. 참조부호 20은 서브 어레이 활성화 신호선, 22는 전체 서브 어레이 활성화 신호선이다.

일반적으로, DRAM에서는 반도체칩에 로우 어드레스, 컬럼 어드레스가 순차적으로 어드레스 멀티 플렉스되어 입력된다. 본 실시예에 있어서는, 고속화와 저소비전력화를 양립시키기 위하여, 제1타이밍에서 소정의 메모리 셀 유니트의 제1메모리 셀의 로우 어드레스가 입력되면, 서브 어레이 선택회로(21)에서는 어떤 서브 어레이가 활성화될지 아직 확정되지 않은 것을 검지하고, 전체 서브 어레이 활성화 신호선(22)을 활성화한다.

이로써, 로우 어드레스에 따라 선택되는 메인 워드선에 연결되는 전체 서브 어레이가 동시에 활성화되고, 비트선으로 독출된 제1메모리 셀의 데이터는 센스 앰프(15)에 래치된다.

다음으로, 제2타이밍에서 컬럼 어드레스가 입력되면, 컬럼 어드레스를 이용하여 선택되는 서브 어레이가 확정된다. 선택 서브 어레이가 확정된 것을 서브 어레이 선택회로(21)가 검지하고, 전체 서브 어레이 활성화 신호(22)가 비활성으로 된다.

다음으로, 제3타이밍에서 동일 메모리 셀 유니트의 제2메모리 셀의 로우 어드레스가 입력되는 때에는, 상기한 것과 같이 선택되는 서브 어레이는 결정되어 있으므로, 서브 어레이 디코더 동작에 따라 특정 서브 어레이만이 활성화된다.

이와 같이 본 실시예에 의하면, 선택될 서브 어레이가 미정인 경우에는 전체 서브 어레이를 활성화하고, 데이터를 센스 앰프에 래치함으로써, 선택 서브 어레이가 결정되었을 때에 고속으로 데이터를 독출할 수 있음과 더불어, 선택될 서브 어레이가 결정되어 있는 경우에는, 그 특정의 서브 어레이만을 활성화함으로써 저소비전력화가 가능하게 된다.

상기 실시예는 특히 제6도나 제1도에 나타낸 것처럼 직렬로 접속된 메모리 셀과 더불어 사용하면 그 효과가 기대된다. 그 이유는, 메모리 셀이 직렬로 접속되는 경우, 일반적으로 직렬접속된 메모리 셀에 순차적으로 액세스하기 때문에, 이 액세스 사이클간에는 동일한 메모리 서브 어레이가 선택되기 때문이다.

또한, 상기 구성의 메모리 셀 어레이의 데이터 리프레쉬 동작시에는, 제7도의 서브 어레이 선택회로(21)에 의해, 모든 활성화선(22)을 활성화함으로써, 모든 서브 어레이를 동시에 리프레쉬할 수 있어서, 리프

레쉬 회수를 감소시킬 수 있다.

[실시예 4]

다음으로, 본 발명의 제4실시예에 대해 설명한다. 이 실시예는 기본적으로 제2실시예와 동일하나, 이를 구체적인 회로로 설명한 것이다.

제8도는 제4실시예에 관한 반도체기억장치의 개략적인 구성을 모식적으로 나타낸 블록도이다. 구체적인 회로로 설명하는 경우에는, 블록구성을 바꾸는 쪽이 이해하기 쉬우므로, 제1, 제2실시예와는 블록나눔이 다르나, 시스템으로서는 본질적으로 동일하다. 도면중 참조부호 40은 메모리 셀 서브 어레이, 41(41k, 47r)은 메모리 셀 유니트, 43(43k, 43r)은 서브 로우 디코더, 47(47k, 47r)은 메인 로우 디코더, 50은 서브 어레이 콘트롤러, 60은 서브 어레이 디코더, 70은 컬럼 어드레스 버퍼를 나타내고 있다.

복수의 메모리 셀을 직렬로 접속한 메모리 셀 유니트(41)의 어레이가 컬럼방향으로 복수개 분할되어 서브 어레이(40)를 형성하고 있다. 각 서브 어레이(40)에 있어서, 메모리 셀 유니트(41)는 좌우로 분리되어 있고, 메모리 셀 유니트(41k, 41r)간에 레지스터 셀 유니트, 센스 앰프, 이퀄라이즈회로 등이 형성되어 있다. 서브 어레이(40)는 0부터 s까지 존재하는 것으로 한다. n은 그 중간의 임의의 서브 어레이를 나타낸다.

모든 서브 어레이(40)에 공통으로 메인 로우 디코더(47)가 있고, 이 로우 디코더(47)도 메모리 셀 유니트(41)의 좌우분리에 대응하여 47k, 47r로 분리되어 있다. 로우 디코더(47k, 47r)에서는 로우 어드레스에 의해 메인 워드선이 각각 1개(MWLk, MWLr) 선택된다. 각 서브 어레이(40)에는 서브 로우 디코더(43)가 있고, 이 서브 로우 디코더(43)도 메모리 셀 유니트(41k, 41r)에 대응하여 43k, 43r로 분리되어 있다. 그리고, 메인 워드선(MWL)의 신호와, 메모리 셀 유니트내의 셀을 선택하는 신호 WDRV0n~3n으로 해당하는 서브 어레이(40)의 메모리 셀의 워드선을 선택하는 것으로 되어 있다. 한편, 제8도에 있어서는 메인 워드선(MWL)을 식별하기 쉽도록 서브 어레이(40) 및 서브 로우 디코더(43)는 점선으로 표시되어 있다.

신호 WDRV0n~3n은 서브 어레이 콘트롤러(50)에 의해 발생되는데, 이 회로(50)는 제9도에 나타낸 것처럼 구성되어 있다. 컬럼 어드레스에 따라 서브 어레이 디코더(60)에 의해 선택된 신호 CBSLn과, 메모리 셀 유니트의 2번째 이후의 셀을 활성화하기 위한 타이밍 신호 SLT의 AND를 취하고, 그 결과와 모든 메모리 셀 어레이에 공통으로 메모리 셀 유니트내의 워드선의 타이밍 제어를 하는 신호 WDRV0~WDRV3의 AND를 취하는 것에 의해 WDRV1~WDRV3이 선택되도록 되어 있다. 신호 WDRV0~WDRV3은 예컨대 칩내부의 카운터회로를 이용하여 만들어진 신호이다.

또한, 본 셀구성에 필요한 일시기억용 레지스터나 센스 앰프의 구동신호도 센스 앰프와 비트선의 접속을 제어하는 신호 등도, 각 서브 블록마다 워드선과 마찬가지의 관계로 제어한다. 이것은 칩내부에서 만들어진 타이밍 신호 PRCH와 상기 신호 CBSLn, 신호 SLT로부터 제9도의 회로에 의해 만들어진 신호 PRCHn, BPRCHn에 의해 제어된다.

제10도에 서브 로우 디코더(43) 및 서브 어레이(40)의 센스 앰프의 출력부(신호 SEP, SEN), 레지스터용 셀의 워드선(RWL0n~3n), 이퀄라이즈신호 EQLn, 센스 앰프와 비트선을 접속하는 신호(ϕT0n~ϕT3n)를 제어하는 회로를 나타낸다. 도면의 우측 상부에는, 제9도의 출력신호가 입력되고 있다. 도면의 상측에는 입출력신호명이 명기되고, 하측의 신호명은 다음의 제11도의 동일신호명에 접속된다.

제11도에는 서브 어레이(40)의 구체적인 구성을 나타냈다. 편의상, 센스 앰프 등의 회로도 포함되어 있다. 즉, 메모리 셀 유니트(41k, 41r), 센스 앰프회로(45), 레지스터 셀 유니트(42), 이퀄라이즈회로(46), 센스 앰프(45)와 데이터선(DQ)의 접속회로(DQ게이트; 48)의 상세한 회로를 나타냈다. 여기에서 ○ 표시는 메모리 셀을 나타낸다. 메모리 셀 유니트(41k, 41r)가 ϕT(44)를 매개하여 접속되는 비트선은 각각 BL, /BL로 된다. 이퀄라이즈회로(46)는 비트선쌍(BL, /BL)의 초기치를 설정하기 위한 것으로, 노드(VBL)에 초기치가 입력된다. DQ게이트(48)는 신호 CSLm으로 개폐된다.

제12도에는, 지금까지 설명한 회로의 타이밍도(신호파형도)를 나타냈다. 다중화된 어드레스신호는 /RAS(Row Address Strobe)라고 불리우는 펄스 신호와, /CAS(Column Address Strobe)라고 불리우는 펄스신호에 의해 각각 메인 로우 디코더와 서브 어레이(컬럼) 디코더로 나뉘어진다. 여기에서는, 컬럼 어드레스에 의해 서브 어레이 n이 선택된 때를 나타내고 있다.

앞서 입력된 로우 어드레스가 /RAS신호에 의해 메인 로우 디코더에 전해져서 메인 워드선(MWLr)이 활성화된다. 이 때, 제8도에 나타낸 워드선 드라이브신호(WDRV00~WDRV0s)와 PRCH신호가 활성화된다. 이에 따라, 로우 어드레스로 선택된 메모리 셀 유니트의 모든 워드선(WL0)이 활성화되고, 데이터가 독출된다. 다음으로, 컬럼 어드레스가 입력되면, /CAS신호에 의해 서브 어레이 디코더로 전해지고, 서브 어레이 선택신호 CBSLn가 활성화된다. 이 어드레스에 의해 선택된 서브 어레이 n만이 활성화된다. 워드선 드라이브 신호(WDRV1~WDRV3)가 순차적으로 활성화되면, 서브 어레이 콘트롤러를 통해서 WDRV1n~WDRV3n이 순차적으로 활성화되고, 그 결과, 워드선(WL1n, WL2n, WL3n)이 활성화되어 데이터가 독출된다. 다른 서브 어레이의 워드선(WL1, WL2, WL3)은 서브 어레이 콘트롤러(50)에 의해 활성화되지 않는다(제9도 참조).

그런데, 본 메모리 셀의 구성에서는 메모리 셀을 직렬로 접속하고 있으므로, 메모리의 랜덤한 비트 액세스는 매우 느리다. 따라서, 데이터를 시리얼로 대량으로 독출하여, 데이터 레이트를 올리는 사용방법이 바람직하다. 그러기 위해서는 사용할 때마다, 활성화하는 서브 어레이의 수를 변화시키는 쪽이 사용하기 쉽다.

그래서, 본 실시예에서는 1회에 활성화할 서브 어레이의 수를 사전에 입력해 놓는 장치를 설치하고 있다. 제13도는 서브 어레이를 선택하기 위한 제어회로(서브 어레이 디코더; 60)의 구체적인 구성을 나타낸 도면이다. 이 회로는 래치회로(61)와 블록 디코더(62) 및 각종 논리게이트로 구성된다.

본 실시예에서는 1서브 어레이의 컬럼의 수를 128(=27) 컬럼으로 하고 있다. 그 때문에, 서브 어레이를 선택하는 신호에 필요한 어드레스는 8번째의 어드레스 비트(CA7)보다 상위의 어드레스이다. 우선, 어드레스 신호의 입력전에 미리 어드레스 핀으로부터 활성화할 어레이의 수를 입력한다. 본 실시예에서는 래치

신호 LAT로 래치회로(61)에 데이터를 유지시키도록 하고 있다. LAT신호는 RAS, CAS, WE(Wright Enable), OE(Output Enable) 등의 신호로부터 논리합성하여 만들어도 좋고, 싱크로너스 DRAM이나 램버스 DRAM과 같이 클록에 동기시켜 만들어도 상관없다. 예컨대, 2블록을 활성화할 경우는 A7(로우 어드레스, 컬럼 어드레스의 7에 상당)을 1로 하고, 다른 것을 0으로 하여 입력해 놓는다. 그 후, 메모리 액세스가 행하여지면, CA7으로 부터 입력되는 어드레스는 A7에 의해 감추어지기 때문에, CA7의 선택은 이루어지지 않게 되고, 디코드된 신호는 (CBL0, CBL1)(CBL2, CBL3)…의 조합으로 활성화된다. 따라서, 2개의 서브 어레이마다 활성화되게 된다. 마찬가지로 하여, A7과 A8을 1로 하고 다른 것을 0으로 하면, (CBL0, CBL1, CBL2, CBL3)의 조합으로 4개의 서브 어레이마다 활성화된다.

한편, 본 실시예에서는 활성화할 어레이수를 미리 입력해 놓는 예를 나타냈지만, 다른 제어방법을 미리 입력해 놓는 것에도 응용할 수 있다. 예컨대, 시리얼로 독출하는 비트 수나, 리프레쉬 회수, 메모리 셀 유니트내의 워드선을 활성화하는 개수 등이다. 이러한 제어를 미리 입력해 놓는 것과, 블록을 분할하여 동작시키는 것은 별도로 한꺼번에 설치할 필요는 없다.

본 빌시예에서는 어드레스를 RAS, CAS로 입력하도록 하고 있지만, 본 발명은, 클록동기형이나 패킷전송형의 액세스라도 상관없다. 더욱이, 본 실시예에서는 동시에 활성화할 서브 어레이 수효의 입력을 어드레스 핀을 통해 행하고 있지만, 이것은 데이터 입력핀, 데이터 출력핀, 데이터 입출력핀을 통해 행하여도 상관없다.

한편, 본 발명은 상술한 각 실시예에 한정되는 것은 아니다. 실시예에서는 다이나믹 형 반도체기억장치를 예로 설명하였으나, 이것에 한정되지 않고, 복수의 메모리 셀을 직렬로 접속한 메모리 셀 유니트를 갖춘 것이라면, 불휘발성 반도체기억장치에 적용하는 것도 가능하다.

[발명의 효과]

이상에서 설명한 바와 같이 본 발명에 의하면 복수의 메모리 셀을 직렬로 접속하여 메모리 셀 유니트를 구성한 NAND형 셀 어레이 방식에 있어서, 메모리 셀의 어레이 및 레지스터 셀의 어레이를 복수로 서브 어레이로 분할하고, 분할한 서브 어레이를 선택적으로 구동시킴으로써, 데이터 액세스에 따르는 소비전력의 저감을 도모할 수 있는 반도체기억장치를 실현할 수 있게 된다.

(57) 청구의 범위

청구항 1

반도체기판과, 메모리셀 유니트가 상기 반도체기판상에 행방향 및 열방향으로 배열되고, 각각은 서로 소정수의 메모리셀을 캐스케이드 접속함으로써 구성되며, 상기 메모리셀 각각은 행어드레스 및 열어드레스를 갖춤으로써 어드레스되고 있으며, 행방향 및 열방향으로 상기 반도체기판상에 배열된 복수의 메모리셀 유니트에 의해 구성된 메모리셀어레이, 상기 복수의 메모리셀 유니트가 열방향으로 접속되는 복수의 비트선, 상기 복수의 메모리셀이 행방향으로 선택적으로 접속되는 복수의 서브 워드선, 상기 메모리셀 어레이에 있어서 메인 워드선 각각이 메모리셀 유니트에 관련된 상기 서브 워드선 그룹을 선택하는 다수의 메인 워드선, 상기 복수의 메모리셀 유니트로부터 상기 비트선으로 독출된 메모리셀 데이터를 일시적으로 저장하는 복수의 레지스터셀이 배치된 복수의 레지스터 어레이, 메모리셀 데이터를 검지하기 위한 복수의 센스앰프, 행어드레스를 수신하고 상기 메인 워드선 중 대응하는 하나를 선택적으로 작동시키기 위한 메인 로우 디코더, 상기 레지스터 어레이의 레지스터 워드선을 작동시키기 위한 메인 레지스터 로우 디코더, 열어드레스를 받아들여 상기 센스앰프로부터 대응하는 센스앰프를 활성화시키기 위한 서브 어레이 디코더, 서브 로우 디코더 각각은 서브 어레이 디코더와 상기 서브 워드선으로부터 대응하는 하나를 선택적으로 활성화하기 위해 상기 메인 로우 디코더에 접속되고, 상기 메모리셀 어레이를 분할해서 얻어진 복수의 메모리셀 서브 어레이에 각각 접속된 복수의 서브 로우 디코더 및, 상기 메모리셀 서브 어레이에 따라 상기 레지스터 어레이를 분할함으로써 얻어진 복수의 레지스터 서브 어레이에 각각 접속된 복수의 서브-레지스터 로우 디코더를 구비하여 구성되고, 서브 레지스터 로우 디코더 각각은 상기 서브 어레이 디코더와 상기 레지스터 로우 디코더에 접속되고, 상기 레지스터 서브 어레이는 상기 센스앰프에 각각 접속되며, 상기 메모리 셀 서브 어레이와 상기 레지스터 서브 어레이는 상기 서브 어레이 디코더에 의해 선택적으로 구동되는 것을 특징으로 하는 반도체기억장치.

청구항 2

제1항에 있어서, 상기 서브 로우 디코더가 상기 메인 로우 디코더로부터 활성화 신호를 받아들이고 상기 서브 어레이 디코더에 의해 선택된 경우에는, 상기 서브 로우 디코더가 상기 서브 로우 디코더에 따라 상기 메모리셀 유니트를 구성하는 상기 메모리셀의 상기 워드선을 순차적으로 활성화하는 것을 특징으로 하는 반도체기억장치.

청구항 3

제1항에 있어서, 상기 서브 어레이내의 임의의 메모리셀 유니트에 액세스함에 있어서, 상기 메인 로우 디코더와 상기 서브 어레이 디코더는 외면상 개별적으로 로우 어드레스와 컬럼 어드레스를 받아들인 후, 상기 어드레스의 메모리셀 유니트를 선택적으로 활성화시키기 위한 동작을 갖춘 것을 특징으로 하는 반도체기억장치.

청구항 4

제1항에 있어서, 상기 서브 어레이내의 임의의 메모리셀 유니트에 액세스함에 있어서, 1번째의 메모리셀이 상기 비트선으로부터 액세스되는 경우에는 모두 상기 서브 어레이를 활성화하고, 제2 및 순차메모리셀이 액세스되는 경우는 상기 메모리셀 유니트를 갖춘 상기 서브 어레이를 선택적으로 활성화하기 위한 서브 어레이 선택회로를 더 구비하여 구성된 것을 특징으로 하는 반도체기억장치.

청구항 5

제4항에 있어서, 상기 서브 어레이 선택회로가 상기 서브 어레이를 선택적으로 활성화하기 위해 상기 서브 어레이 디코더를 제어하는 것을 특징으로 하는 반도체기억장치.

청구항 6

제4항에 있어서, 상기 서브 어레이 선택회로가 상기 서브 어레이를 선택적으로 활성화하기 위해 상기 서브 로우 디코더 및 상기 서브 레지스터 로우 디코더를 제어하는 것을 특징으로 하는 반도체기억장치.

청구항 7

제4항에 있어서, 상기 서브 어레이 선택회로는 상기 제2번째 및 순차메모리셀이 액세스되는 것을 알리기 위한 타이밍신호를 받아들이고, 타이밍신호와 상기 서브 어레이를 선택하기 위한 신호간의 논리적 AND를 계산하며, 상기 논리적 AND와 상기 워드선을 구동하기 위한 신호간의 논리적 AND를 계산하는 것을 특징으로 하는 반도체기억장치.

청구항 8

제4항에 있어서, 상기 서브 어레이 선택회로는 리프레쉬동작에 있어서, 상기 서브 어레이 전부를 활성화시키는 것을 특징으로 하는 반도체기억장치.

청구항 9

제1항에 있어서, 상기 서브 어레이내의 임의의 상기 메모리셀 유니트에 액세스함에 있어서, 제1번째의 상기 메모리셀이 액세스되어야 하는 경우 로우 어드레스가 상기 메인 로우 어드레스 디코더에 의해 받아들여진 시점에서 상기 메모리는 로우 어드레스에 대응하는 모든 상기 서브 어레이를 활성화하고, 선택된 메모리셀이 유지하는 데이터를 센스앰프로 독출하기 위한 동작과, 상기 센스앰프로부터 외부로 입력되는 상기 컬럼어드레스에 대응하는 메모리셀이 유지하는 데이터를 독출하는 동작 및 상기 제2와 순차메모리셀에 관해 미리 지시된 상기 서브 어레이만 활성화시키기 위한 동작을 갖춘 것을 특징으로 하는 반도체기억장치.

청구항 10

제1항에 있어서, 상기 메모리셀 유니트가 다이나믹형인 것을 특징으로 하는 반도체기억장치.

청구항 11

제1항에 있어서, 상기 서브 로우 디코더는 상기 서브 어레이 디코더에 의해 선택된 상기 서브 어레이 중에서 상기 메인 로우 디코더에 의해 선택된 상기 메모리셀 유니트를 구동시키는 것이며, 상기 서브 레지스터 로우 디코더는 상기 서브 어레이 디코더에 의해 선택된 상기 서브 어레이중의 상기 레지스터 로우 디코더에 의해 선택된 상기 레지스터셀을 구동시키는 것을 특징으로 하는 반도체기억장치.

청구항 12

제1항에 있어서, 상기 서브 어레이 디코더는 동시에 활성화할 수 있는 상기 서브 어레이의 수를 외부적으로 설정할 수 있는 것을 특징으로 하는 반도체기억장치.

청구항 13

제1항에 있어서, 상기 서브 어레이 디코더는 상기 서브 어레이를 2n(n=0, 1, 2…)배로 동시에 활성화할 수 있는 것을 특징으로 하는 반도체기억장치.

청구항 14

제1항에 있어서, 상기 서브 어레이의 대응에 있어서 상기 레지스터 어레이중의 하나에 대응하는 다수의 비트선 중 소정의 비트선을 접속하기 위한 비트선 선택회로의 서브 어레이를 더 구비하여 구성된 것을 특징으로 하는 반도체기억장치.

청구항 15

반도체기판과, 각각의 상기 메모리셀이 로우 어드레스와 컬럼 어드레스에 의해 선택되고, 각각의 상기 메모리셀 유니트는 서로 소정의 메모리셀을 캐스케이드 접속함으로써 구성되며, 각각의 상기 서브 어레이는 상기 반도체기판에 배치된 복수의 메모리셀 유니트에 의해 구성되고, 복수의 메모리셀 서브 어레이를 갖춘 메모리셀 어레이, 상기 복수의 메모리셀 유니트가 접속되는 복수의 비트선, 상기 복수의 메모리셀이 접속되는 복수의 서브 워드선, 상기 메모리셀 어레이에 있어서 복수의 메인 워드선 각각이 메모리셀 유니트에 관련된 상기 서브 워드선 그룹을 선택하는 다수의 메인 워드선, 로우어드레스를 받아들여 상기 메인 워드선중 대응하는 하나를 선택적으로 활성화하기 위한 메인 로우 디코더, 대응하는 메모리셀 서브 어레이의 상기 메모리셀 유니트에 관련된 상기 서브 워드선을 활성화하기 위한 각각의 상기 서브 로우 디코더인 복수의 메모리셀 서브 어레이에 각각 접속된 복수의 서브 로우 디코더 및, 상기 서브 로우 디코더중 대응하는 하나를 구동하기 위한 서브 어레이 디코더를 구비하여 구성되고, 상기 서브 어레이의 임의의 메모리셀 유니트에 액세스함에 있어서, 제1메모리셀이 액세스되어야 하는 경우 활성화되는 상기 로우어드레스에 의해 상기 서브 어레이 전부가 결정되고, 제2 및 순차메모리셀이 액세스되는 경우 상기 모든 서브 어레이 중 하나 또는 그 이상이 선택적으로 활성화되는 것을 특징으로 하는 반도체기억장치.

청구항 16

제15항에 있어서, 상기 서브 로우 디코더가 상기 메인 로우 디코더로부터 활성화신호를 받아들이고 상기 서브 어레이 디코더에 의해 선택된 경우, 상기 서브 로우 디코더는 상기 서브 로우 디코더에 대응하는 상기 메모리셀 유니트로 구성된 상기 메모리셀의 상기 워드선을 순차적으로 활성화시키는 것을 특징으로 하

는 반도체기억장치.

청구항 17

제15항에 있어서, 상기 서브 어레이의 상기 임의의 메모리셀 유니트에 액세스함에 있어서, 제1메모리셀이 상기 비트선으로부터 액세스되어야 하는 경우 상기 모든 서브 어레이를 활성화하고, 제2 및 순차메모리셀이 액세스되는 경우 상기 메모리셀 유니트를 갖춘 상기 서브 어레이를 선택적으로 활성화하기 위한 서브 어레이 선택회로를 더 구비하여 구성된 것을 특징으로 하는 반도체기억장치.

청구항 18

제17항에 있어서, 상기 서브 어레이 선택회로는 상기 서브 어레이를 선택적으로 활성화하기 위해 상기 서브 어레이 디코더를 제어하는 것을 특징으로 하는 반도체기억장치.

청구항 19

제17항에 있어서, 상기 서브 어레이 선택회로는 상기 서브 어레이를 선택적으로 활성화하기 위해 상기 서브 로우 디코더와 상기 서브 레지스터 로우 디코더를 제어하는 것을 특징으로 하는 반도체기억장치.

청구항 20

제17항에 있어서, 상기 서브 어레이 선택회로는 상기 제2 및 순차메모리셀이 액세스됨을 알리기 위한 타이밍신호를 받아들여, 타이밍신호와 상기 서브 어레이를 선택하기 위한 신호간의 논리적 AND를 계산하고, 상기 논리적 AND와 상기 워드선을 활성화하기 위한 신호간의 논리적 AND를 계산하는 것을 특징으로 하는 반도체기억장치.

청구항 21

제17항에 있어서, 상기 서브 어레이 선택회로는 리프레쉬동작에 있어서 상기 모든 서브 어레이를 활성화하는 것을 특징으로 하는 반도체기억장치.

청구항 22

제15항에 있어서, 상기 서브 어레이의 상기 임의의 메모리셀에 액세스함에 있어, 상기 제1메모리셀이 액세스되어야 하는 경우 로우 어드레스가 상기 메인 어드레스 디코더에 의해 받아들여지는 시점에서 상기 메모리는 로우 어드레스에 대응하는 상기 모든 서브 어레이를 활성화하고 상기 센스앰프로 상기 선택된 메모리셀이 유지한 데이터를 출력하는 동작과, 상기 센스앰프로부터 외부적으로 입력되는 상기 컬럼어드레스에 대응하는 메모리셀이 유지하는 데이터를 독출하는 동작 및 상기 제2 및 순차메모리셀에 관해 미리 지시되는 상기 서브 어레이만 활성화하기 위한 동작을 지니고 있으며, 상기 메모리셀이 유지한 메모리셀 데이터를 검출하기 위한 복수의 센스앰프를 구비하여 구성된 것을 특징으로 하는 반도체기억장치.

청구항 23

제15항에 있어서, 상기 메모리셀 유니트는 다이나믹형인 것을 특징으로 하는 반도체기억장치.

청구항 24

제15항에 있어서, 상기 메모리셀 데이터를 일시적으로 저장하기 위한 복수의 레지스터셀이 상기 복수의 레지스터 어레이 각각에서 상기 복수의 메모리셀 유니트로부터 상기 비트선으로 독출되도록 배열된 복수의 레지스터와, 메모리셀 데이터를 검출하기 위한 복수의 센스앰프, 상기 레지스터 어레이의 레지스터 워드선을 활성화하기 위한 메인 레지스터 로우 디코더 및, 상기 복수의 메모리셀 서브 어레이와의 조합에 따라 상기 레지스터 어레이를 분할함으로써 얻어진 복수의 레지스터 서브 어레이에 각기 접속된 복수의 서브 레지스터 로우 디코더를 구비하고 있으며, 상기 각각의 서브 레지스터 로우 디코더는 상기 서브 어레이 디코더와 상기 레지스터 로우 디코더에 접속되고, 상기 레지스터 서브 어레이는 상기 센스앰프에 개별적으로 접속되며, 상기 서브 로우 디코더는 상기 서브 어레이 디코더에 의해 선택된 상기 서브 어레이의 상기 메인 로우 디코더에 의해 선택된 상기 메모리셀 유니트를 구동하고, 상기 서브 레지스터 로우 디코더는 상기 서브 어레이 디코더에 의해 선택된 상기 서브 어레이의 상기 레지스터 로우 디코더에 의해 선택된 상기 레지스터셀을 구동하는 것을 특징으로 하는 반도체기억장치.

청구항 25

제15항에 있어서, 상기 서브 어레이 디코더는 동시에 활성화될 수 있는 서브 어레이의 수를 외부적으로 셋트할 수 있는 것을 특징으로 하는 반도체기억장치.

청구항 26

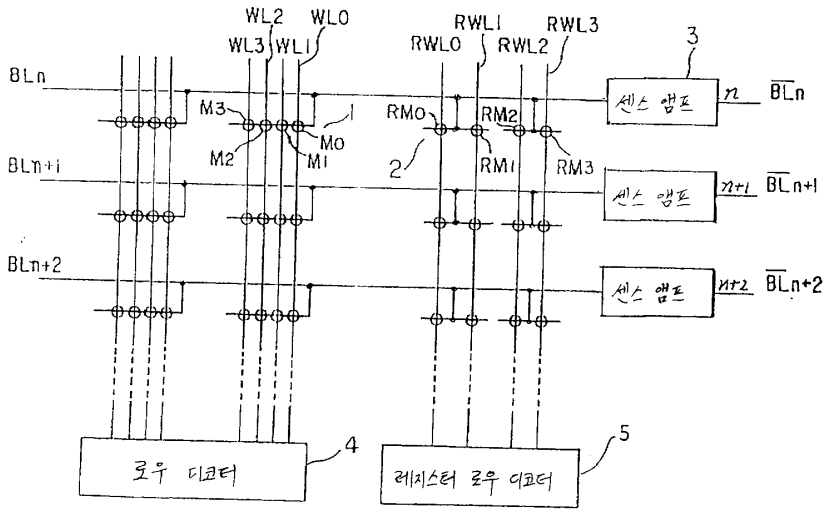
제15항에 있어서, 상기 서브 어레이 디코더는 상기 서브 어레이를 27(7=0, 1, 2…)배로 동시에 활성화할 수 있는 것을 특징으로 하는 반도체기억장치.

청구항 27

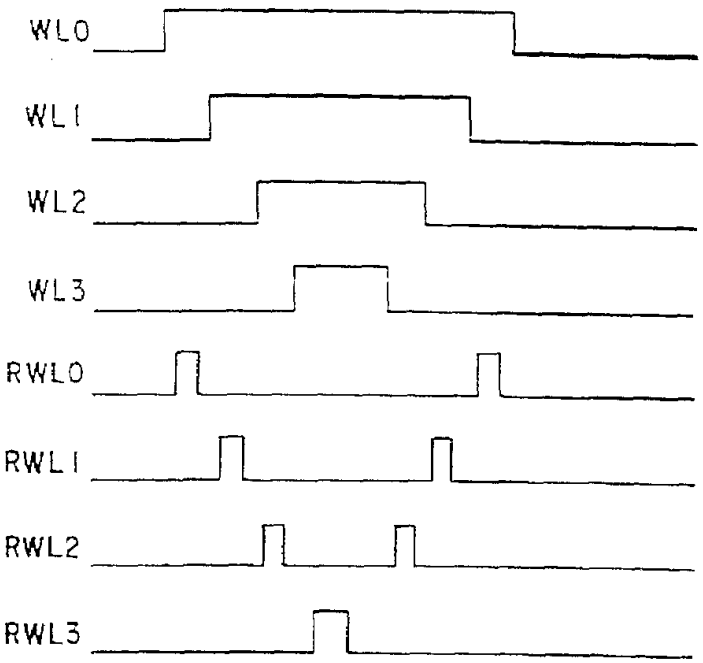
제15항에 있어서, 상기 메모리셀 데이터를 일시적으로 저장하기 위한 복수의 레지스터셀이 상기 복수의 레지스터 어레이 각각에서 상기 복수의 메모리리셀 유니트로부터 상기 비트선으로 독출되도록 배열된 복수의 레지스터와, 상기 서브 어레이와의 조합에 따라 상기 레지스터 어레이중의 하나에 대응하는 복수의 비트선의 소정 비트선을 접속하기 위한 비트선 선택회로의 서브 어레이를 더 구비하여 구성된 것을 특징으로 하는 반도체기억장치.

도면

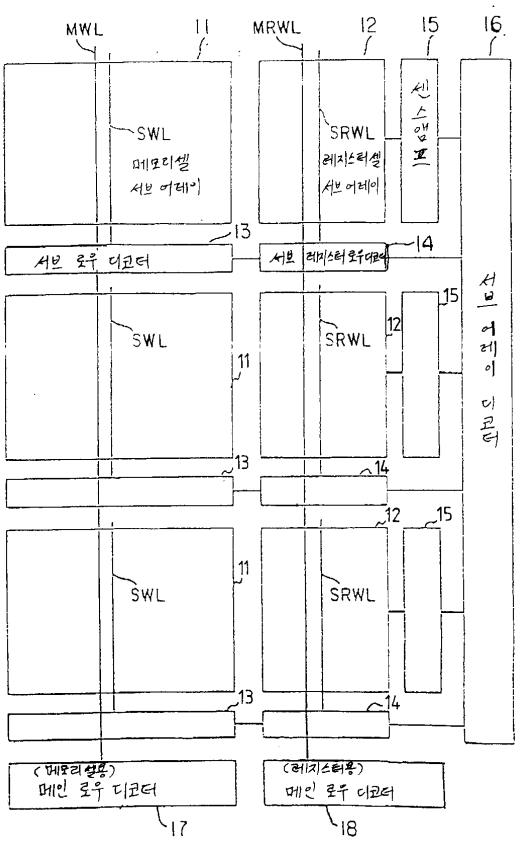
도면1


WL2
WL0
WL3
WL1
RWL1
RWL3
RWL0
RWL2
3
BLn
M3
M2
M0
M1
RM0
RM2
RM1
RM3
2
센스 앰프
n
BLn
BLn+1
센스 앰프
n+1
BLn+1
BLn+2
센스 앰프
n+2
BLn+2
로우 디코더
4
레지스터 로우 디코더
5

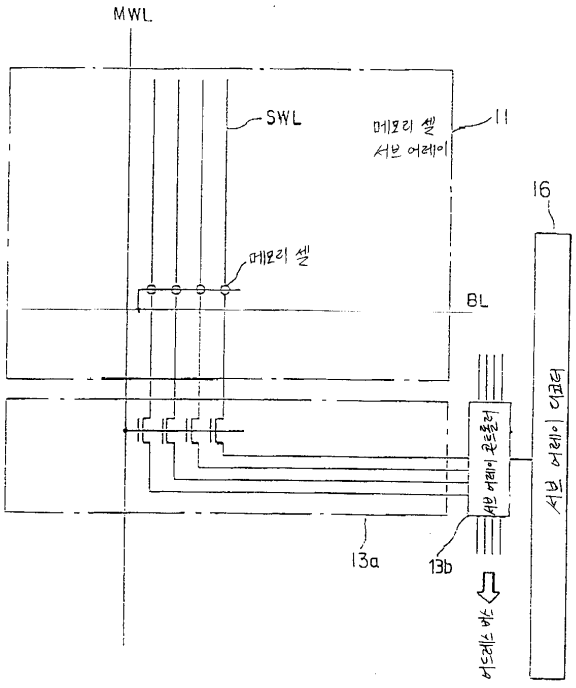
도면2


WL0
WL1
WL2
WL3
RWL0
RWL1
RWL2
RWL3

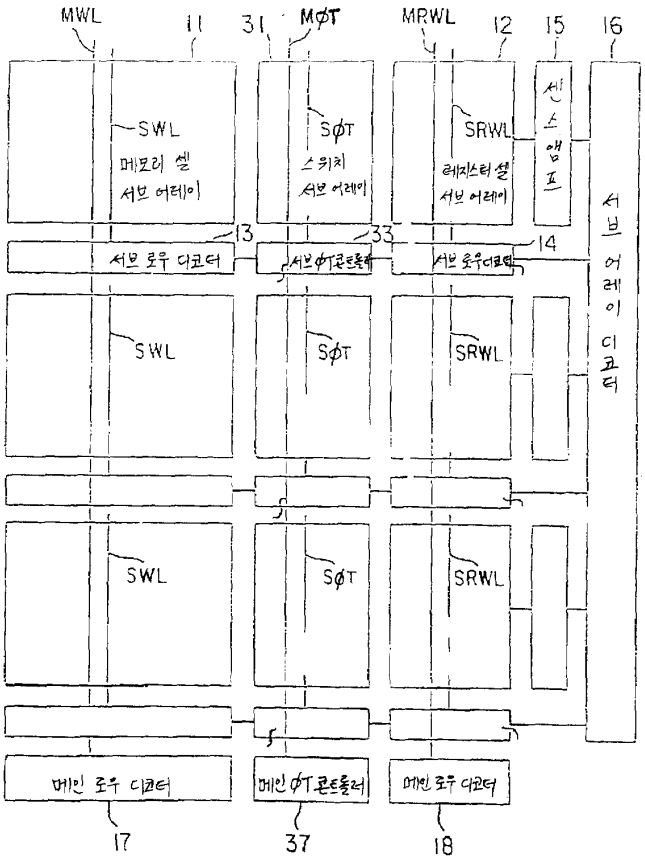
도면3


MWL
11
MRWL
12
15
16
SWL
메모리셀
서브 어레이
SRWL
레지스터셀
서브 어레이
센스앰프
13
서브 로우 디코더
14
서브 레지스터 로우디코더
서브 어레이 디코더
(메모리셀용)
메인 로우 디코더
17
(레지스터용)
메인 로우 디코더
18

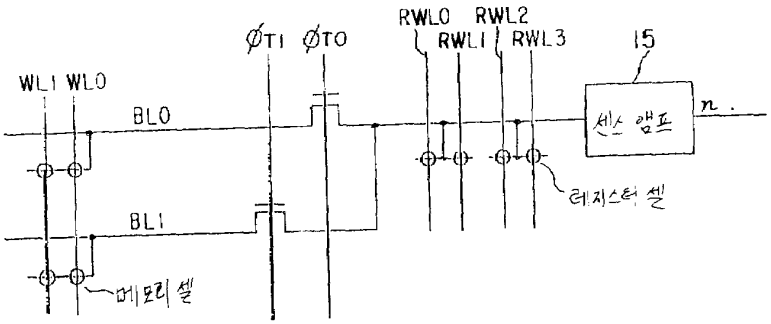
도면4


MWL
SWL
메모리 셀
서브 어레이
11
16
메모리 셀
BL
서브 어레이 컨트롤러
서브 어레이 디코더
13a
13b
비트라인 바스

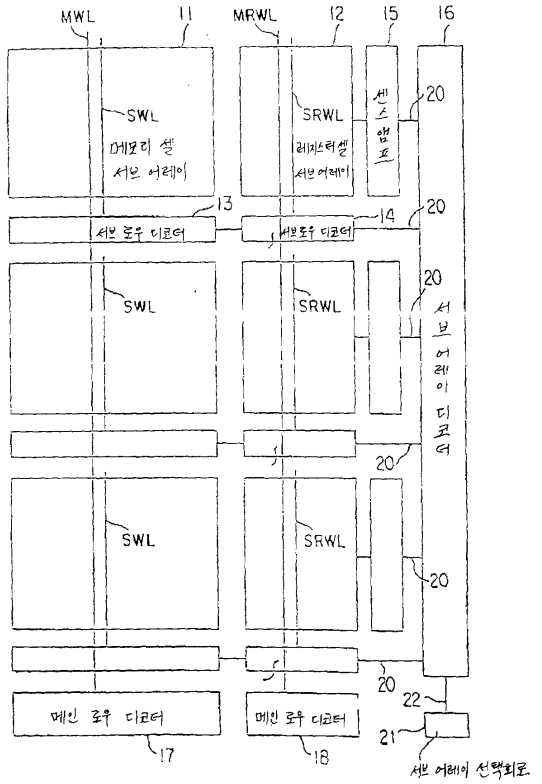
도면5


MWL
11
31
MφT
MRWL
12
15
16
SWL
메모리 셀
서브 어레이
SφT
스위치
서브 어레이
SRWL
레지스터 셀
서브 어레이
센스 앰프
서브 어레이 디코더
13
33
14
서브 로우 디코더
서브φT콘트롤러
서브 로우디코더
메인 로우 디코더
메인 φT 콘트롤러
메인 로우 디코더
17
37
18

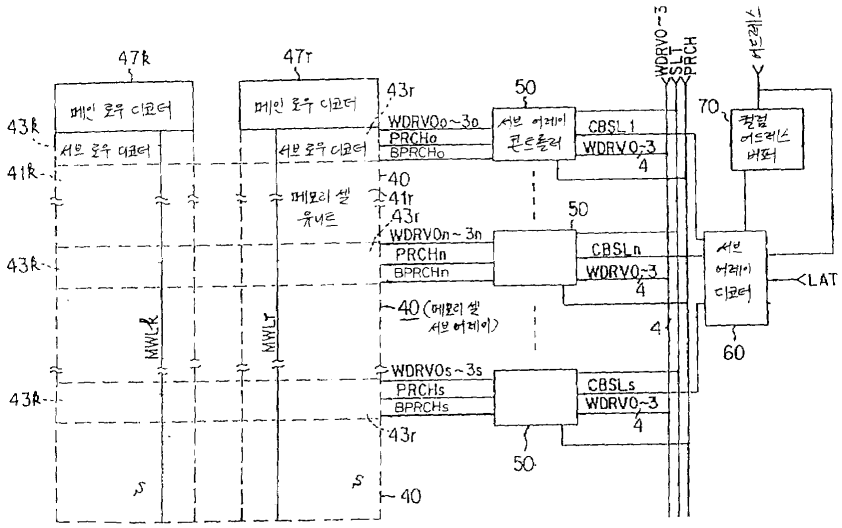
도면6


ØT1
ØTO
RWL0
RWL2
RWL1
RWL3
15
WL1
WL0
BL0
BL1
센스 앰프
n
레지스터 셀
메모리 셀

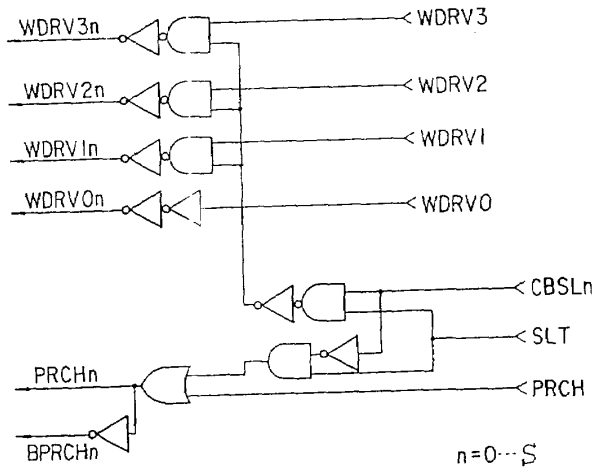
도면7


MWL
11
MRWL
12
15
16
SWL
메모리 셀
서브 어레이
SRWL
레지스터셀
서브 어레이
센스 앰프
20
13
14
서브 로우 디코더
서브로우 디코더
SWL
SRWL
서브 어레이 디코더
20
SWL
SRWL
20
20
22
메인 로우 디코더
메인 로우 디코더
21
17
18
서브 어레이 선택회로

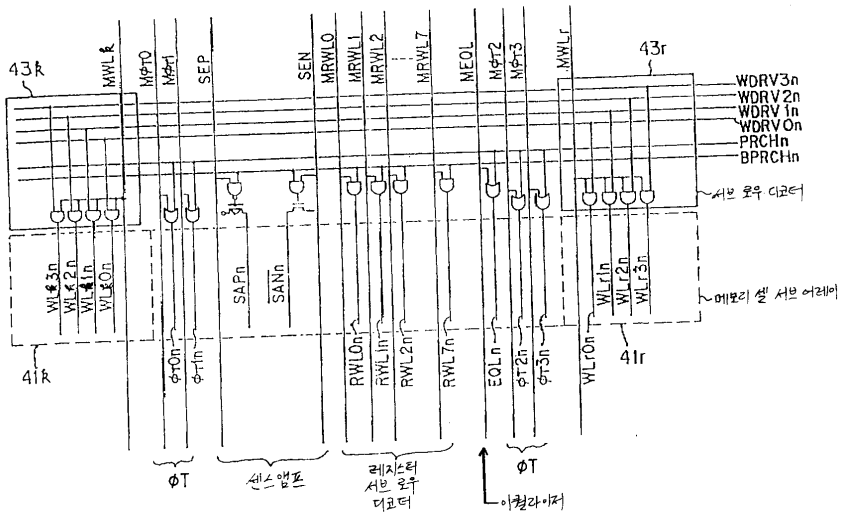
도면8


47k
47r
메인 로우 디코더
메인 로우 디코더
43k
서브 로우 디코더
서브 로우 디코더
41k
메모리 셀 유니트
43r
WDRVOo~3o
PRCHo
BPRCHo
50
서브 어레이 콘트롤러
CBSL1
WDRVO~3
4
WDRVO~3
SLT
PRCH
어드레스
70
컬럼 어드레스 버퍼
40
41r
43r
WDRVOn~3n
PRCHn
BPRCHn
50
CBSLn
WDRVO~3
4
서브 어레이 디코더
LAT
43k
40 (메모리 셀 서브 어레이)
MWLk
MWLr
4
60
WDRVOs~3s
PRCHs
BPRCHs
CBSLs
WDRVO~3
4
43k
43r
50
40

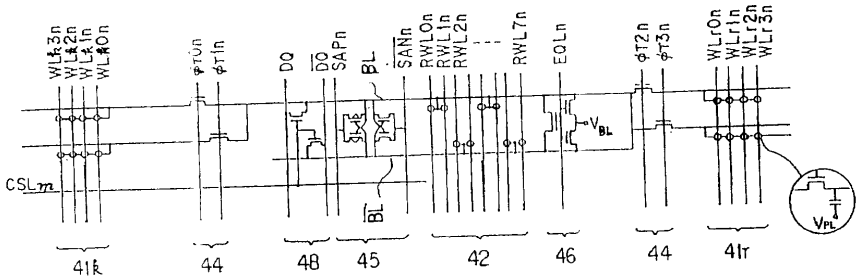
도면9



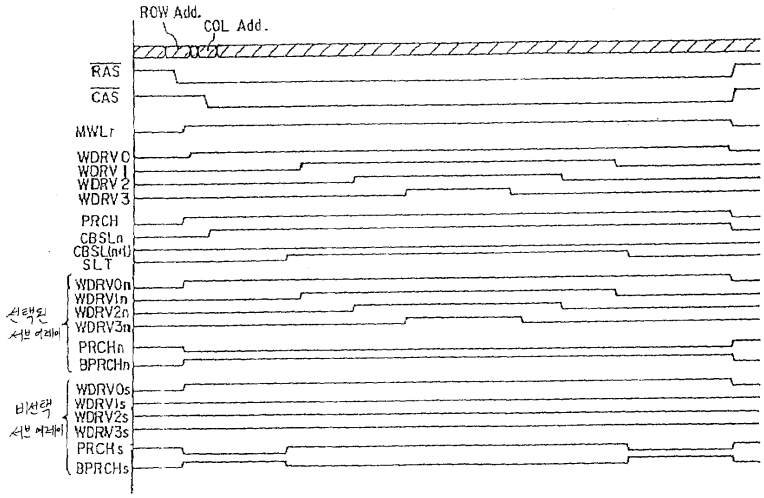
도면10



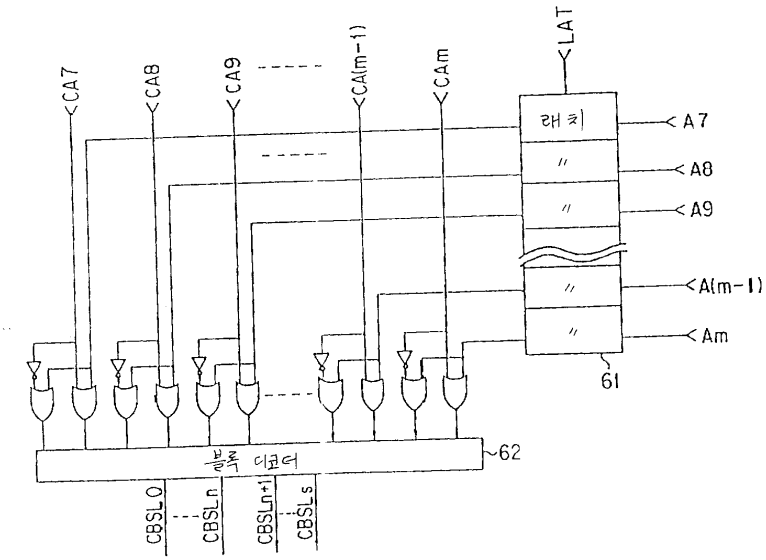
도면11



도면12


ROW Add.
COL Add.
RAS
CAS
MWLr
WDRV0
WDRV1
WDRV2
WDRV3
PRCH
CBSLn
CBSL(n+1)
SLT
선택된 서브 어레이
WDRV0n
WDRV1n
WDRV2n
WDRV3n
PRCHn
BPRCHn
비선택 서브 어레이
WDRV0s
WDRV1s
WDRV2s
WDRV3s
PRCHs
BPRCHs

도면13


CA7
CA8
CA9
CA(m-1)
CAm
LAT
래치
A7
A8
A9
A(m-1)
Am
61
62
칼럼 디코더
CBSL0
CBSLn
CBSLn+1
CBSLs