

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96107259

※ 申請日期：96.7.2

※IPC 分類：G11C 16/26 (2006.01)

一、發明名稱：(中文/英文)

用於含有耦合補償之非揮發性儲存器之讀取操作的系統及方法

SYSTEM AND METHOD FOR READ OPEARTION FOR NON-VOLATILE STORAGE WITH COMPENSATION FOR COUPLING

二、申請人：(共 1人)

姓名或名稱：(中文/英文)

美商桑迪士克股份有限公司
SANDISK CORPORATION

代表人：(中文/英文)

1. 朱蒂 布魯諾
BRUNER, JUDY2. 梅根 康普特
COMPORT, MEGAN

住居所或營業所地址：(中文/英文)

美國加州謬佩塔斯市麥卡錫大道601號
601 MCCARTHY BOULEVARD, MILPITAS, CA 95035, U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1人)

姓 名：(中文/英文)

尼瑪 蒙克萊西
MOKHLESI, NIMA

國 籍：(中文/英文)

伊朗 IRAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年03月03日；60/778,857

2. 美國；2006年03月17日；11/377,972

3. 美國；2006年03月17日；11/384,057

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於用於非揮發性記憶體之技術。

【先前技術】

半導體記憶體已變成愈來愈普遍運用在各種電子裝置中。舉例而言，行動電話、數位攝影機、個人數位助理、行動運算裝置、非行動運算裝置及其他裝置中皆使用非揮發性半導體記憶體。電可擦除可程式化唯讀記憶體 (Electrical Erasable Programmable Read Only Memory ; EEPROM) 及快閃記憶體係最普遍的非揮發性半導體記憶體。

EEPROM及快閃記憶體二者均利用半導體基板中定位在通道區上方且絕緣於通道區的浮動閘極。該浮動閘極係定位在源極區與汲極區之間。控制閘極係提供在浮動閘極上方且絕緣於浮動閘極。電晶體的臨限電壓受控於浮動閘極所保留的電荷量。即，在開通電晶體之前以允許在其源極與汲極之間的傳導而必須施加至控制閘極的最小電壓量係受控於浮動閘極上的電荷位準。

當程式化EEPROM或快閃記憶體裝置(諸如NAND型快閃記憶體裝置)時，典型地，施加一程式化電壓至控制閘極且使位元線接地。來自通道的電子被注入至浮動閘極。當電子累積於浮動閘極中時，浮動閘極變成荷載負電荷狀態，並且記憶體單元的臨限電壓上升，使得記憶體單元係處於已程式化狀態。如需關於程式化之詳細資訊，請參閱

美國專利案第 6,859,397 號題為 "Source Side Self Boosting Technique for Non-Volatile Memory" 及美國專利案第 6,917,542 號題為 "Detecting Over Programmed Memory"，該等案整份內容以引用方式併入本文中。

一些 EEPROM 及快閃記憶體裝置具有用於儲存兩種範圍電荷的浮動閘極，並且因此可在兩種狀態（經擦除狀態與經程式化狀態）之間程式化/擦除記憶體單元。此類快閃記憶體裝置有時候稱為二元 (binary) 快閃記憶體裝置。

一種多狀態式快閃記憶體裝置係藉由識別以禁用範圍相隔離的多重相異允許/有效程式化臨限電壓範圍予以實施。每一相異臨限電壓範圍對應於一用於記憶體裝置中編碼之各組資料位元的預先決定值。

浮動閘極上儲存之表觀電荷的偏移可起因於基於相鄰浮動閘極中儲存之電荷的電場耦合而發生。美國專利第 5,867,429 號中描述此浮動閘極至浮動閘極耦合現象，該案整份內容以引用方式併入本文中。目標浮動閘極的相鄰浮動閘極可包括：位於相同位元線上的鄰近浮動閘極；位於相同字線上的鄰近浮動閘極；或位於目標浮動閘極對角處的浮動閘極，原因係彼等浮動閘極係位於鄰近位元線與鄰近字線兩者上。

浮動閘極至浮動閘極耦合現象最顯著發生於在不同時間已程式化之若干組相鄰記憶體單元之間。舉例而言，一第一記憶體單元經程式化以將一電荷位準加至其浮動閘極，其對應於一組資料。其後，一或多個相鄰記憶體單元經程

式化，以將一電荷位準加至其浮動閘極，其對應於一第二組資料。該等相鄰記憶體單元中之一或多個記憶體單元經程式化之後，因為該等相鄰記憶體單元上的電荷耦合至該第一記憶體單元之效應，所以讀取自該第一記憶體單元的電荷位準似乎不同於所程式化的電荷位準。來自相鄰記憶體單元的耦合可使讀取中之表觀電荷位準偏移，其偏移量足以導致錯誤讀取所儲存之資料。

因為在多狀態式裝置中的受允許之臨限電壓範圍與禁用範圍較窄於二元裝置，所以對於多狀態式裝置較關切浮動閘極至浮動閘極耦合之效應。因此，浮動閘極至浮動閘極耦合現象可導致記憶體單元自一受允許臨限電壓範圍偏移至禁用範圍。

隨著記憶體單元尺寸持續縮小，預期自然臨限電壓程式化與擦除分佈歸因於短通道效應、較大之氧化物厚度/耦合比率變化及更大之通道摻雜物波動而增大，因而減小介於相鄰狀態之間的可用分隔。與僅使用兩種狀態之記憶體(二元記憶體)相比，多狀態式記憶體之此效應更加顯著。另外，介於字線之間的空間及介於位元線之間的空間之減小亦將亦增大介於相鄰浮動閘極之間的耦合。

因此，需要減小浮動閘極間耦合效應。

【發明內容】

為了考量浮動閘極之間的耦合，對於一特定記憶體單元的讀取過程將對一相鄰記憶體單元提供補償，以減小該相鄰記憶體單元對該特定記憶體單元的耦合效應。揭示各項

具體實施例。

一項具體實施例包括：於一對於一所選非揮發性儲存元件之讀取過程期間，施加一讀取電壓至一所選非揮發性儲存元件；依據該所選非揮發性儲存元件之一鄰近者之一當前條件，在該讀取過程期間，對於該鄰近者使用一特定電壓；及在該讀取過程期間感測該所選非揮發性儲存元件之一條件。另一項具體實施例包括：施加一讀取比較電壓至一經連接至一正被讀取之非揮發性儲存元件的所選字線；施加一第一傳送電壓至一第一組非所選字線；施加一第二傳送電壓至鄰近非所選字線；及感測正被讀取之該非揮發性儲存元件之一條件。

一項示範性實施方案包括：複數個非揮發性儲存元件；及一或多個管理電路，其與該複數個非揮發性儲存元件通信，用於執行本文中所述之過程。

【實施方式】

適合實施本發明之一種記憶體系統之一項實例使用 NAND 型快閃記憶體結構，其包括介於兩個選擇閘極之間串聯排列的多個電晶體。串聯的該等電晶體與該等選擇閘極被稱為一 NAND 串。圖 1 繪示 NAND 串的俯視圖。圖 2 繪示其同等電路。圖 1 及 2 所示之該 NAND 串包括夾在一第一選擇閘極 120 與一第二選擇閘極 122 之間串聯的四個電晶體 100、102、104 和 106。選擇閘極 120 閘控接至位元線 126 的 NAND 串連接。選擇閘極 122 閘控接至源極線 128 的 NAND 串連接。藉由將適當電壓施加至控制閘極 120CG 來控制選

擇閘極 120。藉由將適當電壓施加至控制閘極 122CG 來控制選擇閘極 122。電晶體 100、102、104 和 106 各具有一控制閘極及一浮動閘極。電晶體 100 具有控制閘極 100CG 及浮動閘極 100FG。電晶體 102 包括控制閘極 102CG 及浮動閘極 102FG。電晶體 104 包括控制閘極 104CG 及浮動閘極 104FG。電晶體 106 包括控制閘極 106CG 及浮動閘極 106FG。控制閘極 100CG 係連接至(或係)字線 WL3，控制閘極 102CG 係連接至字線 WL2，控制閘極 104CG 係連接至字線 WL1，及控制閘極 106CG 係連接至字線 WL0。在一具體實施例中，電晶體 100、102、104 和 106 皆係記憶體單元。在其他具體實施例中，記憶體單元可包括多個電晶體，或可能係不同於圖 1 及圖 2 所繪示之記憶體單元。選擇閘極 120 連接至選擇線 SGD。選擇閘極 122 連接至選擇線 SGS。

圖 3 繪示上文所述之 NAND 串的剖面圖。如圖 3 所示，NAND 串的電晶體係形成在 p 井區 140 中。每一電晶體包括一種堆疊式閘極結構，其係由一控制閘極(100CG、102CG、104CG 和 106CG)與一浮動閘極(100FG、102FG、104FG 和 106FG)所組成。控制閘極與浮動閘極典型係藉由沉積複晶矽層予以形成。浮動閘極係形成在氧化物或其他介電膜頂部上的 p 井表面上。控制閘極係在浮動閘極上方，有一複晶矽間介電層使控制閘極與浮動閘極相分隔。記憶體單元(100、102、104 和 106)的控制閘極形成字線。鄰近記憶體單元之間共用 N+ 摻雜擴散區 130、132、134、136 和 138，藉此使記憶體單元互相串聯連接而形成一

NAND串。彼等N+摻雜區形成該等記憶體單元中之每一記憶體的源極及汲極。舉例而言，N+摻雜區130充當電晶體122的汲極及電晶體106的源極；N+摻雜區132充當電晶體106的汲極及電晶體104的源極；N+摻雜區134充當電晶體104的汲極及電晶體102的源極；N+摻雜區136充當電晶體102的汲極及電晶體100的源極；及N+摻雜區138充當電晶體100的汲極及電晶體120的源極。N+摻雜區126連接至該NAND串的位元線，而N+摻雜區128連接至一用於多個NAND串的共同源極線。

請注意，雖然圖1至圖3繪示出在該NAND串中有四個記憶體單元，但是使用四個記憶體單元僅係作為一項實例子以提供。連同本文描述之技術一起使用之一NAND串可具有少於四個記憶體單元或多於四個記憶體單元。舉例而言，一些NAND串將包括8個記憶體單元、16個記憶體單元、32個記憶體單元、64個記憶體單元等等。本文中之論述未限定一NAND串中的任何特定記憶體單元數量。

每一記憶體單元可儲存以類比或數位形式表示之資料。當儲存一位元之數位資料時，記憶體單元之可能的臨限電壓範圍被劃分成經指派為邏輯資料"1"及"0"的兩段範圍。在NAND型快閃記憶體之一項實例中，記憶體單元被擦除之後的臨限電壓為負且被定義為"1"。程式化操作之後的臨限電壓為正且被定義為"0"。當臨限電壓為負且嘗試施加0伏至控制閘極來進行讀取時，記憶體單元將開通以指示出正在儲存邏輯"1"。當臨限電壓為正且嘗試施加0伏至

控制閘極來進行讀取操作時，記憶體單元未開通，其指示出儲存邏輯"0"。

記憶體單元亦可以儲存多重狀態，藉此儲存多位元數位資料。假使儲存多重狀態資料，則臨限電壓窗被劃分成若干狀態。舉例而言，如果使用四種狀態，則將有四個臨限電壓範圍指派給資料值"11"、"10"、"01"及"00"。在NAND型記憶體之一項實例中，擦除操作之後的臨限電壓為負且被定義為"11"。正臨限電壓係用於狀態"10"、"01"及"00"。在一些實施方案中，使用一種格雷碼(Gray code)指派，將資料值(例如，邏輯狀態)指派給該等臨限範圍，使得如果一浮動閘極的臨限電壓錯誤地偏移至其鄰近物理狀態，則僅一個位元將受到影響。介於程式化於記憶體單元中之資料與記憶體單元之臨限電壓範圍之間的特定關係取決於記憶體單元所採用的資料編碼方案。舉例而言，美國專利案第6,222,762號及2003年6月13日申請之美國專利申請案第10/461,244號"Tracking Cells For A Memory System"(該等案整份內容以引用方式併入本文中)描述用於多狀態式快閃記憶體單元的各種資料編碼方案。

以下美國專利案/專利申請案中提供NAND型快閃記憶體及其運作的相關實例，所有該等案整份內容均以引用方式併入本文中：美國專利案第5,570,315號；美國專利案第5,774,397號；美國專利案第6,046,935號；美國專利案第5,386,422號；美國專利案第6,456,528號及美國專利申請案序號第09/893,277號(公告第US 2003/0002348號)。除了

NAND型快閃記憶體以外的其他類型非揮發性記憶體亦可配合本發明一起使用。

對快閃EEPROM系統很有用的另一類型記憶體單元利用一非傳導介電材料來取代一傳導浮動閘極，用以用非揮發性方式來儲存電荷。1987年3月IEEE Electron Device Letters第EDL-8卷第3號第93-95頁Chan等人的"A True Single-Transistor Oxide-Nitride-Oxide EEPROM Device"文章中描述此種記憶體單元。一由氧化矽、氮化矽、氮氧化矽("ONO")所形成之三層式介電被夾在一傳導控制閘極與在記憶體單元通道上方之一半導體基板之一表面之間。可藉由將電子自記憶體單元通道注入至氮化物(此處電子被截獲且儲存在受限區域中)中，來程式化記憶體單元。接著，此儲存之電荷以可偵測方式變更記憶體單元之通道之一部分的臨限電壓。藉由將熱電洞注入至氮化物中來擦除記憶體單元。亦請參閱1991年4月IEEE Journal of Solid-State Circuits第26卷第4號第497-501頁Nozaki等人的"A 1-Mb EEPROM with MONOS Memory Cell for Semiconductor Disk Application"，其描述一種分割閘極(split-gate)組態之類似記憶體單元，其中一經摻雜之複晶矽閘極延伸於記憶體單元通道之一部分上，以形成一分開的選擇電晶體。前文提及之兩篇文章整份內容均以引用方式併入本文中。1998年IEEE Press由William D. Brown與Joe E. Brewer主編之"Nonvolatile Semiconductor Memory Technology"第1.2節中提出程式化技術(其以引用方式併入本文中)，該章節中

的描述亦適用於介電電荷截獲裝置。此段落中描述之記憶體單元亦可配合本發明一起使用。因此，本文描述之技術亦適用於不同記憶體單元之介電區域之間的耦合。

2000年11月IEEE Electron Device Letters第21卷第11號第543-545頁Eitan等人的"NRROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell"已描述另一種在每一記憶體單元中儲存兩個位元的做法。ONO介電層延伸跨越源極及汲極擴散之間的通道。一個資料位元的電荷會被局部化在相鄰於汲極的介電層中，而另一個資料位元的電荷被局部化在相鄰於源極的介電層中。藉由分開讀取介電質內空間上分開之電荷儲存區的二元狀態(binary state)而獲得多重狀態資料儲存。此段落中描述之記憶體單元亦可配合本發明一起使用。

圖4繪示NAND單元陣列之實例，諸如圖1至圖3中所示之NAND單元。沿每一行，一位元線206耦合至用於NAND串150的汲極選擇閘極之汲極終端126。沿每一列NAND串，一源極線204可連接至所有該等NAND串的源極選擇閘極之源極終端128。如需作為記憶體系統之部件的NAND架構陣列及其運作之實例，請參閱美國專利案第5,570,315號；第5,774,397號；及第6,046,935號。

記憶體單元陣列被劃分成大量記憶體單元區塊。如同快閃EEPROM系統，區塊係擦除單位。即，每一區塊包含可一起抹除的最少數數量之記憶體單元。每一區塊典型被劃分成若干頁。一頁係一程式化單位。在一具體實施例中，個

別頁可被劃分成若干節段(segment)，並且節段可包含作為一基本程式化操作而一次寫入的最少數量之記憶體單元。一或多頁資料典型被儲存於一系列記憶體單元中。一頁可儲存一或多個區段(sector)。一區段包括使用者資料及附加項(overhead)資料。附加項資料典型包括一已從該區段之使用者資料所計算的錯誤修正碼(ECC)。控制器之一部分(在下文描述)在將資料程式化至陣列中時計算該ECC，並且當自陣列讀取資料時亦檢查該ECC。替代做法為，將ECC及/或其他附加項資料儲存在不同於使用者資料所屬的頁(或甚至不同區塊)中。

一區段之使用者資料典型係512個位元組，其相對應於磁碟機中之一磁區(sector)的大小。附加項資料典型係額外的16-20個位元組。大量頁形成一區塊，舉例而言，其為從8頁至最多32、64、128或更多頁。在一些具體實施例中，一系列NAND串包括一區塊。

在一具體實施例中，擦除記憶體單元之方式為：使p井上升至一擦除電壓(例如，20伏)達一段充分時間週期，並且使所選區塊的字線接地，同時源極線及位元線係處於浮動狀態。由於電容耦合，導致非所選字線、位元線、選擇線及共同源極線也上升至該擦除電壓之顯著分率。因此，施加強電場至所選區塊的記憶體單元之隧穿氧化物層，並且由於浮動閘極的電子被發射至基板，導致所選記憶體單元的資料被擦除，典型係藉由Fowler-Nordheim隧穿機制。隨著電子從浮動閘極轉移至p井區，所選記憶體單元

的臨限電壓被降低。可對整個記憶體陣列、分開的區塊或其他記憶體單元單位來執行擦除。

圖5繪示根據本發明一項具體實施例之記憶體裝置296，其具有用於平行讀取及程式化一頁記憶體單元之讀取/寫入電路。記憶體裝置296可包括一或多個記憶體晶粒298。記憶體晶粒298包括一個二維記憶體單元陣列300、控制電路310及讀取/寫入電路365。在一些具體實施例中，記憶體單元可能係三維。記憶體陣列300係可經由一系列解碼器330藉由字線與經由一行解碼器360藉由位元線予以定址。讀取/寫入電路365包括多個感測組塊400，並且允許平行地讀取或程式化一頁記憶體單元。典型地，在相同於一或多個記憶體晶粒298的記憶體裝置296(例如，可卸除式儲存卡)中包括一控制器350。命令與資料係經由線路320以在主機與控制器350之間傳送並且經由線路318以在該控制器與一或多個記憶體晶粒298之間傳送。

控制電路310與讀取/寫入電路365協作以執行關於記憶體陣列300的記憶體操作。控制電路310包括一狀態機312、一晶片上位址解碼器314及一功率控制模組316。狀態機312提供記憶體操作之晶片層級控制。晶片上位址解碼器314提供一介於主機或一記憶體控制器使用之硬體位址與解碼器330和360使用之硬體位址之間的位址介面。功率控制模組316控制在記憶體操作期間供應至字線與位元線的功率與電壓。

在一些實施方案中，可組合圖5的一些組件。在各種設計中，圖5之除記憶體單元陣列300外的一或多個組件(單

獨式或組合式)可視為一管理電路。舉例而言，一或多個管理電路可包括如下中任一項或其組合：控制電路310、狀態機312、解碼器314/360、功率控制模組316、感測組塊400、讀取/寫入電路365、控制器350。

圖6繪示圖5所示之記憶體裝置296的另一配置。藉由各種周邊電路對記憶體陣列300之存取係在該陣列之相對立側處以對稱方式予以實施，使得每一側之存取線路與電路之密度減少一倍。因此，列解碼器被分割成列解碼器330A與330B，並且行解碼器被分割成360A與360B。同樣地，讀取/寫入電路被分割成讀取/寫入電路365A(其從記憶體陣列300底端連接至位元線)與讀取/寫入電路365B(其從記憶體陣列頂端連接至位元線)以此方式，使讀取/寫入模組之密度實質上減小一倍。圖6之裝置亦可包括一控制器，如同如上文所述之圖5之裝置。

圖7繪示個別感測組塊400之方塊圖，該感測組塊被分成一核心部分(稱為感測模組380)與一共同部分390。在一具體實施例中，對於每一位元線有一個分開之感測模組380，並且對於一組多個感測模組380有一個共同部分390。在一項實例中，一感測組塊將包括一個共同部分390及八個感測模組380。一群組中的每一感測模組將經由一資料匯流排372以與相關聯之共同部分通信。如需詳細資訊，請參閱2004年12月29日申請之美國專利申請案第11/026,536號題為"Non-Volatile Memory & Method with Shared Processing for an Aggregate of Sense Amplifiers"，

該案整份內容以引用方式併入本文中。

感測模組380包括感測電路370，該感測電路判定一經連接之位元線中的一傳導電流是否高於或低於一預先決定臨限值。感測模組380亦包括一位元線鎖存器382，該位元線鎖存器係用於設定該經連接之位元線上的電壓條件。舉例而言，鎖存於位元線鎖存器382中的一預先決定狀態將導致該經連接之位元線被拉至一指定程式化禁止之狀態(例如，Vdd)。

共同部分390包括一處理器392、一組資料鎖存器394及一耦合於該組資料鎖存器394與資料匯流排320之間的一I/O介面396。處理器392執行運算。舉例而言，處理器之功能之一係判定經感測之記憶體單元中所儲存的資料，並且將該經判定之資料儲存於該組資料鎖存器中。該組資料鎖存器394係用於儲存在讀取操作期間處理器392所判定的資料位元。該組資料鎖存器亦用於儲存在程式化操作期間自資料匯流排320匯入的資料位元。經匯入之資料位元表示意欲程式化於記憶體中的寫入資料。I/O介面396提供一介於資料鎖存器394與資料匯流排320之間的介面。

於讀取與感測期間，系統之運作係在狀態機312之控制下，狀態機控制不同控制閘極電壓至經定址記憶體單元之供應。隨著逐步通過相對應於記憶體所支援之各種記憶體狀態的各種預先定義之控制閘極電壓，感測模組380可感測到彼等電壓之一，並且將經由資料匯流排372自感測模組380提供一輸出至處理器392。此時，處理器392藉由考

量感測模組之感測事件及關於經由輸入線路393來自狀態機之經施加控制閘極的資訊來判定所得記憶體狀態。接著，處理器運算該記憶體狀態之二進位編碼，並且將所得資料位元儲存於資料鎖存器394中。在核心部分之另一具體實施例中，位元線鎖存器382有雙重用途，其作為用於鎖存感測模組380之輸出的鎖存器且亦作為如上文所述之位元線鎖存器。

期預一些實施方案將包括多個處理器392。在一具體實施例中，每一處理器392將包括一輸出線(圖7中未繪示)，使得每一輸出線被wired-OR在一起。在一些具體實施例中，該等輸出線在被連接至該wired-OR線之前先被反轉。此項組態實現在程式化驗證過程期間迅速判定已完成程式化過程之時間，此乃因接收wired-OR的狀態機可判定所有正被程式化的位元已達到所要位準。舉例而言，當每一位元已達到其所要位準時，該位元的一邏輯"0"將被發送至該wired-OR線(或一資料"1"被反轉)。當所有位元輸出一資料"0"(或一資料"1"被反轉)時，狀態機知道終止程式化過程。因為每一處理器與八個感測模組通信，所以狀態機必須讀取wired-OR線八次，或將用以累加相關聯之位元線之結果的邏輯加入至處理器392，使得狀態機僅需要讀取wired-OR線一次。同樣地，藉由正確選擇邏輯位準，全域性狀態機可偵測何時第一位元變更其狀態且據此變更演算法。

在程式化或驗證期間，來自資料匯流排320的待程式化

之資料被儲存在該組資料鎖存器394中。在狀態機之控制下，程式化操作包括施加至經定址記憶體單元之控制閘極的一連串程式化電壓脈衝。在每一程式化脈衝之後進行一讀回(驗證)，以判定記憶體單元是否已被程式化至所要之記憶體狀態。處理器392相對於所要之記憶體狀態來監視讀回之記憶體狀態。當該兩種記憶體狀態一致時，處理器392設定位元線鎖存器382，致使位元線拉至一指定程式化禁止之狀態。此禁止進一步程式化經耦合至該位元線的記憶體單元，即使該記憶體單元之控制閘極上有程式化脈衝出現。在其他具體實施例中，在驗證過程期間，處理器在開始時載入位元線鎖存器382，並且感測電路將其設定為一禁止值。

資料鎖存器堆疊394包含相對應於感測模組的一堆疊資料鎖存器。在一具體實施例中，每感測模組380有三個資料鎖存器。在一些實施方案中(但非必須)，資料鎖存器被實施為一移位暫存器，使得儲存於其中的並列資料被轉換成用於資料匯流排320的串列資料，反之亦然。在較佳具體實施例中，相對應於 m 個記憶體單元之讀取/寫入組塊的所有資料鎖存器可被鏈接在一起，以形成一區塊移位暫存器，使得可藉由串列傳送來輸入或輸出一區塊資料。具體而言，含 r 個讀取/寫入模組之庫組(bank)經調適，使得其該組資料鎖存器之每一者將資料循序移入或移出資料匯流排，猶如其係屬於一用於整個讀取/寫入組塊之移位暫存器的部件。

如需關於非揮發性儲存裝置之各項具體實施例的結構及/或操作的額外資訊，請參閱：(1) 2004年3月25日公告之美國專利申請公開案第2004/0057287號題為"Non-Volatile Memory And Method With Reduced Source Line Bias Errors"；(2) 2004年6月10日公告之美國專利申請公開案第2004/0109357號題為"Non-Volatile Memory And Method with Improved Sensing"；(3)發明人Raul-Adrian Cernea於2004年12月16日申請之美國專利申請案第11/015,199號題為"Improved Memory Sensing Circuit And Method For Low Voltage Operation"；(4)發明人Jian Chen於2005年4月5日申請之美國專利申請案第11/099,133號題為"Compensating for Coupling During Read Operations of Non-Volatile Memory"；及(5)發明人Siu Lung Chan與Raul-Adrian Cernea於2005年12月28日申請之美國專利申請案第11/321,953號題為"Reference Sense Amplifier For Non-Volatile Memory"。以上列出之五份專利文件整份內容均以引用方式併入本文中。

圖8繪示用以解說程式化非揮發性記憶體方法之一具體實施例的流程圖。在一實施方案中，在程式化之前先擦除記憶體單元(以區塊為單位或其他單位)。在圖8之步驟400，一"資料載入"命令係由控制器予以發出且由控制電路310予以接收。在步驟402，從控制器或主機將指定頁位址的位址資料輸入至解碼器314。在步驟404，所定址之頁的一頁程式化資料被輸入至資料緩衝器以進行程式化。該

資料被鎖存在適當組之鎖存器中。在步驟406，一"程式化"命令係由控制器予以發出至狀態機312。

藉由"程式化"命令之觸發，使用圖9所示之施加至適當字線的步進式脈衝，由狀態機312控制以將在步驟404中鎖存的資料程式化至的所選記憶體單元中。在步驟408，程式化電壓 V_{pgm} 被初始化為開始脈衝(例如，12伏或其他值)，並且狀態機312所維護的一程式化計數器PC被初始化為0。在步驟410，施加第一 V_{pgm} 脈衝至所選字線。如果儲存在一特定資料鎖存器中邏輯"0"指示出應程式化相對應之記憶體單元，則相對應之位元線被接地。另一方面，如果儲存在一特定鎖存器中的邏輯"1"指示出相對應之記憶體單元應維持其現有資料狀態，則相對應之位元線被連接至Vdd以禁止程式化。

在步驟412，驗證所選記憶體單元之狀態。如果偵測到一所選記憶體單元的目標臨限電壓已到達適當位準，則相對應之資料鎖存器中儲存的資料被變更為邏輯"1"。如果偵測到目標臨限電壓未到達適當位準，則不變更相對應之資料鎖存器中儲存的資料。在此方式中，在本身相對應之資料鎖存器中已儲存邏輯"1"的位元線不需要予以程式化。當所有資料鎖存器皆正在儲存邏輯"1"時，狀態機(經由上文所述之wired-OR型機制)知道已程式化所有所選記憶體單元。在步驟414，檢查是否所有資料鎖存器正儲存邏輯"1"。若是，因為所有所選記憶體單元皆已予以程式化且驗證，所以程式化過程完成且成功。在步驟416報告

"通過"(PASS)狀態。在一具體實施例中，步驟412之驗證包括將不同於提供至其他非所選記憶體單元之電壓的一或多個電壓提供至相鄰於正被程式化之記憶體單元的記憶體單元。舉例而言，如果正在程式化位於字線WLn上的記憶體單元，則施加至字線WLn+1上的記憶體單元之電壓將不同於施加至非所選字線之電壓。下文將參考圖10更詳細論述此項補償。

在步驟414，如果判定非所有資料鎖存器正儲存邏輯"1"，則程式化過程繼續進行。在步驟418，比對一程式化限制值PCMAX來檢查該程式化計數器PC。一項實例之程式化限制值為20；但是，亦可使用其他數值。如果程式化計數器不小於20，則程式化過程已失敗且在步驟420報告"失敗"狀態。如果該程式化計數器PC小於20，則按步進大小來遞增Vpgm位準，並且在步驟422累加該程式化計數器PC。在步驟422，過程迴圈回到步驟410，以施加下一Vpgm脈衝。

圖9繪示一連串程式化脈衝，其被施加至經選擇用以程式化的字線。介於程式化脈衝之間係一組驗證脈衝(圖中未繪示)。在一些具體實施例中，對於正在將資料程式化於其中之每一狀態可能有一驗證脈衝。在其他具體實施例中，可能有更多或更少之驗證脈衝。

在一具體實施例中，資料係沿一共同字線程式化至記憶體單元。因此，在施加圖9之程式化脈衝之前，先選擇用於程式化的字線之一。此字線將稱為所選字線。一區塊中

的其餘字線稱為非所選字線。該所選字線可具有一個或兩個鄰近字線。如果該所選字線具有兩個鄰近字線，則位於汲極側之鄰近字線稱為汲極側鄰近字線，並且位於源極側之鄰近字線稱為源極側鄰近字線。舉例而言，如果圖2之字線WL2係所選字線，則WL1係源極側鄰近字線且WL3係汲極側鄰近字線。

每一記憶體單元區塊各包括形成行之一組位元線與形成列之一組字線。在一具體實施例中，位元線被劃分成偶數位元線及奇數位元線。對沿一共同字線且連接至奇數位元線的記憶體單元進行一次程式化，而對沿一共同字線且連接至偶數位元線的記憶體單元進行另一次程式化("奇數/偶數程式化")。在另一具體實施例中，對於區塊中的所有位元線，沿一字線程式化記憶體單元("所有位元線程式化")。在其他具體實施例中，可將位元線或區塊細分成其他群組(例如，左與右、兩個以上群組等等)。

圖10繪示在讀取或驗證過程之一次反覆過程期間各種訊號之行為的時序圖。舉例而言，如果記憶體單元係二元記憶體單元，則在步驟412之一次反覆過程期間，對於每一記憶體單元執行一次圖10之過程。如果記憶體單元係有四種狀態(例如，E、A、B與C)之多狀態式記憶體單元，則在步驟412之一次反覆過程期間，對於每一記憶體單元執行三次圖10之過程。

一般而言，在讀取及驗證操作期間，所選字線被連接至一電壓，對於每一讀取與驗證操作來指定該電壓的位準，

以判定所涉及的記憶體單元的臨限電壓是否已到達該位準。如果施加字線電壓，則回應經施加至字線的電壓，測量記憶體單元的傳導電流，以判定記憶體單元是否經開通。如果測量出傳導電流大於一定值，則假設記憶體單元開通，並且經施加至字線的電壓大於記憶體單元的臨限電壓。如果測量出傳導電流不大於該定值，則假設記憶體單元未開通，並且經施加至字線的電壓不大於記憶體單元的臨限電壓。

有許多方式以在讀取或驗證操作期間測量記憶體單元之傳導電流。在一項實例中，依感測放大器中一專用電容器的放電速率來測量記憶體單元之傳導電流。在一具體實施例中，使用所有位元線程式化的記憶體陣列可依感測放大器中一專用電容器的放電速率來測量記憶體單元之傳導電流。在另一項實例中，所選記憶體單元的傳導電流允許(或無法允許)含有該記憶體單元的NAND串將位元線放電。在一段時期後測量位元線上的電荷，以查看是否已被放電。在一具體實施例中，使用奇數/偶數程式化的記憶體陣列可藉由判定位元線是否已經放電來測量記憶體單元之傳導電流。圖10解說彼兩者實例。

圖10繪示訊號WL_unsel、WLn+1、WLn、SGS、Selected BL、BLCLAMP及開始於Vss(約0伏)之Source。SGD表示汲極側選擇閘極之閘極。SGS係源極側選擇閘極之閘極。WLn係經選擇用於讀取/驗證之字線。WLn+1係WLn之汲極側鄰近字線的非所選字線。WL_unsel表示除汲

極側鄰近字線外的非所選字線。Selected BL係經選擇用於讀取/驗證之位元線。Source係記憶體單元的源極線(請參閱圖4)。BLCLAMP係當從感測放大器進行充電時設定位元線之值的類比訊號。請注意，圖中繪示兩種版本之SGS、Selected BL與BLCLAMP。一組之訊號SGS (B)、Selected BL (B)與BLCLAMP (B)繪示記憶體陣列之讀取/驗證操作，其藉由判定位元線是否已經放電來測量記憶體單元之傳導電流。另一組之訊號SGS (C)、Selected BL (C)與BLCLAMP (C)繪示記憶體陣列之讀取/驗證操作，其依感測放大器中一專用電容器的放電速率來測量記憶體單元之傳導電流。

首先，將參考SGS (B)、Selected BL (B)與BLCLAMP (B)來論述涉及藉由判定位元線是否已經放電來測量記憶體單元之傳導電流的感測電路與記憶體單元陣列的行為。在圖10之時間 t_1 ，SGD上升至 V_{dd} (例如，約3.5伏)，非所選字線(WL_unsel)上升至 V_{read} (例如，約5.5伏)、汲極側鄰近字線(WL $_{n+1}$)上升至 V_{readX} ，所選字線WL $_n$ 上升至用於讀取操作之 V_{cgr} (例如，圖11之 V_{ra} 、 V_{rb} 或 V_{rc})或用於驗證操作之驗證位準(例如，圖11之 V_{va} 、 V_{vb} 或 V_{vc})，以及BLCLAMP (B)上升至一預充電電壓以預充電所選位元線Selected BL(B)(例如，約0.7伏)。電壓 V_{read} 與 V_{readX} 充當通電壓(pass voltage)，原因係彼兩個電壓促使非所選記憶體單元開通且充當傳送閘(pass gate)。在時間 t_2 ，BLCLAMP (B)降低至 V_{ss} ，使得NAND串可控制位元線。

再者，在時間 t_2 ，藉由使 SGS (B) 上升至 V_{dd} 而使源極側選擇閘極開通。此提供一消耗位元線上電荷的路徑。如果經選擇用於讀取的記憶體單元之臨限電壓大於 V_{cgr} 或施加至所選字線 WLn 的驗證位準，則將使所選記憶體單元未開通且位元線未放電，如訊號線 450 所示。如果經選擇用於讀取的記憶體單元之臨限電壓低於 V_{cgr} 或低於施加至所選字線 WLn 的驗證位準，則將使經選擇用於讀取的記憶體單元開通(傳導)且位元線電壓將消耗，如訊號線 452 所示。在時間 t_2 之後與時間 t_3 之前的某時間點(依特定實施方案予以判定)，感測放大器將決定位元線是否已消耗足夠量。在時間 t_2 與 t_3 之間，BLCLAMP (B) 上升至允許感測放大器測量受評估之位元線電壓且接著降低，如圖 10 所示。在時間 t_3 ，所繪示之訊號將降低至 V_{ss} (或用於待命或復原的另一值)。請注意，在其他具體實施例中，可變更一些訊號的時序(例如，使施加之鄰近者的訊號偏移)。

接著，將參考 SGS (C)、Selected BL (C) 與 BLCLAMP (C) 來論述涉及依感測放大器中一專用電容器的放電速率來測量記憶體單元之傳導電流的感測電路與記憶體單元陣列的行為。在圖 10 之時間 t_1 ，SGD 上升至 V_{dd} (例如，約 3.5 伏)，非所選字線 (WL_{unsel}) 上升至 V_{read} (例如，約 5.5 伏)、汲極側鄰近字線 ($WLn+1$) 上升至 V_{readX} ，所選字線 WLn 上升至用於讀取操作之 V_{cgr} (例如，圖 11 之 V_{ra} 、 V_{rb} 或 V_{rc}) 或用於驗證操作之驗證位準(例如，圖 11 之 V_{va} 、 V_{vb} 或 V_{vc})，以及 BLCLAMP (C) 上升。在此情況中，感測

放大器使位元線電壓保持不變，而不顧慮NAND串進行中的操作，使得感測放大器在位元線"鉗位"在該電壓的情況下測量流動中的電流。因此，BLCLAMP (C)在時間t1時上升且在自時間t1至時間t3時段不變。在時間t1之後與時間t3之前的某時間點(依特定實施方案予以判定)，感測放大器將決定感測放大器中的電容器是否已消耗足夠量。在時間t3，所繪示之訊號將降低至Vss (或用於待命或復原的另一值)。請注意，在其他具體實施例中，可變更一些訊號的時序。

如上文所述，依自控制閘極測量到的一非揮發性記憶體單元之一浮動閘極(或其他電荷儲存元件)之表觀臨限電壓(apparent threshold voltage)的偏移可起因於基於相鄰浮動閘極(或其他相鄰電荷儲存元件)中儲存之電荷的電場耦合而發生。該問題最顯著發生於在不同時間已程式化之若干組相鄰記憶體單元之間。為了考量此耦合，對於一特定記憶體單元的讀取過程將對一相鄰記憶體單元提供補償，以減小該相鄰記憶體單元對該特定記憶體單元的耦合效應。一項具體實施例亦包括在驗證過程期間設立對於稍後對該相鄰記憶體單元施用補償的必要條件。在此一具體實施例中，施加至WLn+1的過驅動/旁路(overdrive/bypass)電壓(或稱為VREAD)從一典型值(例如)6伏)下降至(例如)3伏。補償將包含：在對WLn執行讀取操作期間，施加較高電壓(相較於程式化/驗證操作的驗證階段期間使用的電壓)至WLn+1。換言之，補償由一變更/差量(change/delta)所

組成： $\Delta V_{\text{READ}} = \{ [V_{\text{READ}}(\text{WLn}+1, \text{讀取 WLn 期間})] - [V_{\text{READ}}(\text{WLn}+1, \text{驗證 WLn 期間})] \}$ 。於驗證期間使用一較低 V_{READ} 的優點在於，其允許稍後於讀取操作期間施加標稱值 V_{READ} ，同時維持必要之 ΔV_{READ} 。若在驗證期間未使用小於標稱值之 V_{READ} ，則在讀取期間允許施加足夠 ΔV_{READ} 的必要值 V_{READ} 將已為(例如) $6+3=9\text{V}$ ，這將成為太高的電壓，此乃因此高 V_{READ} 電壓導致讀取干擾條件。圖 10 中將一項此類設立以用於稍後補償之實例繪示為：施加 V_{readX} 至汲極側鄰近字線，同時其他非所選字線接收 V_{read} 。在許多先前技術裝置，所有非所選字線將接收 V_{read} 。在圖 10 之具體實施例中，除汲極側鄰近字線外的所有非所選字線接收 V_{read} ；同時汲極側鄰近字線接收 V_{readX} 。

對於記憶體單元係從源極側至汲極側予以程式化的驗證過程，其保證(在一項具體實施例中)當寫入至字線 WLn 時，字線 $\text{WLn}+1$ 上的所有記憶體單元皆處於經擦除狀態(例如，狀態 E)(請注意：對於全序列(full sequence)而言確實如此，並且對於 LM 模式則非如此。請參閱前文解說)。字線 $\text{WLn}+1$ 將接收一電壓位準 V_{readX} ，其中 $V_{\text{readX}} = V_{\text{read4}}$ (在下文論述)。在一具體實施例中， V_{read4} 等於 3.7 伏。在另一具體實施例中， $V_{\text{readX}} = V_{\text{read}}$ 。在其他具體實施例中，亦可使用其他值。在不同實施方案中，可依據裝置特徵、實驗及/或模擬來判定 V_{read4} 或 V_{readX} 之不同值。

若適用，在成功程式化程序結束時，記憶體單元的臨限電壓應在經程式化之記憶體單元的一或多項臨限電壓分佈內或在經擦除之記憶體單元的一臨限電壓分佈內。圖11繪示當每一記憶體單元儲存兩個位元之資料時記憶體單元陣列的示範性臨限電壓分佈。圖11繪示經擦除之記憶體單元的第一臨限電壓分佈E。亦描繪出經程式化之記憶體單元的三種臨限電壓分佈A、B和C。在一具體實施例中，E分佈中的臨限電壓係負值，A、B和C分佈中的臨限電壓係正值。

圖11之每一相異臨限電壓範圍對應於一用於各組資料位元的預先決定值。介於程式化於記憶體單元中之資料與記憶體單元之臨限電壓位準之間的特定關係取決於記憶體單元所採用的資料編碼方案。舉例而言，美國專利案第6,222,762號及2003年6月13日申請之美國專利申請案第10/461,244號"Tracking Cells For A Memory System"(該等案整份內容以引用方式併入本文中)描述用於多狀態式快閃記憶體單元的各種資料編碼方案。在一具體實施例中，使用一種格雷碼(Gray code)指派，將資料值指派給該等臨限電壓範圍，使得如果一浮動閘極的臨限電壓錯誤地偏移至其鄰近物理狀態，則僅一個位元將受到影響。一項實例指派"11"給臨限電壓範圍E(狀態E)；指派"10"給臨限電壓範圍A(狀態A)；指派"00"給臨限電壓範圍B(狀態B)；及指派"01"給臨限電壓範圍C(狀態C)。然而，在其他具體實施例中，不使用格雷碼。雖然圖11繪示四種狀態，但是亦

可配合其他多狀態結構(包括具有四種以上或以上狀態之多狀態結構)運用本發明。

圖 11 亦繪示用於從記憶單元讀取資料的三個讀取參考電壓 V_{ra} 、 V_{rb} 和 V_{rc} 。藉由測試一既定記憶體單元的臨限電壓是否高於或低於 V_{ra} 、 V_{rb} 和 V_{rc} ，系統可判定該記憶體單元所處之狀態。

圖 11 亦繪示三個驗證參考電壓 V_{va} 、 V_{vb} 和 V_{vc} 。當將記憶體單元程式化至狀態 A 時，系統將測試記憶體單元是否具有大於或等於 V_{va} 之臨限電壓。當將記憶體單元程式化至狀態 B 時，系統將測試記憶體單元是否具有大於或等於 V_{vb} 之臨限電壓。當將記憶體單元程式化至狀態 C 時，系統將判定記憶體單元是否具有大於或等於 V_{vc} 之臨限電壓。

在一具體實施例中，名為全序列程式化，可將記憶體單元從經擦除狀態 E 直接程式化至該等經程式化狀態 A、B 或 C 中之任一狀態。舉例而言，待程式化的一群體記憶體單元可先予以擦除，使得該群體中的所有記憶體單元皆處於經擦除狀態 E。接著，使用圖 8 所示之過程(使用圖 9 所示之控制閘極電壓序列)，以將記憶體單元直接程式化至狀態 A、B 或 C。當一些記憶體單元正被從狀態 E 程式化至狀態 A 時，其他記憶體單元正被從狀態 E 程式化至狀態 B 及/或從狀態 E 程式化至狀態 C。由於與在 WLn 上從狀態 E 程式化至狀態 A 或從狀態 E 程式化至狀態 B 時在 WLn 下的浮動閘極上之電壓變化相比，當在 WLn 上從狀態 E 程式化至狀態 C 時在

WLn下的浮動閘極上之電荷變化量最大，所以至在WLn-1下的相鄰浮動閘極之寄生耦合量最大。從狀態E程式化至狀態B時，至相鄰浮動閘極之耦合量減小，但仍然顯著。從狀態E程式化至狀態A時，至相鄰浮動閘極之耦合量甚至進一步減小。據此，後續讀取WLn-1之每一狀態所需的校正量將視WLn上之相鄰記憶體單元的狀態而異。

圖12繪示一種程式化多狀態式記憶體單元之兩次進程(two-pass)技術之實例，其儲存兩個不同頁(一下部頁與一上部頁)的資料。圖中顯示四種狀態：狀態E (11)、狀態A (10)、狀態B (00)及狀態C (01)。對於狀態E，彼兩頁儲存"1"。對於狀態A，下部頁儲存"0"且上部頁儲存"1"。對於狀態B，彼兩頁儲存"0"。對於狀態C，下部頁儲存"1"且上部頁儲存"0"。請注意，雖然特定位元型樣(bit pattern)已被指派給每一狀態，但是可指派不同的位元型樣。

在第一次程式化進程中，按照待程式化至下部邏輯頁中的位元來設定記憶體單元的臨限電壓位準。如果該位元係一邏輯"1"，則由於已在早先予以擦除而處於適當狀態，所以未使臨限電壓變更。但是，如果待程式化之位元係一邏輯"0"，則記憶體單元之臨限電壓位準增加至狀態A，如圖箭頭530所示。這使第一程式化進程終止。

在第二次程式化進程中，按照正被程式化至上部邏輯頁中的位元來設定記憶體單元的臨限電壓位準。如果該上部邏輯頁位元係儲存一邏輯"1"，則由於該記憶體單元係處於狀態E或A (取決於該下部頁位元之程式化)，彼兩種狀

態皆載有上部頁位元"1"，所以未發生程式化。如果該上部頁位元係邏輯"0"，則使臨限電壓偏移。如果第一進程導致該記憶體單元維持在經擦除狀態E，則在第二階段中，該記憶體單元被程式化，使得臨限電壓增加至狀態C範圍內，如圖箭頭534所示。如果第一程式化進程導致該記憶體單元已被程式化為狀態A，則在第二進程中進一步程式化該記憶體單元，使得臨限電壓增加至狀態B範圍內，如圖箭頭532所示。第二進程的結果係將記憶體單元程式化為經指定用以使上部頁儲存邏輯"0"之狀態，而且未變更下部頁之資料。在圖11與圖12中，至相鄰位元線上之浮動閘極的耦合量取決於最終狀態。

在一具體實施例中，可設定一系統用以如果寫入足以填滿一整頁的資料，則實行全序列寫入。如果資料不足以寫入一全頁，則程式化過程可用所接收之資料來程式化下部頁。當接收後續資料時，系統將接著程式化上部頁。在另一項具體實施例中，系統可在程式化下部頁之模式中開始進行寫入，並且如果後續接收到足夠的資料，則轉換至全序列程式化模式，以填滿一整個(或大多數)字線的記憶體單元。如需此具體實施例之詳細資訊，請參閱發明人Sergy Anatolievich Gorobets及Yan Li於2004年12月14日申請之美國專利申請案第11/013,125號標題為"Pipelined Programming of Non-Volatile Memories Using Early Data"，該案整份內容以引用方式併入本文中。

圖13A-C揭示另一種用於程式化非揮發性記憶體之過

程，其藉由下列方式減小浮動閘極至浮動閘極耦合之效應：對於任何特定記憶體單元，繼寫入至相鄰記憶體單元的先前頁之後，對於寫入至該特定記憶體單元的一特定頁。在藉由圖 13A-C 講授之實施方案的一實例中，非揮發性記憶體單元使用四種資料狀態，儲存每記憶體單元兩個位元資料。舉例而言，假設狀態 E 係經擦除狀態，及狀態 A、B 和 C 係經程式化狀態。狀態 E 儲存資料 11。狀態 A 儲存資料 01。狀態 B 儲存資料 10。狀態 C 儲存資料 00。這是一項非格雷碼之實例，原因係該兩個位元係在相鄰狀態 A & B 之間變更。亦可使用其他的資料至物理資料狀態編碼法。每一記憶體單元儲存兩頁資料。為了參照用途，彼等頁資料將稱為上部頁及下部頁；但是，亦可給定其他稱號。關於圖 13A-C 之過程的狀態 A，上部頁儲存位元 0 且下部頁儲存位元 1。關於狀態 B，上部頁儲存位元 1 且下部頁儲存位元 0。關於狀態 C，彼兩頁皆儲存位元資料 0。

圖 13A-C 之程式化過程係一種兩階段式過程。在第一步驟，下部頁被程式化。如果下部頁係維持資料 1，則記憶體單元狀態維持在狀態 E。如果資料待被程式化為 0，則使記憶體單元的臨限電壓上升，使得該記憶體單元被程式化至狀態 B'。因此，圖 13A 繪示將記憶體單元從狀態 E 程式化至狀態 B'。圖 13A 中描繪之狀態 B' 係過渡狀態 B；因此，驗證點被描繪為 $V_{vb'}$ ，其低於 V_{vb} 。

在一具體實施例中，將記憶體單元從狀態 E 程式化為狀態 B' 之後，接著，在 NAND 串中之鄰近記憶體單元

(WLn+1)之下部頁將被程式化。舉例而言，請重新參閱圖 2，在程式化記憶體單元 106 的下部頁後，將程式化記憶體單元 104 的下部頁。在程式化記憶體單元 104 之後，如果記憶體單元 104 的臨限電壓從狀態 E 上升至狀態 B'，則浮動閘極至浮動閘極耦合效應將使記憶體單元 106 之表觀臨限電壓上升。這將具有使狀態 B' 之臨限電壓分佈加寬至如圖 13B 描繪之臨限電壓分佈 550 的效應。當程式化上部頁時，將補救臨限電壓分佈之表觀加寬。

圖 13C 描繪程式化上部頁之過程。如果記憶體單元係處於經擦除狀態 E 且上部頁係維持在 1，則記憶體單元將維持在狀態 E。如果記憶體單元係處於狀態 E 且上部頁待被程式化至 0，則記憶體單元的臨限電壓將上升，使得記憶體單元處於狀態 A。如果記憶體單元係處於中間臨限電壓分佈 550 且上部頁係維持在 1，則記憶體單元將被程式化至最終狀態 B。如果記憶體單元係處於中間臨限電壓分佈 550 且上部頁待變成資料 0，則記憶體單元的臨限電壓將上升，使得記憶體單元處於狀態 C。圖 13A-C 所描繪之過程減小浮動閘極至浮動閘極耦合效應，原因係僅鄰近記憶體單元之上部頁程式化將影響既定記憶體單元的表觀臨限電壓。一項替代狀態編碼之實例係：當上部頁資料係 1 時，則從分佈 550 移動至狀態 C；及當上部頁資料係 0 時，則移動至狀態 B。

雖然圖 13A-C 提供一項關於四種資料狀態及兩頁資料之實例，但是藉由圖 13A-C 講授之觀念可適用於運用多於或

少於四種資料狀態及不同於兩頁之實施方案。

圖 14A-F 繪示用以描述對於圖 11、圖 12 與圖 13A-C 所示之方法，根據各項具體實施例之程式化順序的表格。

圖 14A 繪示用以描述對於所有位元線程式化沿一位元線程式化記憶體單元的順序之表格。在此具體實施例中，含有四個字線之區塊包括四頁(頁 0-3)。首先寫入頁 0，接著寫入頁 1，接著寫入頁 2，並且接著寫入頁 3。頁 0 中的資料包括經連接至字線 WL0 的所有記憶體單元所儲存之資料。頁 1 中的資料包括經連接至字線 WL1 的記憶體單元所儲存之資料。頁 2 中的資料包括經連接至字線 WL2 的記憶體單元所儲存之資料。頁 3 中的資料包括經連接至字線 WL3 的記憶體單元所儲存之資料。圖 14A 之具體實施例採用全序列，如上文關於圖 11 之描述所述。

圖 14B 繪示當使用上文參考圖 11 之所述之全序列程式化時，於奇數/偶數程式化期間的程式化順序。在此具體實施例中，含有四個字線之區塊包括八頁資料。連接至字線 WL0 之偶數位元線上的記憶體單元儲存頁 0 之資料。連接至字線 WL0 之奇數位元線上的記憶體單元儲存頁 1 之資料。連接至字線 WL1 之偶數位元線上的記憶體單元儲存頁 2 之資料。連接至字線 WL1 之奇數位元線上的記憶體單元儲存頁 3 之資料。連接至字線 WL2 之偶數位元線上的記憶體單元儲存頁 4 之資料。連接至字線 WL2 之奇數位元線上的記憶體單元儲存頁 5 之資料。連接至字線 WL3 之偶數位元線上的記憶體單元儲存頁 6 之資料。連接至字線 WL3 之

奇數位元線上的記憶體單元儲存頁7之資料。資料係依照頁數之數字順序(從頁0至頁7)予以程式化。

圖14C之表格描述對於執行所有位元線程式化之記憶體陣列，按照圖12之兩階段程式化過程之程式化順序。圖中繪示含有四個字線之區塊包括八頁。對於連接至字線WL0的記憶體單元，下部頁資料形成頁0且上部頁資料形成頁1。對於連接至字線WL1的記憶體單元，下部頁資料形成頁2且上部頁資料形成頁3。對於連接至字線WL2的記憶體單元，下部頁資料形成頁4且上部頁資料形成頁5。對於連接至字線WL3的記憶體單元，下部頁資料形成頁6且上部頁資料形成頁7。資料係依照頁數之數字順序(從頁0至頁7)予以程式化。

圖14D提供之表格描述對於執行奇數/偶數程式化之記憶體架構，按照圖12之兩階段程式化過程之程式化順序。含有四個字線之區塊包括16頁，其數頁係依照頁數之數字順序(從頁0至頁15)予以程式化。對於連接至字線WL0之偶數位元線上的記憶體單元，下部頁資料形成頁0且上部頁資料形成頁2。對於連接至字線WL0之奇數位元線上的記憶體單元，下部頁資料形成頁1且上部頁資料形成頁3。對於連接至字線WL1之偶數位元線上的記憶體單元，下部頁形成頁4且上部頁形成頁6。對於連接至字線WL1之奇數位元線上的記憶體單元，下部頁形成頁5且上部頁形成頁7。對於連接至字線WL2之偶數位元線上的記憶體單元，下部頁形成頁8且上部頁形成頁10。對於連接至字線WL2之奇

數位元線上的記憶體單元，下部頁形成頁9且上部頁形成頁11。對於連接至字線WL3之偶數位元線上的記憶體單元，下部頁形成頁12且上部頁形成頁14。對於連接至字線WL3之奇數位元線上的記憶體單元，下部頁形成頁13且上部頁形成頁15。替代做法為，如同圖14E，先程式化偶數位元線之每一字線下的上部頁與下部頁，其後才程式化用於同一字線之奇數位元線的彼兩頁。

圖14F及14G描述利用圖13A-C之程式化方法來程式化記憶體單元之順序。圖14F係關於執行所有位元線程式化之架構。對於連接至字線WL0的記憶體單元，下部頁形成頁0且上部頁形成頁2。對於連接至字線WL1的記憶體單元，下部頁形成頁1且上部頁形成頁4。對於連接至字線WL2的記憶體單元，下部頁形成頁3且上部頁形成頁6。對於連接至字線WL3的記憶體單元，下部頁形成頁5且上部頁形成頁7。記憶體單元係依按照頁數之數字順序(從頁0至頁7)予以程式化。

圖14F之表格係關於執行奇數/偶數程式化之架構。對於連接至字線WL0之偶數位元線上的記憶體單元，下部頁形成頁0且上部頁形成頁4。對於連接至字線WL0之奇數位元線上的記憶體單元，下部頁形成頁1且上部頁形成頁5。對於連接至字線WL1之偶數位元線上的記憶體單元，下部頁形成頁2且上部頁形成頁8。對於連接至字線WL1之奇數位元線上的記憶體單元，下部頁形成頁3且上部頁形成頁9。對於連接至字線WL2之偶數位元線上的記憶體單元，下部

頁形成頁6且上部頁形成頁12。對於連接至字線WL2之奇數位元線上的記憶體單元，下部頁形成頁7且上部頁形成頁13。對於連接至字線WL3之偶數位元線上的記憶體單元，下部頁形成頁10且上部頁形成頁14。對於連接至字線WL3之奇數位元線上的記憶體單元，下部頁形成頁11且上部頁形成頁15。記憶體單元係依按照頁數之數字順序(從頁0至頁15)予以程式化。最後，具有偶數與奇數位元線之每一架構皆可依下列方式予以實施：使所有偶數位元線實體上一起位於(例如)晶片左側，並且所有奇數位元線一起位於(例如)晶片右側。

請注意，在圖14A-G之具體實施例中，記憶體單元係沿著一NAND串從源極側至汲極側予以程式化。再者，表格僅描述具有四個字線之具體實施例。表格內所描述之各種方法可應用於具有四個以上或以下字線之系統。如需關於使用奇數/偶數程式化之架構之實例，請參閱美國專利案第6,522,580號及美國專利案第6,643,188號，該兩份專利案整份內容以引用方式併入本文中。如需關於使用所有位元線程式化之架構之資訊，請參閱下列美國專利案文獻，該等案整份內容以引用方式併入本文中：美國專利申請公開案第US 2004/0057283號；美國專利申請公開案第US 2004/0060031號；美國專利申請公開案第US 2004/0057285號；美國專利申請公開案第US 2004/0057287號；美國專利申請公開案第US 2004/0057318號；美國專利案第6,771,536號；美國專利案第6,781,877號。

一般而言，一起程式化所有位元線之架構將一起自所有位元線讀取資料。同樣地，分開程式化奇數與偶數位元線之架構將分開讀取奇數與偶數位元線。但是，此等限制不是必要的。本文描述之讀取資料技術可配合所有位元線程式化或奇數/偶數位元線程式化予以運用。本文描述之讀取資料技術亦可運用於圖 17-19 之任何程式化方案，亦可運用於其他程式化方案。

圖 15 繪示用以描述自非揮發性記憶體單元讀取資料之具體實施例的流程圖。圖 15 提供系統層級讀取過程。在步驟 598，接收一讀取資料之請求。在步驟 600，回應該讀取資料之請求(步驟 598)，對於一特定頁執行一讀取操作。在一具體實施例中，當程式化用於一頁之資料時，系統亦將建立用於錯誤修正碼(ECC)的額外位元，並且連同該頁資料資料一起寫入彼等 ECC 位元。ECC 技術是此項技術所熟知的技術。使用的 ECC 過程可包括此項技術已知的任何適合 ECC 過程。當自一頁讀取資料時，將使用 ECC 位元來判定該資料中是否有任何錯誤(步驟 602)。可由控制器、狀態機或系統中的其他裝置處執行 ECC 過程。如果該資料中無錯誤，則在步驟 604 將該資料報告給使用者。舉例而言，經由資料 I/O 線路 320 將資料傳達至控制器或主機。如果在步驟 602 發現到一錯誤，則判定該錯誤是否係可修正(步驟 606)。該錯誤可能係歸因於浮動閘極至浮動閘極耦合效應或其他原因。各種 ECC 方法具有修正一組資料中預先決定數量錯誤之能力。如果 ECC 過程可修正該資料，則在步驟

608使用ECC過程來修正該資料，並且在步驟610將按修正之該資料報告給使用者。如果不可藉由ECC過程來修正該錯誤，則在步驟620執行一資料復原過程。在一些具體實施例中，將在步驟620之後執行一ECC過程。下文中將說明關於資料復原過程之更詳細細節。在復原該資料之後，在步驟622報告該資料。請注意，圖15之過程可配合使用所有位元線程式化或奇數/偶數位元線程式化來程式化資料予以運用。

圖16繪示用以描述用於執行對於一頁之讀取操作(請參閱圖15之步驟600)過程之具體實施例的流程圖。可對於一頁執行圖16之過程，其中一頁涵蓋一區塊之所有位元線、一區塊之僅奇數位元線、一區塊之僅偶數位元線或一區塊之其他位元線子集。在步驟640，施加讀取參考電壓 V_{ra} 至相關聯於頁的適當字線。在步驟642，感測相關聯於頁的位元線，以依據施加 V_{ra} 至經定址之記憶體單元的控制閘極，判定經定址之記憶體單元是否開通或不開通。傳導之位元線指示出記憶體單元被開通；因此，彼等記憶體單元之臨限電壓低於 V_{ra} (例如，在狀態E中)。在步驟644，對於彼等位元線，將位元線的感測結果儲存在適當鎖存器中。在步驟646，施加讀取參考電壓 V_{rb} 至相關聯於正被讀取之頁的字線。在步驟648，感測位元線，如上文所述。在步驟650，對於彼等位元線，將結果儲存在適當鎖存器中。在步驟652，施加讀取參考電壓 V_{rc} 至相關聯於頁的字線。在步驟654，感測位元線以判定開通之記憶體單元，

如上文所述。在步驟656，對於彼等位元線，將來自感測步驟的結果儲存在適當鎖存器中。在步驟658，判定每一位元線的資料值。舉例而言，如果記憶體單元以Vra傳導，則該記憶體單元係處於狀態E。如果記憶體單元以Vrb和Vrc(而非Vra)傳導，則該記憶體單元係處於狀態A。如果記憶體單元以Vrc(而非Vra和Vrb)傳導，則該記憶體單元係處於狀態B。如果記憶體單元在Vra、Vrb和Vrc下皆不傳導，則該記憶體單元係處於狀態C。在一具體實施例中，由處理器392來判定資料值。在步驟660，對於每一位元線，處理器392將經判定之資料值儲存在適當鎖存器中。在其他具體實施例中，感測各種位準(Vra、Vrb和Vrc)可依不同順序發生。

步驟640至644包括以 $V_{cgr}=V_{ra}$ 且 $V_{readX}=V_{read}$ 來執行圖10所示之操作。步驟646至650包括以 $V_{cgr}=V_{rb}$ 且 $V_{readX}=V_{read}$ 來執行圖10所示之操作。步驟652至656包括以 $V_{cgr}=V_{rc}$ 且 $V_{readX}=V_{read}$ 來執行圖10所示之操作。因此，圖16之過程具體實施例不包括執行對浮動閘極至浮動閘極耦合的任何補償。在另一具體實施例中，步驟640、646與652係以 $V_{readX}=V_{read4}$ (或其他值)施加至汲極側鄰近字線(即， $WLn+1$)予以執行。

圖17繪示用以描述復原資料之過程(步驟620)之具體實施例的流程圖。資料可包括一歸因於浮動閘極至浮動閘極耦合效應(或其他原因)的錯誤。圖17之過程嘗試讀取該資料，同時補償浮動閘極至浮動閘極耦合效應(或其他錯誤

原因)。補償包括：查看鄰近字線；以及判定如何對已造成浮動閘極至浮動閘極耦合效應的鄰近字線進程式化。舉例而言，當讀取字線 WLn (例如，圖 2 之 $WL2$) 上的資料時，過程亦將讀取字線 $WLn+1$ (例如，圖 2 之 $WL3$) 上的資料。如果字線 $WLn+1$ 上的資料已造成字線 WLn 上的資料之表觀變化，則讀取過程將補償該非刻意之變化。

圖 17 所述之過程應用於上文關於圖 11 所述之全序列程式化，其中一邏輯頁的兩個位元被儲存於每一記憶體單元中且將一起予以讀出與報告。如果鄰近字線上的記憶體單元係處於狀態 E，則無浮動閘極至浮動閘極耦合效應。如果鄰近字線上的記憶體單元係處於狀態 A，則有小幅耦合效應。如果鄰近字線上的記憶體單元係處於狀態 B，則有中等浮動閘極至浮動閘極耦合效應。如果鄰近字線上的記憶體單元係處於狀態 C，則有較大幅浮動閘極至浮動閘極耦合效應。歸因於鄰近字線的確切耦合效應將視陣列實施方案而異且可藉由特徵化裝置予以判定。

圖 17 之步驟 670 包括對鄰近字線 $WLn+1$ 執行一讀取操作。此包括對鄰近字線執行圖 16 之過程。舉例而言，如果正在讀取字線 $WL1$ 中的一頁，則步驟 670 包括對字線 $WL2$ 執行圖 16 之過程。在步驟 672，將步驟 670 之結果儲存在適當鎖存器中。在一些具體實施例中，對 $WLn+1$ 執行的讀取操作導致判定 $WLn+1$ 上儲存之實際資料。在其他具體實施例中，對 $WLn+1$ 執行的讀取操作導致判定 $WLn+1$ 上之電荷量，其可或不可精確反映出 $WLn+1$ 上儲存之資料。

當目標旨在讀取 WLn 上的資料時，可不需要對 $WLn+1$ 之讀取進行 ECC 修正，此乃因錯誤讀取之位元最可能係在干擾結尾處的位元，並且在判定對讀取 WLn 上相對應之記憶體單元的補償量之過程中，將彼等錯誤讀取之位元誤解為屬於另一資料狀態不會造成重大錯誤。舉例而言，當在未進行耦合補償(圖 17 之步驟 670)以作為 WLn 之讀取過程之部分情況下讀取 $WLn+1$ 時，稍微過度程式化 $WLn+1$ 上意欲程式化至狀態 B 之記憶體單元(其在 $WLn+2$ 之程式化期間隨後經歷電容耦合效應)現在被誤讀為處於狀態 C。此誤讀不是問題，原因如下：1) 目標不是讀取 $WLn+1$ 上的資料；2) 依據 WLn 上之記憶體單元的表觀狀態係處於 C 狀態來對讀取 $WLn+1$ 上相對應記憶體單元之讀取所應用的修正，實際上優於已依據正確讀取 $WLn+1$ 上之記憶體單元(即，狀態 B)所應用的修正。這是因為 $WLn+1$ 上之記憶體單元被誤讀為處於狀態 C (無論是否首先過程式化彼等記憶體單元，或其後自 $WLn+2$ 記憶體單元耦合)的所有原因目前皆起作用，而引起 $WLn+1$ 記憶體單元所致之較強耦合效應且使 WLn 記憶體單元經歷彼耦合效應。正視 WLn 上之記憶體單元經歷的此較強耦合效應，可能實際上優於相對應於正處於狀態 C (而非狀態 B) 之 $WLn+1$ 記憶體單元應用修正。一項替代具體實施例包括在圖 17 之步驟 670 的讀取期間，為讀取電壓加上邊限。此為步驟 670 的讀取加上邊限係旨在對步驟 670 的讀取進行耦合修正予以完成。但是此一具體實施例可能不如在步驟 670 的讀取期間進行耦合修正，如下文所

述。

在步驟674，對於關注之字線WLn執行一讀取過程。此包括以 $VreadX=Vread1$ 來執行圖16之過程。在一具體實施例中， $Vread1=Vread$ 。因此，所有非所選字線(請參閱圖10之WL_unsel及WLn+1)皆接收Vread。由於藉由介於在現在讀取操作期間WLn+1上使用的Vread值與早先在程式化/驗證之驗證階段期間使用的Vread值之間的差來判定補償，所以提供了最大補償。補償值compC可定義為如下： $compC=Vread1-Vreadp=5.5-3=2.5$ 伏，其中Vreadp係程式化/驗證期間使用的Vread值。對於具有其鄰近記憶體單元WLn+1被判定(在步驟670中)為處於狀態C之記憶體單元的位元線，將步驟674之結果儲存在適當鎖存器中。因此，使得對於其汲極側鄰近者因正在從狀態E程式化至狀態C而已經歷最高臨限電壓變化之記憶體單元受到最大補償CompC。請注意，於WLn之程式化/驗證期間彼等汲極側鄰近者係處於狀態E，但是現在係處於狀態C。在所有情況下，在WLn之寫入時間與WLn之當前讀取時間之間，在WLn+1上汲極側鄰近者歷經的狀態變化必須予以補償。對於其汲極側鄰近者當前正被偵測到非處於狀態C的位元線，此WLn之此讀取資料(在WLn+1上使用Vread1)將被忽視。

在步驟678，對WLn執行一讀取過程。於該讀取過程期間，汲極側鄰近字線WLn+1將接收Vread2。即， $VreadX=Vread2$ ，其中與Vread1相比，Vread2之值較接近

程式化期間使用的 V_{readp} 。此實現適用於其汲極側鄰近者現在處於狀態 B 之記憶體單元的較小補償量。一項實例之補償量係 $compB = V_{read2} - V_{readp} = 4.9 - 3 = 1.9$ 伏。因此， V_{read2} 與 V_{readp} 相差 $compB$ 。在步驟 680，對於具有其鄰近記憶體單元 (例如， $WLn+1$) 係處於狀態 B 的記憶體單元之位元線，儲存步驟 678 之結果。其他位元線的資料將被忽視。

在步驟 682，對 WLn 執行一讀取過程。於該讀取過程期間，汲極側鄰近字線 $WLn+1$ 將接收 V_{read3} 。即， $V_{readX} = V_{read3}$ ，其中與 V_{read2} 相比， V_{read3} 之值較接近程式化期間使用的 V_{readp} 。此實現適用於其汲極側鄰近者現在處於狀態 A 之記憶體單元的更小補償量。一項實例之補償量係 $compA = V_{read3} - V_{readp} = 4.3 - 3 = 1.3$ 伏。因此， V_{read3} 與 V_{readp} 相差 $compA$ 。在步驟 684，對於具有其鄰近記憶體單元 (例如， $WLn+1$) 係處於狀態 A 的記憶體單元之位元線，儲存步驟 682 之結果。其他位元線的資料將被忽視。

在步驟 686，對 WLn 執行一讀取過程。於該讀取過程期間，汲極側鄰近字線 $WLn+1$ 將接收 V_{read4} 。即， $V_{readX} = V_{read4}$ ，其中 V_{read4} 之值同等於程式化期間使用的 V_{readp} 。此實現適用於其汲極側鄰近者現在處於狀態 E 之記憶體單元的無補償量，此乃因在程式化/驗證期間彼等汲極側鄰近者係處於狀態 E。此補償量係 $compE = V_{read4} - V_{readp} = 3 - 3 = 0.0$ 伏，鄰近字線 $WLn+1$ 將接收 V_{read4} 。即，

$VreadX=Vread4=Vread$ 。在步驟688，對於具有其鄰近記憶體單元(例如， $WLn+1$)係處於狀態E的記憶體單元之位元線，儲存步驟686之結果。其他位元線的資料將被忽視。在圖17之過程期間，鄰近位元線將接收四個電壓；但是，將僅利用一個適當電壓來讀取每一所選記憶體單元。

在不同實施方案中，可依據裝置特徵、實驗及/或模擬來判定Vread1、Vread2、Vread3及Vread4之不同值。

在前文之論述中，圖17之過程係作為圖15之復原步驟620之部分予以執行。在另一具體實施例中，可使用圖17之過程以作為回應一讀取資料之請求所執行的起始讀取過程。舉例而言，在圖15之步驟598中接收到一讀取資料之請求之後，系統將在步驟600執行一讀取操作。在此具體實施例中，藉由執行圖17之過程來實施步驟600。一項使用圖17之過程來實施步驟600之具體實施例可不具有額外資料復原步驟620，所以如果一錯誤係不可修正，則系統將報告該錯誤。

圖18繪示可對於一區塊之所有字線(惟程式化最後一個字線除外)執行資料復原過程(圖17之方法)的流程圖。舉例而言，如果有個 $x+1$ 字線，則可對於字線 $WL0$ 至 $WLx-1$ 使用該復原過程。因為 WLx (例如，最接近汲極的字線)不具有在經程式化後將造成浮動閘極至浮動閘極耦合效應的鄰近者，所以不需要對於字線執行該復原過程。雖然圖18繪示出對於所有字線循序地執行一復原過程，但是在上文關於圖11所述之具體實施例中，可在個別時間且僅限於有不

可修正之ECC錯誤，對字線執行該復原過程。

關於儲存圖 11 之一邏輯頁的兩個位元的全序列程式化，論述上文所述之圖 16 與圖 17 之方法。當對按照儲存來自兩個邏輯頁之每一者的一個位元的圖 12 之兩階段過程所程式化之資料進行讀取時，可以稍微修改彼等過程。舉例而言，當執行標準讀取操作(圖 15 之步驟 600)時，讀取下部頁將需要施加 V_{ra} 與 V_{rc} 至記憶體單元的控制閘極，並且在後等讀取點進行感測，以判定下部頁之資料是否係處於狀態 E/C (資料 1) 或狀態 A/B (資料 0)。因此，可藉由對於下部頁讀取僅執行步驟 640、642、644 與步驟 652 至 660，來修改圖 16。當執行上部頁之讀取，將使用讀取比較點 V_{rb} ，以判定上部頁資料是否係處於狀態 E/A (資料 1) 或狀態 B/C (資料 0)。因此，對於上部頁讀取，僅執行步驟 646、648、650、658 與 660，來修改圖 16 之過程。此外，當復原資料(步驟 620)時，過程將執行圖 19 之過程以復原下部頁之資料，及執行圖 20 之過程以復原上部頁之資料。

在圖 19 之步驟 730，按照圖 16 之方法，對鄰近字線 W_{Ln+1} 執行一讀取操作。在一些具體實施例中，對 W_{Ln+1} 執行的讀取操作導致判定 W_{Ln+1} 上儲存之實際資料。在其他具體實施例中，對 W_{Ln+1} 執行的讀取操作導致判定 W_{Ln+1} 上之電荷量(或其他條件)，其可或不可精確反映出 W_{Ln+1} 上儲存之資料。在步驟 732，將該讀取操作之結果儲存在適當鎖存器中。在步驟 734，對於關注之字線 W_{Ln} 執行一讀取過程，其包括正在施加 V_{ra} 至 W_{Ln} 且

VreadX=Vread4來執行圖 16之過程。在步驟 736，感測位元線的資料。在步驟 738，將結果儲存在適當鎖存器中。在步驟 734之另一具體實施例中，以 VreadX=Vread1來執行讀取過程。在一具體實施例中，步驟 734中之 VreadX值應相同於驗證過程期間使用的值。

在步驟 740，施加讀取參考電壓 Vrc至字線 WLn，並且對於關注之字線 WLn以 VreadX=Vread1來執行一讀取操作。在步驟 742，感測資料，如上文所述。在步驟 744，對於與儲存狀態 C之資料的鄰近記憶體單元相關聯的位元線，儲存感測步驟 742之結果。

在步驟 746，施加讀取參考電壓 Vrc至字線 WLn，並且以 VreadX=Vread1用於 WLn+1來對關注之字線 WLn執行一讀取操作。在步驟 948，感測資料，如上文所述。在步驟 950，對於與儲存狀態 B之資料的鄰近記憶體單元相關聯的位元線，儲存步驟 948之結果。其他位元線的資料將被丟棄。

在步驟 752，施加讀取參考電壓 Vrc至字線 WLn，並且以 VreadX=Vread3用於 WLn+1來對字線 WLn執行一讀取操作。在步驟 754，感測資料，如上文所述。在步驟 756，對於與儲存狀態 A之資料的鄰近記憶體單元相關聯的位元線，儲存步驟 754之結果。其他位元線的資料將被丟棄。

在步驟 758，施加讀取參考電壓 Vrc至字線 WLn，並且以 VreadX=Vread4用於 WLn+1來對字線 WLn執行一讀取操作。在步驟 760，感測資料，如上文所述。在步驟 762，對

於與儲存狀態E之資料的鄰近記憶體單元相關聯的位元線，儲存步驟760之結果。其他位元線的資料將被丟棄。

在步驟764，處理器392將依據來自感測步驟之經儲存資料來判定資料值。在步驟766，來自步驟764的經判定之資料值將被儲存在鎖存器中，用於最終傳達至正請求所讀取資料的使用者。在另一具體實施例中，可在762與764之間執行相關聯於狀態A的步驟734至738。亦用使用其他順序來執行圖19之步驟，還可以使用其他流程圖之步驟。

請注意，在參考圖19所述之處理程序中，補償僅應用於Vrc，以區別狀態B與狀態C。假設當以Vra進行讀取時不需補償，此乃因擦除狀態的負臨限雖然受到WLn+1影響，但是通常充分地遠遠分離於狀態A，致使不需要修正。雖然這是對於當代記憶體的實務假設，但是對於未來世代之記憶體可能未必如此，並且關於Vrc所述之補償過程可運用於Vra。

當在步驟764中判定資料值時，如果記憶體單元回應Vra而傳導，則下部頁資料係"1"。如果記憶體單元回應Vra而未傳導且回應Vrc而未傳導，則下部頁資料亦係"1"。如果記憶體單元回應Vra而未傳導但回應Vrc而傳導，則下部頁資料亦係"0"。

圖20之過程係用於讀取或復原上部頁資料。在步驟800，使用圖16之方法，對鄰近字線WLn+1執行一讀取操作。在一些具體實施例中，對WLn+1執行的讀取操作導致判定WLn+1上儲存之實際資料。在其他具體實施例中，對

WLn+1執行的讀取操作導致判定WLn+1上之電荷量，其或不可精確反映出WLn+1上儲存之資料。在步驟802，對於每一位元線，將步驟800之結果儲存在適當鎖存器中。

在步驟804，施加讀取參考電壓Vrb至字線WLn，並且以VreadX=Vread1用於WLn+1來對字線WLn執行一讀取操作。在步驟806，感測資料，如上文所述。在步驟808，對於與儲存狀態C之資料的鄰近記憶體單元相關聯的位元線，儲存步驟806之結果。其他位元線的資料將被丟棄。

在步驟810，施加讀取參考電壓Vrb至字線WLn，並且以VreadX=Vread2用於WLn+1來對字線WLn執行一讀取操作。在步驟812，感測資料，如上文所述。在步驟814，對於與儲存狀態B之資料的鄰近記憶體單元相關聯的位元線，儲存步驟812之結果。其他位元線的資料將被丟棄。

在步驟816，施加讀取參考電壓Vrb至字線WLn，並且以VreadX=Vread3用於WLn+1來對字線WLn執行一讀取操作。在步驟818，感測資料，如上文所述。在步驟820，對於與儲存狀態A之資料的鄰近記憶體單元相關聯的位元線，儲存步驟818之結果。其他位元線的資料將被丟棄。

在步驟822，施加讀取參考電壓Vrb至字線WLn，並且以VreadX=Vread4用於WLn+1來對字線WLn執行一讀取操作。在步驟824，感測資料，如上文所述。在步驟826，對於與儲存狀態E之資料的鄰近記憶體單元相關聯的位元線，儲存步驟824之結果。其他位元線的資料將被丟棄。

在步驟828，處理器392將依據來自經儲存之感測資料來

判定資料值。如果記憶體單元回應Vrb而開通，則上部頁資料係"1"。如果記憶體單元回應Vrb而未開通，則上部頁資料係"0"。在步驟830，處理器392所判定之資料值被儲存在資料鎖存器中，用於傳達至使用者。

在另一具體實施例中，非使用圖19及圖20之方法來復原資料，而是使用圖19及圖20之方法來回應一讀取資料之請求來執行起始資料讀取。舉例而言，在圖15之步驟598中接收到一讀取資料之請求之後，系統將在步驟600執行一讀取操作。在此具體實施例中，藉由執行圖19及/或圖20之過程來實施步驟600。一項使用圖19及/或圖20之過程來實施步驟600之具體實施例可不具有額外資料復原步驟620，所以如果一錯誤係不可修正，則系統將報告該錯誤。

圖19及圖20係用於讀取使用圖12之上部頁與下部頁過程所程式化的資料。可使用圖19及圖20之方法來讀取藉由所有位元線程式化或奇數/偶數位元線程式化所程式化之資料。當配合所有位元線程式化運用時，典型同時讀取所有位元線。當配合奇數/偶數位元線程式化運用時，典型在第一時間同時讀取偶數位元線，並且典型可能在不同時間同時讀取奇數位元線。

圖21至圖26繪示用於讀取按照相關聯於圖13A-C之方法所程式化的資料。可實施圖21之過程以作為一用於讀取資料之整個過程，其係回應對特定一或多頁資料之讀取請求而在ECC之前、與ECC分開及/或結合使用ECC予以執行。

在其他具體實施例中，圖 21 之過程可作為圖 15 之資料復原步驟 620 之部分予以執行。當讀取按照圖 13A-C 之過程所程式化的資料時，在程式化所考量之記憶體單元之上部頁時，應修正來自歸因於程式化鄰近記憶體單元之下部頁所致的浮動閘極至浮動閘極耦合之任何擾亂。因此，當嘗試補償來自鄰近記憶體單元的浮動閘極至浮動閘極耦合效應時，過程之具體實施例僅需要考慮歸因於程式化鄰近記憶體單元之上部頁所致的耦合效應。因此，在圖 21 之步驟 1060 中，過程讀取鄰近字線之上部頁資料。如果鄰近字線之上部頁未被程式化(步驟 1062)，則可讀取所考慮的頁，而不需要補償浮動閘極至浮動閘極耦合效應(步驟 1064)。如果鄰近字線之上部頁被程式化(步驟 1062)，則在步驟 1066 應使用對浮動閘極至浮動閘極耦合效應之一定程度補償來讀取所考慮的頁。在一些具體實施例中，對鄰近字線執行的讀取操作導致判定該鄰近字線上之電荷量，其可或不可精確反映出該鄰近字線上儲存之資料。再者，待讀取之所選字線(即， WL_n)本身可僅具有下部頁資料。這可發生於整個區塊尚未被程式化時。在此情況中，始終保證 WL_{n+1} 上的記憶體單元仍然係經擦除狀態，並且因此 WL_n 記憶體單元尚未遭受到耦合效應。這意謂著不需要補償。所以，其上部頁尚未被程式化的字線之下部頁讀取可照常進行，而不需要任何補償技術。

在一具體實施例中，實施圖 13A-C 之程式化過程的記憶體陣列將保留一組記憶體單元以儲存一或多個旗標。舉例

而言，可使用一行記憶體單元來儲存用於指示出各別列記憶體單元之下部頁是否已被程式化之旗標，以及可使用另一行記憶體單元來儲存用於指示出各別列記憶體單元之上部頁是否已被程式化之旗標。在一些具體實施例中，可使用冗餘記憶體單元來儲存旗標複本。藉由檢查適當旗標，可判定鄰近字線之上部頁是否已被程式化。如需關於此一旗標及程式化過程之詳細資訊，請參閱Shibata等人之美國專利案第6,657,891號題為"Semiconductor Memory Device For Storing Multi-Valued Data"，該案整份內容以引用方式併入本文中。

圖22繪示用於讀取鄰近字線(諸如汲極側鄰近字線)之上部頁資料的處理程序之具體實施例(圖21之步驟1060)。在步驟1100，施加讀取參考電壓 V_{rc} 至相關聯於正被讀取之頁的字線。在步驟1102，感測位元線，如上文所述。在步驟1104，將步驟1102之結果儲存在適當鎖存器中。在步驟1106，系統檢查用於指示出相關聯於正被讀取之頁的上部頁程式化的旗標。在一具體實施例中，儲存旗標的記憶體單元在該旗標未被設定情況儲存下狀態E之資料且在該旗標未設定情況下儲存狀態C之資料。因此，當在步驟1102感測特定記憶體單元時，如果該記憶體單元傳導(開通)，則該記憶體單元非儲存狀態C之資料且該旗標未被設定。如果該記憶體單元未傳導，則在步驟1106假設該記憶體單元正在指示出上部頁已被程式化。

在另一具體實施例中，可將該旗標儲存在一個位元組

中。若非以狀態C來儲存所有位元，則該位元組將包括一表示該旗標且係狀態機312已知之唯一8位元碼，使得該8位元碼具有下列狀態之位元：至少一個位元係處於狀態E；至少一個位元係處於狀態A；至少一個位元係處於狀態B；及至少一個位元係處於狀態C。如果上部頁尚未被程式化，則記憶體單元之位元組皆處於狀態E。如果上部頁已被程式化，則記憶體單元之位元組將儲存該碼。在一具體實施例中，藉由檢查正儲存該碼之位元組的任何記憶體單元是否回應Vrc而未開通來執行步驟1106。在另一具體實施例中，步驟1106包括定義及讀取正儲存該旗標之記憶體單元的該位元組，並且將資料發送至狀態機，該狀態機將驗證儲存於記憶體單元中的該碼是否匹配該狀態機所預期之碼。若是，則該狀態推斷出上部頁已被程式化。

如果該旗標尚未被設定(步驟1108)，則圖22之過程以上部頁尚未被程式化之結論而終止。如果該旗標已被設定(步驟1108)，則假設上部頁已被程式化，並且在步驟1120，施加電壓Vrb至相關聯於正被讀取之頁的字線。在步驟1122，感測位元線，如上文所述。在步驟1124，將步驟1122之結果儲存在適當鎖存器中。在步驟1126，施加電壓Vra至相關聯於正被讀取之頁的字線。在步驟1128，感測位元線。在步驟1130，將步驟1128之結果儲存在適當鎖存器中。在步驟1132，處理器392依據三項感測步驟1102、1122與1128之結果來判定每一正被讀取之記憶體單元所儲存的資料值。在步驟1134，在步驟1132所判定之資

料值被儲存在資料鎖存器中，用於最終傳達至使用者。在步驟1132，處理器392依據所選之特定狀態編碼，使用熟知之簡單邏輯技術來判定上部頁之值與下部頁之值。舉例而言，對於圖13所述之編碼，下部頁資料係Vrb* (當以Vrb進行讀取時所儲存之值的互補)，並且上部頁資料係Vra* OR (Vrb AND Vrc*)。

在一具體實施例中，圖22之過程包括施加Vread至汲極側鄰近字線。因此，對於圖22之過程，VreadX=Vread。在圖22之過程的另一具體實施例中，VreadX=Vread4。

圖23繪示用以描述在系統不需要補償來自鄰近字線之浮動閘極至浮動閘極耦合(請參閱圖21之步驟1064)之考量下用於讀取資料之過程之具體實施例的流程圖。在步驟1150，判定是否對相關聯於考量中之字線的上部頁或下部頁進行讀取。如果係對下部頁進行讀取，則在步驟1152，施加電壓Vrb至相關聯於正被讀取之頁的字線。在步驟1154，感測位元線。在步驟1156，將感測步驟1154之結果儲存在適當鎖存器中。在步驟1158，檢查該旗標以判定該頁是否含有上部頁資料。如果無任何旗標，則任何資料當前將處於中間狀態且所使用的Vrb係不正確的比較電壓，並且過程繼續進行步驟1160。在步驟1160，施加Vra至字線，在步驟1162重新感測位元線，並且在步驟1164儲存結果。在步驟1166 (在步驟1164之後；或若該旗標被設定，則在步驟1158之後)，處理器392判定待儲存之資料值。在一具體實施例中，當讀取下部頁時，如果記憶體單元回應

正在施加至字線的Vrb (或Vra)而開通，則下部頁資料亦係"1"；否則，下部頁資料亦係"0"。

如果判定頁位址對應於上部頁(步驟1150)，則在步驟1170執行上部頁讀取過程。在一具體實施例中，步驟1170之上部頁讀取過程包括相同於圖22所述之方法，其包括自一未經寫入之上部頁可被定址以用於讀取或其他原因以來讀取該旗標及所有三種狀態。

在一具體實施例中，圖23之過程包括施加Vread至汲極側鄰近字線。因此，對於圖23之過程， $VreadX=Vread$ 。在圖22之過程的另一具體實施例中， $VreadX=Vread4$ 。

圖24繪示用以描述當補償浮動閘極至浮動閘極耦合效應(請參閱圖21之步驟1066)時用於讀取資料之過程之具體實施例的流程圖。在圖24之步驟1200，系統判定是否使用對浮動閘極至浮動閘極耦合的補償。此係對於每一位元線分開執行。適當的處理器392將依據來自鄰近字線的資料來判定需要使用補償的位元線。如果鄰近字線係處於狀態E或B (或具有表觀指示出狀態E或B的電荷)，則正被讀取之特定字線不需要補償浮動閘極至浮動閘極耦合效應。假設在於，如果處於狀態E，則因為自目前字線被寫入以來臨限尚未有移動，所以未促成任何耦合。如果處於狀態B，則是轉變自B'，並且從B'至B係小幅移動且可忽視。在另一具體實施例中，可藉由施加一正比例之小 $\Delta VREAD$ 來補償此小幅移動。

在一具體實施例中，可並行執行步驟1200之過程與步驟

1060。舉例而言，圖25提提用於解說執行判定是否對一特定字線使用一偏移量的圖表。第一步驟係在字線上使用Vra來執行一讀取過程。第二步驟係使用Vrb來執行一讀取。當以Vra進行讀取時，如果記憶體單元係處於狀態E，則鎖存器儲存"1"；如果記憶體單元係處於狀態A、B或C，則鎖存器儲存"0"。當以Vrb進行讀取時，對於狀態E，鎖存器儲存"1"，並且對於狀態B與C，鎖存器儲存"0"。圖25之第三步驟包括對來自第二步驟之經反轉結果與來自第一步驟之結果執行一XOR運算。在第四步驟，在字線上使用Vrc來執行一讀取。對於狀態E、A與B，鎖存器儲存"1"，並且對於狀態C，鎖存器儲存"0"。在第五步驟，對步驟4之結果與步驟3之結果執行一邏輯AND運算。請注意，步驟1、2與4可作為圖22之部分予以執行。可藉由專用硬體或藉由處理器392來執行圖25之步驟3與5。步驟5之結果被儲存在鎖存器，如果不需要補償，則儲存"1"，如果需要補償，則儲存"0"。因此，對具有在處於狀態A或C的WLn+1上之鄰近記憶體單元的WLn上被讀取之記憶體單元需要進行補償。與需要兩個或兩個以上鎖存器來儲存WLn+1來自的全資料的一些先前方法相比，此做法需要僅一個鎖存器，以判定是否修正WLn。

請重新參閱圖24之步驟1202，判定正在讀取之頁係上部頁或下部頁。如果正在讀取之頁係下部頁，則施加Vrb至相關聯於正在讀取之頁的字線WLn，並且在步驟1204中之讀取過程期間，施加Vread4至汲極側鄰近字線WLn+1。請

注意圖 13 所述之狀態編碼，以 Vrb 進行讀取足以判定下部頁資料。在步驟 1208，將步驟 1206 之結果儲存在相關聯於位元線之適當鎖存器中。在步驟 1210，將施加 Vrb 至用於正被讀取之頁的字線 WLn，並且於讀取過程期間施加 Vread3 至汲極側鄰近字線 WLn+1（例如，請參閱圖 10）。在步驟 1212，感測位元線。在步驟 1214，對於在步驟 1200 經判定待使用補償之位元線，使用步驟 1212 之感測結果來覆寫步驟 1208 中儲存之結果。如果經判定特定位元線不需要使用補償，則不儲存來自步驟 1212 之資料。在步驟 1216，處理器 392 將判定下部頁的資料是否係 1 或 0。如果記憶體單元回應 Vrb 而開通，則下部頁資料係 "1"；否則，下部頁資料亦係 "0"。在步驟 1218，下部頁資料被儲存在適當鎖存器中，用於傳達至使用者。

如果在步驟 1202 判定正被讀取之頁係上部頁，則在步驟 1220 執行上部頁修正過程。圖 26 繪示用以描述上部頁修正過程的流程圖。在圖 26 之步驟 1250，施加讀取參考電壓 Vrc 至相關聯於正被讀取之頁的字線，並且施加 Vread4 至汲極側鄰近字線 WLn+1 以作為讀取過程之部分。在步驟 1252，感測位元線。在步驟 1254，將感測步驟之結果儲存在適當鎖存器中。在步驟 1256，施加 Vrc 至相關聯於正被讀取之頁的字線，並且施加 Vread3 至汲極側鄰近字線 WLn+1 以作為讀取過程之部分。在步驟 1258，感測位元線。在步驟 1260，對於需要補償之任何位元線（請參閱步驟 1200），使用感測步驟 1258 之結果來覆寫步驟 1254 中儲

存之結果。

在步驟 1270，施加 Vrb 至字線，並且於讀取過程期間施加 Vread4 至汲極側鄰近字線 WLn+1。在步驟 1272，感測位元線。在步驟 1274，儲存感測步驟 1272 之結果。在步驟 1276，施加 Vrb 至相關聯於正被讀取之頁的字線，並且於讀取過程期間施加 Vread3 至汲極側鄰近字線 WLn+1。在步驟 1278，感測位元線。在步驟 1280，對於需要補償之任何位元線(請參閱步驟 1200)，使用步驟 1278 之結果來覆寫步驟 1274 中儲存之結果。

在步驟 1282，施加 Vra 至相關聯於正被讀取之頁的字線，並且施加 Vread4 至汲極側鄰近字線 WLn+1 以作為讀取過程之部分。在步驟 1284，感測位元線。在步驟 1286，將感測步驟 1284 之結果儲存在適當鎖存器中。在步驟 1288，施加 Vra 至相關聯於正被讀取之頁的字線，並且施加 Vread3 至汲極側鄰近字線 WLn+1 以作為讀取過程之部分。在步驟 1290，感測位元線。在步驟 1292，對於需要補償之任何位元線(請參閱步驟 1200)，使用步驟 1286 之結果來覆寫步驟 1290 中儲存之結果。在步驟 1294，處理器 392 以相同於上文所述之此項技術已知的另一方法之方式來判定資料值。在步驟 1296，處理器 392 所判定之資料值被儲存在適當資料鎖存器中，用於傳達至使用者。在其他具體實施例中，可變更讀取 (Vrc、Vrb、Vra) 順序。

在前文關於圖 21 之論述中，論述一項涉及讀取一頁資料的實例。很有可能(但非必要)一讀取資料之請求將需要讀

取多頁資料。在一具體實施例中，若要加速讀取多頁資料之讀取過程，將對讀取過程進行管線處理，使得狀態機將在使用者正在傳出前頁資料時執行下一頁感測。在此一實施方案中，旗標提取過程可中斷經管線處理之讀取過程。為了避免此一中斷，一項具體實施例考量當讀取一既定頁時讀取該頁之旗標，並且使用 wired-OR 偵測過程來檢查該旗標（而非讀取該旗標及發送該旗標至狀態機）。舉例而言，在圖 21 之步驟 1060 期間（讀取鄰近字線），過程先使用 Vrc 作為參考電壓來讀取資料。此刻，如果 wired-OR 線路指示出每一狀態儲存資料 "1"，則上部頁尚未被程式化；因此，不需要補償，並且系統將在不進行對浮動閘極至浮動閘極耦合的補償情況下進行讀取（步驟 1064）。如果旗標係一包括每一狀態之資料的含一個位元組的碼，則如果該旗標被設定，則至少旗標記憶體單元將具有處於狀態 C 之資料。如果 wired-OR 線路指示出任何記憶體單元皆不具有處於狀態 C 之資料，則狀態機推斷出該旗標尚未被設定；因此，鄰近字線之上部頁尚未被程式化，並且不需要對浮動閘極耦合進行補償。如需關於執行管線式讀取之詳細資訊，請參閱發明人 Jian Chen 於 2005 年 4 月 5 日申請之美國專利申請案第 11/099,133 號題為 "Compensating for Coupling During Read Operations of Non-Volatile Memory"，該案整份內容以引用方式併入本文中。

上文所述之技術有助於撤銷浮動閘極至浮動閘極耦合效應。圖 27 用圖式來解決浮動閘極至浮動閘極耦合之觀念。

圖 27 繪示在相同 NAND 串上的鄰近浮動閘極 1302 與 1304。浮動閘極 1302 與 1304 位於具有源極/汲極區 1308、1310 與 1312 的 NAND 通道/基板 1306 上。在浮動閘極 1302 上係連接至且屬於字線 WLn 之部分的控制閘極 1314。在浮動閘極 1304 上係連接至且屬於字線 $WLn+1$ 之部分的控制閘極 1316。雖然浮動閘極 1302 將很可能遭受到來自多個其他浮動閘極的耦合，但是為了簡化，圖 27 僅繪示來自一個鄰近記憶體單元的效應。具體而言，圖 27 繪示來自鄰近者提供至浮動閘極 1302 的三個耦合分量： $r1$ 、 $r2$ 與 Cr 。分量 $r1$ 係介於鄰近浮動閘極 (1302 與 1304) 之間的耦合率，並且其計算方式為，鄰近浮動閘極之電容除以浮動閘極 1302 至其周圍之所有其他電極的所有電容耦合總和。分量 $r2$ 係介於浮動閘極 1302 與汲極側鄰近控制閘極 1316 之間的耦合率，並且其計算方式為，浮動閘極 1302 與控制閘極 1316 之電容除以浮動閘極 1302 至其周圍之所有其他電極的所有電容耦合總和。分量 Cr 係控制閘極耦合率，並且其計算方式為，浮動閘極 1304 與其相對應之控制閘極 1316 之間的電容除以浮動閘極 1302 至其周圍之所有其他電極的所有電容耦合總和。

在一具體實施例中，可按如下方式來計算所需之補償量 ΔV_{read} ：

$$\Delta V_{read} = (\Delta VT_{n+1}) \frac{1}{1 + \frac{r2}{(r1)(Cr)}}$$

其中 ΔVT_{n+1} 係介於 WLn 之程式化/驗證時間與當前時間之

間汲極側鄰近記憶體單元的臨限電壓變化。 ΔVT_{n+1} 及 r_1 係字線至字線寄生耦合效應的根本原因，其係藉由本發明方法予以減輕。 Δv_{read} 係為了對付此效應所需的補償。

藉由利用介於鄰近浮動閘極之間的相同寄生電容以及介於浮動閘極與鄰近控制閘極之間的電容，可達成本文所述之對耦合的補償。由於控制閘極/浮動閘極堆疊典型係在一個步驟中予以蝕刻，所以補償追蹤記憶體單元之間的間距變化。因此，兩個鄰近者相距愈遠，則耦合愈小，並且對於此效應所需的補償當然愈小。兩個鄰近者愈接近，則耦合愈大，並且補償愈大。此構成按比例的補償。

上文所述之補償亦減小回蝕深度變化之效應。在一些裝置中，控制閘極局部重疊浮動閘極。重疊量稱為"回蝕"。回蝕深度之變化可影響耦合量。運用上文所述之補償方案，補償效應同樣隨回蝕深度而異。

作為減小浮動閘極至浮動閘極耦合效應之能力的結果，可使介於臨限電壓分佈之間的邊限較小，或記憶體系統可較快程式化。

與透過變更施加至所選字線 WLn 的電壓來達成補償之先前技術，本發明方法之另一重要優點在於，對於本發明，驅動 WLn （及/或 $WLn+1$ ）上之電壓的數位轉類比轉換器之解析度不需要精細。當對所選字線施用補償時對補償所需的變更必須比本發明更加精確，在本發明中，變更係透過寄生耦合間接作用，並且因此更粗略解析度之 V_{read} 將解譯為更精細同等解析度之 WLn 邊限電壓。

基於圖解及說明的目，前文已提出本發明的實施方式。其非意欲詳盡說明本發明或使本發明限定於揭示的確切形式。可按照前面的講授進行許多修改及變化。選取的具體實施例係為了最佳地解說本發明的原理及其實務應用，使熟悉此項技術者以各種具體實施例最佳地運用本發明，並且各種修改皆適用於所考量的特定用途。本發明範疇擬藉由隨附的申請專利範圍予以定義。

【圖式簡單說明】

圖 1 繪示 NAND 串的俯視圖。

圖 2 繪示 NAND 串之同等電路圖。

圖 3 繪示 NAND 串的剖面圖。

圖 4 繪示 NAND 快閃記憶體單元陣列的方塊圖；

圖 5 繪示非揮發性記憶體系統的方塊圖。

圖 6 繪示非揮發性記憶體系統的方塊圖。

圖 7 繪示感測組塊具體實施例的方塊圖。

圖 8 繪示用以描述程式化非揮發性記憶體過程之具體實施例的流程圖。

圖 9 繪示施加至非揮發性記憶體單元之控制閘極的示範性波形。

圖 10 繪示用於解說在讀取/驗證操作期間某些訊號之行為的時序圖。

圖 11 繪示一組示範性臨限電壓分佈。

圖 12 繪示一組示範性臨限電壓分佈。

圖 13A-C 繪示各種臨限電壓分佈且描述用於程式化非揮

發性記憶體之過程。

圖 14A-G 繪示用以描述在各項具體實施例中程式化非揮發性記憶體過程之順序的表格。

圖 15 繪示用以描述讀取非揮發性記憶體過程之具體實施例的流程圖。

圖 16 繪示用以描述執行非揮發性記憶體讀取操作之過程之具體實施例的流程圖。

圖 17 繪示用以描述復原資料之過程之具體實施例的流程圖。

圖 18 繪示用以描述從多個字線復原資料之過程之具體實施例的流程圖。

圖 19 繪示用以描述從下部頁讀取資料之過程之具體實施例的流程圖。

圖 20 繪示用以描述從上部頁讀取資料之過程之具體實施例的流程圖。

圖 21 繪示用以描述讀取資料之過程之具體實施例的流程圖。

圖 22 繪示用以描述從上部頁讀取資料之過程之具體實施例的流程圖。

圖 23 繪示用以描述在不使用補償情況下讀取資料之過程之具體實施例的流程圖。

圖 24 繪示用以描述讀取字線且補償浮動閘極至浮動閘極(或介電區至介電區)耦合之過程之具體實施例的流程圖。

圖 25 繪示用以描述判定資料值之過程的表格。

圖 26 繪示用以描述使用校正來讀取上部頁資料之過程之具體實施例的流程圖。

圖 27 繪示用於呈現兩個鄰近記憶體單元之間的電容耦合的方塊圖。

【主要元件符號說明】

| | |
|-------------------------------|------------|
| 100, 102, 104, 106 | 電晶體(記憶體單元) |
| 100CG, 102CG, 104CG, 106CG | 控制閘極 |
| 100FG, 102FG, 104FG, 106FG | 浮動閘極 |
| 120 | 第一選擇閘極 |
| 120CG | 控制閘極 |
| 122 | 第二選擇閘極 |
| 122CG | 控制閘極 |
| 126 | 位元線(圖 2) |
| 128 | 源極線(圖 2) |
| 126 | 汲極終端(圖 4) |
| 128 | 源極終端(圖 4) |
| 130, 132, 134, 136, | N+ 摻雜(擴散)區 |
| 138 | |
| 140 | p 井區 |
| 150 | NAND 串 |
| 204 | 源極線 |
| 206 | 位元線 |

| | |
|-----------------|----------|
| 296 | 記憶體裝置 |
| 298 | 記憶體晶粒 |
| 300 | 記憶體單元陣列 |
| 310 | 控制電路 |
| 312 | 狀態機 |
| 314 | 晶片上位址解碼器 |
| 316 | 功率控制模組 |
| 318 | 線路 |
| 320 | 資料匯流排 |
| 330, 330A, 330B | 列解碼器 |
| 350 | 控制器 |
| 360, 360A, 360B | 行解碼器 |
| 365, 365A, 365B | 讀取/寫入電路 |
| 370 | 感測電路 |
| 372 | 資料匯流排 |
| 380 | 感測模組 |
| 382 | 位元線鎖存器 |
| 390 | 共同部分 |
| 392 | 處理器 |
| 393 | 輸入線路 |
| 394 | 資料鎖存器 |
| 396 | I/O介面 |
| 400 | 感測組塊 |
| 450 | 訊號線 |

| | |
|------------------|------------------------------|
| 452 | 訊號線 |
| 530 | 臨限電壓位準增加至狀態A |
| 532 | 臨限電壓增加至狀態B範圍 |
| 534 | 臨限電壓增加至狀態C範圍內 |
| 550 | 狀態B'之臨限電壓分佈 |
| 1302, 1304 | 浮動閘極 |
| 1306 | NAND通道/基板 |
| 1308, 1310, 1312 | 源極/汲極區 |
| 1314, 1316 | 控制閘極 |
| A, B, C | 臨限電壓分佈(經程式化狀態) |
| B' | 過渡狀態B |
| E | 臨限電壓分佈(經擦除狀態) |
| BLCLAMP | 當從感測放大器進行充電時設定 位元線之值的類比訊號 |
| PC | 程式化計數器 |
| r1, r2, Cr | 耦合分量 |
| PCMAX | 程式化限制值 |
| Selected BL | 經選擇用於讀取/驗證之位元線 |
| SGD | 汲極側選擇閘極之閘極 |
| SGS | 源極側選擇閘極之閘極 |
| Source | 記憶體單元的源極線 |
| Vpgm | 程式化電壓 |
| Vra, Vrb, Vrc | 讀取參考電壓 |
| Vva, Vvb, Vvc | 驗證參考電壓 |

| | |
|----------|-------------------|
| Vvb' | 驗證點 |
| WLn | 經選擇用於讀取/驗證之字線 |
| WLn+1 | WLn之汲極側鄰近字線的非所選字線 |
| WL_unsel | 除汲極側鄰近字線外的非所選字線 |

五、中文發明摘要：

一非揮發性儲存元件之一浮動閘極(或其他電荷儲存元件)上儲存之表觀電荷(apparent charge)的偏移可起因於基於相鄰浮動閘極(或其他相鄰電荷儲存元件)中儲存之電荷的電場耦合而發生。該問題最顯著發生於在不同時間已程式化之若干組相鄰記憶體單元之間。為了考量此耦合，對於一特定記憶體單元的讀取過程將對一相鄰記憶體單元提供補償，以減小該相鄰記憶體單元對該特定記憶體單元的耦合效應。

六、英文發明摘要：

Shifts in the apparent charge stored on a floating gate (or other charge storing element) of a non-volatile memory cell can occur because of the coupling of an electric field based on the charge stored in adjacent floating gates (or other adjacent charge storing elements). The problem occurs most pronouncedly between sets of adjacent memory cells that have been programmed at different times. To account for this coupling, the read process for a particular memory cell will provide compensation to an adjacent memory cell in order to reduce the coupling effect that the adjacent memory cell has on the particular memory cell.

十一、圖式：

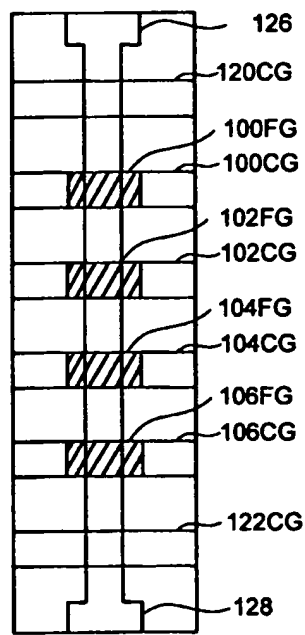


圖 1

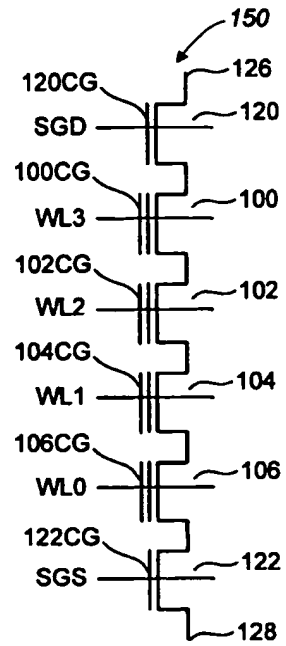


圖 2

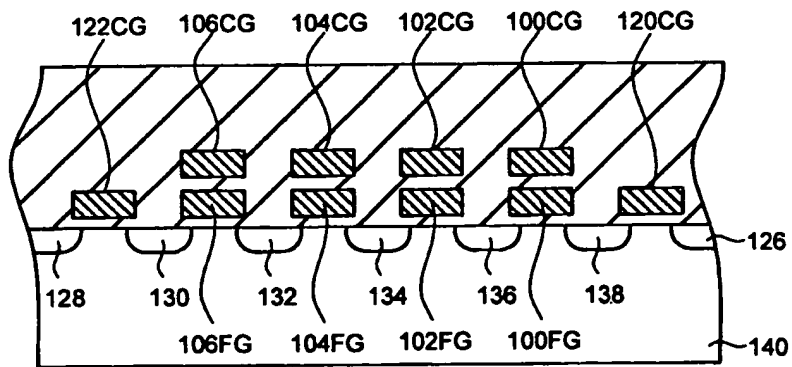


圖 3

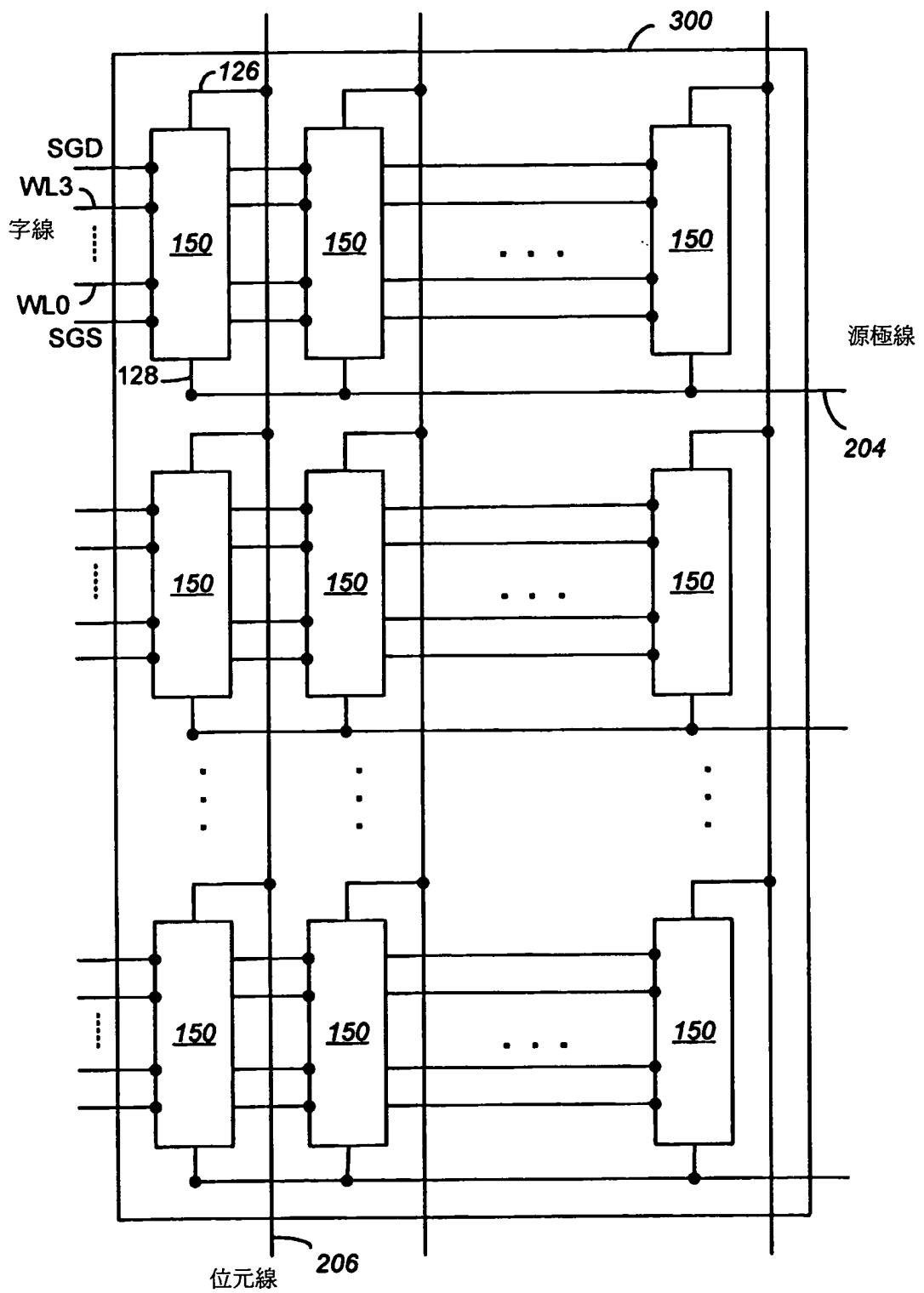


圖 4

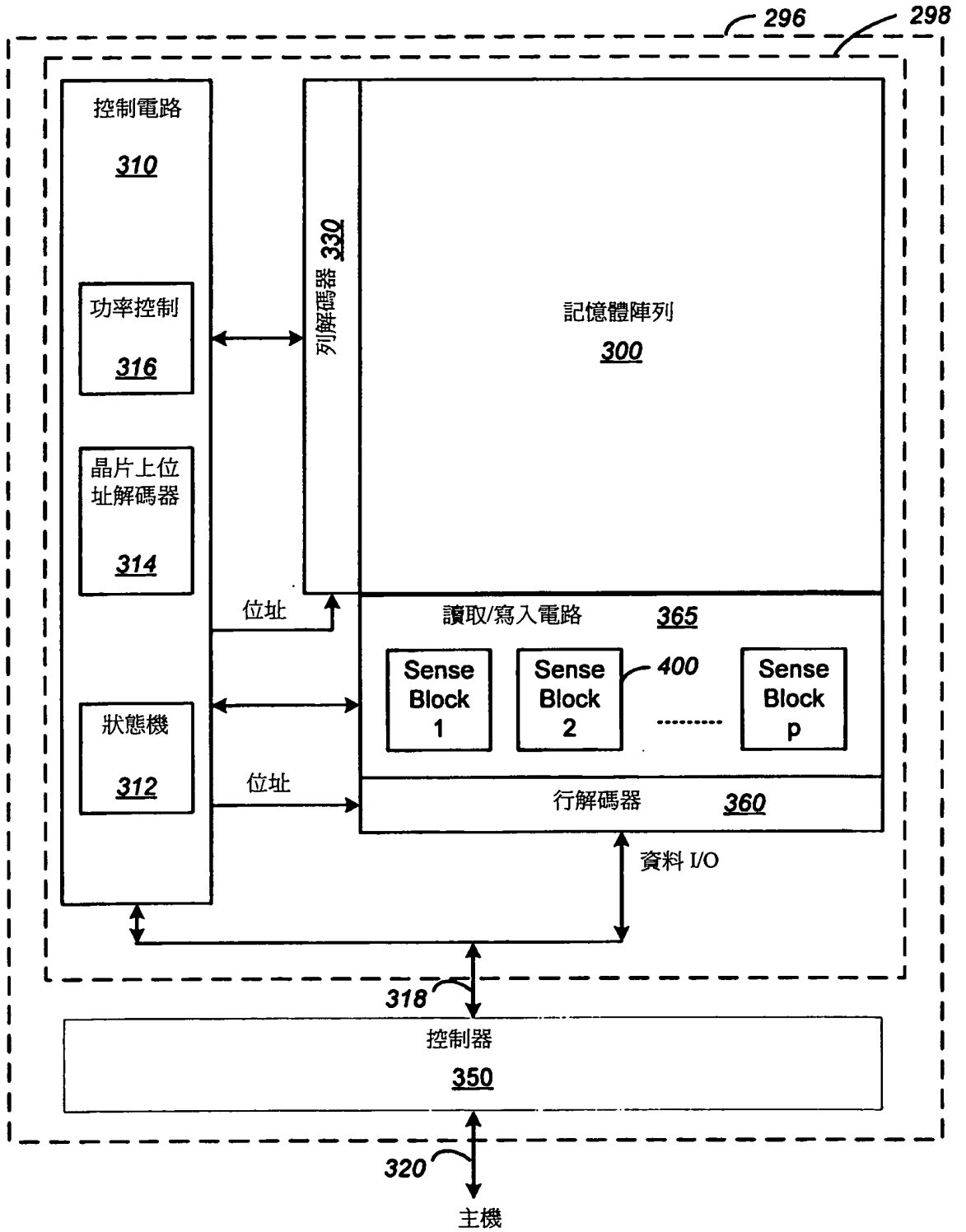


圖 5

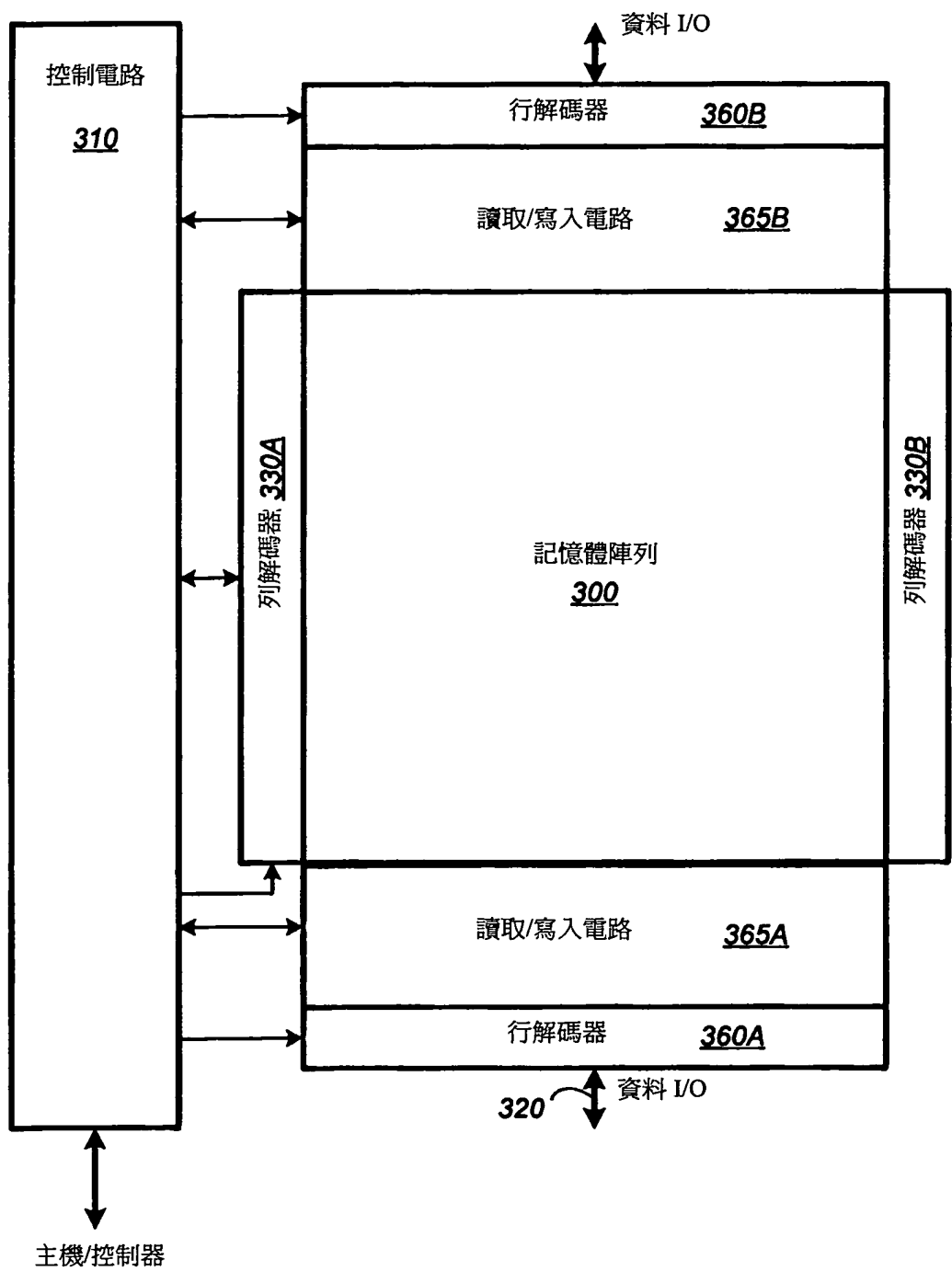


圖 6

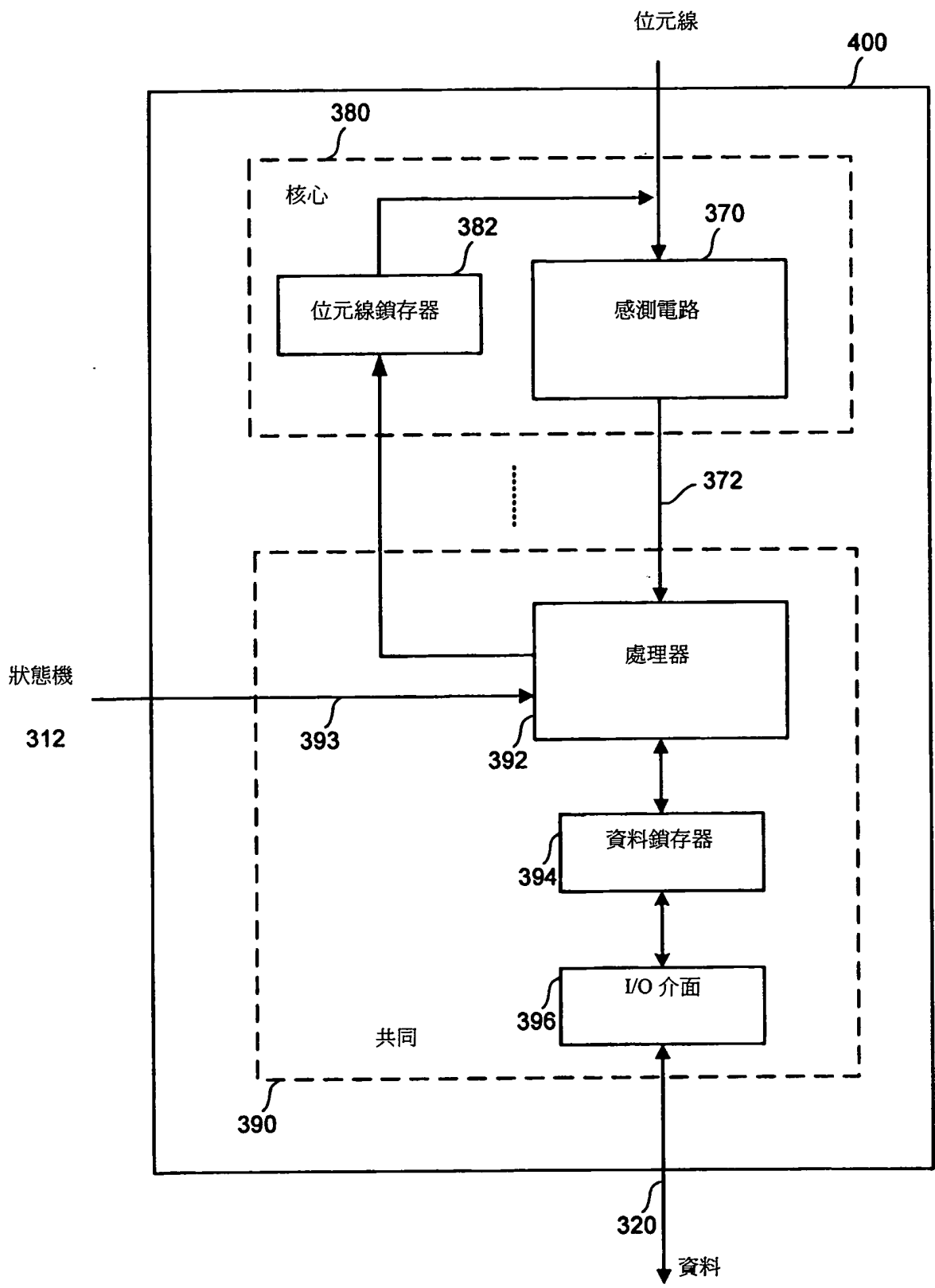


圖 7

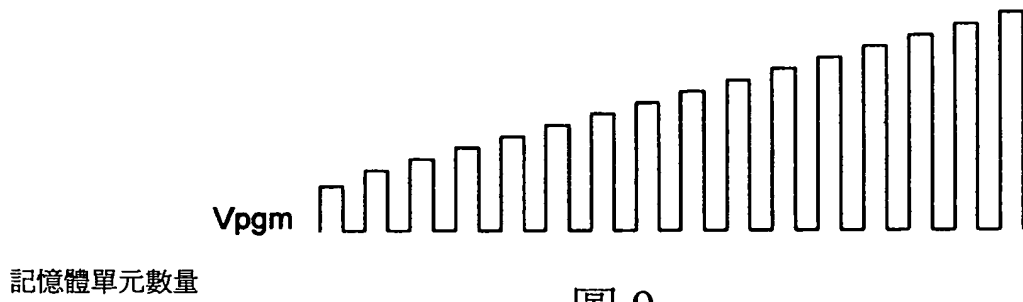


圖 9

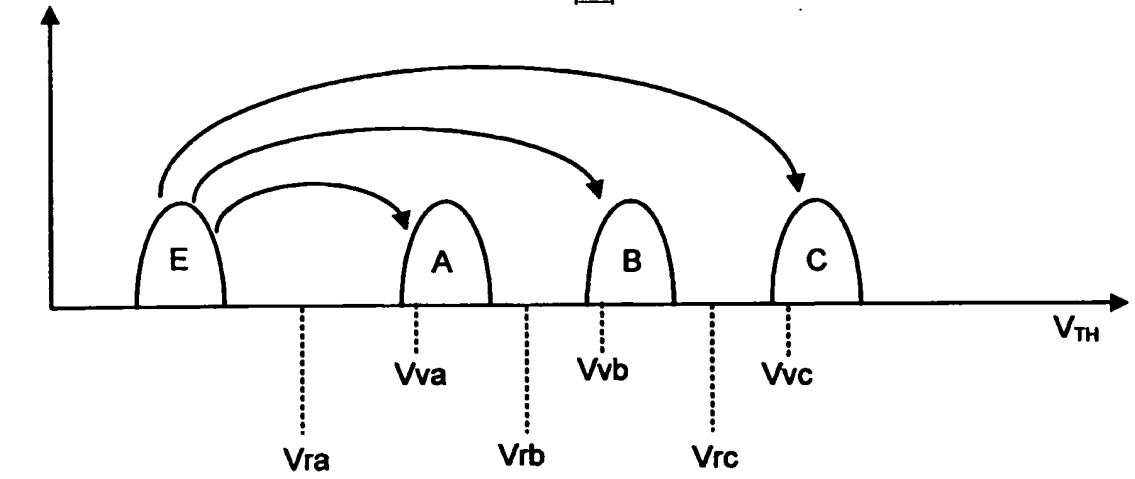


圖 11

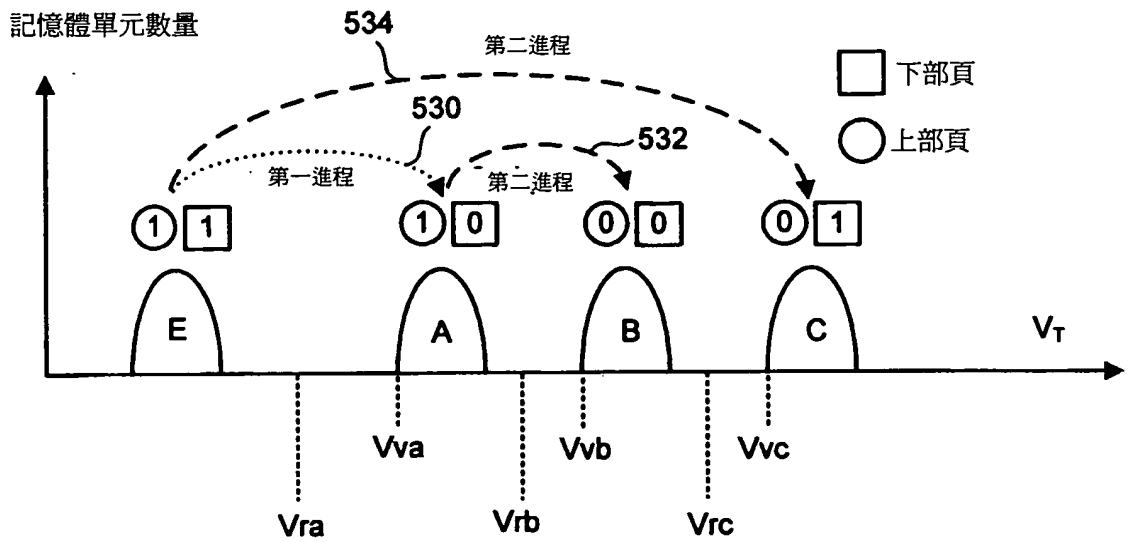


圖 12

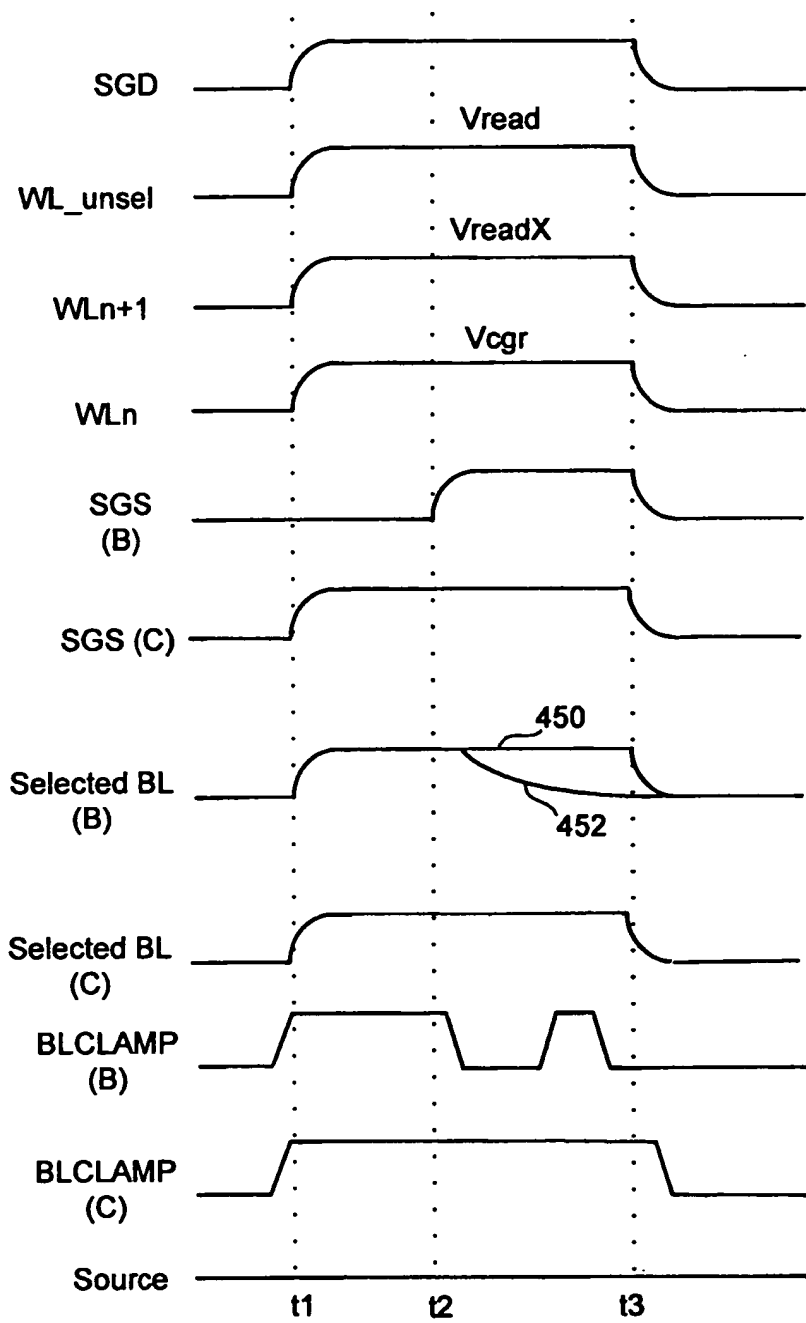
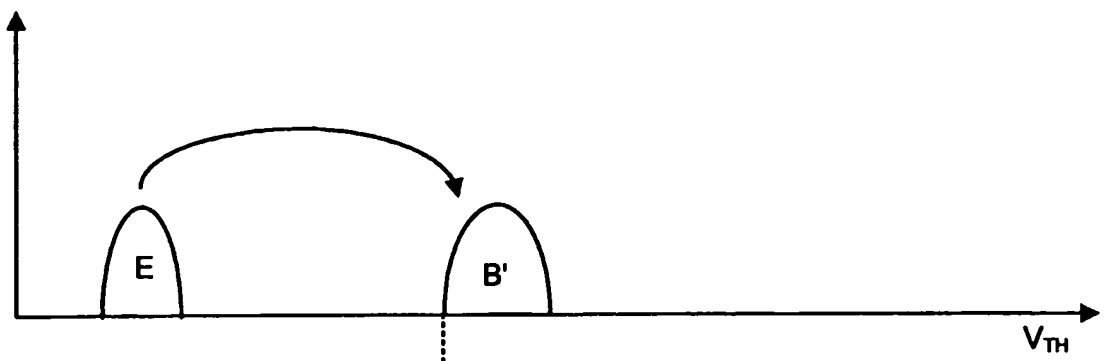
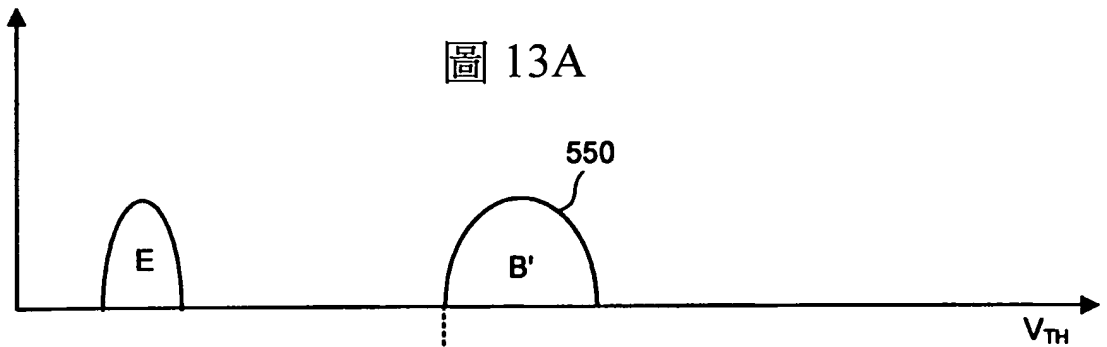


圖 10



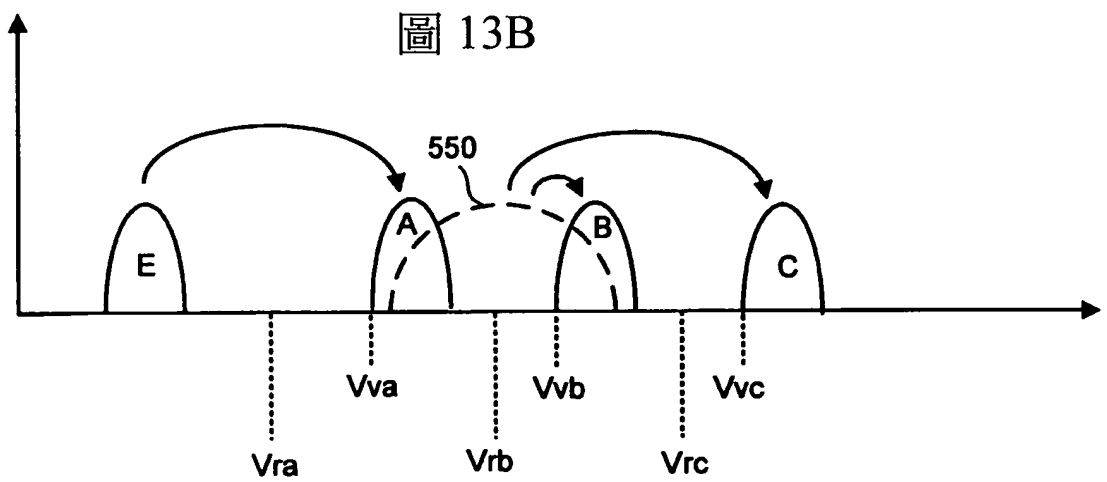
Vvb'

圖 13A



Vvb'

圖 13B



| | | | | |
|-----|---|---|---|---|
| 上部頁 | 1 | 0 | 1 | 0 |
| 下部頁 | 1 | 1 | 0 | 0 |

圖 13C

| 字線 | 所有位元線 |
|-----|-------|
| WL3 | 頁 3 |
| WL2 | 頁 2 |
| WL1 | 頁 1 |
| WL0 | 頁 0 |

圖 14A

| 字線 | 偶數位元線 | 奇數位元線 |
|-----|-------|-------|
| WL3 | 頁 6 | 頁 7 |
| WL2 | 頁 4 | 頁 5 |
| WL1 | 頁 2 | 頁 3 |
| WL0 | 頁 0 | 頁 1 |

圖 14B

| 字線 | 上部頁/下部頁 | 所有位元線 |
|-----|---------|-------|
| WL3 | 上部頁 | 頁 7 |
| | 下部頁 | 頁 6 |
| WL2 | 上部頁 | 頁 5 |
| | 下部頁 | 頁 4 |
| WL1 | 上部頁 | 頁 3 |
| | 下部頁 | 頁 2 |
| WL0 | 上部頁 | 頁 1 |
| | 下部頁 | 頁 0 |

圖 14C

| 字線 | 上部頁/下部頁 | 偶數位元線 | 奇數位元線 |
|-----|---------|-------|-------|
| WL3 | 上部頁 | 頁 14 | 頁 15 |
| | 下部頁 | 頁 12 | 頁 13 |
| WL2 | 上部頁 | 頁 10 | 頁 11 |
| | 下部頁 | 頁 8 | 頁 9 |
| WL1 | 上部頁 | 頁 6 | 頁 7 |
| | 下部頁 | 頁 4 | 頁 5 |
| WL0 | 上部頁 | 頁 2 | 頁 3 |
| | 下部頁 | 頁 0 | 頁 1 |

圖 14D

| 字線 | 上部頁/下部頁 | 偶數位元線 | 奇數位元線 |
|-----|---------|-------|-------|
| WL3 | 上部頁 | 頁 13 | 頁 15 |
| | 下部頁 | 頁 12 | 頁 14 |
| WL2 | 上部頁 | 頁 9 | 頁 11 |
| | 下部頁 | 頁 8 | 頁 10 |
| WL1 | 上部頁 | 頁 5 | 頁 7 |
| | 下部頁 | 頁 4 | 頁 6 |
| WL0 | 上部頁 | 頁 1 | 頁 3 |
| | 下部頁 | 頁 0 | 頁 2 |

圖 14E

| 字線 | 上部頁/下部頁 | 所有位元線 |
|-----|---------|-------|
| WL3 | 上部頁 | 頁 7 |
| | 下部頁 | 頁 5 |
| WL2 | 上部頁 | 頁 6 |
| | 下部頁 | 頁 3 |
| WL1 | 上部頁 | 頁 4 |
| | 下部頁 | 頁 1 |
| WL0 | 上部頁 | 頁 2 |
| | 下部頁 | 頁 0 |

圖 14F

| 字線 | 上部頁/下部頁 | 偶數位元線 | 奇數位元線 |
|-----|---------|-------|-------|
| WL3 | 上部頁 | 頁 14 | 頁 15 |
| | 下部頁 | 頁 10 | 頁 11 |
| WL2 | 上部頁 | 頁 12 | 頁 13 |
| | 下部頁 | 頁 6 | 頁 7 |
| WL1 | 上部頁 | 頁 8 | 頁 9 |
| | 下部頁 | 頁 2 | 頁 3 |
| WL0 | 上部頁 | 頁 4 | 頁 5 |
| | 下部頁 | 頁 0 | 頁 1 |

圖 14G

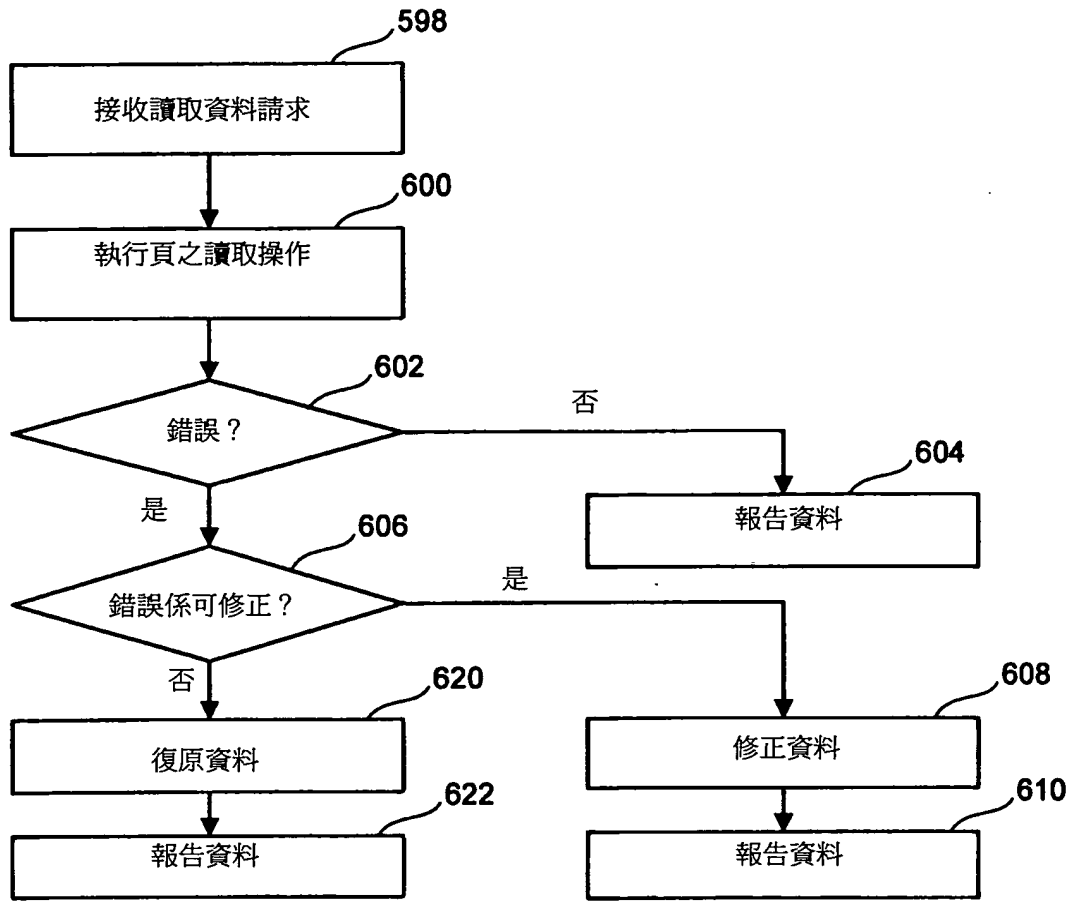


圖 15

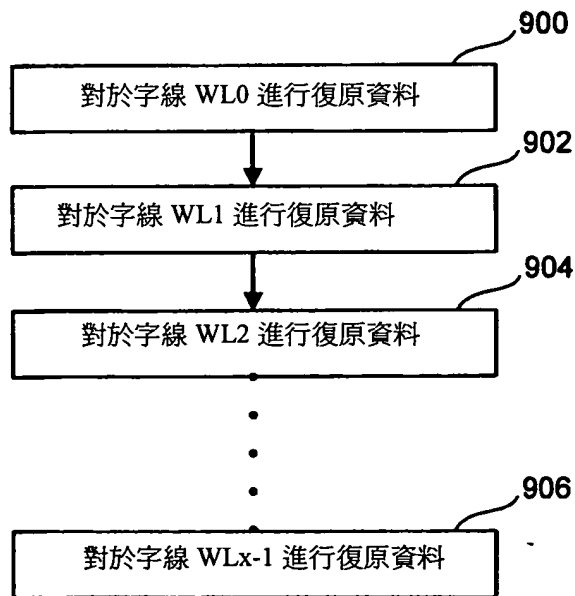


圖 18

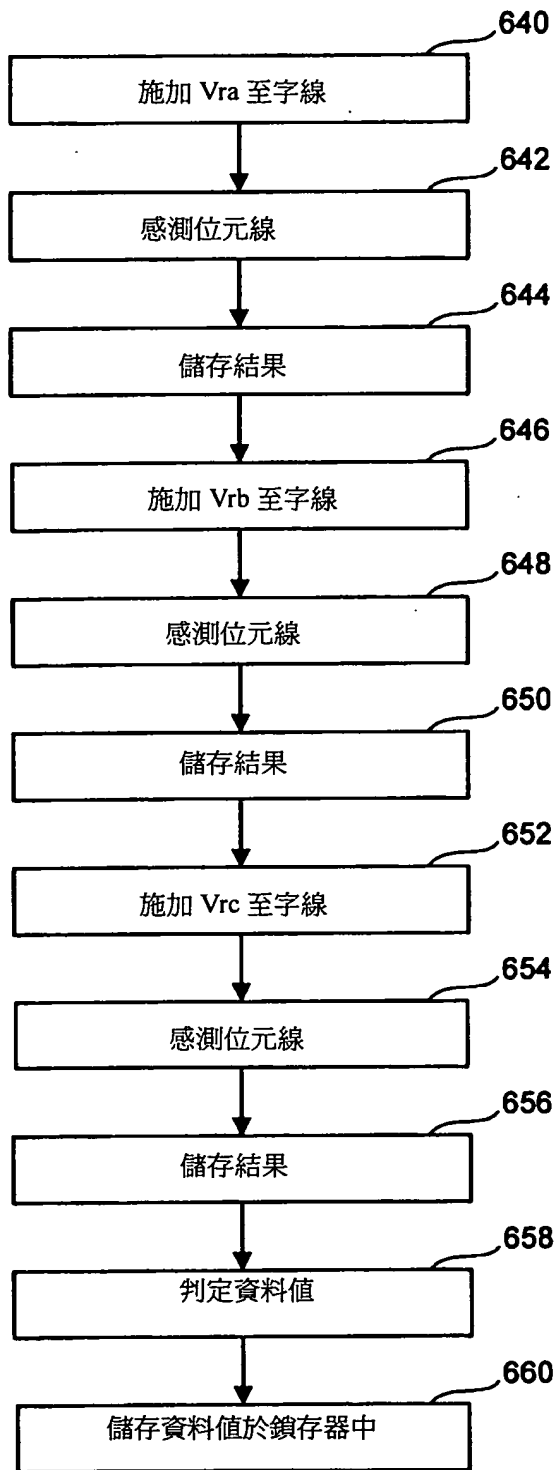


圖 16

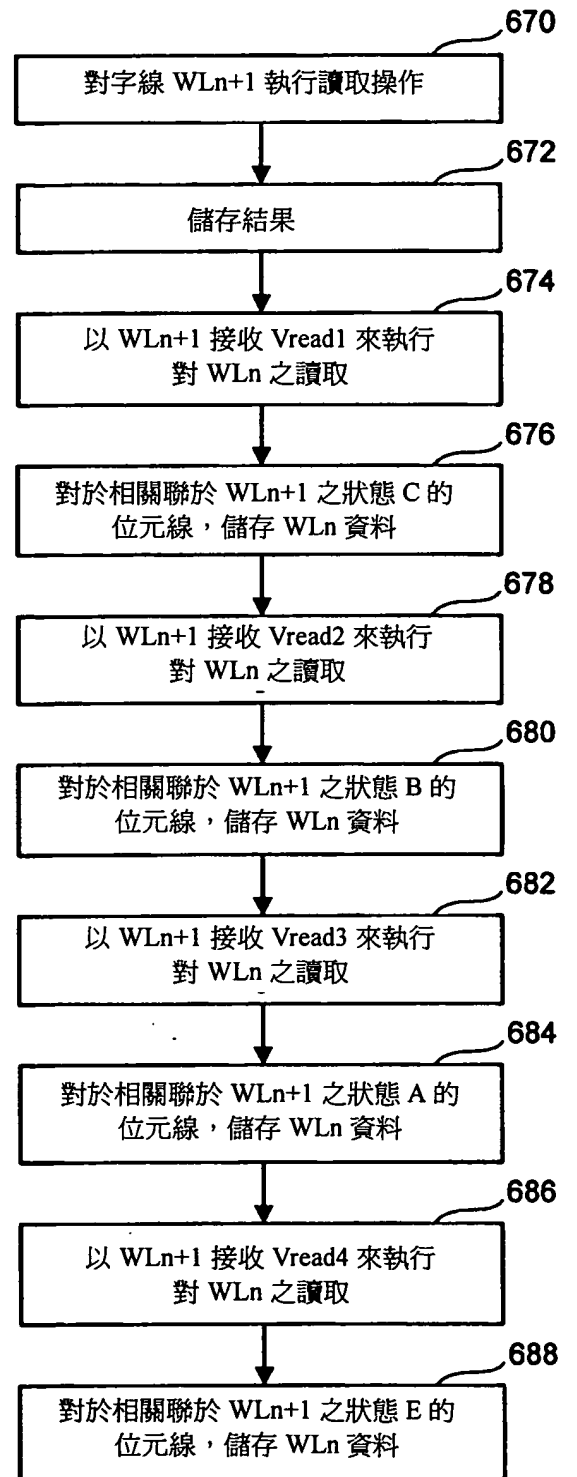


圖 17

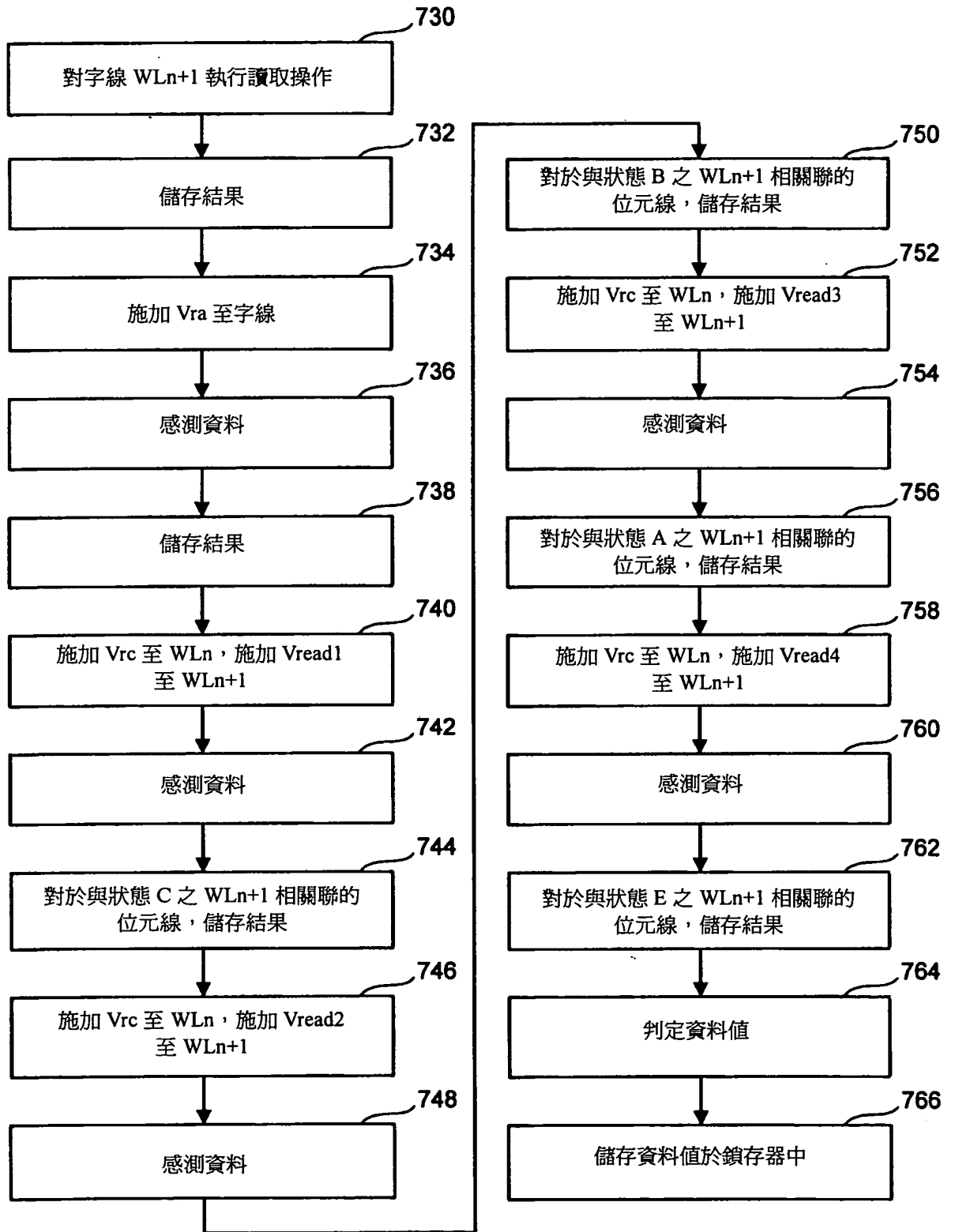


圖 19

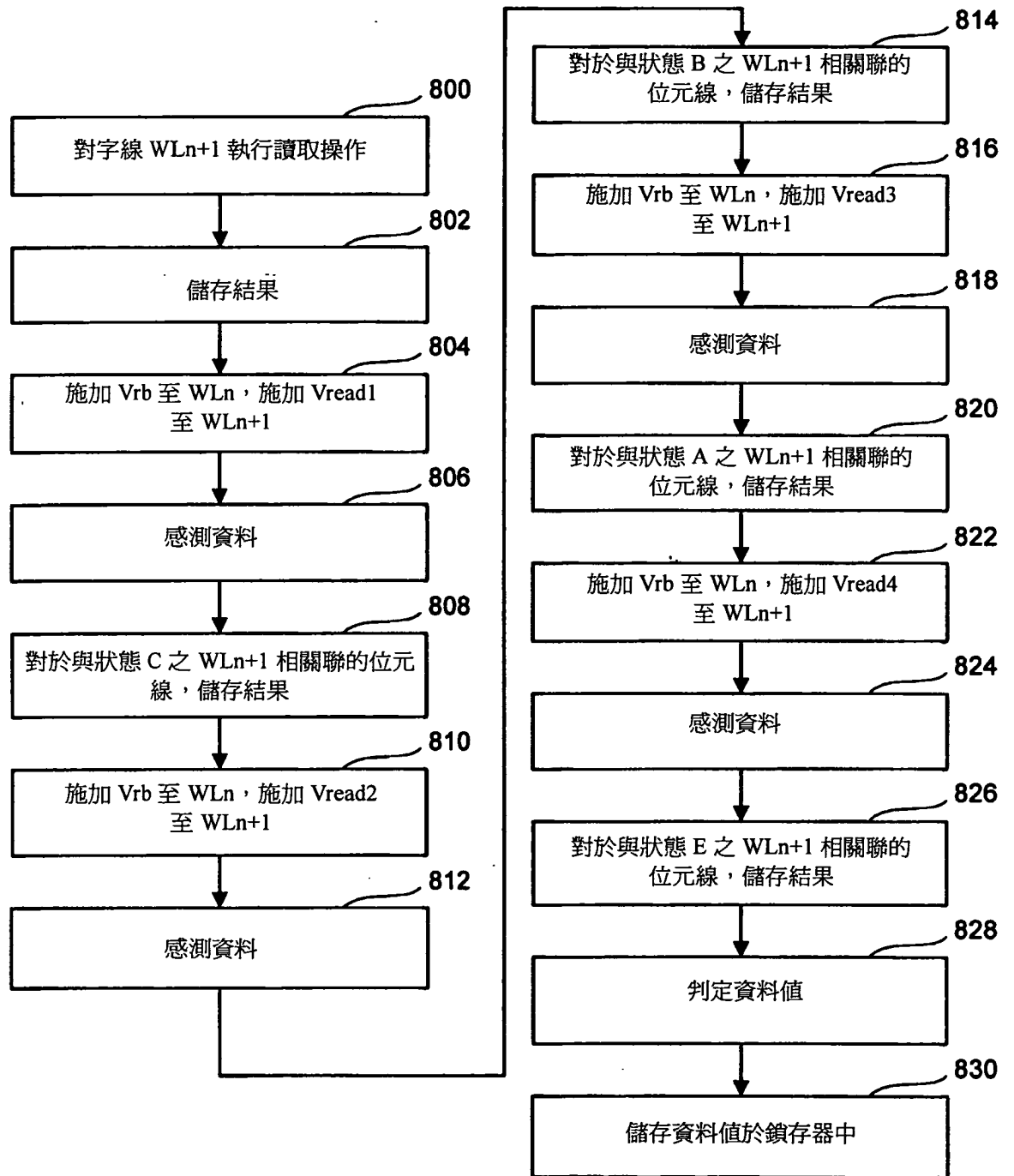


圖 20

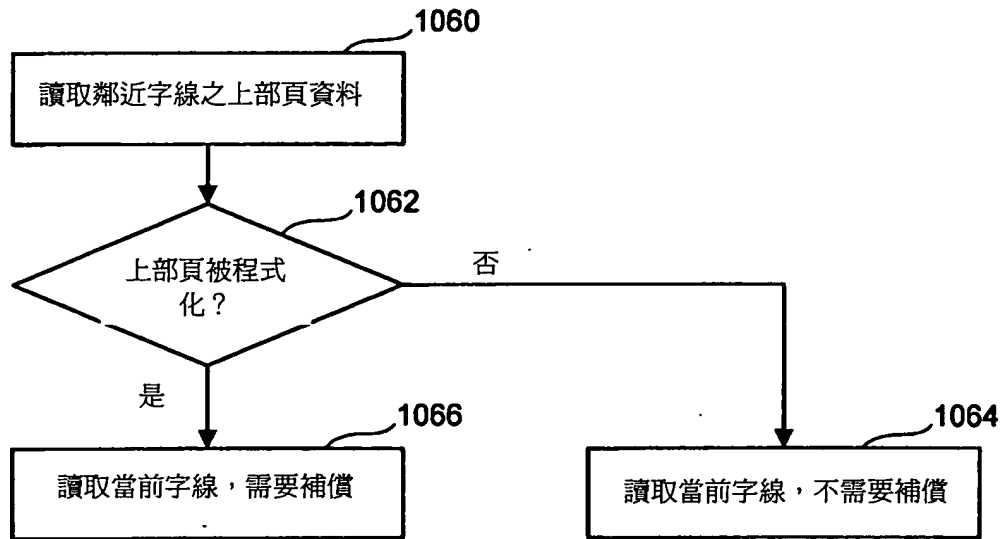


圖 21

| | 狀態 | 狀態 A | 狀態 B | 狀態 C |
|------------------|----|------|------|------|
| (1) 使用 Vra 進行讀取 | 1 | 0 | 0 | 0 |
| (2) 使用 Vrb 進行讀取 | 1 | 1 | 0 | 0 |
| (3) (反轉 2) XOR 1 | 1 | 0 | 1 | 1 |
| (4) 使用 Vrc 進行讀取 | 1 | 1 | 1 | 0 |
| (5) 4 AND 3 | 1 | 0 | 1 | 0 |

圖 25

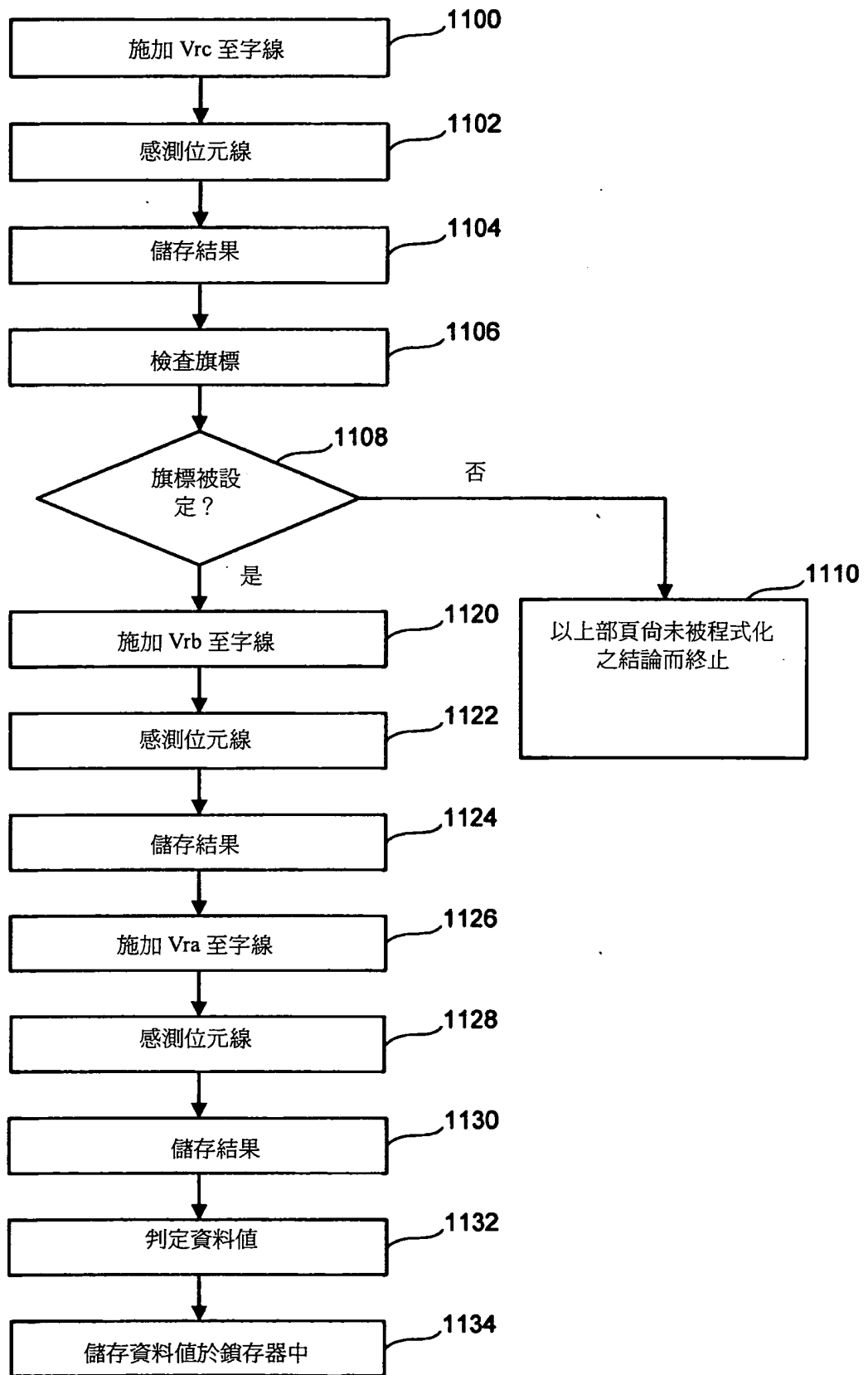


圖 22

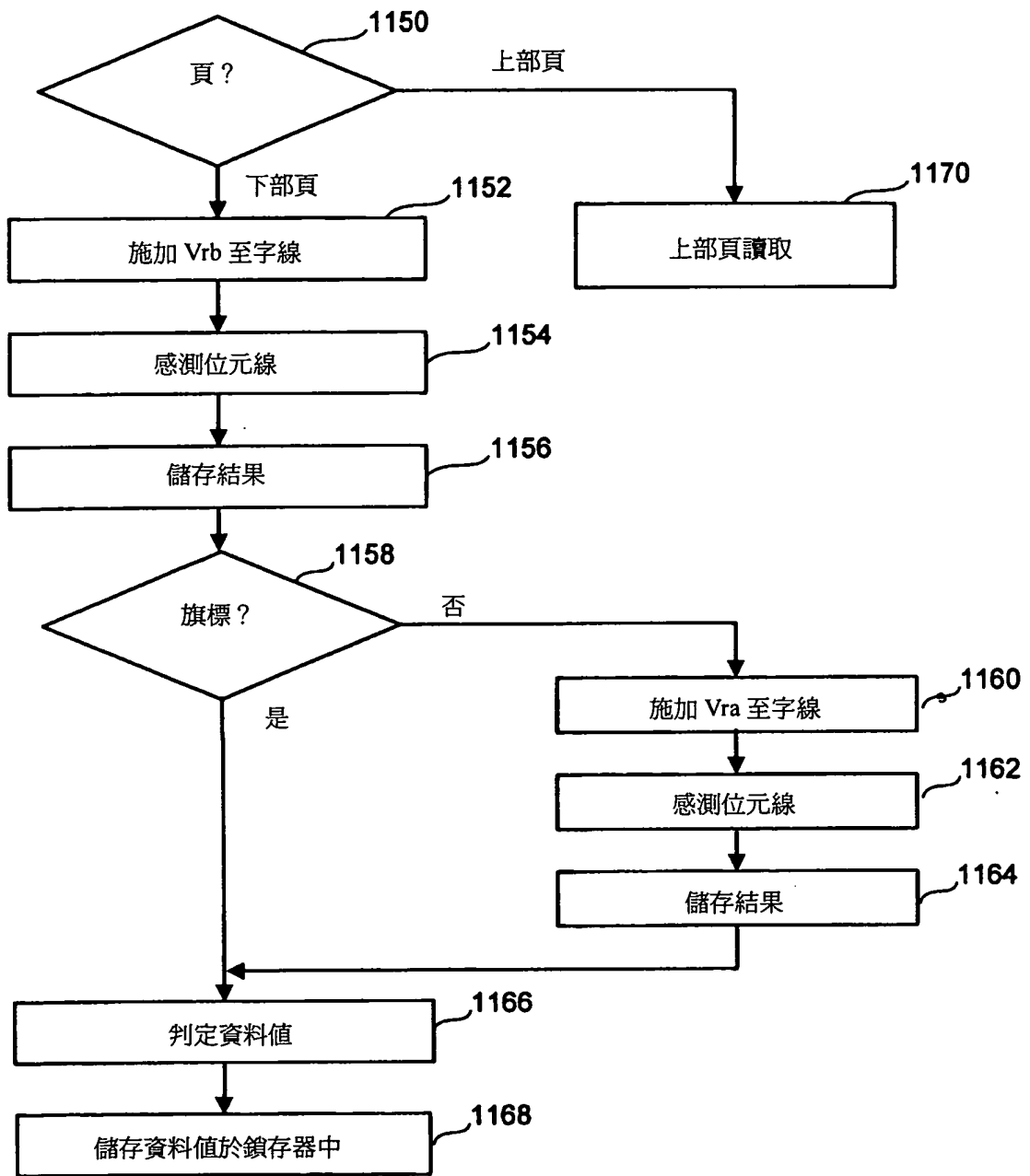


圖 23

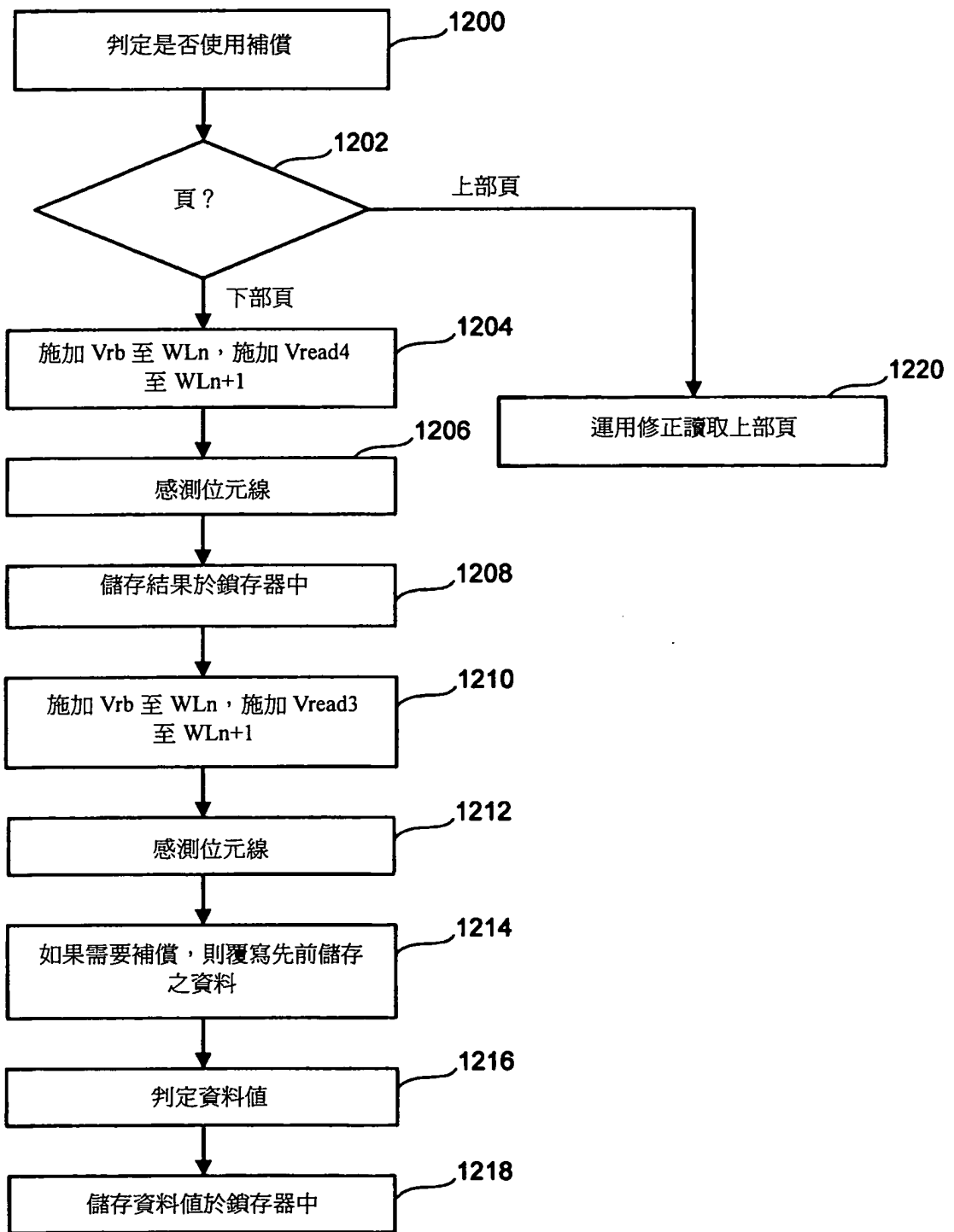


圖 24

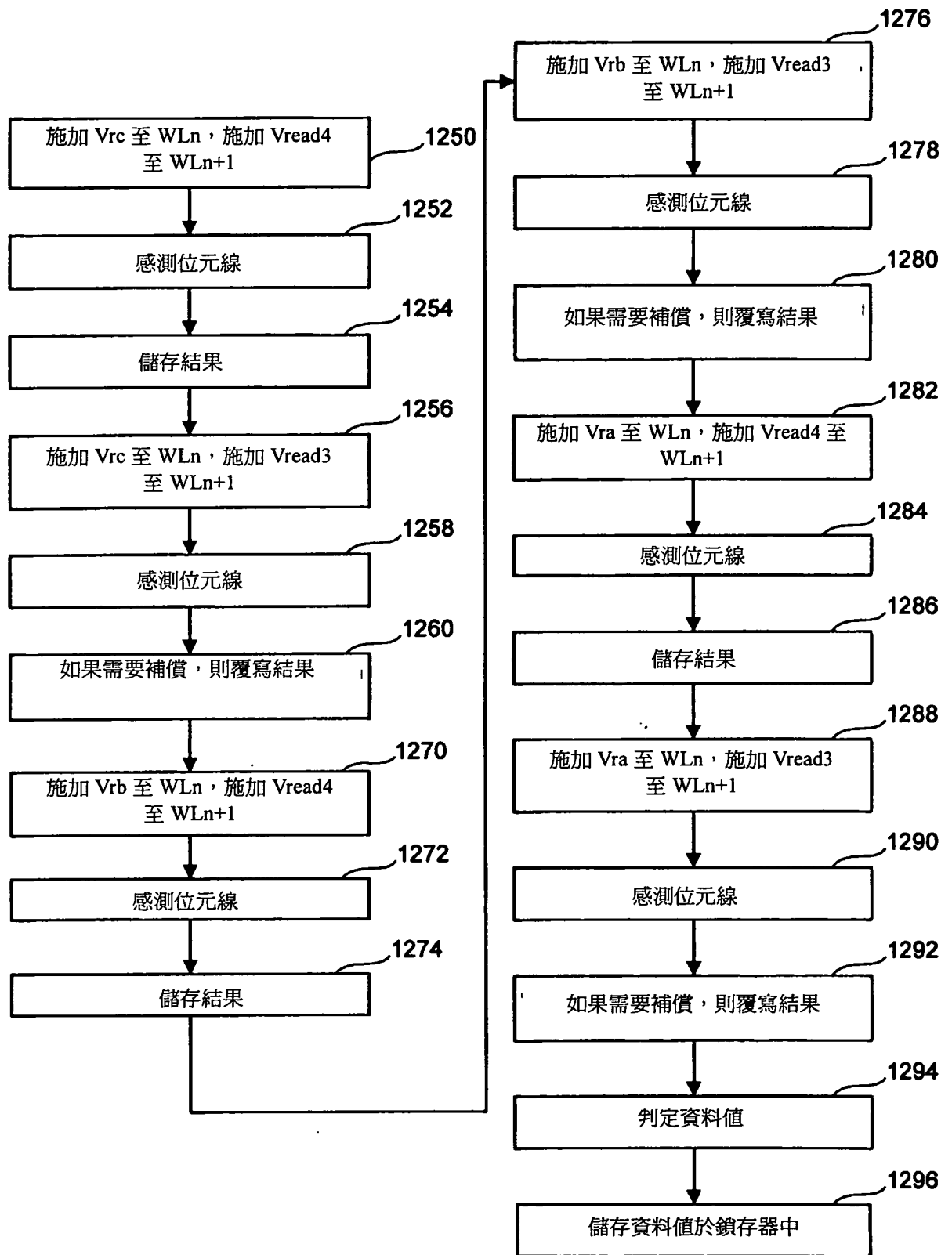


圖 26

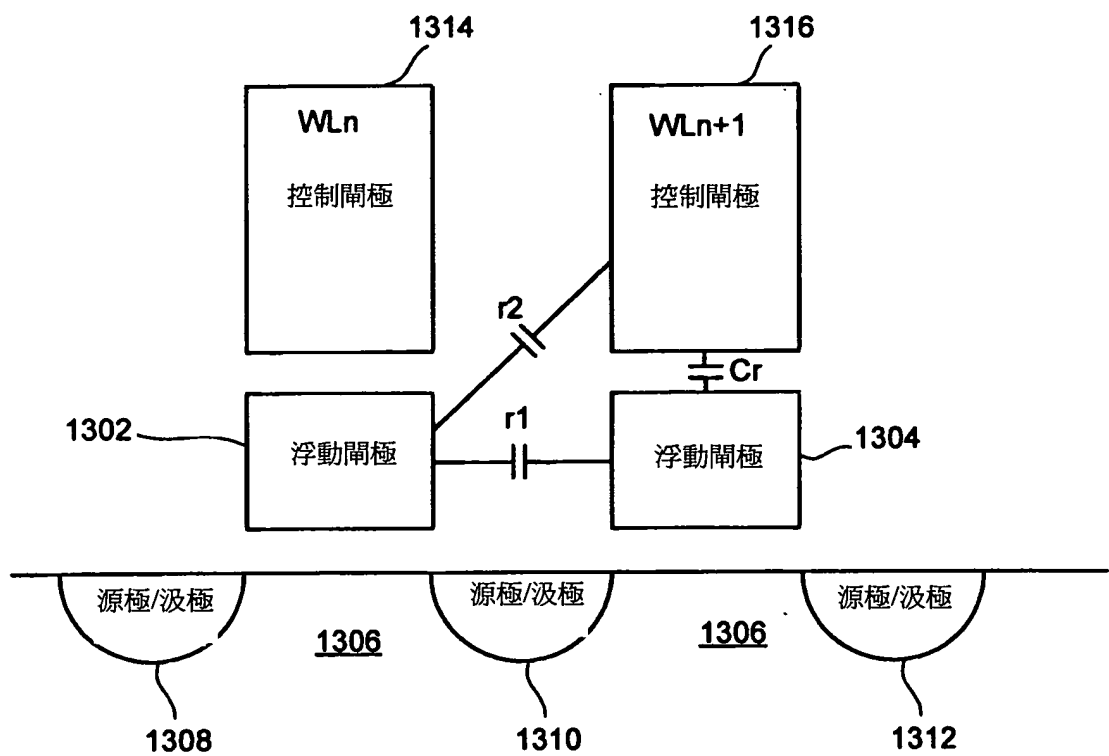


圖 27

七、指定代表圖：

(一)本案指定代表圖為：第 (17) 圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

十、申請專利範圍：

1. 一種自非揮發性儲存器讀取資料之方法，包括：

於一對於一所選非揮發性儲存元件之讀取過程期間，
施加一讀取電壓至該所選非揮發性儲存元件；

依據該所選非揮發性儲存元件之一鄰近者之一當前電
壓相關條件，對於該鄰近者使用一特定電壓，在該讀取
過程期間對於該鄰近者使用該特定電壓；及

在該讀取過程期間感測該所選非揮發性儲存元件之一
電壓相關條件。

2. 如請求項1之方法，其中：

該對於該鄰近者使用該特定電壓包括：施加多個電壓
至該鄰近者，該多個電壓中之一者係該特定電壓，該感
測該電壓相關條件係回應該特定電壓予以執行。

3. 如請求項1之方法，進一步包括：

在施加該特定電壓至該鄰近者之前，讀取該鄰近者之
該當前電壓相關條件。

4. 如請求項3之方法，其中：

該鄰近者與該所選非揮發性儲存元件係多狀態式快閃
記憶體裝置；

該讀取該鄰近者之該當前電壓相關條件包括：判定該
鄰近者被程式化至哪一狀態；

該對於一鄰近者使用該特定電壓包括：施加多個電壓
至該鄰近者，其包括對於該鄰近者可被程式化至其的每
一狀態施加一個電壓，該多個電壓中之一者係該特定電

壓，該特定電壓相關聯於該鄰近者被程式化至其的該狀態；

回應該多個電壓中之非相關聯於該鄰近者被程式化至其的該狀態的電壓而感測的資料被丟棄；及

該感測該電壓相關條件係回應該特定電壓予以執行。

5. 如請求項1之方法，其中：

該所選非揮發性儲存元件係一種多狀態式快閃記憶體裝置，其儲存經程式化至一第一頁與一第二頁之資料的至少兩個位元；

該所選非揮發性儲存元件能夠處於一第一狀態、一第二狀態、一第二狀態或一第四狀態；

一第一比較位準存在於該第一狀態與該第二狀態之間；

一第二比較位準存在於該第二狀態與該第三狀態之間；

一第三比較位準存在於該第三狀態與該第四狀態之間；

該施加步驟、該使用步驟與該感測步驟係屬於一使用該第三比較點來讀取該第一頁之過程的部分；及

該方法進一步包括：不考慮該鄰近者的該當前電壓相關條件，回應該第一比較位準而感測該所選非揮發性儲存元件之該電壓相關條件。

6. 如請求項1之方法，進一步包括：

判定該鄰近者被程式化，對於該鄰近者使用該特定電



壓之該步驟係回應該判定該鄰近者被程式化予以執行。

7. 如請求項1之方法，其中：

該所選非揮發性儲存元件係一種多狀態式快閃記憶體裝置，其儲存經程式化至一第一頁與一第二頁之資料的至少兩個位元；

該所選非揮發性儲存元件能夠處於一第一狀態、一第二狀態、一第三狀態或一第四狀態；

一第一比較位準存在於該第一狀態與該第二狀態之間；

一第二比較位準存在於該第二狀態與該第三狀態之間；

一第三比較位準存在於該第三狀態與該第四狀態之間；

該方法進一步包括：判定待自該第一頁讀取資料；

該對於一鄰近者使用該特定電壓包括：施加兩個不同電壓至該鄰近者，該兩個不同電壓中之一者係該特定電壓，該特定電壓相關聯於該鄰近者被程式化至其的一已決定狀態；

回應該多個電壓中之非相關聯於該鄰近者被程式化至其的該狀態的電壓而感測的資料被丟棄；

該讀取電壓對應於該第二比較位準；及

該感測該電壓相關條件係回應該特定電壓及該第二比較位準予以執行。

8. 如請求項1之方法，其中：

該所選非揮發性儲存元件係一種多狀態式快閃記憶體裝置，其儲存經程式化至一第一頁與一第二頁之資料的至少兩個位元；

該所選非揮發性儲存元件能夠處於一第一狀態、一第二狀態、一第三狀態或一第四狀態；

存在用於讀取之三個比較位準包括一第一比較位準、一第二比較位準及一第三比較位準；

該第一比較位準存在於該第一狀態與該第二狀態之間，該讀取電壓對應於該第一比較位準；

該第二比較位準存在於該第二狀態與該第三狀態之間；

該第三比較位準存在於該第三狀態與該第四狀態之間；

該方法進一步包括：判定待自該第二頁讀取資料；

該對於一鄰近者使用該特定電壓包括：對於該三個比較位準，施加兩個不同電壓至該鄰近者，該兩個不同電壓中之一者係該特定電壓，該特定電壓相關聯於該鄰近者被程式化至其的一已決定狀態；

該感測該電壓相關條件係回應該第一比較位準及該特定電壓予以執行；及

該方法進一步包括：回應該第二比較位準及該特定電壓而進行感測，回應該第三比較位準及該特定電壓而進行感測，並且判定該所選非揮發性儲存元件中儲存的資料。

9. 如請求項1之方法，其中：

該所選非揮發性儲存元件包括繼對於一第一群組資料寫入至鄰近非揮發性儲存元件之後關於一第二群組資料所程式化的資料。

10. 如請求項1之方法，進一步包括：

接收一讀取資料之請求，該施加步驟、該使用步驟與該感測步驟係作為一回應該讀取資料之請求的讀取過程之部分予以執行；及

依據該感測來報告資料。

11. 如請求項1之方法，進一步包括：

接收一請求以讀取若干資料；

回應該請求，使用一第一讀取操作來讀取該等資料；

判定一相關聯於該等資料之錯誤之存在，該使用該特定電壓係回應該判定該錯誤之存在予以執行，以自該錯誤復原該等資料；及

報告該等資料。

12. 如請求項1之方法，其中：

該所選非揮發性儲存元件與該鄰近者係多狀態式NAND快閃記憶體裝置。

13. 如請求項1之方法，其中：

該所選非揮發性儲存元件與該鄰近者係多狀態式快閃記憶體裝置。

14. 一種非揮發性儲存系統，包括：

複數個非揮發性儲存元件；及

一或多個管理電路，其與該複數個非揮發性儲存元件通信，該一或多個管理電路藉由施加一讀取比較電壓至一所選字線以自經連接至該所選字線的一所選非揮發性儲存元件讀取資料，該一或多個管理電路施加一第一傳送電壓至一第一組非所選字線，同時施加一第二傳送電壓至一鄰近非所選字線，該一或多個管理電路結合該讀取比較電壓、該第一傳送電壓及該第二傳送電壓來感測該所選非揮發性儲存元件之一電壓相關條件。

15. 如請求項14之非揮發性儲存系統，其中：

該一或多個管理電路感測關於經連接至該鄰近非所選字線之非揮發性儲存元件的資訊，並且依據關於該鄰近非揮發性儲存元件之該資訊來選擇是否使用該第二傳送電壓。

16. 如請求項14之非揮發性儲存系統，其中：

該一或多個管理電路感測關於經連接至該鄰近非所選字線並且係該所選非揮發性儲存元件之一鄰近者之一非揮發性儲存元件之資訊；

該一或多個管理電路執行該施加該讀取比較電壓、施加該第一傳送電壓、施加該第二傳送電壓及感測該電壓相關條件之額外反覆過程，且在不同反覆過程期間改變該第二傳送電壓；及

該一或多個管理電路依據相關聯於關於該鄰近非揮發性儲存元件之該感測資訊的該等反覆過程中之一者，來判定正被讀取之該非揮發性儲存元件中儲存之資料。



17. 如請求項14之非揮發性儲存系統，其中：

該一或多個管理電路感測該所選非揮發性儲存元件之該電壓相關條件以作為一用於該所選非揮發性儲存元件之程式化過程期間的一驗證操作之部分。

18. 如請求項14之非揮發性儲存系統，其中：

該一或多個管理電路感測該所選非揮發性儲存元件之該電壓相關條件以作為一讀取過程之部分。

19. 如請求項14之非揮發性儲存系統，其中：

該一或多個管理電路判定該所選非揮發性儲存元件之一鄰近者被程式化，該施加該第二傳送電壓係回應該判定該鄰近者被程式化予以執行。

20. 如請求項14之非揮發性儲存系統，其中：

該所選非揮發性儲存元件包括繼對於一第一群組資料寫入至鄰近非揮發性儲存元件之後關於一第二群組資料所程式化的資料。

21. 如請求項14之非揮發性儲存系統，其中：

該一或多個管理電路接收一讀取資料之請求，該感測該所選非揮發性儲存元件之該電壓相關條件係作為一回應該讀取資料之請求的讀取過程之部分予以執行；及

該一或多個管理電路依據該感測來報告該等資料。

22. 如請求項14之非揮發性儲存系統，其中：

該一或多個管理電路接收一請求以讀取若干資料；

該一或多個管理電路回應該請求，使用一第一讀取操作來讀取該等資料；

該一或多個管理電路判定一相關聯於該等資料之錯誤之存在；及

該施加該讀取比較電壓、施加該第一傳送電壓、施加該第二傳送電壓至該鄰近非所選字線及感測該電壓相關條件係回應該判定該錯誤之存在予以執行，以自該錯誤復原該等資料；及

該一或多個管理電路報告該經復原之資料。

23. 如請求項14之非揮發性儲存系統，其中：

該複數個非揮發性儲存元件係多狀態式NAND快閃記憶體裝置。

24. 如請求項14之非揮發性儲存系統，其中：

該複數個非揮發性儲存元件係多狀態式快閃記憶體裝置。

25. 如請求項14之非揮發性儲存系統，其中：

該複數個非揮發性儲存元件係NAND快閃記憶體裝置。

26. 如請求項14之非揮發性儲存系統，其中：

該一或多個管理電路包括一狀態機、解碼器與感測放大器中之任一者或一組合。

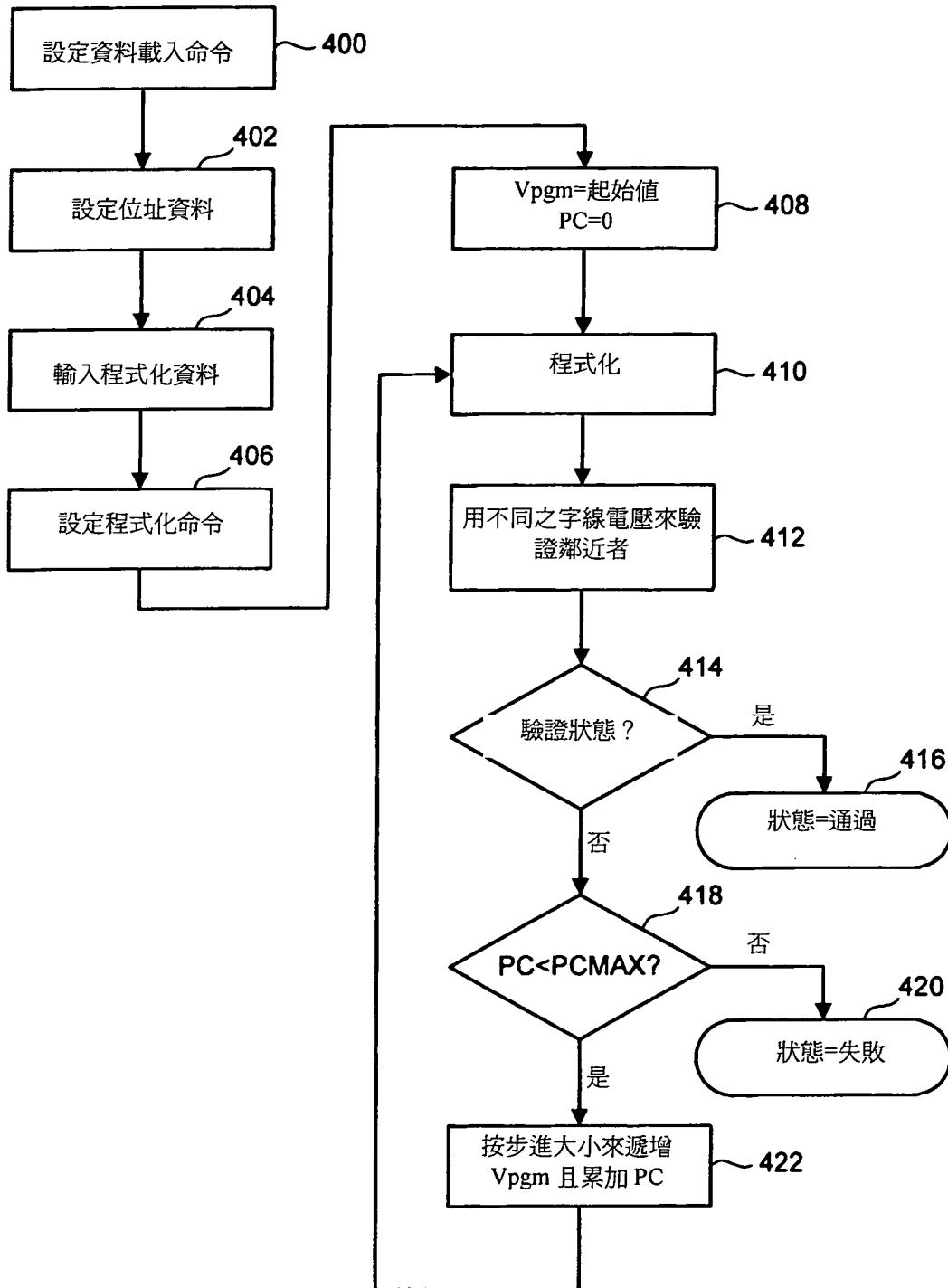


圖 8