

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5715835号  
(P5715835)

(45) 発行日 平成27年5月13日(2015.5.13)

(24) 登録日 平成27年3月20日(2015.3.20)

(51) Int.Cl.

F I

H O 1 L 23/12 (2006.01)

H O 1 L 23/12 5 O 1 P

請求項の数 13 (全 26 頁)

(21) 出願番号 特願2011-13180 (P2011-13180)  
 (22) 出願日 平成23年1月25日(2011.1.25)  
 (65) 公開番号 特開2012-156251 (P2012-156251A)  
 (43) 公開日 平成24年8月16日(2012.8.16)  
 審査請求日 平成25年11月7日(2013.11.7)

(73) 特許権者 000190688  
 新光電気工業株式会社  
 長野県長野市小島田町80番地  
 (74) 代理人 100070150  
 弁理士 伊東 忠彦  
 (72) 発明者 経塚 正宏  
 長野県長野市小島田町80番地 新光電気  
 工業株式会社内  
 (72) 発明者 立岩 昭彦  
 長野県長野市小島田町80番地 新光電気  
 工業株式会社内  
 (72) 発明者 田中 正人  
 長野県長野市小島田町80番地 新光電気  
 工業株式会社内

最終頁に続く

(54) 【発明の名称】 半導体パッケージ及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体チップの回路形成面及び側面を封止する封止絶縁層と、  
 前記封止絶縁層の前記回路形成面側の面である第1面に交互に積層された複数の配線層  
 及び複数の絶縁層と、を有し、  
 前記第1面に形成された配線層は、前記半導体チップと電氣的に接続されており、  
 最外層の絶縁層は、最外層の配線層を露出する開口部を備え、  
 前記最外層の絶縁層が、織布又は不織布からなる補強部材を内蔵しているソルダーレジ  
スト層である半導体パッケージ。

【請求項 2】

前記補強部材がガラスクロスである請求項1記載の半導体パッケージ。

【請求項 3】

前記開口部の側壁の断面が凹型R形状である請求項1又は2記載の半導体パッケージ。

【請求項 4】

前記開口部内に露出する前記最外層の配線層に、前記凹型R形状と連続した凹部が形成  
 されている請求項3記載の半導体パッケージ。

【請求項 5】

前記補強部材を内蔵する絶縁層が、織布又は不織布に絶縁性樹脂を含浸させてなる請求  
 項1乃至4の何れか一項記載の半導体パッケージ。

【請求項 6】

10

20

前記第 1 面に積層された最外層の配線層に第 1 の電極パッドが設けられ、  
前記最外層の絶縁層に、前記第 1 の電極パッドを露出する開口が設けられている請求項 1 乃至 5 の何れか一項記載の半導体パッケージ。

【請求項 7】

前記封止絶縁層に、前記半導体チップの電極を露出するビアホールが形成され、  
前記封止絶縁層の第 1 面に形成されている配線層と前記電極とを接続するビアが、前記ビアホール内に形成されている請求項 1 乃至 6 の何れか一項記載の半導体パッケージ。

【請求項 8】

前記封止絶縁層の第 1 面の反対面である第 2 面から露出する第 2 の電極パッドと、  
前記封止絶縁層を貫通し、前記第 1 面に形成されている配線層と前記第 2 の電極パッドとを電氣的に接続する貫通配線と、を更に有する請求項 1 乃至 7 の何れか一項記載の半導体パッケージ。

10

【請求項 9】

前記半導体チップの裏面及び前記第 2 の電極パッドの露出面は、前記第 2 面と面一である請求項 8 記載の半導体パッケージ。

【請求項 10】

前記半導体チップの裏面は、前記第 2 面と面一であり、  
前記第 2 の電極パッドの露出面は、前記第 2 面よりも窪んでいる請求項 8 記載の半導体パッケージ。

【請求項 11】

20

支持体の一方の面に半導体チップを回路形成面を上にして配置する第 1 工程と、  
前記半導体チップの回路形成面及び側面を封止するように、前記支持体の一方の面に封止絶縁層を形成する第 2 工程と、

前記封止絶縁層の前記回路形成面側の面である第 1 面に、複数の配線層及び複数の絶縁層を交互に積層し、最外層の絶縁層に最外層の配線層を露出する開口部を形成する第 3 工程と、

前記支持体を除去する第 4 工程と、を有し、

前記第 3 工程は、前記第 1 面に前記半導体チップと電氣的に接続するように配線層を形成する工程と、前記最外層の絶縁層として織布又は不織布からなる補強部材を内蔵しているソルダーレジスト層を積層する工程と、を含む半導体パッケージの製造方法。

30

【請求項 12】

前記第 3 工程では、ブラスト処理により、側壁の断面が凹型 R 形状の開口部を形成する請求項 11 記載の半導体パッケージの製造方法。

【請求項 13】

前記第 2 工程よりも前に、前記支持体の一方の面に電極パッドを形成し、  
前記第 2 工程では、前記半導体チップの回路形成面及び側面、並びに、前記電極パッドの上面及び側面を封止するように、前記支持体の一方の面に封止絶縁層を形成し、  
前記第 2 工程と前記第 3 工程との間に、前記封止絶縁層を貫通し、前記電極パッドの上面を露出する貫通孔を形成し、

前記第 3 工程で前記第 1 面に形成する配線層は、前記貫通孔内に形成され前記電極パッドと電氣的に接続される貫通配線を含む請求項 11 又は 12 記載の半導体パッケージの製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体チップを内蔵する半導体パッケージ及びその製造方法に関する。

【背景技術】

【0002】

従来より、半導体チップを内蔵する半導体パッケージが提案されている。このような半導体パッケージは、例えば、半導体チップの回路形成面（電極パッドが設けられている面

50

）及び側面を封止するように形成された第1絶縁層と、第1絶縁層上に積層され半導体チップの電極パッドと電氣的に接続された第1配線層と、第1配線層上に更に積層された他の絶縁層や配線層等を有する。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2008-306071号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

10

しかしながら、前述の従来の半導体パッケージは、厚さ方向の一方の側に配置された第1絶縁層のみに半導体チップが内蔵されており、他方の側は絶縁層と配線層の積層体から構成され半導体チップは内蔵されていない。このような構造から、従来の半導体パッケージでは反りの問題が発生していた。

【0005】

より詳しく説明すると、半導体チップがシリコンを主成分とする場合、その熱膨張係数は3.4ppm/程度、ヤング率は200GPa程度である。一方、第1絶縁層や他の絶縁層がエポキシ系樹脂を主成分とする場合、その熱膨張係数は8~150ppm/程度であり、ヤング率は0.03~13GPa程度である。このような物性値（熱膨張係数やヤング率）の相違により、半導体チップが内蔵されている第1絶縁層側（半導体パッケージの一方の側）は熱応力等により変形し難いが、半導体チップが内蔵されていない他方の側は熱応力等により変形し易い。その結果、室温（例えば、20~30程度）では半導体チップが内蔵されている第1絶縁層側が凸となる傾向の反りが発生し、高温（例えば、200~300程度）では半導体チップが内蔵されている第1絶縁層側が凹となる傾向の反りが発生する問題があった。

20

【0006】

本発明は、上記の点に鑑みてなされたものであり、反りを低減可能な半導体パッケージ、及びその製造方法を提供することを課題とする。

【課題を解決するための手段】

【0007】

30

本半導体パッケージは、半導体チップの回路形成面及び側面を封止する封止絶縁層と、前記封止絶縁層の前記回路形成面側の面である第1面に交互に積層された複数の配線層及び複数の絶縁層と、を有し、前記第1面に形成された配線層は、前記半導体チップと電氣的に接続されており、最外層の絶縁層は、最外層の配線層を露出する開口部を備え、前記最外層の絶縁層が、織布又は不織布からなる補強部材を内蔵しているソルダーレジスト層であることを要件とする。

【発明の効果】

【0009】

開示の技術によれば、反りを低減可能な半導体パッケージ、及びその製造方法を提供できる。

40

【図面の簡単な説明】

【0010】

【図1】第1の実施の形態に係る半導体パッケージを例示する断面図である。

【図2】絶縁層に内蔵されるガラスクロスを例示する斜視図である。

【図3】第1の実施の形態に係る半導体パッケージの製造工程を例示する図（その1）である。

【図4】第1の実施の形態に係る半導体パッケージの製造工程を例示する図（その2）である。

【図5】第1の実施の形態に係る半導体パッケージの製造工程を例示する図（その3）である。

50

【図 6】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 4）である。

【図 7】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 5）である。

【図 8】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 6）である。

【図 9】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 7）である。

【図 10】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 8）である。

10

【図 11】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 9）である。

【図 12】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 10）である。

【図 13】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 11）である。

【図 14】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 12）である。

【図 15】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 13）である。

20

【図 16】第 1 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 14）である。

【図 17】第 1 の実施の形態に係る半導体パッケージの実装例を示す断面図である。

【図 18】第 1 の実施の形態の変形例 1 に係る半導体パッケージを例示する断面図である。

【図 19】図 18 の開口部近傍を拡大して例示する断面図である。

【図 20】第 1 の実施の形態の変形例 2 に係る半導体パッケージを例示する断面図である。

【図 21】第 1 の実施の形態の変形例 2 に係る半導体パッケージの実装例を示す断面図である。

30

【図 22】第 1 の実施の形態の変形例 3 に係る半導体パッケージを例示する断面図である。

【図 23】第 1 の実施の形態の変形例 3 に係る半導体パッケージの製造工程を例示する図（その 1）である。

【図 24】第 1 の実施の形態の変形例 3 に係る半導体パッケージの製造工程を例示する図（その 2）である。

【図 25】第 1 の実施の形態の変形例 3 に係る半導体パッケージの製造工程を例示する図（その 3）である。

【図 26】第 1 の実施の形態の変形例 3 に係る半導体パッケージの実装例を示す断面図である。

40

【図 27】反りのシミュレーション結果を示す図（その 1）である。

【図 28】反りのシミュレーション結果を示す図（その 2）である。

【発明を実施するための形態】

【0011】

以下、図面を参照して発明を実施するための形態について説明する。なお、各図面において、同一構成部分には同一符号を付し、重複した説明を省略する場合がある。

【0012】

第 1 の実施の形態

[第 1 の実施の形態に係る半導体パッケージの構造]

図 1 は、第 1 の実施の形態に係る半導体パッケージを例示する断面図である。図 1 を参

50

照するに、半導体パッケージ１０は、半導体チップ２０と、第１配線層３１と、第１絶縁層３２と、第２配線層３３と、第２絶縁層３４と、第３配線層３５と、第３絶縁層３６と、第４配線層３７と、ソルダーレジスト層３８と、外部接続端子３９とを有する。

【００１３】

なお、本実施の形態では、便宜上、第１絶縁層３２側を下、ソルダーレジスト層３８側を上とする。例えば第１絶縁層３２の第２絶縁層３４と接する面は上面であり、第１絶縁層３２の露出面（第２絶縁層３４と接する面の反対面）は下面である。

【００１４】

半導体パッケージ１０の平面形状は例えば矩形状であり、その寸法は、例えば幅１２ｍｍ（Ｘ方向）×奥行き１２ｍｍ（Ｙ方向）×厚さ０．５ｍｍ（Ｚ方向）程度とすることができる。以下、半導体パッケージ１０を構成する半導体チップ２０等について詳説する。

10

【００１５】

半導体チップ２０は、半導体基板２１と、電極パッド２２と、突起電極２３とを有する。半導体チップ２０の平面形状は例えば矩形状であり、その寸法は、例えば幅８ｍｍ（Ｘ方向）×奥行き８ｍｍ（Ｙ方向）×厚さ９０μｍ（Ｚ方向）程度とすることができる。

【００１６】

半導体基板２１は、例えばシリコン（Ｓｉ）を主成分とする基板に半導体集積回路（図示せず）が形成されたものである。電極パッド２２は、半導体基板２１の回路形成面側に形成されており、半導体集積回路（図示せず）と電氣的に接続されている。電極パッド２２の材料としては、例えばアルミニウム（Ａｌ）等を用いることができる。電極パッド２２の材料として、銅（Ｃｕ）とアルミニウム（Ａｌ）をこの順番で積層したもの、銅（Ｃｕ）とアルミニウム（Ａｌ）とシリコン（Ｓｉ）をこの順番で積層したもの等を用いても構わない。

20

【００１７】

突起電極２３は電極パッド２２上に形成されている。突起電極２３としては、例えば円柱形状の銅（Ｃｕ）ポスト等を用いることができる。突起電極２３の直径は、例えば５０μｍ程度とすることができる。突起電極２３の高さは、例えば５～１０μｍ程度とすることができる。隣接する突起電極２３のピッチは、例えば１００μｍ程度とすることができる。なお、電極パッド２２上に突起電極２３を設けなくてもよい。この場合には、電極パッド２２自体が第２配線層３３と電氣的に接続される電極となる。

30

【００１８】

以降、半導体チップ２０において、回路形成面と反対側に位置する回路形成面と略平行な面を裏面と称する場合がある。又、半導体チップ２０において、回路形成面及び裏面と略垂直な面を側面と称する場合がある。

【００１９】

半導体チップ２０の回路形成面及び側面は第１絶縁層３２に封止されており、裏面は第１絶縁層３２から露出している。半導体チップ２０の裏面は、第１絶縁層３２の下面と略面一とされている。

【００２０】

第１配線層３１は、第１層３１ａ及び第２層３１ｂを有する。第１層３１ａとしては、例えば金（Ａｕ）膜、パラジウム（Ｐｄ）膜、ニッケル（Ｎｉ）膜を、金（Ａｕ）膜が半導体パッケージ１０の外部に露出するように、この順番で順次積層した導電層を用いることができる。第１層３１ａとして、例えば金（Ａｕ）膜とニッケル（Ｎｉ）膜を、金（Ａｕ）膜が半導体パッケージ１０の外部に露出するように、この順番で順次積層した導電層を用いても良い。第２層３１ｂとしては、例えば銅（Ｃｕ）層等を含む導電層を用いることができる。第１配線層３１の厚さは、例えば１０～２０μｍ程度とすることができる。

40

【００２１】

第１配線層３１の一部（第１層３１ａの下面）は第１絶縁層３２から露出しており、第１絶縁層３２の下面及び半導体チップ２０の裏面と略面一とされている。第１配線層３１の一部（第１層３１ａの下面）は、他の半導体パッケージや半導体チップ、或いは電子部

50

品等（図示せず）と電氣的に接続される電極パッドとして機能する。以降、第1絶縁層32から露出する第1配線層31を第1電極パッド31と称する場合がある。

【0022】

なお、図1では、第1電極パッド31は図面を簡略化するために数量を減らして描かれているが、実際には、例えば、複数列の第1電極パッド31が、平面視において半導体チップ20の裏面を額縁状に取り囲むように設けられている。第1電極パッド31の平面形状は例えば円形であり、その直径は例えば100～350 $\mu$ m程度とすることができる。第1電極パッド31のピッチは、例えば400～500 $\mu$ m程度とすることができる。

【0023】

第1絶縁層32は、第1配線層31の上面及び側面、並びに、半導体チップ20の回路形成面及び側面を封止し、第1配線層31の下面及び半導体チップ20の裏面を露出するように形成されている。第1絶縁層32の材料としては、例えばエポキシ系樹脂やフェノール系樹脂等を主成分とする熱硬化性の絶縁性樹脂を用いることができる。第1絶縁層32の厚さは、例えば150 $\mu$ m程度とすることができる。第1絶縁層32は、シリカ（SiO<sub>2</sub>）等のフィラーを含有しても構わない。第1絶縁層32は、本発明に係る封止絶縁層の代表的な一例である。

【0024】

第1絶縁層32には、第1絶縁層32を貫通し第1配線層31の上面を露出する第1ビアホール32x、及び第1絶縁層32を貫通し突起電極23の上面を露出する第2ビアホール32yが形成されている。第1ビアホール32xは、第2絶縁層34側に開口されていると共に、第1配線層31の上面によって底面が形成された、開口部の面積が底面の面積よりも大となる円錐台状の凹部となっている。第1ビアホール32xの開口部の径は、例えば150 $\mu$ m程度とすることができる。第2ビアホール32yは、第2絶縁層34側に開口されていると共に、突起電極23の上面によって底面が形成された、開口部の面積が底面の面積よりも大となる円錐台状の凹部となっている。第2ビアホール32yの開口部の径は、例えば30 $\mu$ m程度とすることができる。

【0025】

第2配線層33は、第1絶縁層32上に形成されている。第2配線層33は、第1ビアホール32xの側壁及び第1配線層31の上面に形成された第1ビア配線（貫通配線）、第2ビアホール32y内に充填された第2ビア配線（貫通配線）、及び第1絶縁層32上に形成された配線パターンを含んでいる。第2配線層33は、第1ビアホール32xの底部に露出した第1配線層31、及び第2ビアホール32yの底部に露出した突起電極23と電氣的に接続されている。第2配線層33の材料としては、例えば銅（Cu）等を用いることができる。第2配線層33を構成する配線パターンの厚さは、例えば10～20 $\mu$ m程度とすることができる。

【0026】

なお、例えば、第1絶縁層32の厚さを150 $\mu$ m、第1配線層31の厚さを10 $\mu$ mとすれば、第1ビアホール32xの深さは140 $\mu$ mとなり、第1ビア配線を第1ビアホール32x内に充填することは困難である。そのため、第1ビア配線は、第1ビアホール32xの側壁及び第1配線層31の上面のみに膜状に形成され、第1ビアホール32x内に充填されてはいない。一方、例えば、第1絶縁層32の厚さを150 $\mu$ m、半導体チップ20の厚さ（突起電極23の高さも含む）を100 $\mu$ mとすれば、第2ビアホール32yの深さは50 $\mu$ mとなり、第1ビアホール32xよりも大幅に浅い。そのため、第2ビア配線は、第2ビアホール32y内に充填されている。

【0027】

第2絶縁層34は、第1絶縁層32上に、第2配線層33を覆うように形成されている。第2絶縁層34の材料としては、第1絶縁層32と同様の絶縁性樹脂を用いることができる。第2絶縁層34の厚さは、例えば15～35 $\mu$ m程度とすることができる。第2絶縁層34は、シリカ（SiO<sub>2</sub>）等のフィラーを含有しても構わない。

【0028】

10

20

30

40

50

第3配線層35は、第2絶縁層34上に形成されている。第3配線層35は、第2絶縁層34を貫通し第2配線層33の上面を露出する第3ビアホール34x内に充填されたビア配線、及び第2絶縁層34上に形成された配線パターンを含んで構成されている。第3ビアホール34xは、第3絶縁層36側に開口されていると共に、第2配線層33の上面によって底面が形成された、開口部の面積が底面の面積よりも大となる円錐台状の凹部となっている。又、この凹部内にビア配線が形成されている。

【0029】

第3配線層35は、第3ビアホール34xの底部に露出した第2配線層33と電氣的に接続されている。第3配線層35の材料としては、例えば銅(Cu)等を用いることができる。第3配線層35を構成する配線パターンの厚さは、例えば10~20μm程度とす

10

【0030】

第3絶縁層36は、第2絶縁層34上に、第3配線層35を覆うように形成されている。第3絶縁層36は、ガラスクロス40を内蔵している。より詳しくは、第3絶縁層36は、ガラスクロス40に例えばエポキシ系樹脂を主成分とする絶縁性樹脂等を含浸させたものである。第3絶縁層36の厚さは、例えば15~35μm程度とすることができる。第3絶縁層36は、シリカ(SiO<sub>2</sub>)等のフィラーを含有しても構わない。

【0031】

図1及び図2を参照するに、ガラスクロス40は、例えば、X方向に並設されたガラス繊維束40aと、Y方向に並設されたガラス繊維束40bとが格子状に平織りされた形態を有する。ガラスクロス40は、本発明に係る補強部材の代表的な一例である。ガラス繊維束40a及び40bは、1本が例えば数μm程度のガラス繊維を複数本束ねて例えば数100μm程度の幅にしたものである。ガラス繊維束40a及び40bの厚さは、それぞれ10~15μm程度とすることができる。

20

【0032】

ガラスクロス40を内蔵する第3絶縁層36を設ける理由は、以下のとおりである。すなわち、前述のように、厚さ方向の一方の側のみに半導体チップが内蔵されていると、半導体パッケージに反りが発生する問題がある。つまり、半導体パッケージ10において、第1絶縁層32側(一方の側)には半導体チップ20が内蔵されているが、第3絶縁層36側(他方の側)には半導体チップは内蔵されていない。

30

【0033】

そのため、何の対策も講じないと(第3絶縁層36がガラスクロス40を内蔵していないと)、半導体チップ20を内蔵する第1絶縁層32と絶縁性樹脂のみから構成される第3絶縁層36等との物性値(熱膨張係数やヤング率)の相違により、従来の半導体パッケージと同様に反りが発生する虞がある。特に、260程度の環境下では、第3絶縁層36が絶縁性樹脂のみから構成されていると、ガラス転移温度を超えて熱膨張係数が格段に大きくなり強度が保てなくなるため、大きな反りが発生する虞がある。

【0034】

そこで、ガラスクロス40を内蔵する第3絶縁層36を他方の側に設けた。ガラスクロス40は、二酸化ケイ素(SiO<sub>2</sub>)を主成分とし、酸化ナトリウム(Na<sub>2</sub>O)や酸化マグネシウム(MgO)等の金属化合物を副成分とする材料から構成されている。そのため、二酸化ケイ素(SiO<sub>2</sub>)の含有量を調整することにより、ガラスクロス40の熱膨張係数を可変することができる(二酸化ケイ素(SiO<sub>2</sub>)の含有量が多いほどシリコンに近い熱膨張係数を示すようになる)。又、ガラス繊維の径や織り方を選択することにより、ガラスクロス40のヤング率を可変することができる。

40

【0035】

一例を挙げると、エポキシ系樹脂のみからなる第3絶縁層36(ガラスクロス40を内蔵していない)の熱膨張係数は、25で40ppm/程度、260で120ppm/程度である。一方、ガラスクロス40を内蔵する第3絶縁層36の熱膨張係数は、例えば、25で20ppm/程度、260で10ppm/程度とすることができる

50

。

## 【0036】

つまり、ガラスクロス40を内蔵する第3絶縁層36を他方の側に設けることにより、第3絶縁層36が絶縁性樹脂のみから構成される場合に比べて、他方の側の物性値（熱膨張係数やヤング率）を半導体チップ20を内蔵する第1絶縁層32側（一方の側）の物性値に近づけることができる。又、第3絶縁層36が絶縁性樹脂のみから構成される場合と異なり、ガラスクロス40を内蔵する第3絶縁層36は260 程度の環境下にあっても強度を保持できる。その結果、半導体パッケージ10が熱応力等により反ることを防止できる。又、半導体パッケージ10全体の剛性を向上することが可能となり、半導体パッケージ10の形状を安定化できる。

10

## 【0037】

なお、ガラスクロス40はガラス繊維束から構成される補強部材であるが、本発明に係る補強部材はガラスクロスには限定されず、炭素繊維束、ポリエステル繊維束、テトロン繊維束、ナイロン繊維束、アラミド繊維束等から構成されていても構わない。又、繊維束の織り方は平織りには限定されず、朱子織り、綾織り等であっても構わない。又、織布以外に不織布を用いてもよい。

## 【0038】

図1に戻り、第4配線層37は、第3絶縁層36上に形成されている。第4配線層37は、第3絶縁層36を貫通し第3配線層35の上面を露出する第4ビアホール36x内に充填されたビア配線、及び第3絶縁層36上に形成された配線パターンを含んで構成されている。第4ビアホール36xは、ソルダーレジスト層38側に開口されていると共に、第3配線層35の上面によって底面が形成された、開口部の面積が底面の面積よりも大となる円錐台状の凹部となっている。又、この凹部内にビア配線が形成されている。

20

## 【0039】

第4配線層37は、第4ビアホール36xの底部に露出した第3配線層35と電氣的に接続されている。第4配線層37の材料としては、例えば銅(Cu)等を用いることができる。第4配線層37を構成する配線パターンの厚さは、例えば10~20μm程度とすることができる。

## 【0040】

ソルダーレジスト層38は、第3絶縁層36上に、第4配線層37を覆うように形成されている絶縁層である。ソルダーレジスト層38の厚さは、例えば15~35μm程度とすることができる。ソルダーレジスト層38は、シリカ(SiO<sub>2</sub>)等のフィラーを含有しても構わない。ソルダーレジスト層38は開口部38xを有し、開口部38xの底部には第4配線層37の一部が露出している。必要に応じ、開口部38xの底部に露出する第4配線層37上に、金属層を形成してもよい。金属層の例としては、Au層や、Ni/Au層(Ni層とAu層をこの順番で積層した金属層)、Ni/Pd/Au層(Ni層とPd層とAu層をこの順番で積層した金属層)等を挙げることができる。なお、ソルダーレジスト層を単に絶縁層と称する場合がある。

30

## 【0041】

外部接続端子39は、開口部38xの底部に露出する第4配線層37上に(第4配線層37上に金属層が形成されている場合には、金属層の上に)形成されている。本実施の形態において、半導体パッケージ10は、外部接続端子39の形成されている領域が半導体チップ20の直上の領域の周囲に拡張された所謂ファンアウト構造を有する。隣接する外部接続端子39のピッチは、隣接する突起電極23のピッチ(例えば100μm程度)よりも拡大することが可能となる。但し、半導体パッケージ10は、目的に応じて所謂ファンイン構造を有しても構わない。

40

## 【0042】

外部接続端子39は、マザーボード等の実装基板や他の半導体パッケージ等(図示せず)に設けられたパッドと電氣的に接続される端子として機能する。外部接続端子39としては、例えば、はんだボール等を用いることができる。はんだボールの材料としては、例

50



えばPbを含む合金、SnとCuの合金、SnとSbの合金、SnとAgの合金、SnとAgとCuの合金等を用いることができる。外部接続端子39として、リードピン等を用いても構わない。

#### 【0043】

但し、本実施の形態では外部接続端子39を形成しているが、外部接続端子39は必ずしも形成する必要はない。外部接続端子39を形成しない場合には、開口部38xの底部に露出する第4配線層37（第4配線層37上に金属層が形成されている場合には、金属層）自体が外部接続端子となる。このように、必要なときに外部接続端子39を形成できるように第4配線層37の一部がソルダーレジスト層38から露出していれば十分である。以降、開口部38xの底部に露出する第4配線層37を第2電極パッド37と称する場合がある。

10

#### 【0044】

なお、図1では、第2電極パッド37は図面を簡略化するために数量を減らして描かれているが、実際には、例えば、多数の第2電極パッド37がエリアレイ状に設けられている。第2電極パッド37の平面形状は例えば円形であり、その直径は例えば100～350μm程度とすることができる。第2の電極パッド37のピッチは、例えば400～500μm程度とすることができる。

#### 【0045】

[第1の実施の形態に係る半導体パッケージの製造方法]

次に、第1の実施の形態に係る半導体パッケージの製造方法について説明する。図3～図16は、第1の実施の形態に係る半導体パッケージの製造工程を例示する図である。

20

#### 【0046】

まず、図3に示す工程では、支持体51を準備する。支持体51としては、シリコン板、ガラス板、金属板、金属箔等を用いることができるが、本実施の形態では、支持体51として銅箔を用いる。後述する図5に示す工程等において電解めっきを行う際の給電層として利用でき、後述する図15に示す工程において容易にエッチングで除去可能だからである。支持体51の厚さは、例えば35～100μm程度とすることができる。

#### 【0047】

次に、図4に示す工程では、支持体51の一方の面に、第1配線層31に対応する開口部52xを有するレジスト層52を形成する。具体的には、支持体51の一方の面に、例えばエポキシ系樹脂やアクリル系樹脂等を含む感光性樹脂組成物からなる液状又はペースト状のレジストを塗布する。或いは、支持体51の一方の面に、例えばエポキシ系樹脂やアクリル系樹脂等を含む感光性樹脂組成物からなるフィルム状のレジスト（例えば、ドライフィルムレジスト等）をラミネートする。そして、塗布又はラミネートしたレジストを露光及び現像することで開口部52xを形成する。これにより、開口部52xを有するレジスト層52が形成される。なお、予め開口部52xを形成したフィルム状のレジストを支持体51の一方の面にラミネートしても構わない。開口部52xは、後述の図5に示す工程で形成される第1配線層31に対応する位置に形成される。開口部52xの平面形状は、例えば円形であり、その直径は例えば40～120μm程度とすることができる。

30

#### 【0048】

次に、図5に示す工程では、支持体51をめっき給電層に利用する電解めっき法等により、支持体51の一方の面の開口部52x内に、第1層31a及び第2層31bから構成される第1配線層31を形成する。第1層31aは、例えば金(Au)膜、パラジウム(Pd)膜、ニッケル(Ni)膜をこの順番で順次積層した構造を有する。よって、第1配線層31を形成するには、まず、支持体51をめっき給電層に利用する電解めっき法等により、金(Au)膜、パラジウム(Pd)膜、ニッケル(Ni)膜を順にめっきして第1層31aを形成し、続いて、支持体51をめっき給電層に利用する電解めっき法等により、第1層31a上に銅(Cu)等からなる第2層31bを形成すれば良い。なお、第1層31aは、金(Au)膜とニッケル(Ni)膜をこの順番で順次積層した構造としても良い。

40

50

## 【 0 0 4 9 】

次に、図 6 に示す工程では、半導体チップ 2 0 を準備する。半導体チップ 2 0 は、半導体基板 2 1 と、電極パッド 2 2 と、突起電極 2 3 とを有し、電極パッド 2 2 及び突起電極 2 3 は半導体チップ 2 0 の回路形成面側に形成されている。又、半導体チップ 2 0 は、例えば 1 0 0  $\mu\text{m}$  程度に薄型化されている。そして、図 5 に示すレジスト層 5 2 を除去した後、支持体 5 1 の一方の面に、ダイアタッチフィルム等の接着層（図示せず）を介して、半導体チップ 2 0 をフェイスアップの状態（回路形成面を上にした状態）で配置する。

## 【 0 0 5 0 】

次に、図 7 に示す工程では、半導体チップ 2 0 の回路形成面及び側面、並びに、第 1 配線層 3 1 の上面及び側面を封止するように、支持体 5 1 の一方の面に第 1 絶縁層 3 2 を形成する。第 1 絶縁層 3 2 の材料としては、例えばエポキシ系樹脂やフェノール系樹脂等を主成分とする熱硬化性の絶縁性樹脂を用いることができる。第 1 絶縁層 3 2 の厚さは、例えば 1 5 0  $\mu\text{m}$  程度とすることができる。第 1 絶縁層 3 2 は、シリカ（ $\text{SiO}_2$ ）等のフィラーを含有しても構わない。

10

## 【 0 0 5 1 】

第 1 絶縁層 3 2 の材料として、例えば熱硬化性を有するフィルム状のエポキシ系樹脂やフェノール系樹脂等を主成分とする絶縁性樹脂を用いた場合には、半導体チップ 2 0 の回路形成面及び側面、並びに、第 1 配線層 3 1 の上面及び側面を封止するように、支持体 5 1 の一方の面にフィルム状の第 1 絶縁層 3 2 をラミネートする。そして、ラミネートした第 1 絶縁層 3 2 を押圧しつつ、第 1 絶縁層 3 2 を硬化温度以上に加熱して硬化させる。なお、第 1 絶縁層 3 2 を真空雰囲気中でラミネートすることにより、ボイドの巻き込みを防止できる。

20

## 【 0 0 5 2 】

第 1 絶縁層 3 2 の材料として、例えば熱硬化性を有する液状又はペースト状のエポキシ系樹脂やフェノール系樹脂等を主成分とする絶縁性樹脂を用いた場合には、半導体チップ 2 0 の回路形成面及び側面、並びに、第 1 配線層 3 1 の上面及び側面を封止するように、支持体 5 1 の一方の面に液状又はペースト状の第 1 絶縁層 3 2 を例えばロールコート法等により塗布する。そして、塗布した第 1 絶縁層 3 2 を硬化温度以上に加熱して硬化させる。

## 【 0 0 5 3 】

次に、図 8 に示す工程では、第 1 絶縁層 3 2 に、第 1 絶縁層 3 2 を貫通し第 1 配線層 3 1 の上面を露出させる第 1 ピアホール 3 2 x を形成する。第 1 ピアホール 3 2 x は、例えば  $\text{CO}_2$  レーザ等を用いたレーザ加工法により形成できる。レーザ加工法により形成した第 1 ピアホール 3 2 x は、第 2 絶縁層 3 4 が形成される側に開口されていると共に、第 1 配線層 3 1 の上面によって底面が形成された、開口部の面積が底面の面積よりも大となる円錐台状の凹部となる。第 1 ピアホール 3 2 x の開口部の径は、例えば 1 5 0  $\mu\text{m}$  程度とすることができる。

30

## 【 0 0 5 4 】

次に、図 9 に示す工程では、第 1 絶縁層 3 2 に、第 1 絶縁層 3 2 を貫通し突起電極 2 3 の上面を露出する第 2 ピアホール 3 2 y を形成する。第 2 ピアホール 3 2 y は、例えば UV レーザ等を用いたレーザ加工法により形成できる。レーザ加工法により形成した第 2 ピアホール 3 2 y は、第 2 絶縁層 3 4 が形成される側に開口されていると共に、突起電極 2 3 の上面によって底面が形成された、開口部の面積が底面の面積よりも大となる円錐台状の凹部となる。第 2 ピアホール 3 2 y の開口部の径は、例えば 3 0  $\mu\text{m}$  程度とすることができる。

40

## 【 0 0 5 5 】

なお、第 1 ピアホール 3 2 x 及び第 2 ピアホール 3 2 y をレーザ加工法により形成した場合には、図 9 に示す工程後にデスミア処理を行い、第 1 ピアホール 3 2 x の底部に露出する第 1 配線層 3 1 の上面、及び第 2 ピアホール 3 2 y の底部に露出する突起電極 2 3 の上面に付着した第 1 絶縁層 3 2 の樹脂残渣を除去することが好ましい。

50

## 【 0 0 5 6 】

次に、図 1 0 に示す工程では、第 1 絶縁層 3 2 上に第 2 配線層 3 3 を形成する。第 2 配線層 3 3 は、第 1 ピアホール 3 2 x の側壁及び第 1 配線層 3 1 の上面に形成された第 1 ピア配線、第 2 ピアホール 3 2 y 内に充填された第 2 ピア配線、及び第 1 絶縁層 3 2 上に形成された配線パターンを含んでいる。第 2 配線層 3 3 は、第 1 ピアホール 3 2 x の底部に露出した第 1 配線層 3 1、及び第 2 ピアホール 3 2 y の底部に露出した突起電極 2 3 と電氣的に接続されている。第 2 配線層 3 3 の材料としては、例えば銅 ( C u ) 等を用いることができる。第 2 配線層 3 3 を構成する配線パターンの厚さは、例えば 1 0 ~ 2 0  $\mu$  m 程度とすることができる。なお、前述の理由により、第 1 ピア配線は第 1 ピアホール 3 2 x 内に充填されてはいないが、第 2 ピア配線は第 2 ピアホール 3 2 y 内に充填されている。

10

## 【 0 0 5 7 】

第 2 配線層 3 3 は、セミアディティブ法やサブトラクティブ法等の各種の配線形成方法を用いて形成できるが、一例としてセミアディティブ法を用いて第 2 配線層 3 3 を形成する方法を以下に示す。

## 【 0 0 5 8 】

まず、無電解めっき法又はスパッタ法により、第 1 ピアホール 3 2 x の底部に露出した第 1 配線層 3 1 の上面及び第 2 ピアホール 3 2 y の底部に露出した突起電極 2 3 の上面、並びに、第 1 ピアホール 3 2 x の側壁及び第 2 ピアホール 3 2 y の側壁を含む第 1 絶縁層 3 2 上に銅 ( C u ) 等からなるシード層 ( 図示せず ) を形成する。更に、シード層上に第 2 配線層 3 3 に対応する開口部を備えたレジスト層 ( 図示せず ) を形成する。そして、シード層を給電層に利用した電解めっき法により、レジスト層の開口部に銅 ( C u ) 等からなる配線層 ( 図示せず ) を形成する。続いて、レジスト層を除去した後に、配線層をマスクにして、配線層に覆われていない部分のシード層をエッチングにより除去する。これにより、第 1 ピアホール 3 2 x の側壁及び第 1 配線層 3 1 の上面に形成された第 1 ピア配線、第 2 ピアホール 3 2 y 内に充填された第 2 ピア配線、及び第 1 絶縁層 3 2 上に形成された配線パターンを含む第 2 配線層 3 3 が形成される。

20

## 【 0 0 5 9 】

次に、図 1 1 に示す工程では、上記と同様な工程を繰り返すことにより、第 1 絶縁層 3 2 上に、第 2 絶縁層 3 4、第 3 配線層 3 5 を積層する。すなわち、第 1 絶縁層 3 2 上に第 2 配線層 3 3 を被覆する第 2 絶縁層 3 4 を形成した後に、第 2 絶縁層 3 4 を貫通し第 2 配線層 3 3 の上面を露出する第 3 ピアホール 3 4 x を形成する。第 2 絶縁層 3 4 の材料としては、第 1 絶縁層 3 2 と同様の絶縁性樹脂を用いることができる。第 2 絶縁層 3 4 の厚さは、例えば 1 5 ~ 3 5  $\mu$  m 程度とすることができる。第 2 絶縁層 3 4 は、シリカ ( S i O<sub>2</sub> ) 等のフィラーを含有しても構わない。

30

## 【 0 0 6 0 】

更に、第 2 絶縁層 3 4 上に、第 3 ピアホール 3 4 x を介して第 2 配線層 3 3 に接続される第 3 配線層 3 5 を形成する。第 3 配線層 3 5 は、第 3 ピアホール 3 4 x 内を充填するピア配線、及び第 2 絶縁層 3 4 上に形成された配線パターンを含んで構成されている。第 3 配線層 3 5 は、第 3 ピアホール 3 4 x の底部に露出した第 2 配線層 3 3 と電氣的に接続される。第 3 配線層 3 5 の材料としては、例えば銅 ( C u ) 等を用いることができる。第 3 配線層 3 5 は、例えばセミアディティブ法により形成される。第 3 配線層 3 5 を構成する配線パターンの厚さは、例えば 1 0 ~ 2 0  $\mu$  m 程度とすることができる。

40

## 【 0 0 6 1 】

次に、図 1 2 に示す工程では、第 2 絶縁層 3 4 上に、第 3 絶縁層 3 6 を積層する。第 3 絶縁層 3 6 は、ガラスクロス 4 0 に例えばエポキシ系樹脂を主成分とする絶縁性樹脂等を含浸させたものである。第 3 絶縁層 3 6 の厚さは、例えば 5 0 ~ 7 0  $\mu$  m 程度とすることができる。第 3 絶縁層 3 6 は、シリカ ( S i O<sub>2</sub> ) 等のフィラーを含有しても構わない。第 3 絶縁層 3 6 は、ガラスクロス 4 0 に例えばエポキシ系樹脂を主成分とする絶縁性樹脂等を含浸させた樹脂フィルム ( プリプレグ ) を準備し、第 3 配線層 3 5 を覆うように第 2 絶縁層 3 4 上に積層し、加圧及び加熱して樹脂を硬化させることにより形成できる。この

50

際、真空雰囲気中で加圧及び加熱することにより、ボイドの巻き込みを防止できる。

【 0 0 6 2 】

次に、図 1 3 に示す工程では、第 3 絶縁層 3 6 上に、第 4 配線層 3 7 を積層する。すなわち、第 3 絶縁層 3 6 を貫通し第 3 配線層 3 5 の上面を露出する第 4 ピアホール 3 6 x を形成し、第 3 絶縁層 3 6 上に、第 4 ピアホール 3 6 x を介して第 3 配線層 3 5 に接続される第 4 配線層 3 7 を形成する。第 4 配線層 3 7 は、第 4 ピアホール 3 6 x 内を充填するビア配線、及び第 3 絶縁層 3 6 上に形成された配線パターンを含んで構成されている。第 4 配線層 3 7 は、第 4 ピアホール 3 6 x の底部に露出した第 3 配線層 3 5 と電氣的に接続される。第 4 配線層 3 7 の材料としては、例えば銅 ( C u ) 等を用いることができる。第 4 配線層 3 7 は、例えばセミアディティブ法により形成される。第 4 配線層 3 7 を構成する配線パターンの厚さは、例えば 1 0 ~ 2 0  $\mu$  m 程度とすることができる。

10

【 0 0 6 3 】

このようにして、支持体 5 1 の一方の面に所定のビルドアップ配線層が形成される。本実施の形態では、3 層のビルドアップ配線層 ( 第 2 配線層 3 3 、第 3 配線層 3 5 、及び第 4 配線層 3 7 ) を形成したが、n 層 ( n は 1 以上の整数 ) のビルドアップ配線層を形成してもよい。

【 0 0 6 4 】

次に、図 1 4 に示す工程では、第 3 絶縁層 3 6 上に、第 4 配線層 3 7 の一部を露出する開口部 3 8 x を有するソルダーレジスト層 3 8 を形成する。ソルダーレジスト層 3 8 は、例えば液状又はペースト状の感光性のエポキシ系やアクリル系の絶縁性樹脂を、第 4 配線層 3 7 を被覆するように第 3 絶縁層 3 6 上にスクリーン印刷法、ロールコート法、又は、スピコート法等で塗布することにより形成できる。或いは、例えばフィルム状の感光性のエポキシ系やアクリル系の絶縁性樹脂を、第 4 配線層 3 7 を被覆するように第 3 絶縁層 3 6 上にラミネートすることにより形成してもよい。

20

【 0 0 6 5 】

開口部 3 8 x は、塗布又はラミネートした絶縁性樹脂を露光及び現像することすることにより形成できる ( フォトリソグラフィ法 ) 。予め開口部 3 8 x を形成したフィルム状の絶縁性樹脂を、第 4 配線層 3 7 を被覆するように第 3 絶縁層 3 6 上にラミネートしても構わない。なお、ソルダーレジスト層 3 8 の材料として、非感光性の絶縁性樹脂を用いてもよい。この場合には、第 3 絶縁層 3 6 上にソルダーレジスト層 3 8 を形成して硬化させた後、例えば C O <sub>2</sub> レーザ等を用いたレーザ加工法や、アルミナ砥粒等の研磨剤を用いたブラスト処理により開口部 3 8 x を形成すればよい。

30

【 0 0 6 6 】

図 1 4 に示す工程により、開口部 3 8 x を有するソルダーレジスト層 3 8 が形成され、第 4 配線層 3 7 の一部が開口部 3 8 x 内に露出する。必要に応じ、開口部 3 8 x の底部に露出する第 4 配線層 3 7 上に、例えば無電解めっき法等により金属層を形成してもよい。金属層の例としては、A u 層や、N i / A u 層 ( N i 層と A u 層をこの順番で積層した金属層 ) 、N i / P d / A u 層 ( N i 層と P d 層と A u 層をこの順番で積層した金属層 ) 等を挙げることができる。

【 0 0 6 7 】

次に、図 1 5 に示す工程では、図 1 4 に示す支持体 5 1 を除去する。銅箔から構成されている支持体 5 1 は、例えば塩化第二鉄水溶液や塩化第二銅水溶液、過硫酸アンモニウム水溶液、塩化アンモニウム銅水溶液、過酸化水素水・硫酸系のエッチング液等を用いたウェットエッチングにより除去できる。この際、第 1 絶縁層 3 2 から露出する第 1 配線層 3 1 の最表層は金 ( A u ) 膜等であり、第 1 絶縁層 3 2 から露出する半導体チップ 2 0 の裏面はシリコンであるため、銅箔から構成されている支持体 5 1 のみを選択的にエッチングできる。但し、第 4 配線層 3 7 が銅 ( C u ) から構成されている場合には、開口部 3 8 x の底部に露出する第 4 配線層 3 7 が支持体 5 1 とともにエッチングされることを防止するため、第 4 配線層 3 7 をマスクする必要がある。

40

【 0 0 6 8 】

50

次に、図 16 に示す工程では、開口部 38x の底部に露出する第 4 配線層 37 上に（第 4 配線層 37 上に金属層が形成されている場合には、金属層の上に）外部接続端子 39 を形成する。外部接続端子 39 は、マザーボード等の実装基板や他の半導体パッケージ等（図示せず）に設けられたパッドと電氣的に接続される端子として機能する。外部接続端子 39 としては、例えば、はんだボール等を用いることができる。はんだボールの材料としては、例えば Pb を含む合金、Sn と Cu の合金、Sn と Sb の合金、Sn と Ag の合金、Sn と Ag と Cu の合金等を用いることができる。

#### 【0069】

外部接続端子 39 は、例えば開口部 38x の底部に露出する第 4 配線層 37 上に（第 4 配線層 37 上に金属層が形成されている場合には、金属層の上に）、表面処理剤としての  
10 フラックスを塗布した後、はんだボールを搭載し、240 ~ 260 程度の温度でリフローし、その後、表面を洗浄してフラックスを除去することにより形成できる。なお、外部接続端子 39 として、リードピン等を用いても構わない。

#### 【0070】

但し、本実施の形態では外部接続端子 39 を形成しているが、外部接続端子 39 は必ずしも形成する必要はない。外部接続端子 39 を形成しない場合には、開口部 38x の底部に露出する第 4 配線層 37（第 4 配線層 37 上に金属層が形成されている場合には、金属層）自体が外部接続端子となる。このように、必要なときに外部接続端子 39 を形成できるように第 4 配線層 37 の一部がソルダーレジスト層 38 から露出していれば十分である。  
20

#### 【0071】

なお、図 3 ~ 図 16 では、支持体 51 上に 1 個の半導体パッケージ 10 を作製する例を示したが、支持体 51 上に複数の半導体パッケージ 10 となる部材を作製し、支持体 51 を除去して外部接続端子 39 を形成後、それをダイシング等によって切断して個片化し、複数の半導体パッケージ 10 を得るような工程としても構わない。又、個片化の際に、複数の半導体チップ 20 を有するように切断しても構わない。その場合には、複数の半導体チップ 20 を有する半導体パッケージが作製される。

#### 【0072】

[ 第 1 の実施の形態に係る半導体パッケージの実装例 ]

次に、第 1 の実施の形態に係る半導体パッケージの実装例について説明する。図 17 は、第 1 の実施の形態に係る半導体パッケージの実装例を示す断面図である。図 17 を参照するに、マザーボード 100 上に半導体パッケージ 10<sub>1</sub> が実装され、更に半導体パッケージ 10<sub>1</sub> 上に半導体パッケージ 10<sub>2</sub> が実装されている。なお、図 17 では、便宜上、半導体パッケージ 10<sub>1</sub> 及び 10<sub>2</sub> は別符号としているが、何れも半導体パッケージ 10（図 1 参照）と同一構造の半導体パッケージである。又、図 17 において、半導体パッケージ 10<sub>1</sub> 及び 10<sub>2</sub> は、図 1 に示す半導体パッケージ 10 とは上下が反転した状態で描かれている。  
30

#### 【0073】

図 17 において、マザーボード 100 の電極パッド 110 と半導体パッケージ 10<sub>1</sub> の第 2 電極パッド 37 とは、半導体パッケージ 10<sub>1</sub> の外部接続端子 39 を介して、電氣的に接続されている。又、半導体パッケージ 10<sub>1</sub> の第 1 電極パッド 31 と半導体パッケージ 10<sub>2</sub> の第 2 電極パッド 37 とは、半導体パッケージ 10<sub>2</sub> の外部接続端子 39 を介して、電氣的に接続されている。  
40

#### 【0074】

このように、マザーボード 100 上に、半導体パッケージ 10<sub>1</sub> 及び 10<sub>2</sub> を積層することができる。なお、半導体パッケージ 10 を 3 個以上積層してもよい。又、半導体パッケージ 10<sub>2</sub> に代えて、或いは、半導体パッケージ 10<sub>2</sub> に加えて、他の半導体パッケージや半導体チップ、抵抗やコンデンサ等の電子部品を半導体パッケージ 10<sub>1</sub> に実装してもよい。

#### 【0075】

以上のように、第1の実施の形態によれば、半導体パッケージ10において、半導体チップ20を内蔵した第1絶縁層32の他方の側にガラスクロス40を内蔵する第3絶縁層36を設けた。これにより、第3絶縁層36が絶縁性樹脂のみから構成される場合に比べて、他方の側の物性値（熱膨張係数やヤング率）を半導体チップ20を内蔵する第1絶縁層32側（一方の側）の物性値に近づけることができる。又、第3絶縁層36が絶縁性樹脂のみから構成される場合と異なり、ガラスクロス40を内蔵する第3絶縁層36は260程度の環境下にあっても強度を保持できる。その結果、半導体パッケージ10が熱応力等により反ることを防止できる。又、半導体パッケージ10全体の剛性を向上することが可能となり、特に260程度の環境下にあっても半導体パッケージ10の形状を安定化できる。

10

#### 【0076】

##### 第1の実施の形態の変形例1

第1の実施の形態の変形例1では、第1絶縁層32（封止絶縁層）から最も遠い絶縁層にあたるソルダーレジスト層に、ガラスクロス40を内蔵する例を示す。なお、第1の実施の形態の変形例1において、既に説明した実施の形態と同一構成部品についての説明は省略する。

#### 【0077】

図18は、第1の実施の形態の変形例1に係る半導体パッケージを例示する断面図である。図18を参照するに、半導体パッケージ10Aは、第3絶縁層36が第3絶縁層46に置換され、ソルダーレジスト層38がソルダーレジスト層48に置換された点が、半導体パッケージ10（図1参照）と相違する。

20

#### 【0078】

第3絶縁層46は、第3絶縁層36とは異なり、ガラスクロス40を内蔵していない。第3絶縁層46の材料としては、例えばエポキシ系樹脂やフェノール系樹脂等を主成分とする熱硬化性の絶縁性樹脂を用いることができる。第3絶縁層46の厚さは、例えば15～35μm程度とすることができる。第3絶縁層46は、シリカ（SiO<sub>2</sub>）等のフィラーを含有しても構わない。

#### 【0079】

ソルダーレジスト層48は、ソルダーレジスト層38とは異なり、ガラスクロス40を内蔵している。より詳しくは、ソルダーレジスト層48は、ガラスクロス40に例えばエポキシ系樹脂を主成分とする絶縁性樹脂等を含浸させたものである。ソルダーレジスト層48の厚さは、例えば50～70μm程度とすることができる。ソルダーレジスト層48は、シリカ（SiO<sub>2</sub>）等のフィラーを含有しても構わない。

30

#### 【0080】

半導体パッケージ10Aは、半導体パッケージ10と略同様の製造工程により作製できる。但し、図12に示す工程において、ガラスクロス40を内蔵していない第3絶縁層46を形成し、図14に示す工程において、ガラスクロス40を内蔵しているソルダーレジスト層48を形成する点が相違する。なお、図14に示す工程において、フォトリソグラフィ法を用いて開口部48xを形成すると、絶縁性樹脂は除去できるがガラスクロス40は除去できない。

40

#### 【0081】

そこで、絶縁性樹脂と共にガラスクロス40を除去するため、例えばCO<sub>2</sub>レーザ等を用いたレーザ加工法や、アルミナ砥粒等の研磨剤を用いたウェットブラスト処理等のブラスト処理により開口部48xを形成する必要がある。但し、レーザ加工法よりもブラスト処理により開口部48xを形成する方が好適である。これに関して、図19を参照しながら説明する。図19は、図18の開口部近傍を拡大して例示する断面図である（ブラスト処理により開口部48xを形成した場合の図）。なお、図19において、外部接続端子39は省略されている。

#### 【0082】

ソルダーレジスト層48にレーザ加工法で形成した開口部は、側壁の断面が直線的なテ

50

ーパ形状になる（図示せず）。これに対して、ソルダーレジスト層 48 にウェットブラスト処理等のブラスト処理により形成した開口部 48x は、図 19 に示すように、側壁の断面が凹型 R 形状となる。よって、外部接続端子 39 を形成する際に、振り込み法によりはんだボールを開口部 48x 内に露出する第 2 電極パッド 37 に搭載する場合、開口部 48x の凹型 R 形状の壁面に沿って球状のはんだボールが振り込まれるため、はんだボールを搭載しやすくなる。

【0083】

又、開口部 48x をレーザ加工法で形成すると、ソルダーレジスト層 48 を構成する絶縁性樹脂とガラスクロス 40 とのエッチングレートの違いにより、開口部 48x の側壁からガラスクロス 40 の端部が突出する。これに対して、開口部 48x をウェットブラスト処理等のブラスト処理により形成すると、ガラスクロス 40 の端部も研磨剤により研磨されるため、開口部 48x の側壁からガラスクロス 40 の端部が突出することはない。その結果、はんだボール等の外部接続端子 39 を形成する際に、はんだボール等がガラスクロス 40 の突出部分に引っかからず、開口部 48x にはんだボール等を搭載しやすくなる。又、開口部 48x 内に露出する第 4 配線層 37（第 2 電極パッド 37）上に容易にめっきを施すことができる。

【0084】

更に、ソルダーレジスト層 48 にウェットブラスト処理等のブラスト処理により開口部 48x を形成する際には、側壁の断面が凹型 R 形状の開口部 48x を形成すると共に、開口部 48x 内に露出する最上層の配線層である第 4 配線層 37（第 2 電極パッド 37）に、凹型 R 形状と連続した凹部 37x を形成すると好適である。凹部 37x を形成することにより、開口部 48x を形成後の開口部 48x 内のデスミア処理は不要となる。

【0085】

このように、第 3 絶縁層 46 にガラスクロス 40 を内蔵せずに、ソルダーレジスト層 48 にガラスクロス 40 を内蔵しても、第 1 の実施の形態と同様の効果を奏する。

【0086】

つまり、ガラスクロス 40 は、半導体チップ 20 を内蔵する第 1 絶縁層 32 の他方の側に設けることが重要であり、第 1 絶縁層 32 から最も遠い絶縁層（ソルダーレジスト層）にガラスクロス 40 を内蔵してもよいし、第 1 絶縁層 32 から最も遠い絶縁層（ソルダーレジスト層）に隣接する絶縁層（第 3 絶縁層）にガラスクロス 40 を内蔵してもよい。但し、これらの両方の絶縁層にガラスクロス 40 を内蔵してもよいし、更に、他の絶縁層にガラスクロス 40 を内蔵してもよい。なお、第 1 絶縁層 32 に近い絶縁層のみにガラスクロス 40 を内蔵すると、反り低減等の効果は低下する。

【0087】

又、ソルダーレジスト層 48 にウェットブラスト処理等のブラスト処理により開口部 48x を形成することにより、ガラスクロス 40 の端部が開口部 48x の側壁から突出しないため、開口部 48x 内に露出する第 4 配線層 37（第 2 電極パッド 37）上に容易にめっきを施すことができ、又、開口部 48x に容易に接続用のピンやはんだボール、リードピン等の外部接続端子 39 を配置できる。

【0088】

第 1 の実施の形態の変形例 2

第 1 の実施の形態の変形例 2 では、第 1 電極パッド 31 を設けない例を示す。なお、第 1 の実施の形態の変形例 2 において、既に説明した実施の形態と同一構成部品についての説明は省略する。

【0089】

図 20 は、第 1 の実施の形態の変形例 2 に係る半導体パッケージを例示する断面図である。図 20 を参照するに、半導体パッケージ 10B は、第 1 配線層 31（第 1 電極パッド 31）及び第 1 ピアホール 32x が設けられていない点が、半導体パッケージ 10（図 1 参照）と相違する。半導体パッケージ 10B は、半導体パッケージ 10 と略同様の製造工程により作製できる。但し、第 1 配線層 31（第 1 電極パッド 31）及び第 1 ピアホール

10

20

30

40

50

3 2 x を設ける工程は不要である。このように、電極パッドは、半導体パッケージの少なくとも一方の側に設ければよい。

【 0 0 9 0 】

図 2 1 は、第 1 の実施の形態の変形例 2 に係る半導体パッケージの実装例を示す断面図である。図 2 1 を参照するに、マザーボード 1 0 0 上に半導体パッケージ 1 0 B が実装されている。より詳しくは、マザーボード 1 0 0 の電極パッド 1 1 0 と半導体パッケージ 1 0 B の第 2 電極パッド 3 7 とは、半導体パッケージ 1 0 B の外部接続端子 3 9 を介して、電氣的に接続されている。なお、図 2 1 において、半導体パッケージ 1 0 B は、図 2 0 とは上下が反転した状態で描かれている。

【 0 0 9 1 】

このように、マザーボード 1 0 0 上に、複数の半導体パッケージを積層する必要がない場合には、半導体パッケージ 1 0 B のように、電極パッドを一方の側のみに設ければよい。

【 0 0 9 2 】

第 1 の実施の形態の変形例 3

第 1 の実施の形態の変形例 3 では、第 1 電極パッド 3 1 を第 1 絶縁層 3 2 の下面より窪んだ位置に設ける例を示す。なお、第 1 の実施の形態の変形例 3 において、既に説明した実施の形態と同一構成部品についての説明は省略する。

【 0 0 9 3 】

図 2 2 は、第 1 の実施の形態の変形例 3 に係る半導体パッケージを例示する断面図である。図 2 2 を参照するに、半導体パッケージ 1 0 C は、第 1 配線層 3 1 ( 第 1 電極パッド 3 1 ) が第 1 絶縁層 3 2 の下面より窪んだ位置に設けられている ( 凹部 3 2 z が形成されている ) 点、半導体パッケージ 1 0 ( 図 1 参照 ) と相違する。

【 0 0 9 4 】

半導体パッケージ 1 0 C は、以下のような製造工程により作製できる。まず、第 1 の実施の形態の図 3 及び図 4 と同様の工程を実施した後、図 2 3 に示す工程で、支持体 5 1 をめっき給電層に利用する電解めっき法等により、支持体 5 1 の一方の面の開口部 5 2 x 内に、犠牲層 5 3 を形成する。そして、犠牲層 5 3 上に、図 5 に示す工程と同様にして、第 1 層 3 1 a 及び第 2 層 3 1 b から構成される第 1 配線層 3 1 を積層形成する。

【 0 0 9 5 】

犠牲層 5 3 の材料は、支持体 5 1 と同一材料とする。後述の図 2 5 に示す工程で、支持体 5 1 と共にエッチングにより除去するためである。ここでは、支持体 5 1 として銅箔を用いているため、犠牲層 5 3 の材料として銅 ( C u ) を用いる。犠牲層 5 3 の厚さは、最終的に第 1 電極パッド 3 1 が第 1 絶縁層 3 2 の下面より窪む深さ ( 凹部 3 2 z の深さ ) に相当する。従って、犠牲層 5 3 の厚さは適宜決定することができるが、例えば 1 ~ 3 0 μ m 程度とすることができる。

【 0 0 9 6 】

次に、第 1 の実施の形態の図 6 ~ 図 1 4 と同様の工程を実施し、図 2 4 に示す構造体を作製する。そして、図 2 5 に示す工程で、図 2 4 に示す支持体 5 1 及び犠牲層 5 3 を除去する。銅から構成されている支持体 5 1 及び犠牲層 5 3 は、例えば塩化第二鉄水溶液や塩化第二銅水溶液、過硫酸アンモニウム水溶液、塩化アンモニウム銅水溶液、過酸化水素水・硫酸系のエッチング液等を用いたウェットエッチングにより除去できる。

【 0 0 9 7 】

この際、第 1 絶縁層 3 2 の下面から窪んだ位置にある第 1 配線層 3 1 の最表層は金 ( A u ) 膜等であり、第 1 絶縁層 3 2 から露出する半導体チップ 2 0 の裏面はシリコンであるため、銅から構成されている支持体 5 1 及び犠牲層 5 3 のみを選択的にエッチングできる。これにより、凹部 3 2 z が形成されて、第 1 配線層 3 1 は第 1 絶縁層 3 2 の下面から窪んだ位置に露出する。但し、第 4 配線層 3 7 が銅 ( C u ) から構成されている場合には、開口部 3 8 x の底部に露出する第 4 配線層 3 7 が支持体 5 1 とともにエッチングされることを防止するため、第 4 配線層 3 7 をマスクする必要がある。

10

20

30

40

50



## 【0098】

次に、第1の実施の形態の図16と同様の工程を実施することにより、図22に示す半導体パッケージ10Cが完成する。

## 【0099】

図26は、第1の実施の形態の変形例3に係る半導体パッケージの実装例を示す断面図である。図26を参照するに、マザーボード100上に半導体パッケージ10C<sub>1</sub>が実装され、更に半導体パッケージ10C<sub>1</sub>上に半導体パッケージ10C<sub>2</sub>が実装されている。なお、図26では、便宜上、半導体パッケージ10C<sub>1</sub>及び10C<sub>2</sub>は別符号としているが、何れも半導体パッケージ10C（図22参照）と同一構造の半導体パッケージである。又、図26において、半導体パッケージ10C<sub>1</sub>及び10C<sub>2</sub>は、図22に示す半導体パッケージ10Cとは上下が反転した状態で描かれている。

10

## 【0100】

図26において、マザーボード100の電極パッド110と半導体パッケージ10C<sub>1</sub>の第2電極パッド37とは、半導体パッケージ10C<sub>1</sub>の外部接続端子39を介して、電氣的に接続されている。又、半導体パッケージ10C<sub>1</sub>の第1電極パッド31と半導体パッケージ10C<sub>2</sub>の第2電極パッド37とは、半導体パッケージ10C<sub>2</sub>の外部接続端子39を介して、電氣的に接続されている。

## 【0101】

半導体パッケージ10C<sub>1</sub>上に半導体パッケージ10C<sub>2</sub>を実装する際に、半導体パッケージ10C<sub>2</sub>の外部接続端子39が半導体パッケージ10C<sub>1</sub>の凹部32z内に入り込むため、半導体パッケージ10C<sub>1</sub>に対する半導体パッケージ10C<sub>2</sub>の位置決めが容易となる。

20

## 【0102】

このように、マザーボード100上に、半導体パッケージ10C<sub>1</sub>及び10C<sub>2</sub>を積層することができる。なお、半導体パッケージ10Cを3個以上積層してもよい。又、半導体パッケージ10C<sub>2</sub>に代えて、或いは、半導体パッケージ10C<sub>2</sub>に加えて、他の半導体パッケージや半導体チップ、抵抗やコンデンサ等の電子部品を半導体パッケージ10C<sub>1</sub>に実装してもよい。

## 【0103】

以上のように、第1の実施の形態の変形例3によれば、第1の実施の形態と同様の効果を奏するが、更に、以下の効果を奏する。すなわち、第1電極パッド31を第1絶縁層32の下面より窪んだ位置に設けることにより、半導体パッケージ10Cを積層する際の位置決めが容易となる。

30

## 【0104】

## 反りのシミュレーション

図1において第2配線層33と第2絶縁層34との間に、更に絶縁層と配線層を交互に3層ずつ挿入した、全部で7つの配線層及び7つの絶縁層（1つのソルダーレジスト層を含む）を有する半導体パッケージ（便宜上、半導体パッケージ10Dとする）について、反りのシミュレーションを実行した。

## 【0105】

シミュレーション条件としては、半導体パッケージ10Dの平面形状を12mm×12mmの矩形形状とし、半導体パッケージ10Dの総厚を500μmとした。又、第1絶縁層32に内蔵された半導体チップ20の平面形状を8mm×8mmの矩形形状とし、半導体チップ20の総厚を90μmとした。又、半導体チップ20の材料をシリコン、各絶縁層の材料をエポキシ系樹脂、各配線層の材料を銅（Cu）とした。又、ガラスクロス40としては、IPC#1015タイプのガラスクロスを用いた。

40

## 【0106】

又、便宜上、下層側から、第1配線層31を0層、第2配線層33を1層、新たに挿入された3つの配線層をそれぞれ2層、3層、4層、第3配線層35を5層、第4配線層37を6層と称する。

50

## 【 0 1 0 7 】

又、0層と1層に挟持された絶縁層をL 0 1、1層と2層に挟持された絶縁層をL 1 2、2層と3層に挟持された絶縁層をL 2 3、3層と4層に挟持された絶縁層をL 3 4、4層と5層に挟持された絶縁層をL 4 5、5層と6層に挟持された絶縁層をL 5 6、6層を覆う絶縁層をS Rと称する。つまり、L 0 1は第1絶縁層3 2、L 1 2、L 2 3、L 3 4は新たに挿入された3つの絶縁層、L 4 5は第2絶縁層3 4、L 5 6は第3絶縁層3 6、S Rはソルダーレジスト層3 8である。

## 【 0 1 0 8 】

シミュレーションでは、まず、7つの絶縁層(L 0 1～L 5 6及びS R)の何れにもガラスクロス40を内蔵していない状態(図2 7等で初期と表示)について、2 5及び2 6 0における反りを求めた。次に、S Rのみにガラスクロス40を内蔵した状態(図2 7等でS Rと表示)、S R及びL 5 6にそれぞれガラスクロス40を内蔵した状態(図2 7等で+ L 5 6と表示)、S R、L 5 6、及びL 4 5にそれぞれガラスクロス40を内蔵した状態(図2 7等で+ L 4 5と表示)、S R、L 5 6、L 4 5、及びL 3 4にそれぞれガラスクロス40を内蔵した状態(図2 7等で+ L 3 4と表示)、S R、L 5 6、L 4 5、L 3 4、及びL 2 3にそれぞれガラスクロス40を内蔵した状態(図2 7等で+ L 2 3と表示)、S R、L 5 6、L 4 5、L 3 4、L 2 3、及びL 1 2にそれぞれガラスクロス40を内蔵した状態(図2 7等で+ L 1 2と表示)、のそれぞれについて、2 5及び2 6 0における初期に対する相対的な反りを求めた。

## 【 0 1 0 9 】

シミュレーション結果を表1、図2 7、及び図2 8に示す。表1及び図2 7は、2 5及び2 6 0における初期の反りをそれぞれ1とした場合の、上記各状態における反りの相対値を示している。図2 8は、上記各状態における反りの変化率を示している。

## 【 0 1 1 0 】

## 【表1】

	初期	SR	+L56	+L45	+L34	+L23	+L12
25℃	1.000	0.974	0.952	0.919	0.882	0.850	0.819
260℃	1.000	0.896	0.831	0.781	0.740	0.707	0.681

表1及び図2 7に示すように、ソルダーレジスト層3 8のみにガラスクロス40を内蔵させると(S R)、2 5(室温)における半導体パッケージ1 0 Dの反りは3 %程度減少し、2 6 0(高温)における半導体パッケージ1 0 Dの反りは1 0 %程度減少する。又、ガラスクロス40を内蔵する層が増加すると、半導体パッケージ1 0 Dの反りが更に減少する。又、図2 8に示すように、ガラスクロス40を内蔵する層が増加すると、2 5(室温)の反りは同程度の割合で減少し続けるが、2 6 0(高温)の反りはソルダーレジスト層3 8に近い層にガラスクロス40を内蔵する方が反りの減少率が大い。つまり、ソルダーレジスト層3 8に近い層にガラスクロス40を内蔵する方が反りの減少に対する効果が高い。

## 【 0 1 1 1 】

以上のように、ソルダーレジスト層3 8や第3絶縁層3 6等にガラスクロス40を内蔵することにより、半導体パッケージ1 0 Dの反りを低減できることが確認された。

## 【 0 1 1 2 】

以上、好ましい実施の形態及びその変形例について詳説したが、上述した実施の形態及びその変形例に制限されることはなく、特許請求の範囲に記載された範囲を逸脱することなく、上述した実施の形態及びその変形例に種々の変形及び置換を加えることができる。

## 【 0 1 1 3 】

例えば、第 1 の実施の形態の変形例 1 に対して、更に、第 1 の実施の形態の変形例 2 や第 1 の実施の形態の変形例 3 と同様な変形を加えてもよい。

## 【 符号の説明 】

## 【 0 1 1 4 】

1 0、1 0<sub>1</sub>、1 0<sub>2</sub>、1 0 A、1 0 B、1 0 C、1 0 C<sub>1</sub>、1 0 C<sub>2</sub> 半導体パッケージ

2 0 半導体チップ

2 1 半導体基板

2 2 電極パッド

10

2 3 突起電極

3 1 第 1 配線層

3 1 a 第 1 層

3 1 b 第 2 層

3 2 第 1 絶縁層

3 2 x 第 1 ビアホール

3 2 y 第 2 ビアホール

3 2 z 凹部

3 3 第 2 配線層

3 4 第 2 絶縁層

20

3 4 x 第 3 ビアホール

3 5 第 3 配線層

3 6、4 6 第 3 絶縁層

3 6 x 第 4 ビアホール

3 7 第 4 配線層

3 7 x 凹部

3 8、4 8 ソルダレジスト層

3 8 x、4 8 x、5 2 x 開口部

3 9 外部接続端子

4 0 ガラスクロス

30

4 0 a、4 0 b ガラス繊維束

5 1 支持体

5 2 レジスト層

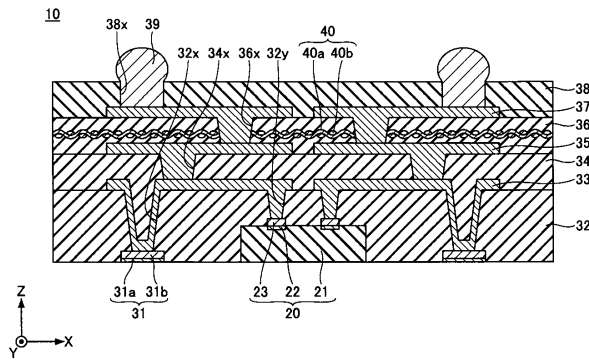
5 3 犠牲層

1 0 0 マザーボード

1 1 0 電極パッド

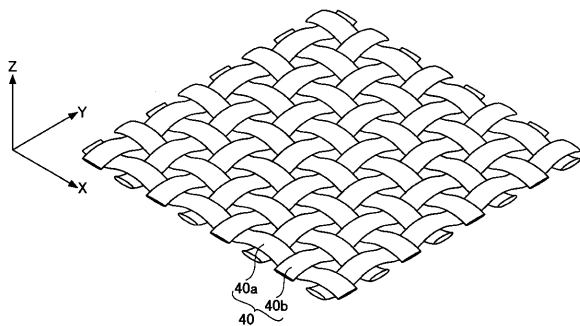
【図 1】

第1の実施の形態に係る半導体パッケージを例示する断面図



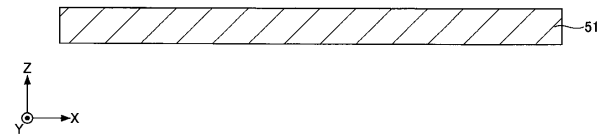
【図 2】

絶縁層に内蔵されるガラスクロスを示す斜視図



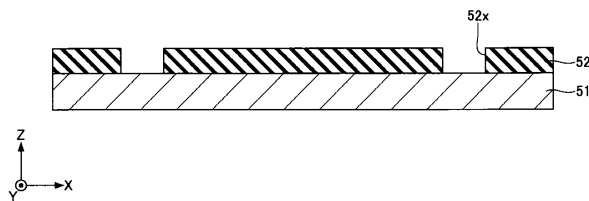
【図 3】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その1)



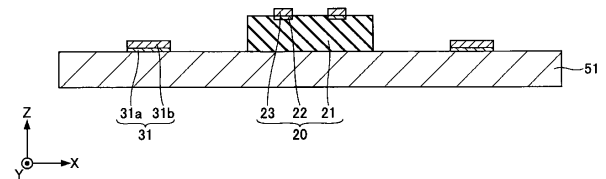
【図 4】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その2)



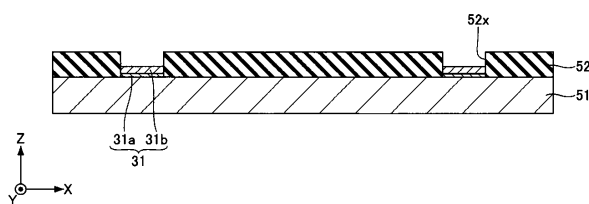
【図 6】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その4)



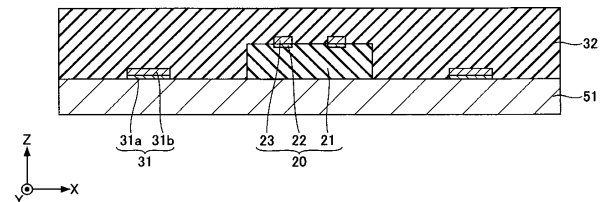
【図 5】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その3)



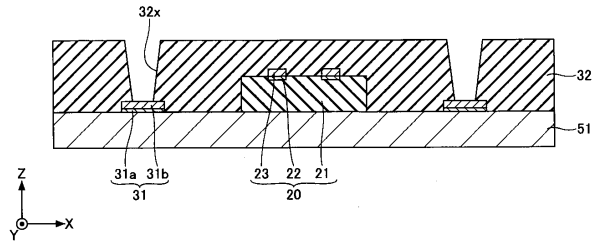
【図 7】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その5)



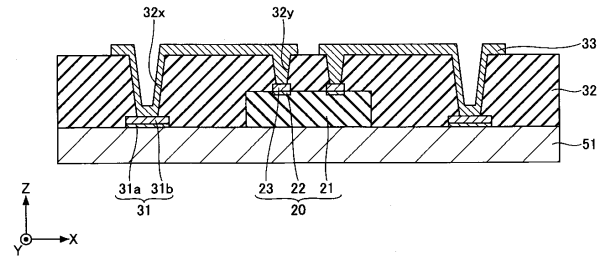
【図 8】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その6)



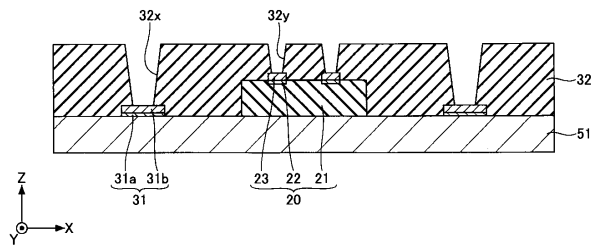
【図 10】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その8)



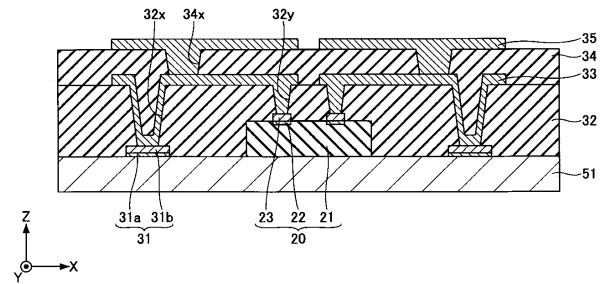
【図 9】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その7)



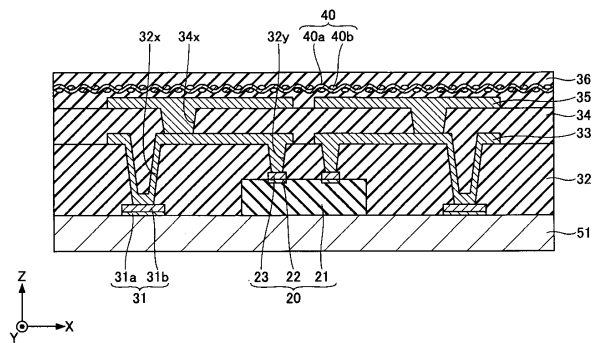
【図 11】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その9)



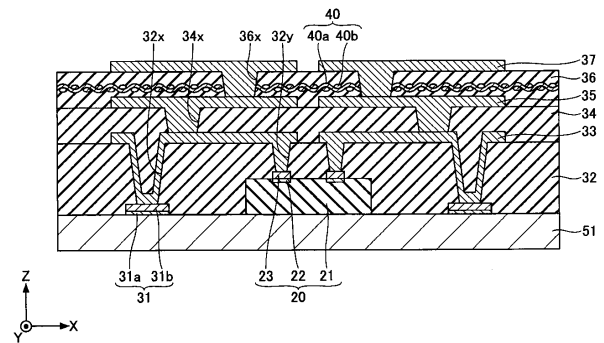
【図 12】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その10)



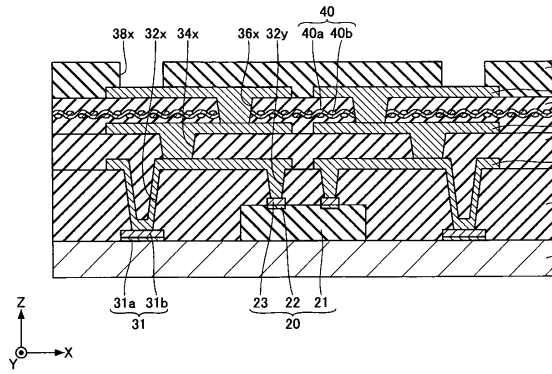
【図 13】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その11)



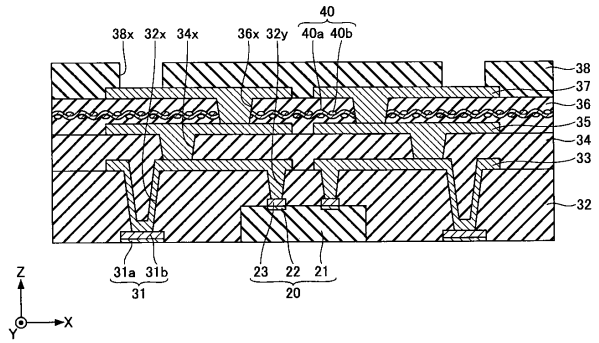
【図 14】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その12)



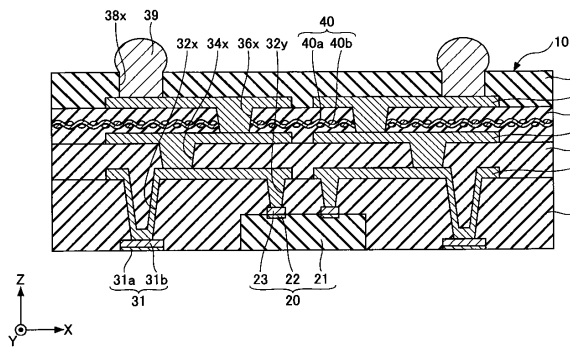
【図 15】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その13)



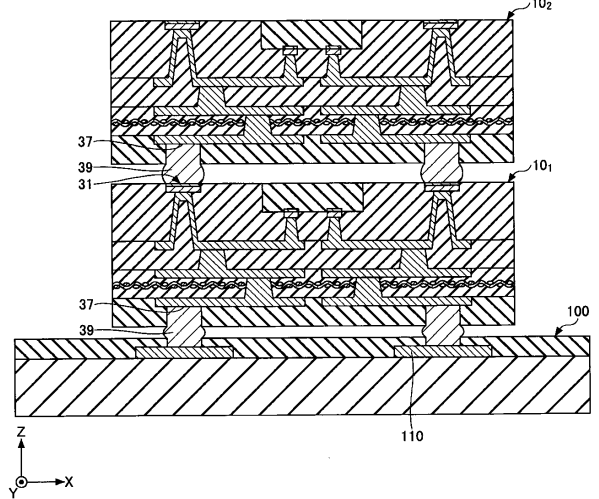
【図 16】

第1の実施の形態に係る半導体パッケージの製造工程を例示する図(その14)



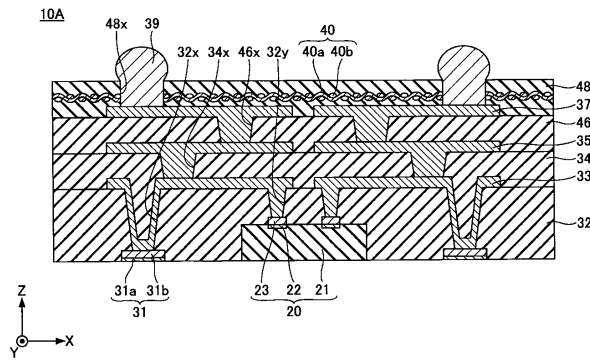
【図 17】

第1の実施の形態に係る半導体パッケージの実装例を示す断面図



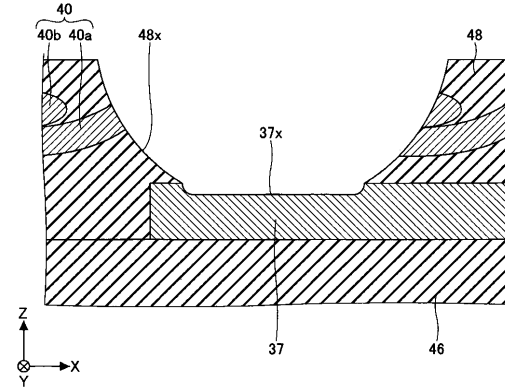
【 図 1 8 】

第1の実施の形態の変形例1に係る半導体パッケージを例示する断面図



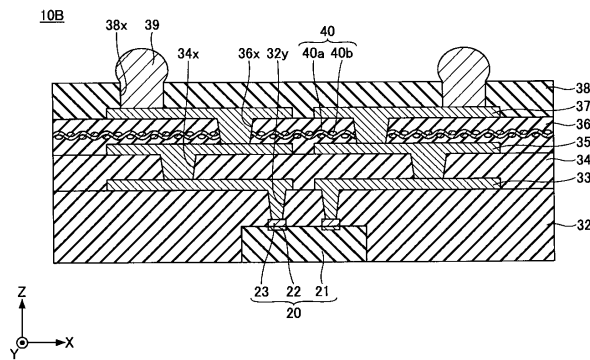
【 図 1 9 】

図18の開口部近傍を拡大して例示する断面図



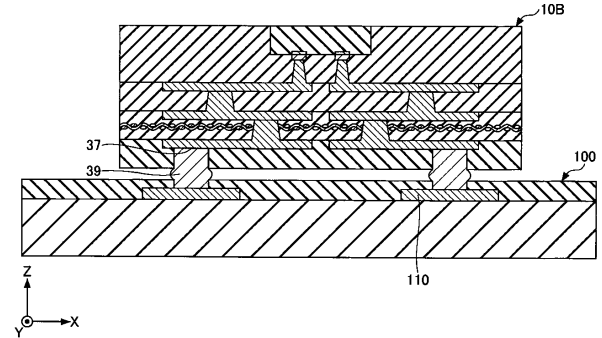
【 図 2 0 】

第1の実施の形態の変形例2に係る半導体パッケージを例示する断面図



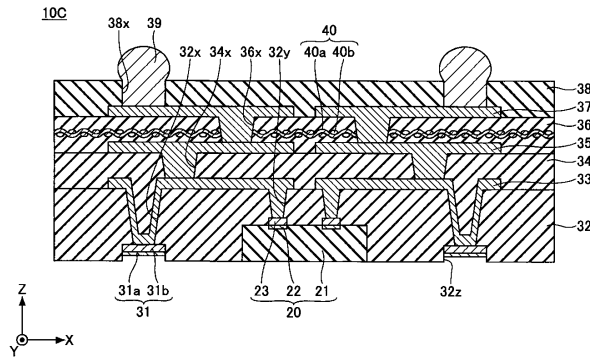
【 図 2 1 】

第1の実施の形態の変形例2に係る半導体パッケージの実装例を示す断面図



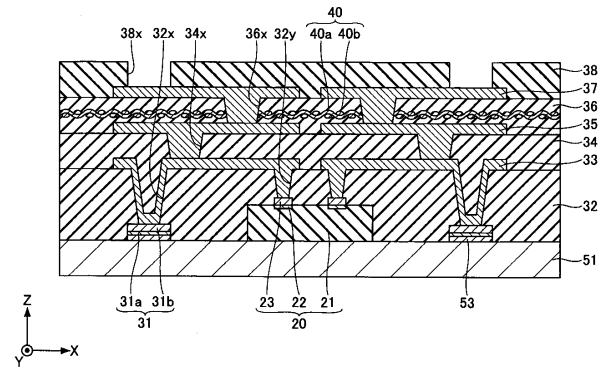
【図 2 2】

第1の実施の形態の変形例3に係る半導体パッケージを示す断面図



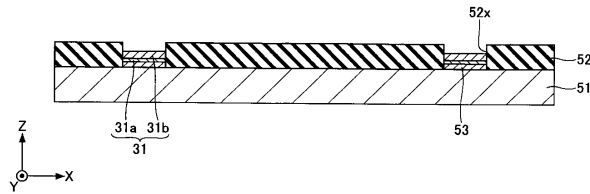
【図 2 4】

第1の実施の形態の変形例3に係る半導体パッケージの製造工程を示す図(その2)



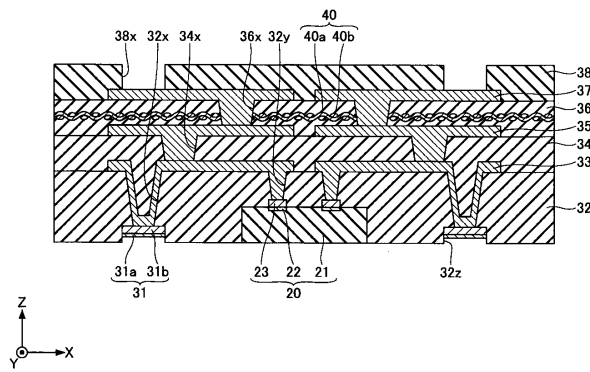
【図 2 3】

第1の実施の形態の変形例3に係る半導体パッケージの製造工程を示す図(その1)



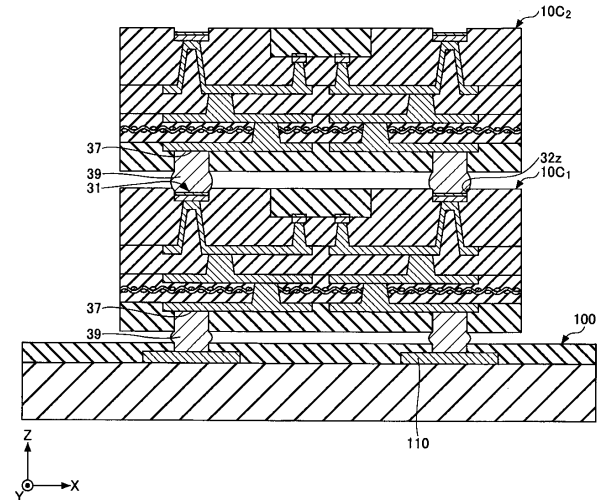
【図 2 5】

第1の実施の形態の変形例3に係る半導体パッケージの製造工程を示す図(その3)



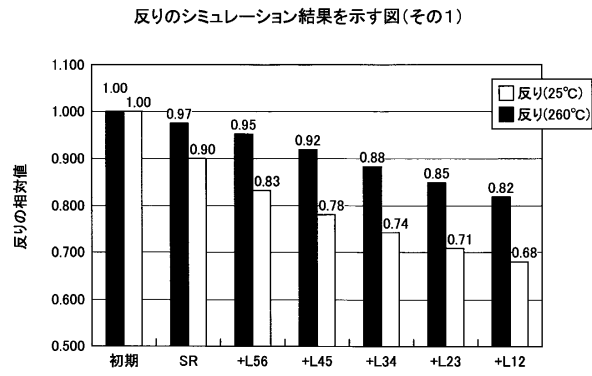
【図 2 6】

第1の実施の形態の変形例3に係る半導体パッケージの実装例を示す断面図

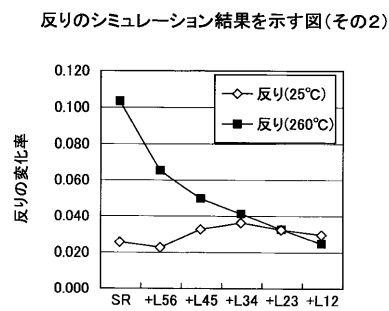




【図 27】



【図 28】



---

フロントページの続き

審査官 木下 直哉

- (56)参考文献 国際公開第2010/010911(WO, A1)  
特開2008-306071(JP, A)  
特開2009-224739(JP, A)  
特開2008-300854(JP, A)  
国際公開第2007/126090(WO, A1)  
国際公開第2010/010910(WO, A1)  
特開2008-257710(JP, A)  
特開2006-339412(JP, A)  
特開2005-332887(JP, A)

- (58)調査した分野(Int.Cl., DB名)  
H01L 23/12 - 23/15