

República Federativa do Brasil
Ministério do Desenvolvimento, Indústria
e do Comércio Exterior
Instituto Nacional da Propriedade Industrial.

(21) **PI0622269-2 A2**

(62) Data de Depósito do Pedido Original:

PI0622269 - 29/12/2006

(22) Data de Depósito: 29/12/2006

(43) Data da Publicação: 08/09/2010

(RPI 2070)



(51) *Int.Cl.:*

H04B 7/00

H04L 5/00

Notificação de Depósito de Pedido Dividido:

RPI 2070 de 08/09/2010

(54) Título: **APARELHO DE TRANSMISSÃO DE DIFUSÃO DIGITAL E MÉTODO DE TRANSMISSÃO DE UM APARELHO DE TRANSMISSÃO DE DIFUSÃO DIGITAL**

(30) Prioridade Unionista: 03/01/2006 US 60/755.150

(73) Titular(es): Samsung Electronics Co., Ltd.

(72) Inventor(es): Eui-jun Park, Hae-joo Jeong, Jin-hee Jeong, Jong-hun Kim, Joon-soo Kim, Jung-pil Yu, Kum-ran Ji, Yong-sik Kwon

(74) Procurador(es): Orlando de Souza

(86) Pedido Internacional: PCT KR2006005874 de 29/12/2006

(87) Publicação Internacional: WO 2007/078123 de 12/07/2007

(57) Resumo: APARELHO DE TRANSMISSÃO DE DIFUSÃO DIGITAL E MÉTODO DE TRANSMISSÃO DE UM APARELHO DE TRANSMISSÃO DE DIFUSÃO DIGITAL. Um sistema de transmissão de difusão digital processando o fluxo de transporte dual (TS) que inclui fluxos multi-turbo. O sistema de transmissão de difusão digital inclui um processador turbo para detectar um fluxo turbo de um fluxo de transporte dual (TS) que inclui um fluxo normal multiplexado e um fluxo turbo, codificar o fluxo turbo detectado e encher o fluxo turbo codificado dentro do TS dual; e um transmissor para codificar por treliça o TS dual processado, e emitir o fluxo resultante, em que o processador turbo codifica o fluxo turbo utilizando uma pluralidade de processadores turbo. Assim, uma pluralidade de fluxos turbo poderão ser processadas em paralelo.



APARELHO DE TRANSMISSÃO DE DIFUSÃO DIGITAL E MÉTODO DE
TRANSMISSÃO DE UM APARELHO DE TRANSMISSÃO DE DIFUSÃO
DIGITAL

"Dividido do PI 0620901-7, depositado em 29/12/2006"

5 CAMPO TÉCNICO

Um aspecto da presente invenção relaciona-se genericamente a um método de processar e transmitir robustamente um fluxo de transporte (TS) de sistema de transmissão de difusão digital, e de métodos de processamento de sinal do mesmo. Mais particularmente, um aspecto da presente invenção relaciona-se a um método de processar e transmitir robustamente o TS de difusão digital, os sistemas de transmissão e de recepção de difusão digital, que têm por meta o melhoramento do desempenho de recepção do esquema VSB ATSC, que é o sistema DTV terrestre dos Estados Unidos, através de um intercâmbio de informação e o mapeamento com relação a um TS dual incluindo um fluxo normal e o fluxo turbo.

HISTÓRICO DA TÉCNICA

O esquema de banda lateral vestigial (VSB) do Advanced Television System Committee (ATSC), que é o sistema de difusão digital terrestre utilizado nos Estados Unidos, emprega uma única portadora e um sinal sync de campo de 312 segmentos. Assim, o desempenho de recepção do sistema de difusão deteriora-se em um canal fraco, especificamente, em um canal de desvanecimento de doppler.

A Figura 1 é um diagrama de blocos de um transmissor e de um receptor de acordo com a norma DTV ATSC, que é o sistema de difusão digital terrestre típico dos Estados Unidos. O transmissor de difusão digital da Figura 1 é o sistema EVSB sugerido por Philips, e construído para gerar

e transmitir um fluxo dual em que dados robustos são acrescentados aos dados normais do sistema VSB ATSC existente.

Como é mostrado na Figura 1, o transmissor de difusão digital inclui um randomizador 11, que randomiza o fluxo dual, um codificador Reed-Solomon (RS) 12, que é um tipo de codificador concatenado para acrescentar um byte de paridade ao TS para corrigir erros que ocorrem devido às características de canal na transmissão, um entrelaçador 13, que entrelaça os dados codificados por RS em certo padrão, e um codificador de treliça 14, que codifica por treliça os dados entrelaçados a uma taxa de $2/3$ e mapeia para símbolos de 8 níveis. O transmissor de difusão digital realiza a codificação de correção de erro com relação ao fluxo dual.

O transmissor de difusão digital também inclui um multiplexador 15 e um modulador 16. O multiplexador 15 insere um sinal sync de campo e um sinal sync de segmento aos dados que são passados através do processo de codificação de correção de erro e hardware, conforme é mostrado no formato de dados da Figura 2. O modulador 16 insere um tom piloto ao acrescentar certo valor DC ao símbolo de dado tendo o segmento inserido e sinais sync de campo, efetua a modulação VSB pela formatação do pulso, faz a conversão ascendente para um sinal de uma banda de canal RF, e o transmite.

De acordo com o esquema de fluxo dual que transmite os dados normais e os dados robustos através de um único canal, os dados normais e os dados robustos são, cada um, multiplexados (não mostrado) e alimentados ao randomizador

11. Os dados de entrada são randomizados no randomizador
11, os dados randomizados são codificados-exteriores no
codificador RS, que é um codificador exterior, e os dados
codificados são espalhados no entrelaçador 13. Os dados
5 entrelaçados são codificados-internos por 12 símbolos no
codificador de treliça 14. Após os dados codificados
internos serem mapeados para símbolos de 8 níveis, o sinal
sync de campo e o sinal sync de segmento são inseridos. A
seguir, os dados são modulados por VSB ao inserir o tom
10 piloto, convertidos para o sinal RF, e transmitidos.

Entretanto, o receptor de difusão digital da Figura 1
inclui um sintonizador (não mostrado), que converte o sinal
RF recebido através do canal para um sinal de banda base,
um demodulador 21, que efetua a detecção de sync e a
15 modulação com relação ao sinal de banda base convertido, um
equalizador 22, que compensa pela distorção do canal com
relação ao sinal demodulado, um decodificador Viterbi 23,
que corrige o erro do sinal equalizado e decodifica para
dados de símbolos, um desentrelaçador 24, que rearruma os
20 dados espalhados pelo entrelaçador 13 do transmissor de
difusão digital, um decodificador RS 25, que corrige erros,
e um desrandomizador 26, que emite um TS MPEG-2 ao
desrandomizar os dados corrigidos pelo decodificador RS 25.

Assim, o receptor de difusão digital da Figura 1
25 restaura o sinal original ao fazer a conversão descendente
do sinal RF na operação inversa do transmissor de difusão
digital, demodula e equaliza o sinal convertido, e efetua a
decodificação de canal.

A Figura 2 mostra um quadro de dados VSB do sistema de
30 difusão digital (8-VSB) dos Estados Unidos, em que o sinal

sync de segmento e o sinal sync de campo são inseridos. Como é mostrado na Figura 2, um quadro inclui 2 campos, e um campo inclui um segmento sync de campo, que é o primeiro segmento, e 312 segmentos de dados. No quadro de dados VSB, um segmento corresponde a um pacote MPEG-2, e um segmento inclui um sinal sync de segmento de 4 símbolos e 828 símbolos de dados.

Como é mostrado na Figura 2, os sinais sync, que incluem o sinal sync de segmento e o sinal sync de campo, são utilizados para a sincronização e a equalização do sinal RF recebido no receptor de difusão digital. Isto é, o sinal sync de campo e o sinal sync de segmento são conhecidos do transmissor de difusão digital e do receptor de difusão digital, e utilizado como um sinal de referência quando o receptor realiza a equalização.

O sistema de difusão digital terrestre dos Estados Unidos da Figura 1, que é construído para gerar e transmitir o fluxo dual ao acrescentar os dados robustos aos dados normais do sistema VSB ATSC existente, transmite os dados normais existentes junto com os dados robustos.

Revelação da Invenção

Problema Técnico

No entanto, o sistema de difusão digital terrestre dos Estados Unidos da Figura 1 não pode melhorar o desempenho de recepção fraco em um canal multivia de acordo com a transmissão do fluxo de dados normais existentes embora o fluxo dual seja transmitido com os dados robustos acrescentados. Isto é, o sistema de difusão digital terrestre dos Estados Unidos é desvantajoso, pois o desempenho de recepção não é melhorado de acordo com o

fluxo normal melhorado. Adicionalmente, o fluxo turbo processado robusto não melhora grandemente o desempenho de recepção no ambiente multivia. Adicionalmente, como apenas um fluxo robusto é processado de cada vez, o sistema não
5 pode ser adaptado para um modelo empresarial de difusão aprimorada que utiliza fluxos multiturbo.

Solução Técnica

A presente invenção foi feita para superar os problemas acima e/ou outros problemas na tecnologia
10 relacionada, e assim, é um aspecto da presente invenção fornecer um sistema de transmissão/recepção de difusão digital e método do mesmo, capaz de processar fluxos multiturbo para transmissão e recepção.

De acordo com um aspecto da presente invenção, um
15 sistema de transmissão de difusão digital compreende um processador turbo para detectar pelo menos um fluxo turbo de um fluxo de transporte dual (TS) que inclui um fluxo normal multiplexado com o fluxo turbo, para codificar o fluxo turbo detectado, e substituir o fluxo turbo pelo
20 fluxo turbo codificado no TS dual: e um transmissor para codificar por treliça o TS dual processado no processador turbo, e emitir o TS dual codificado por treliça resultante, em que o processador turbo compreende pelo menos um bloco de processamento turbo para codificar cada
25 um de pelo menos um fluxo turbo.

De acordo com um aspecto da presente invenção, um método de transmissão de difusão digital compreende detectar pelo menos um fluxo turbo de um fluxo de transporte dual (TS) em que o fluxo turbo é multiplexado
30 com um fluxo normal, codificar o fluxo turbo detectado, e

substituir o fluxo turbo pelo fluxo turbo codificado no TS dual; e codificar por treliça o TS dual, e emitir o TS dual codificado por treliça resultante, em que a operação de detectar codifica o fluxo turbo utilizando um bloco de
5 processamento turbo para cada um do pelo menos um fluxo turbo.

De acordo com um aspecto da presente invenção, um sistema de recepção de difusão digital compreende um demodulador para receber um fluxo de transporte dual (TS)
10 que inclui pelo menos um fluxo turbo e um fluxo normal multiplexados juntos, e demodular o TS dual recebido; um equalizador para equalizar o TS dual demodulado; um primeiro processador para decodificar o fluxo normal do TS equalizado e emitir um pacote de dados normais; e um
15 segundo processador para decodificar o pelo menos um fluxo turbo do TS dual equalizado em paralelo com a decodificação do fluxo normal para recuperar o pacote de fluxo turbo.

De acordo com um aspecto da presente invenção, um método de recepção de difusão digital compreende receber e
20 demodular um fluxo de transporte dual (TS) que inclui pelo menos um fluxo turbo e um fluxo normal multiplexados juntos; equalizar o TS dual decodificado; decodificar o fluxo normal do TS dual equalizado e emitir um pacote de dados normal; e decodificar cada fluxo turbo do TS dual
25 equalizado em paralelo com a decodificação do fluxo normal para recuperar o pacote de fluxo turbo.

De acordo com outro aspecto da presente invenção, um método de processar o sinal de difusão recebido compreende receber e demodular um fluxo de transporte dual (TS) que
30 inclui um fluxo turbo e um fluxo normal multiplexados

juntos; equalizar o TS dual decodificado; decodificar por Viterbi o fluxo normal do TS dual equalizado e emitir um pacote de dados normal; decodificar por turbo cada fluxo turbo do TS dual equalizado em paralelo com a decodificação Viterbi do fluxo normal; inserir o fluxo turbo decodificado por turbo dentro do TS dual decodificado por Viterbi; desentrelaçar o TS dual em que o fluxo turbo decodificado por turbo é inserido; decodificar por Reed-Solomon (RS) o TS dual desentrelaçado; desrandomizar o TS dual decodificado por RS; e demultiplexar o TS dual desrandomizado, para recuperar um pacote de fluxo normal e um pacote de fluxo turbo.

Aspectos adicionais e/ou outros aspectos e vantagens da invenção serão apresentados em parte na descrição que segue e, em parte, será óbvia da descrição, ou poderá ser aprendida pela prática da invenção.

Efeitos Vantajosos

Como foi especificado acima, os métodos de processar robustamente e transmitir o TS de difusão digital, o sistema de transmissão e de recepção de difusão digital, e os métodos de processamento de sinal dos mesmos têm como meta o melhoramento do desempenho de recepção do esquema VSB ATSC, que é o sistema DTV terrestre dos Estados Unidos, através do intercâmbio de informação e o mapeamento com relação ao TS dual que inclui o fluxo normal e o fluxo turbo. Portanto, o sistema de transmissão de difusão digital da presente invenção poderá ter compatibilidade com o sistema de transmissão de dados normais existente e melhorar o desempenho de recepção em ambientes de recepção diversos.

DESCRIÇÃO SUCINTA DOS DESENHOS

Estes e/ou outros aspectos e vantagens do presente conceito inventivo geral se tornarão aparentes e mais prontamente apreciados da seguinte descrição das 5 modalidades, tomada em conjunto com os desenhos acompanhantes, dos quais:

A Figura 1 é um diagrama de blocos de um sistema de transmissão e de recepção de difusão digital convencional (VSB ATSC).

10 A Figura 2 é um diagrama de uma estrutura de quadro de dados VSB ATSC convencionais.

A Figura 3 é um diagrama de blocos de um sistema de transmissão de difusão digital de acordo com uma modalidade da presente invenção.

15 A Figura 4 é um diagrama de blocos em detalhe do sistema de transmissão de difusão digital da Figura 3.

As Figuras 5, 6 e 7 são diagramas de blocos de um gerador TS de acordo com várias modalidades da presente invenção.

20 A Figura 8 é um diagrama conceitual de uma estrutura de fluxo de saída de um codificador RS no gerador TS.

As Figuras 9 e 10 são diagramas conceituais para ilustrar como uma região de inserção de paridade é fornecida no gerador TS que é aplicada ao sistema de 25 transmissão de difusão digital da Figura 4.

A Figura 11 é um diagrama de blocos de um gerador TS que emprega um codificador de apagamento.

A Figura 12 é um diagrama de blocos em detalhe do sistema de transmissão de difusão digital da Figura 4.

30 A Figura 13 é um diagrama de blocos de um processador

turbo de acordo com uma modalidade da presente invenção.

A Figura 14 é um diagrama de blocos de um codificador exterior que é aplicado ao processador turbo da Figura 13.

As Figuras 15 e 16 são diagramas conceituais para
5 ilustrar a operação de um codificador exterior aplicado ao processador turbo da Figura 13.

A Figura 17 é um diagrama conceitual para ilustrar a operação de um entrelaçador exterior aplicado ao processador turbo da Figura 13.

10 A Figura 18 é um diagrama de blocos de um sistema de transmissão de difusão digital de acordo com outra modalidade da presente invenção.

A Figura 19 é um diagrama de blocos de um processador turbo que é aplicado ao sistema de transmissão de difusão
15 digital da Figura 18.

As Figuras 20 a 24 são diagramas conceituais para ilustrar a estrutura de um TS dual que é transmitido do sistema de transmissão de difusão digital das Figuras 3, 4, 12 e 18.

20 A Figura 25 é um diagrama de blocos de um sistema de transmissão de difusão digital de acordo com ainda outra modalidade da presente invenção.

A Figura 26 é um diagrama de blocos de uma treliça/corretor de paridade.

25 A Figura 27 é um diagrama de blocos de um bloco codificador por treliça.

A Figura 28 é um diagrama de blocos de um codificador por treliça.

30 As Figuras 29 a 33 são diagramas conceituais para ilustrar várias estruturas de um TS dual que é transmitido

do sistema de transmissão de difusão digital da Figura 25.

A Figura 34 é um diagrama conceitual para ilustrar um modo de entrelaçamento do TS dual.

5 A Figura 35 é um diagrama de blocos de um sistema de transmissão de difusão digital de acordo com ainda outra modalidade da presente invenção.

A Figura 36 é um diagrama de blocos de um gerador de paridade de compatibilidade.

10 A Figura 37 é um diagrama de blocos de um sistema de transmissão de difusão digital de acordo com uma outra modalidade da presente invenção.

A Figura 38 é um diagrama de blocos de um sistema de recepção de difusão digital de acordo com uma modalidade da presente invenção.

15 A Figura 39 é um diagrama de blocos de um decodificador turbo.

A Figura 40 é um diagrama de blocos de um sistema de recepção de difusão digital de acordo com outra modalidade da presente invenção.

20 A Figura 41 é um diagrama de blocos de um sistema de recepção de difusão digital de acordo com ainda outra modalidade da presente invenção.

As Figuras 42 e 43 são diagramas de blocos de vários exemplos de um DE-MUX turbo.

25 A Figura 44 é um diagrama de blocos de um sistema de recepção de difusão digital de acordo com ainda outra modalidade da presente invenção.

A Figura 45 é um fluxograma para delinear um método de processamento de sinal de transmissão de difusão digital de
30 acordo com uma modalidade da presente invenção.

A Figura 46 é um fluxograma para delinear um método de processamento de sinal de transmissão de difusão digital de acordo com outra modalidade da presente invenção.

5 A Figura 47 é um fluxograma para delinear um método de processamento de fluxo turbo de acordo com uma modalidade da presente invenção.

A Figura 48 é um fluxograma para delinear um método de processamento de sinal de recepção de difusão digital de acordo com uma modalidade da presente invenção.

10 A Figura 49 é um fluxograma para delinear um método de decodificação de fluxo turbo de acordo com uma modalidade da presente invenção.

A Figura 50 é um fluxograma para delinear um método de processamento de demultiplexação turbo de acordo com uma
15 modalidade da presente invenção.

As Figuras 51 e 52 são diagramas de blocos que mostram a estrutura de um processador turbo para a transmissão de fluxo multi-turbo de acordo com uma modalidade exemplar da presente invenção.

20 As Figuras 53 a 55 ilustram a estrutura exemplar de um TS dual que inclui fluxos multi-turbo. E

As Figuras 56 e 57 são diagramas de blocos que mostram a estrutura de um decodificador turbo para a recepção de fluxo multi-turbo de acordo com uma modalidade exemplar da
25 presente invenção.

MELHOR MODO DE REALIZAR A INVENÇÃO

Será feita agora referência em detalhe às modalidades da presente invenção, exemplos das quais são ilustrados nos desenhos acompanhantes, em que números de referência iguais
30 referem-se a elementos iguais no todo. As modalidades são

descritas abaixo para explicar a presente invenção por referência às Figuras.

A Figura 3 é um diagrama de blocos de um sistema de transmissão de difusão digital, de acordo com uma
5 modalidade da presente invenção. Na Figura 3, o sistema de transmissão de difusão digital compreende um gerador de região de paridade 110, um primeiro entrelaçador 120, um processador turbo 130, um desentrelaçador 140, e um transmissor 150. O gerador da região de paridade 110 gera
10 uma região de inserção de paridade com relação a um fluxo de transporte dual (TS), que inclui um fluxo normal e um fluxo turbo. A região de inserção de paridade denota uma região a qual o bit de paridade que é calculado para o TS dual é inserido, isto é, a região em que o bit de paridade
15 é gravado. A região de inserção de paridade fornecida pelo gerador de região de paridade 110 é doravante referida como a "primeira região de inserção de paridade".

O primeiro entrelaçador 120 entrelaça o TS dual tendo a primeira região de paridade gerada pelo gerador de região
20 de paridade 110.

O processador turbo 130 detecta apenas o fluxo turbo incluído no TS dual entrelaçado, efetua processamento robusto no fluxo turbo detectado, e enche o fluxo turbo processado dentro do TS dual. O processamento robusto é um
25 processo para tornar dados robustos ao realizar a codificação, como a codificação por convolução, com relação ao fluxo turbo.

O desentrelaçador 140 desentrelaça o TS dual emitido do processador turbo 130.

30 O transmissor 200 transmite o TS dual que é processado

no desentrelaçador 140, para um dispositivo externo (não mostrado). O transmissor 200 será explicado em detalhe abaixo.

Como é mostrado na modalidade da Figura 3, ao
5 transmitir o fluxo turbo, que é passado através do processamento robusto separado, junto com o fluxo normal, o desempenho de recepção em um ambiente multivídeo ou ambiente móvel poderá ser melhorado e a compatibilidade com um fluxo de transmissão e de recepção de fluxo normal existente
10 poderá ser fornecida.

A Figura 4 é um diagrama de blocos detalhado do sistema de transmissão de difusão digital da Figura 3. Como é mostrado na Figura 4, o sistema de transmissão de difusão digital ainda inclui um gerador TS 300 e um randomizador
15 150. O gerador TS 300 poderá compreender um multiplexador de emissão ATSC (MUX), embora seja compreendido que há outros multiplexadores adequados disponíveis e que a utilização do multiplexador de emissão ATSC não pretende limitar o escopo da aplicação.

20 O gerador TS 300 gera um TS dual ao receber e multiplexar o fluxo normal e o fluxo turbo. O fluxo normal e o fluxo turbo poderão ser recebidos de um módulo interno como uma câmera de difusão, vários módulos internos como um módulo de compressão (por exemplo, o módulo MPEG-2), um
25 codificador de vídeo, e um codificador de áudio.

O randomizador 150 randomiza o TS dual gerado no gerador TS 300 e fornece o TS dual randomizado para o gerador da região de paridade 110. Assim, o gerador da região de paridade 110 gera uma região de inserção de
30 paridade com relação ao TS dual. Os elementos na Figura 4,

excluindo o gerador TS 300 e o randomizador 150, possuem funções iguais àquelas na Figura 3. Assim, suas descrições serão omitidas.

As Figuras 5, 6 e 7 são diagramas de blocos do gerador TS 300 de acordo com várias modalidades da presente invenção. Como é mostrado na Figura 5, o gerador TS 300 é implementado ao incluir um duplicador 310 e um multiplexador de serviço (MUX) 320. O duplicador 310 gera uma região de inserção de paridade com relação ao fluxo turbo entrelaçado. Aqui, a região de inserção de paridade gerada pelo duplicador 310 é referida como a "segunda região de inserção de paridade". Em maior detalhe, para gerar a segunda região de inserção de paridade, bytes, que são unidades constituintes do fluxo turbo, são divididos em dois ou quatro bytes. Cada um dos bytes divididos é enchido com partes dos valores de bit do byte original e dados nulos (por exemplo, 0). A região enchida com os dados nulos torna-se a região de inserção de paridade.

A operação do duplicador 310 será descrita agora em maior detalhe.

Quando a entrada é dobrada, desde que os bits em um byte são representados por a, b, c, d, e, f, g, h iniciando do bit mais significativo (MSB) e entrando naquela ordem, a saída do duplicador 310 é representada por a, a, b, b, c, c, d, d, e, e, f, f, g, g, h, h. Aqui, é observado que, iniciando do MSB, uma saída de 2 bytes que inclui 1 byte de a, a, b, b, c, c, d, d, e uma saída de 1 byte que inclui e, e, f, f, g, g, h, h são emitidos em sucessão.

Quando a entrada é quadruplicada, a saída do duplicador 310 é expressa como

O MUX de serviço 320 multiplexa o fluxo normal que é recebido em separado e o fluxo turbo que é processado no duplicador 310. Assim, o TS dual é gerado e fornecido ao randomizador 150.

5 A Figura 6 é um diagrama de blocos para ilustrar um exemplo em que um codificador Reed-Solomon (RS) 330 é acrescentado ao gerador TS 300 da Figura 5. Na Figura 6, o codificador RS 330 codifica o fluxo turbo recebido ao acrescentar um bit de paridade, e então fornece o fluxo
10 turbo codificado para o duplicador 310. Assim, o duplicador 310 gera a segunda região de inserção de paridade para o fluxo turbo codificado. Ao fazê-lo, o duplicador 310 gera a segunda região de inserção de paridade a uma taxa de $\frac{1}{2}$ ou de $\frac{1}{4}$.

15 A Figura 7 é um diagrama de blocos para ilustrar um exemplo em que um entrelaçador 340 é acrescentado ao gerador TS 300 da Figura 6. O entrelaçador 340 entrelaça o fluxo turbo codificado pelo codificador RS 330. Aqui, é observado que o entrelaçador 340 poderá ser referido como
20 "entrelaçador livre". Também é observado que posições do entrelaçador 340 e do duplicador 310, mostradas na Figura 7, poderão ser trocadas em várias modalidades da invenção.

A Figura 8 é um diagrama conceitual de uma estrutura de fluxo turbo emitida do codificador RS 330 das Figuras 6
25 e 7. Como é mostrado na Figura 8, embora um sinal sync de 1 byte seja removido do fluxo turbo de 188 bytes, conforme inicialmente recebido, o fluxo de pacote de 208 bytes é emitido com uma região de paridade de 20 bytes acrescentada.

30 As Figuras 9 e 10 são diagramas conceituais para

ilustrar como uma região de inserção de paridade é fornecida pelo duplicador 310. Primeiro, a Figura 9 mostra o processo de conversão de taxa de $\frac{1}{2}$. Como é mostrado na Figura 9, um byte incluindo D0-D7 bits é expandido para um primeiro byte incluindo bits D0-D3 e um segundo byte incluindo os bits D4-D7. Os bits entre o primeiro byte e o segundo byte são utilizados como a primeira região de inserção de paridade. Especificamente, como para o primeiro e o segundo bytes, 2, 4, 6 e 8° bits poderão ser utilizados como a primeira região de inserção de paridade. É observado que a posição da primeira região de inserção de paridade poderá ser modificada. Por exemplo, 2, 3, 6 e 7° bits ou 3, 4, 5, e 6° bits poderão ser utilizados como a primeira região de inserção de paridade.

A Figura 10 mostra uma conversão de taxa de $\frac{1}{4}$. Como é mostrado na Figura 10, um byte incluindo os bits D0-D7 é expandido para o primeiro byte incluindo os bits D0 e D1, um segundo byte incluindo os bits D2 e D3, um terceiro byte incluindo os bits D4 e D5, e um quarto byte incluindo os bits D6 e D7. Embora os bits 2, 3, 4, 6, 7 e 8° bits de cada byte são utilizados como a primeira região de inserção de paridade na Figura 10, este exemplo não pretende limitar o escopo da aplicação e não deve ser interpretado como o fazendo.

A Figura 11 é outro diagrama de blocos de um gerador TS 300. Aqui, o gerador TS 300 da Figura 11 também inclui um codificador de apagamento 350, que é acrescentado ao gerador TS da Figura 7. O codificador de apagamento 350 efetua a codificação de apagamento para eliminar ruído no fluxo turbo recebido. Ao eliminar o ruído do fluxo turbo, o

desempenho de recepção poderá ser melhorado. O codificador RS 330 realiza a codificação de correção de erro com relação ao fluxo turbo que passou através da codificação de apagamento, e o entrelaçador 340 entrelaça o fluxo turbo codificado. O duplicador 310 gera uma segunda região de inserção de paridade no fluxo turbo entrelaçado. O MUX de serviço 320 gera um TS dual ao multiplexar o fluxo turbo tendo a segunda região de inserção de paridade e o fluxo normal.

A Figura 12 é um diagrama de blocos detalhado do transmissor 200, que é aplicado ao sistema de transmissão de difusão digital da Figura 4. Com referência à Figura 12, o transmissor 200 inclui um segundo codificador RS 210, um segundo entrelaçador 220, um codificador de treliça 230, um MUX 240, e um modulador 250. Como os elementos, excluindo o transmissor 200, têm as funções iguais àsquelas nas Figuras 3e 4, suas descrições detalhadas serão omitidas. Como é mostrado na Figura 12, os elementos, excluindo o gerador TS 300 poderão ser referidos como excitadores.

O segundo codificador RS 310 codifica o fluxo de transporte dual fornecido do desentrelaçador 220 ao acrescentar os bits de paridade. Especificamente, o segundo codificador RS 210 insere os bits de paridade, que são calculados com relação ao TS dual dentro da primeira região de inserção de paridade gerada pelo gerador de região de paridade 110. O segundo entrelaçador 220 entrelaça o TS dual inserido por paridade. O codificador de treliça 230 codifica por treliça o TS dual entrelaçado pelo segundo entrelaçador 220. O MUX 240 multiplexa o TS dual codificado por treliça ao acrescentar um sinal sync de segmento e um

5 sinal sync de campo. O modulador 250 modula canais do TS dual multiplexado, faz a conversão ascendente do fluxo modulado para um sinal da banda de canal RF, e então transmite o sinal convertido para o dispositivo do exterior. Em particular, o TS dual do modulador 250 poderá ser transmitido para vários sistemas de recepção através do canal.

Embora não seja ilustrado na Figura 12, o transmissor 200 poderá ainda incluir elementos típicos para a transmissão de sinal, como o amplificador de energia (não
10 mostrado) para amplificar a energia do sinal convertido e uma antena (não mostrada).

A Figura 13 é um diagrama de blocos de um processador turbo 130 que é aplicado aos vários sistemas de transmissão de difusão digital das Figuras 3, 4 e 12. Como é mostrado
15 na Figura 13, o processador turbo 130 inclui um conversor de símbolo de byte 131, um demultiplexador TS (DE-MUX) 132, um codificador exterior 133, um entrelaçador exterior 134, um TX MUX 135, e um conversor símbolo-byte 136, embora seja observado que o conversor byte-símbolo 136 poderá ser
20 omitido e substituído por outros elementos. O conversor byte-símbolo 131 converte o TS dual entrelaçado pelo primeiro entrelaçador 120 de bytes para símbolos (aqui, pode-se referir à Tabela D5.2 da Norma DTV ATSC dos Estados
25 Unidos (A/53) para descrições detalhadas sobre a conversão do byte para o símbolo). O DE-MUX TS 132 detecta o fluxo turbo ao demultiplexar o TS dual que é convertido para os símbolos. O codificador exterior 133 codifica o fluxo turbo ao calcular um bit de paridade para o fluxo turbo detectado
30 e ao inserir o bit de paridade calculado dentro da segunda

região de inserção de paridade. Ao fazê-lo, o codificador exterior 133 codifica o fluxo turbo byte a byte. O entrelaçador exterior 134 entrelaça o fluxo turbo codificado convolucionalmente. O entrelaçador exterior 134 realiza o entrelaçamento byte a byte. O MUX TS 135 constrói o TS dual ao multiplexar o fluxo turbo entrelaçado e o fluxo normal. Especificamente, o MUX TX 135 constrói o TS dual ao encher o fluxo turbo para a posição anterior à detecção do DE-MUX TS 132. O MUX TS 135 poderá ser referido como o MUX de serviço. O conversor símbolo-byte 136 converte o TS dual dos símbolos para os bytes (aqui, pode-se referir à Tabela D5.2 da Norma DTV ATSC dos Estados Unidos (A/53) para mais descrições sobre a conversão do símbolo para o byte).

A Figura 14 é um diagrama de blocos do codificador exterior 333, que é aplicado ao processador turbo 130 da Figura 13. Como é mostrado na Figura 14, o codificador exterior inclui 133 um registro de deslocamento r_0 , r_1 e r_2 , e uma somadora. Assim, o codificador exterior 133 insere o bit de paridade dentro da segunda região de inserção de paridade ao codificar convolucionalmente no tipo de código convolucional sistemático recursivo (RSC). O codificador exterior 133 é capaz de codificar a uma taxa de $\frac{1}{2}$ ou a uma taxa de $\frac{1}{4}$. A codificação no codificador exterior 2 é ilustrada com referência às Figuras 15 e 16.

A Figura 15 é um diagrama conceitual para ilustrar a taxa de $\frac{1}{2}$. Como é mostrado na Figura 15, os bits de paridade $Z_0 \sim Z_3$, correspondentes aos bits $D_0 \sim D_3$ são gerados em um byte incluindo os bits $D_0 \sim D_3$ e dados nulos (por exemplo, 0). Os bits de paridade gerados são inseridos nas

posições dos dados nulos, isto é, nas segundas regiões de inserção de paridade. Como resultado, o byte codificado é D3, Z3, D2, Z2, D1, Z1, D0, Z0.

A Figura 16 é um diagrama conceitual para ilustrar a taxa de $\frac{1}{4}$. Como é mostrado na Figura 16, os bits de paridade Z0 e Z1 correspondentes aos bits D0 e D1 são gerados em um byte que inclui os bits D0 e D1 e dados nulos. Os bits de paridade gerados são inseridos nas posições dos dados nulos, isto é, a segunda região de inserção de paridade. Além dos bits de paridade gerados, bits D0 e D1 são então re-inseridos. Assim, os bits D0 e D1 e os bits de paridade podem ser repetidamente gravados. Como é mostrado na Figura 16, o byte codificado é D1, D1, D1, Z1, D0, Z0, D0, Z0.

A Figura 17 é um diagrama conceitual para ilustrar o entrelaçamento do entrelaçador exterior 134. Com referência à Figura 17, o entrelaçador exterior 134 entrelaça de acordo com uma certa regra de entrelaçamento. Por exemplo, quando os dados ABCD são entrados em ordem enquanto a regra de entrelaçamento é {2,1,3,0}, o entrelaçador exterior 134 entrelaça e emite os dados CBDA.

A Figura 18 é um diagrama de blocos de um sistema de transmissão de difusão digital de acordo com outra modalidade da presente invenção. Com referência agora à Figura 18, o sistema de transmissão de difusão digital inclui um gerador TS 500, um randomizador 410, um codificador RS 420, um entrelaçador 430, um processador turbo 440, um codificador de treliça 450, um MUX 460, um insersor piloto 470, um pré-equalizador 480, um modulador VSB 490, e um modulador RF 495.

O gerador TS 500 constrói um TS dual ao receber e multiplexar um fluxo normal e um fluxo turbo. Em maior detalhe, o fluxo turbo e o fluxo normal são recebidos separadamente. Após o processamento, como a codificação e o entrelaçamento, o fluxo turbo, o fluxo turbo processado, e o fluxo normal são multiplexados para gerar o TS dual. É observado que o gerador TS 500 poderá ser implementado na estrutura de maneira similar àquela do gerador TS 300 das Figuras 5, 6, 7 e 11.

O randomizador 410 recebe e randomiza o TS dual emitido do gerador TS 500. O codificador RS 420 codifica o TS dual randomizado ao inserir uma paridade para a correção de erro. O entrelaçador 430 entrelaça o TS dual com paridade inserida. O processador turbo 440 codifica convolucionalmente o fluxo turbo incluído no TS dual entrelaçado, e entrelaça o fluxo turbo codificado convolucionalmente. A seguir, o processador turbo 440 reconstrói o TS dual ao inserir o fluxo turbo entrelaçado dentro do TS dual.

Entretanto, no sistema de transmissão de difusão digital da Figura 12, o processador turbo 130 é posicionado na extremidade frontal do segundo codificador RS 210. Isto permite que os bits de paridade sejam inseridos corretamente, pois os bits de paridade são re-inseridos após o fluxo turbo, incluindo os bits de paridade inseridos pela codificação convolucional, é inserido no TS dual. Contudo, no sistema de transmissão de difusão digital da Figura 18, o processador turbo 440 é posicionado na extremidade traseira do codificador RS 420. Assim, na medida em que os bits de paridade são inseridos pela

codificação convolucional do processador turbo 440, a paridade inteira do TS dual é modificada. Aqui, o processador turbo 440 corrige a paridade ao novamente gerar e inserir a paridade com relação ao TS dual reconstruído.

5 O codificador de treliça 450 codifica por treliça o TS dual processado por turbo. O MUX 460 pode multiplexar o TS dual codificado por treliça ao acrescentar um sinal sync de segmento e um sinal sync de campo. O insersor piloto 470 insere um piloto ao acrescentar um certo valor DC ao TS
10 dual tendo os sinais sync. O pré-equalizador 480 equaliza o TS dual inserido por piloto para minimizar a interferência entre símbolos. O modulador VSB 490 modula-VSB o TS dual equalizado. O modulador RF 495 modula o TS dual modulado por VSB para um sinal da banda de canal RF.

15 O sistema de transmissão de difusão digital da Figura 18 tem uma estrutura mais simplificada do que aquela da Figura 12, pois os elementos, como o gerador de região de paridade 110, o primeiro entrelaçador 120, e o desentrelaçador 140, são omitidos.

20 A Figura 19 é um diagrama de blocos do processador turbo 440 que é aplicado ao sistema de transmissão de difusão digital da Figura 18. Como é mostrado na Figura 19, o processador turbo 440 inclui um detector de fluxo turbo 441, um codificador exterior 442, um entrelaçador exterior
25 443, um enchedor de fluxo turbo 444, e um compensador de paridade 445.

O detector de fluxo turbo 441 detecta o fluxo turbo do TS dual. Especificamente, o detector de fluxo turbo 441 pode ser implementado utilizando a demultiplexação (DE-
30 MUX). O codificador exterior 442 codifica o fluxo turbo ao

acrescentar o bit de paridade para a primeira região de inserção de paridade no fluxo turbo detectado. O entrelaçador exterior 443 entrelaça o fluxo turbo codificado. O enchedor de fluxo turbo 444 reconstrói o TS dual ao multiplexar o fluxo turbo entrelaçado e o fluxo normal. O enchedor de fluxo turbo 444 poderá ser implementado utilizando o MUX. O compensador de paridade 445 compensa pelo erro de paridade resultante da codificação do fluxo turbo ao regenerar e acrescentar o bit de paridade ao TS dual reconstruído.

O processador turbo 440 da Figura 19 poderá ainda incluir um conversor byte-símbolo (não mostrado) para converter o TS dual de bytes para os símbolos e fornecer o TS dual convertido para o detector de fluxo turbo 41, e um conversor símbolo-byte (não mostrado) para converter o TS dual emitido do compensador de paridade 445 dos símbolos para os bytes e emitir o TS dual convertido.

As Figuras 20 a 24 são diagramas conceituais para ilustrar várias estruturas do TS dual, que é transmitido do sistema de transmissão de difusão digital das Figuras 3, 4, 12 e 18.

Na Figura 20, A mostra o pacote de fluxo normal recebido no gerador TS 300, 500, B mostra o pacote de fluxo turbo recebido no gerador TS 300, 500, e C mostra o pacote TS dual construído no gerador TS 300, 500. Como é mostrado na Figura 20, o pacote de fluxo turbo A compreende um sinal sync, uma identidade de pacote (PID), e uma região de dados robustos. Mais especificamente, o pacote de fluxo turbo inteiro compreende 188 bytes, em que o sinal sync é de 1 byte, o PID é de 3 bytes, e os dados robustos são de 184

bytes.

O pacote de fluxo normal B compreende um sinal sync (SYNC), um PID, um cabeçalho de campo de adaptação (AF), uma região de enchimento, e uma região de dados normais.

5 Especificamente, o pacote de fluxo normal inteiro compreende 188 bytes, em que o SYNC é de 1 byte, o PID é de 3 bytes, o cabeçalho AF é de 2 bytes, e dados nulos são de N bytes, e os dados normais são 182-N-S bytes. O cabeçalho AF é a região onde a informação é gravada para informar a
10 posição, o tamanho e assemelhados do AF.

No TS dual C, parte do pacote de fluxo turbo A é inserido na região de enchimento do pacote de fluxo normal. Ainda com referência à Figura 20, o pacote TS dual de 188 bytes compreende o SYNC de 1 byte, o PID de 3 bytes, o
15 cabeçalho AF de 2 bytes, dados robustos de N bytes, e dados normais de 182-N bytes.

O fluxo turbo que é inserido no TS dual C poderá ser parte do pacote de fluxo turbo A. Em outras palavras, o fluxo turbo que é inserido no TS dual C poderá ser pelo
20 menos um de SYNC, o PID e os dados robustos.

A Figura 21 mostra outro exemplo do TS dual construído pelo gerador TS 300 e 500. Como é mostrado na Figura 21, o TS dual compreende uma pluralidade de pacotes sucessivos, em que dados robustos são posicionados em pacotes
25 específicos. Em mais detalhe, a Figura 21 mostra que o fluxo turbo de 78 pacotes são inseridos nos 312 pacotes do campo TS dual 1. Neste caso, o TS dual é construído tal que os pacotes de fluxo turbo e de fluxo normal são repetidos na proporção de 1:3 por quatro pacotes. Isto é, um pacote
30 do fluxo turbo (188 bytes) e três pacotes do fluxo normal

(188 bytes) são conectados em sucessão.

Quando os pacotes do fluxo turbo 70 são inseridos dentro de 312 segmentos do TS dual, o TS dual é construído tal que quatro pacotes compreendendo um pacote de fluxo turbo (188 bytes) e 3 pacotes de fluxo normal (188 bytes) em uma proporção 1:3 são dispostos repetidamente 70 vezes. Os 32 pacotes restantes compreendem o pacote de fluxo normal.

A Figura 22 mostra ainda outro exemplo do TS dual construído pelo gerador TS 300, 500. Especificamente, a Figura 22 é um diagrama conceitual para ilustrar o TS dual exemplar quando 88 pacotes de fluxo turbo são inseridos em um pacote de 312 segmentos do campo TS dual 1. Como é mostrado na Figura 22, o TS dual é construído tal que os pacotes de fluxo turbo 2 (188 bytes) e os 2 pacotes de fluxo normal (188 bytes) são dispostos repetidamente 10 vezes em pacotes de quatro, e que o um pacote de fluxo turbo (188 bytes) e os 3 pacotes de fluxo normal (188 bytes) estão dispostos repetidamente em pacotes de 4 na proporção 1:3 com relação aos outros segmentos.

A Figura 23 mostra ainda outro exemplo do TS dual construído pelo gerador TS 300 e 500. A Figura 23 mostra o TS dual que é a combinação daqueles das Figuras 20 e 21. Especificamente, o TS dual é construído tal que o um pacote de fluxo turbo (188 bytes), o pacote tendo o fluxo turbo inserido em parte do AF do pacote de fluxo normal, e os dois pacotes de fluxo normal são repetidamente dispostos em pacotes de quatro.

A Figura 24 é um diagrama conceitual de um outro exemplo de um pacote de TS dual de 312 segmentos. Com

referência à Figura 24, informação do pacote junto com o fluxo turbo e o fluxo normal são incluídos no TS dual. A informação de pacote é gravada em um campo de opção. Neste caso, a posição do campo de opção poderá ser designada e
 5 fixa de modo que a opção do campo de opção e a posição do fluxo turbo poderão não se sobrepor. Na Figura 24, indica o comprimento possível do fluxo turbo (bytes).

Ainda com referência à Figura 24, é observado que uma região de referência de relógio do programa (PCR) é fixada
 10 para o 15° segmento. Como tal, cada campo de opção pode ser fixado para uma parcela que não se sobrepõe ao fluxo turbo.

Por meio de exemplo, desde que 312 segmentos são divididos por uma unidade de 52 segmentos, a posição do campo de opção poderá ser expressa conforme segue:

15 referência de relógio de programa (PCR) utilizando 6 bytes: $52n+15, n=0$

 referência ao relógio de programa original (OPCR) utilizando 6 bytes: $52n+15, n=1$

 comprimento da extensão do campo de adaptação
 20 utilizando 2 bytes: $52n+15, n=2$

 comprimento de dados privados de transporte utilizando 5 bytes: $52n+15, n=3, 4, 5$

 contagem regressiva de emenda utilizando 1 byte: $52n+15, n=0, 1, 2, 3, 4, 5$

25 Embora não esteja ilustrado na Figura 24, pode-se observar que "comprimento de dados privados de transporte" será posicionado nos 171°, 223° e 275° segmentos, de acordo com as expressões acima.

 Se não as estruturas mostradas nas Figuras 20 a 24,
 30 construir variadamente o pacote TS dual, em que o fluxo

turbo é inserido nos dados nulos, é possível enquanto também exclui o campo de opção do AF. Adicionalmente, a taxa do fluxo turbo poderá ser ajustada dependendo da estrutura do pacote TS dual.

5 A Figura 25 é um diagrama de blocos de um sistema de transmissão de difusão digital tendo sinal de referência suplementar (SRS) de acordo com ainda outra modalidade da presente invenção. O sistema de transmissão de difusão digital da Figura 25 inclui um gerador TS 1101, um
10 randomizador 1103, um insersor SRS 1105, um gerador de região de paridade 1107, um primeiro entrelaçador 1109, um processador turbo 1111, um desentrelaçador 1113, um codificador RS 1115, um segundo entrelaçador 1117, um corretor treliça/paridade 1119, um MUX 1121, e um modulador
15 1123.

 O gerador TS 1101 constrói um pacote TS dual ao receber um fluxo normal e um fluxo turbo. Ao fazê-lo, o gerador TS 1101 gera uma região de enchimento para inserir dados SRS em cada pacote do fluxo TS dual. O SRS é um
20 padrão de sinais conhecido tanto no lado da transmissão como no lado da recepção em comum. O lado da recepção verifica o estado do canal e determina o grau de compensação ao comparar o SRS no fluxo recebido com o SRS conhecido.

25 A região de enchimento é uma região gerada em uma parte de um pacote que compreende um cabeçalho e uma carga, para a inserção do SRS. Em maior detalhe, o pacote ainda inclui um AF. Parte ou a totalidade do AF poderá ser utilizada como a região de enchimento. Nesta situação, o AF
30 do pacote poderá incluir adicionalmente uma região de

enchimento em que dados são inseridos para o fim da inicialização do corretor de treliça/paridade 1119.

O AF poderá incluir um campo de opção em que informação de pacote diversa é gravada. O campo de opção é
5 uma referência de relógio do programa (PCR) utilizada para a sincronização de um demodulador do receptor, uma referência de relógio de programa original (OPCR) utilizada na gravação do programa, gravação do cronômetro, e reprodução no receptor, quatro blocos de circuito, contagem
10 regressiva de emenda que é o número de sucessão de macroblocos que compreende um bloco Cr, Cb respectivamente, um comprimento de dados privados de transporte que é o comprimento dos dados de texto para teletexto, e um comprimento de extensão do campo de adaptação. De acordo
15 com uma modalidade da invenção, a região de enchimento e o campo de opção estão dispostos para não se sobreporem.

Como o gerador TS 1101 poderá construído como nas Figuras 5, 6, 7 e 11, outras descrições do mesmo será omitida por brevidade. Quando o gerador TS 1101 tem um
20 codificador RS 310 conforme mostrado nas Figuras 6, 7 e 11, o codificador RS poderá ser referido como o primeiro codificador RS 310 para discriminar do codificador RS 1115 da Figura 25 e o codificador RS 1115 da Figura 25 poderá ser referido como o segundo codificador RS 1115.

25 O randomizador 1103 randomiza o TS dual incluindo a região de enchimento. O insersor 1105 insere um SRS na região de enchimento no TS dual randomizado. O SRS poderá ser adotado para a sincronização e/ou a equalização de canal no lado da recepção. O gerador de região de paridade
30 1107 gera uma primeira região de inserção de paridade para

inserir bits de paridade para a correção de erro dentro do pacote TS dual tendo o SRS inserido. O primeiro entrelaçador 1109 entrelaça o pacote TS dual tendo a primeira região de inserção de paridade gerada. O processador turbo 1111 codifica convolucionalmente o fluxo turbo incluído no pacote entrelaçado, e entrelaça o fluxo turbo codificado convolucionalmente. O processador turbo 1111 poderá ser implementado conforme é mostrado na Figura 13. O desentrelaçador 1113 desentrelaça o pacote emitido do processador turbo 1111. O codificador RS 1115 codifica o pacote TS dual desentrelaçado. Mais especificamente, o codificador RS 1115 é construído como um código concatenado, para inserir os bits de paridade para correção de erro dentro da primeira região de inserção de paridade do pacote tendo o SRS inserido. O segundo entrelaçador 1117 entrelaça o pacote TS dual tendo a paridade inserida. O segundo entrelaçador 1117 entrelaça o pacote TS dual tendo a paridade inserida. O corretor de treliça/paridade 1119 codifica por treliça o pacote entrelaçado pelo segundo entrelaçador 1117, e corrige os bits de paridade.

A Figura 26 é um diagrama de blocos do corretor de treliça/paridade 1119 que é aplicado ao sistema de transmissão de difusão digital da Figura 25. Com referência à Figura 26, o corretor de treliça/paridade 1119 inclui um bloco codificador de treliça 1401, um recodificador RS 1403, uma somadora 1405, um MUX 1407, e um MAP 1409.

O MUX 1407 poderá ter um modo operacional para codificação por treliça para o pacote entrelaçado pelo segundo entrelaçador 1117 (doravante referido como o "modo normal"), e um modo operacional para a codificação por

treliça do pacote acrescentado pela somadora 1405 (doravante referido como o "modo de correção de paridade"). O modo operacional do MUX 1407 é determinado por um sinal de controle recebido do recodificador RS 1403.

5 O bloco codificador de treliça 1401 codifica por treliça o pacote recebido do MUX 1407. O bloco codificador de treliça 1401 é capaz de codificar por treliça o pacote de acordo com um sinal de controle externo. De acordo com uma modalidade da invenção, o bloco codificador de treliça
10 1401 é inicializado logo antes da codificação por treliça dos dados SRS do pacote.

O recodificador RS 1403 rege a paridade correspondente ao pacote modificado durante a inicialização do bloco codificador de treliça 1401.

15 A somadora (OR exclusivo) 1405 soma a paridade recodificada e o pacote alimentado do segundo entrelaçador 1117, e fornece a paridade recodificada e o pacote ao MUX 1407. A operação de soma é conforme segue:

A)omitido...10100101011001010101011AAAAA...omitido
20 B)omitido...000000000000010000000000BBBBB...omitido
C)omitido...101001010111011010101011CCCCC...omitido

A) mostra o pacote que é recebido do segundo entrelaçador 1117, B) mostra o pacote recodificado RS, e C) mostra o resultado do OR exclusivo de A) e B) utilizando a
25 somadora 1405. Quando a parte sublinhada no A) é entrada no bloco codificador de treliça 1401, a inicialização é conduzida. Nesta ocasião, um valor correspondente a um valor pré-armazenado no bloco codificador de treliça 1401 é fornecido ao recodificador RS 1403. O recodificador RS 1403
30 emite o pacote B ao acrescentar a validade ao valor

fornecido. A parte sublinhada do pacote B) implica um valor modificado correspondente à parte sublinhada do pacote A). É observado que os bits de paridade correspondentes à parte sublinhada no pacote B) é regeado para BBBB.

5 A somadora 1405 então emite o pacote C) ao efetuar o OR exclusivo no pacote A) e no pacote B). Como pode ser observado, no pacote C), a parte sublinhada no pacote A) entrada inicialmente é modificada para 01 e a paridade também é modificada de AAAAA para CCCCC.

10 O MUX 1407 opera no modo operacional normal quando a inicialização e a correção de paridade são terminados, e fornece o TS dual para o bloco codificador de treliça 1401.

 O MAP 1409 efetua o mapeamento de símbolo para 8 níveis com relação ao pacote codificado por treliça, e
15 emite o pacote mapeado.

 A Figura 27 é um diagrama de blocos do bloco codificado por treliça 1401 aplicado ao sistema de transmissão de difusão digital da Figura 25. O bloco codificador de treliça 1401 da Figura 27 inclui 12
20 codificadores de treliça 1 a 12. Assim, os codificadores de treliça 1 a 12 são selecionados consecutivamente em ordem de acordo com o pacote recebido, e cada um deles emite seu valor de treliça respectivo. Como foi mencionado anteriormente, durante o período de inicialização, o valor
25 correspondente ao valor pré-armazenado em um registro (não mostrado) do codificador de treliça é fornecido para o recodificador RS 1403 como o valor de inicialização.

 A Figura 28 é um diagrama de blocos de um codificador de treliça empregado no bloco codificador de treliça 1401
30 da Figura 27. O codificador de treliça da Figura 28 inclui

dois MUXs 1601 e 1602, três memórias 1603, 1604 e 1605, e duas somadoras 1606 e 1607.

O codificador de treliça realiza a inicialização logo antes da codificação de treliça do SRS no TS dual entrelaçado. Em detalhe, quando do recebimento do fluxo correspondente à região de enchimento gerada no AF para a inicialização, o codificador de treliça efetua o processo de inicialização. Quando o período de inicialização é aberto, um sinal de controle é alimentado para o primeiro e o segundo MUXs 1601 e 1602. O primeiro MUX 1601 seleciona quer o valor armazenado na memória S2 1605 ou D1, dependendo do sinal de controle e emite o valor selecionado para a primeira somadora 1606. O segundo MUX 1602 seleciona quer o valor armazenado na memória S0 1603 ou D0 dependendo do sinal de controle e emite o valor selecionado para a segunda somadora 1607.

Quando o sinal de controle 1 é entrado, o primeiro MUX 1601 seleciona e emite o valor armazenado da memória S2 1605 para a primeira somadora 1606. A primeira somadora 1606 soma o valor de saída do primeiro MUX 1601 com o valor armazenado da memória S2 1605. O valor resultante é emitido como Z2 e é armazenado na memória S2 1605 ao mesmo tempo. Como as duas entradas para a primeira somadora 1606 são as mesmas, o valor de saída da primeira somadora 1606 é sempre zero. Assim, um zero (0) é armazenado na memória S2 1605 para inicializar.

Como tal, o valor de entrada D1 é substituído pelo valor armazenado da memória S2 1605. Assim, os bits de paridade designados ao TS dual incluindo o valor de entrada D1 está incorreto. Para compensar pelos bits de paridade

incorretos, o valor existente armazenado na memória S2 1605 é emitido como o valor de inicialização X1 e é fornecido ao recodificador RS 1403.

O segundo MUX 1602 seleciona e emite o valor armazenado na memória S0 1603 quando o sinal de controle for 1. O valor de saída do segundo MUX 1602 é emitido como Z1 e fornecido para a segunda somadora 1607 ao mesmo tempo. O valor de saída do segundo MUX 1602 é também emitido como o valor de inicialização X. O valor armazenado na memória S0 1603 é alimentado diretamente para a segunda somadora 1607. Assim, a segunda somadora 1607 soma dois valores iguais e emite 0. Simultaneamente, o valor existente armazenado na memória S1 1604 é deslocado para a memória S0 1603. O valor existente armazenado na memória S1 1604 é emitido como Z0.

Quando o sinal de controle 1 é entrado novamente, como o valor armazenado na memória S1 1604, isto é, o 0 deslocado para a memória S0 1603, a memória S0 1603 também é inicializada. Simultaneamente, o segundo MUX 1602 emite o valor atual armazenado na memória S0 1603, isto é, o valor armazenado na memória S1 antes da inicialização, é emitido como o valor X0. O valor X0 também é fornecido para o recodificador RS 1403 junto com o valor X1.

Quanto ao período de não-inicialização, um sinal de controle 0 é entrado para o primeiro e o segundo MUXs 1601 e 1602. Assim, como D0 e D1 são respectivamente selecionados, a codificação por treliça prossegue.

O sinal de controle 0 ou 1 é recebido de um gerador de sinal de controle (não mostrado) que é equipado separadamente.

Conforme é descrito, quando a inicialização prossegue, cada codificador de treliça emite o valor correspondente ao valor da memória interna sendo pré-armazenado, como o valor de inicialização.

5 Entretanto, duas memórias S0 1603 e S1 1604 são dispostas no segundo MUX 1602, 2 símbolos de sinal de controle são necessários para inicializar as memórias S0 1603 e S1 1604. Há oito estados de inicialização (000, 111, 001, 010, 100, 110, 101, 011) que são gerados utilizando
10 todas as três memórias S0 1603, S1 1604 e S2 1605. Os valores X0 e X1 correspondentes a cada estado de inicialização são fornecidos para o recodificador RS 1403, respectivamente, para modificar os bits de paridade. A operação do recodificador RS 1403 foi explicada
15 anteriormente.

O processo de redefinição do codificador de treliça da Figura 28 é especificado com base na tabela seguinte.

Tabela 1

Redefinir em t=0	(S0,S1,S2), (X 0,X1) em t=0	(S0,S1,S2), (X 0,X1) em t=1	(S0,S1,S 2) Estágio seguinte em t=2	Z2 Zi Z0 Emitidos
1	(0,0,0), (0,0)	(0,0,0), (0,0)	(0,0,0)	000
1	(0,0,1), (0,1)	(0,0,0), (0,0)	(0,0,0)	000
1	(0,1,0), (0,0)	(1,0,0), (1,0)	(0,0,0)	000
1	(0,1,1), (0,1)	(1,0,0), (1,0)	(0,0,0)	000
1	(1,0,0), (1,0)	(0,0,0), (0,0)	(0,0,0)	000
1	(1,0,1), (1,1)	(0,0,0), (0,0)	(0,0,0)	000
1	(1,1,0), (1,0)	(1,0,0), (1,0)	(0,0,0)	000

1	(1,1,1), (1,1)	(1,0,0), (1,0)	(0,0,0)	000
---	----------------	----------------	---------	-----

As Figuras 29 a 33 são diagramas conceituais para ilustrar várias estruturas de um TS dual tendo o RS de acordo com uma modalidade da presente invenção. Como é mostrado na Figura 29, o pacote A é um pacote de fluxo turbo recebido no gerador TS 1101, o pacote B é um pacote de fluxo normal tendo regiões de enchimento de dados SRS e o fluxo turbo são inseridos, e o pacote C é um pacote TS dual tendo o SRS e o pacote de fluxo turbo nele inserido nas regiões de enchimento. No pacote A, o pacote de fluxo turbo de 188 bytes compreende um SYNC de um byte como o cabeçalho, um PID de 3 bytes, e dados turbo de 184 bytes.

No pacote B, o pacote de fluxo normal de 188 bytes compreende um SYNC de um byte como o cabeçalho, um PID de 3 bytes, um cabeçalho AF de 2 bytes que é o AF, e região de enchimento de S bytes para a inserção do SRS, e região de enchimento de N bytes para a inserção de dados turbo, e dados normais de 182-S-N bytes como a carga.

O pacote C é construído tal que dados SRS são inseridos na região de enchimento S e tal que parte do pacote de fluxo turbo é inserido na região de enchimento N do pacote B. Quanto ao pacote C, o pacote TS dual de 188 bytes compreende um SYNC de um byte como o cabeçalho, um PID de 3 bytes, um cabeçalho AF de 2 bytes que é o AF, dados SRS de S bytes, e dados turbo de N bytes, e dados normais de 182-S-N bytes sendo a carga.

A Figura 30 mostra outro fluxo TS dual exemplar. No TS dual da Figura 30, 78 pacotes de fluxo turbo são inseridos no pacote de 312 segmentos do campo TS dual 1. O TS dual é construído ao repetir 4 pacotes em que um pacote de fluxo

turbo (188 bytes) e três pacotes de fluxo normal (188 bytes) estão dispostos em uma proporção de 1:3. Quando os 70 pacotes de fluxo turbo são inseridos nos 312 segmentos do TS dual, o TS dual é construído ao repetir 4 pacotes em que um pacote de fluxo turbo (188 bytes) e três pacotes de fluxo normal (188 bytes) estão dispostos na proporção 1:3 70 vezes, e dispor 32 pacotes com os pacotes de fluxo normal.

A Figura 31 mostra ainda outro exemplo do TS dual. No TS dual da Figura 31, 88 pacotes de fluxo turbo são inseridos em um pacote de 312 segmentos do campo 1 do TS dual. O TS dual é construído ao dispor repetidamente quatro pacotes em que 2 pacotes de fluxo turbo (188 bytes) e 2 pacotes de fluxo normal (188 bytes) são dispostos quatro vezes, e quatro pacotes em que um pacote de fluxo turbo (188 bytes) e 3 pacotes de fluxo normal (188 bytes) são dispostos na proporção de 1:3 como é mostrado na Figura 30.

A Figura 32 mostra ainda outro exemplo do TS dual. O TS dual da Figura 32 é uma combinação do pacote C da Figura 29 e aquele da Figura 30. O TS dual da Figura 32 é construído ao dispor repetidamente quatro pacotes em que um pacote de fluxo turbo (188 bytes), um pacote de fluxo normal tendo dados SRS e dados turbo inseridos em parte do campo AD, e 2 pacotes de fluxo normal são, cada um deles, posicionados.

A Figura 33 é um diagrama conceitual que ilustra apenas o pacote de 52 segmentos do TS dual multiplexado como no pacote C da Figura 29. Na Figura 33, é observado que os dados turbo, isto é, o fluxo turbo, é inserido após os dados SRS. Um canal de dados de tunelização (TDC) é uma

região vazia a ser utilizada pelo usuário, se necessário. O TDC poderá ocupar no máximo 6 bytes na região de enchimento. O TDC poderá ser posicionado na extremidade frontal na região de enchimento onde o SRS é gravado, ou entre os dados SRS.

Desde que 312 segmentos são divididos por 52 segmentos, a posição do campo de opção poderá ser expressa conforme segue:

PCR utilizando 6 bytes: $52n+15, n=0$

OPCR utilizando 6 bytes: $52n+15, n=1$

comprimento de extensão do campo de adaptação utilizando 2bytes: $52n+15, n=2$

comprimento de dados privados de transporte utilizando 5 bytes: $52n+15, n=3, 4, 5$

contagem regressiva de emenda utilizando 1 byte: $52n+15, n=0, 1, 2, 3, 4, 5$

Por meio de exemplo, o PCR denota que há um PCR na posição em $n=0$.

O pacote TS dual tendo os dados SRS inseridos na região de enchimento que exclui o campo de opção do AF poderá ser construído de várias maneiras. A taxa dos dados turbo é ajustável de acordo com a estrutura do pacote TS dual.

A Figura 34 é um diagrama conceitual para ilustrar a estrutura de fluxo entrelaçada pelo segundo entrelaçador 1117. Na Figura 34, A, que é o byte de enchimento, indica o SRS 1 A 27. B, que é o byte de enchimento inicializado, indica a região para inicializar o corretor de treliça/paridade 1119. C, que é a região de paridade recodificada RS, indica a região onde a região de paridade

correspondente ao pacote modificado pela inicialização do codificador de treliça é substituída com a região de paridade regerada. D, que é a região de paridade RS, indica a região de paridade gerada pela codificação RS.

5 A Figura 35 é um diagrama de blocos de um sistema de transmissão de difusão digital de acordo com ainda outra modalidade da presente invenção, que emite o TS dual tendo o SRS inserido. Como é mostrado na Figura 35, o sistema de transmissão de difusão digital é implementado tal que o
10 corredor de paridade de treliça 1119 inclui um codificador de treliça 1700 e um gerador de paridade de compatibilidade 1750.

 O codificador de treliça 1700 codifica por treliça o TS dual entrelaçado por um segundo entrelaçador 1117. Nesta
15 ocasião, o codificador de treliça 1700 efetua a inicialização logo antes da codificação por treliça dos dados SRS.

 O codificador por treliça 1700 opera em um dos modos normais para codificar por treliça o pacote entrelaçado, um
20 modo de inicialização para inicializar o codificador por treliça 1700, e um modo de intercâmbio de paridade para permitir a inserção da paridade de compatibilidade substituída em vez de parte de toda a paridade acrescentada por um codificador RS 1115. Enquanto opera no modo normal,
25 quando um sinal de controle instrui que o modo de inicialização é recebido, o codificador de treliça 1700 opera no modo de inicialização. Quando recebe um sinal de controle instruindo o modo de intercâmbio de paridade, o codificador de treliça 1700 opera no modo de intercâmbio de
30 paridade. O modo de operação poderá ser determinado de

acordo com o sinal de controle alimentado de um gerador de sinal de controle (não mostrado). Para fazê-lo, o gerador de sinal de controle (não mostrado) precisa estar ciente da posição em que os dados SRS são inseridos, a posição do
5 valor inserido para a inicialização do codificador de treliça 1700, e a posição para ser capaz de modificar a paridade de compatibilidade, com antecedência.

O gerador de paridade de compatibilidade 1750 recebe o pacote tendo a paridade acrescentada pelo segundo
10 codificador RS 1115 e o pacote codificado pelo codificador de treliça 1700, gera uma paridade de compatibilidade com base nos pacotes recebidos, e fornece a paridade de compatibilidade gerada para o codificador de treliça 1700. O codificador de treliça 1700 compensa a paridade ao
15 inserir a paridade de compatibilidade no TS dual.

Um MUX 1121 multiplexa o pacote codificado por treliça ao acrescentar um sinal sync de segmento e um sinal sync de campo. Um modulador 1123 efetua modulação de canal com relação ao pacote tendo os sinais sync de segmento e sync
20 de campo acrescentados, faz a conversão ascendente para um sinal da banda de canal RF, e transmite o sinal objeto da conversão ascendente para um dispositivo externo. A Figura 36 é um diagrama de blocos do gerador de paridade de compatibilidade 1750 aplicado ao sistema de transmissão de
25 difusão digital da Figura 35. Na Figura 36, o gerador de paridade de compatibilidade 1750 inclui um desentrelaçador de símbolo 2901, um desentrelaçador 2903, uma armazenagem 2905, um codificador RS 2907, um entrelaçador 2909, e um entrelaçador de símbolo 2911.

30 O desentrelaçador de símbolo 2901 recebe o pacote

codificado pelo codificador de treliça 1700 e efetua o entrelaçamento de símbolo ao pacote mapeado de símbolo pelo byte. O desentrelaçador 2903 desentrelaça o pacote desentrelaçado por símbolo.

5 A armazenagem 2905 recebe o pacote codificado pelo codificador RS 1115, substitui pelo menos parte do pacote recebido com o pacote, tendo sido desentrelaçado no desentrelaçador 2903, e então armazena o pacote substituído. A armazenagem 2905 poderá armazenar o pacote
10 ao substituir apenas uma parte diferente do pacote codificado e o pacote desentrelaçado. A armazenagem 2905 poderá ser controlada por um sinal de controle recebido do gerador de sinal de controle.

 O codificador RS 2907 acrescenta a paridade de
15 compatibilidade ao pacote armazenado. O entrelaçador 2909 entrelaça o pacote tendo a paridade de compatibilidade acrescentada. O entrelaçador de símbolo 2911 entrelaça os símbolos do pacote em termos de byte sendo entrelaçado e fornece o pacote entrelaçado por símbolo para o codificador
20 de treliça 1700.

 A Figura 37 é um diagrama de blocos de um sistema de transmissão de difusão digital de acordo com uma outra modalidade da presente invenção. O sistema de transmissão de difusão digital da Figura 37 inclui um gerador TS 500,
25 um randomizador 410, um gerador SRS 415, um codificador RS 420, um entrelaçador 430, um processador turbo 440, um corretor de treliça/paridade 450, um MUX 460, um insersor piloto 470, um pré-equalizador 480, um modulador VSB 490, e um modulador RF 495. No sistema de difusão digital da
30 Figura 37, o gerador SRS 1805 é acrescentado ao sistema de

transmissão de difusão digital da Figura 18. Assim, o TS dual incluindo o sinal SRS, o fluxo normal, e o fluxo turbo são transmitidos através do sistema de transmissão da estrutura mais simplificada.

5 Quando o gerador TS 500 constrói o TS dual incluindo a região de enchimento, o fluxo normal e o fluxo turbo, o randomizador 410 randomiza o TS dual e fornece o TS dual randomizado para o gerador SRS 415. O gerador SRS 415 insere o sinal SRS no todo ou em parte da região de
10 enchimento no TS dual randomizado.

O codificador RS 420 codifica o TS dual tendo o SRS inserido, e o entrelaçador 430 entrelaça o TS dual codificado.

O processador turbo 440 codifica convolucionalmente o
15 fluxo turbo no TS dual entrelaçado e então entrelaça o fluxo turbo codificado convolucionalmente. A seguir, o processador turbo 440 reconstrói o TS dual ao inserir o fluxo turbo entrelaçado ao TS dual novamente.

O TS dual reconstruído no processador turbo 440 é
20 codificado por treliça pelo corretor de treliça/paridade 450. O corretor de treliça/paridade 450 prossegue a inicialização antes da codificação SRS e compensa pela paridade de acordo com o valor modificado pela inicialização. Especificamente, o corretor de
25 treliça/paridade 450 poderá ser implementado como na Figura 26. Como a operação do corretor de treliça/paridade 450 já foi descrita em detalha com referência às Figuras 25 e 26, mais descrições dos mesmos será omitida.

O TS dual codificado por treliça é multiplexado com o
30 sinal sync de segmento e o sinal sync de campo pelo MUX

460. As operações do insersor de sinal 470, do pré-equalizador 480, do modulador VSB 490, e do modulador RF 495 são as mesmas que aquelas nas Figs. 18, e sua descrição detalhada será omitida.

5 A Figura 38 é um diagrama de blocos de um sistema de recepção de difusão de acordo com uma modalidade da presente invenção. Com referência à Fig. 38, o sistema de recepção de difusão digital inclui um demodulador 1901, um equalizador 1903, um primeiro processador 1900, e um
10 segundo processador 1950. O demodulador 1901 detecta a sincronização de acordo com os sinais de sync acrescentados ao sinal de banda base do TS dual recebido, e efetua a demodulação. O equalizador 1903 remove a interferência do símbolo recebido ao equalizar o TS dual demodulado e
15 compensa pela distorção de canal devido ao multivia do canal. O primeiro processador 1900 inclui um decodificador Viterbi 1905, um primeiro desentrelaçador 1907, um primeiro decodificador RS 1909, e um primeiro desrandomizador 1911.

 O decodificador Viterbi 1905 corrige erros no fluxo
20 normal do TS dual equalizado, decodifica o símbolo corrigido de erro, e emite o pacote de símbolos. O pacote decodificado rearruma o pacote espalhado pelo primeiro desentrelaçador 1915.

 O erro no pacote desentrelaçado é corrigido através do
25 primeiro decodificador RS 1909, e o pacote corrigido é desrandomizado pelo primeiro desrandomizador 1911. Portanto, o fluxo normal do TS dual é restaurado.

 O segundo processador 1950 inclui um decodificador turbo 1913, um segundo desentrelaçador 1915, um eliminador
30 de paridade 1917, um segundo desrandomizador 1919, e um DE-

MUX turbo 1921.

O decodificador turbo 1913 decodifica por turbo o fluxo turbo no TS dual equalizado. Nesta ocasião, o decodificador turbo 1913 detecta apenas o fluxo turbo ao demultiplexar o TS dual. O fluxo normal separado através da demultiplexação é multiplexado com o fluxo normal emitido do decodificador Viterbi 1905 por um MUX (não mostrado) que é fornecido separadamente.

Aqui, a decodificação turbo implica a codificação de treliça com relação ao fluxo turbo do TS dual equalizado.

O segundo desentrelaçador 1915 desentrelaça o fluxo turbo decodificado por turbo.

O eliminador de paridade 1917 elimina a paridade acrescentada ao fluxo turbo desentrelaçado.

O segundo desrandomizador 1919 desrandomiza o fluxo turbo do qual a paridade é eliminada.

O DE-MUX turbo 1921 recupera os dados turbo pela multiplexação do fluxo turbo desrandomizado.

A Fig. 39 é um diagrama de blocos do decodificador turbo 1913. O decodificador turbo 1913 da Figura 39 inclui um decodificador de treliça 2001, um desentrelaçador exterior 2003, um entrelaçador exterior 2005, um decodificador MAP exterior 2007, um formatador de quadro 2009, e um desentrelaçador de símbolo 2011. O decodificador de treliça 2001 decodifica por treliça o fluxo turbo no TS dual equalizado e fornece o fluxo turbo decodificado por treliça ao desentrelaçador turbo 2003. O desentrelaçador turbo 2003 desentrelaça o fluxo turbo decodificado por treliça. O decodificador MAP exterior 2005 decodifica convolucionalmente o fluxo turbo desentrelaçado. O

decodificador MAP exterior 2005 emite valores de saída de decisão suave ou de decisão dura dependendo do resultado da decodificação por convolução. As decisões suaves e as decisões duras são feitas de acordo com a matriz do fluxo turbo. Por exemplo, quando a métrica do fluxo turbo for de 0,8, o valor de decisão suave de 0,8 é emitido. Quando a métrica do fluxo turbo for 1, o valor de decisão dura de 1 é emitido.

O valor de saída da decisão suave do decodificador MAP exterior 2005 é fornecido ao formatador de quadro 2009. Aqui o valor de saída de decisão suave implica a existência do fluxo turbo.

O formatador de quadro 2009 formata o fluxo turbo de decisão suave convolucionalmente, decodificado de acordo com o quadro do TS dual.

O desentrelaçador de símbolos 2011 desentrelaça o fluxo turbo formatado por quadro do símbolo para o byte. O entrelaçamento do símbolo para o byte não será mais explicado (consulte a Tabela D5.2 da Norma (A/53) DTV ATSC dos Estados Unidos). Observe que o decodificador turbo 1913 é operado sem o desentrelaçador de símbolo 2011.

Quando a decisão suave é emitida do decodificador MAP exterior 2005, o entrelaçador exterior 2005 entrelaça o fluxo turbo e fornece o fluxo turbo entrelaçado para o decodificador de treliça 2001. O decodificador de treliça 2001 decodifica por treliça o fluxo turbo entrelaçado novamente e fornece o fluxo turbo entrelaçado para o desentrelaçador 2003. O desentrelaçador exterior 2003 desentrelaça e fornece o fluxo turbo para o decodificador MAP exterior 2007. O decodificador de treliça 2001, o

desentrelaçador exterior 2003, e o entrelaçador exterior 2005 poderão operar repetidamente até a decisão suave ser emitida. Portanto, o valor de decodificação confiável poderá ser adquirido.

5 A Figura 40 é um diagrama de blocos de um sistema de recepção de difusão digital de acordo com outra modalidade da presente invenção. Com referência à Figura 40, é observado que o decodificador de apagamento 2100 é acrescentado dentro do segundo processador 1950 do sistema
10 de recepção de difusão digital da Figura 39.

Quando o gerador TS 300, 500 do sistema de transmissão de difusão digital inclui o codificador de apagamento 350 conforme é mostrado na Figura 11, um decodificador de apagamento 2100 poderá ser acrescentado ao sistema de
15 recepção de difusão digital de acordo. Assim, após a decodificação por apagamento é efetuada para a remoção de ruído, o fluxo turbo é restaurado. Como os demais elementos são os mesmos que na Figura 39, descrições deles serão omitidas. Entretanto, no sistema de recepção de difusão
20 digital das Figuras 38 e 40, o segundo processador 1950 poderá incluir um decodificador RS (não mostrado) que decodifica por RS o fluxo turbo desentrelaçado.

A Figura 41 é um diagrama de blocos de um sistema de recepção de difusão digital de acordo com ainda outra
25 modalidade da presente invenção. Na Figura 41, o sistema de recepção de difusão digital inclui um demodulador 2201, um equalizador 2203, um decodificador Viterbi 2205, um decodificador turbo 2207, um insersor turbo 2209, um desentrelaçador 2211, um decodificador RS 2213, um
30 desrandomizador 2215, e um DE-MUX turbo 2217.

O demodulador 2201 detecta a sincronização de acordo com os sinais sync acrescentados ao sinal de banda base do TS dual recebido, e efetua a demodulação.

5 O equalizador 2203 compensa a distorção do canal devido ao multivia de canal ao equalizar o TS dual demodulado.

O decodificador viterbi 2205 corrige o erro no TS dual equalizado e decodifica o símbolo errado corrigido.

10 O decodificador turbo 2207 decodifica por turbo apenas o fluxo turbo do TS dual equalizado. O decodificador turbo poderá ser implementado como é mostrado na Figura 39, e não será mais explicado.

15 O insersor turbo 2209 insere o TS dual decodificado por turbo pelo decodificador turbo 2207, dentro do TS dual decodificado por Viterbi.

Ao fazê-lo, o fluxo turbo poderá ser extraído do TS turbo decodificado por turbo e inserido dentro de uma região correspondente ao fluxo turbo do TS dual decodificado por Viterbi. A região correspondente ao fluxo 20 turbo poderá ser uma parte ou a totalidade do pacote AF.

O desentrelaçador 2211 desentrelaça o TS dual tendo o fluxo turbo inserido.

O decodificador RS 2213 corrige erros ao decodificar o pacote desentrelaçado.

25 O desrandomizador 2215 desrandomiza o pacote corrigido de erro. O DE-MUX turbo 2217 restaura o fluxo normal e o fluxo turbo ao demultiplexar o pacote desrandomizado.

As Figuras 42 e 43 são diagramas de blocos do DE-MUX turbo 2217 de acordo com modalidades da presente invenção.

30 O DE-MUX turbo 2217 da Figura 42 inclui um DE-MUX TS

2301, um desentrelaçador 2302, um condensador 2303, um decodificador RS 2304, e primeiro e segundo insersores SYNC 2305 e 2306.

O DE-MUX TS 2301 separa o fluxo normal e o fluxo turbo
5 ao demultiplexar o pacote desrandomizado.

O fluxo normal, demultiplexado no DE-MUX TS 2301, é restaurado para o fluxo normal de 188 bytes por uma inserção de um sinal sync pelo primeiro insersor SYNC 2305.

O desentrelaçador 2302 desentrelaça o fluxo turbo
10 demultiplexado.

O condensador 2303 remove uma região vazia (marcador de lugar) no fluxo turbo desentrelaçado. A região vazia é gerada pelo duplicador do gerador TS 300, 500 no sistema de transmissão de difusão digital, para inserção da paridade
15 na codificação RS. Se a região vazia é gerada nas taxas de $\frac{1}{4}$ ou $\frac{1}{2}$, o fluxo turbo poderá ser reduzido por taxas de $\frac{1}{4}$ ou $\frac{1}{2}$.

O decodificador RS 2304 decodifica o fluxo turbo do qual a região vazia é removida.

20 O segundo insersor SYNC 2306 restaura o fluxo turbo de 188 bytes por uma inserção de um sinal sync (SYNC) para o fluxo turbo decodificado. Como foi explicado anteriormente com referência à Figura 8, quando o sinal sync do fluxo turbo é eliminado na geração do TS dual, é necessário
25 inserir o sinal sync no segundo insersor SYNC 2306 para regenerar o fluxo turbo.

O DE-MUX turbo 2217 da Figura 43 inclui um DE-MUX TS 2301, um desentrelaçador 2302, um condensador 2303, um decodificador RS 2304, um primeiro insersor SYNC 2305, e um
30 detector SYNC 2307. Em oposição à modalidade da Figura 8, o

sinal sync do fluxo turbo não poderá ser removido na geração do TS dual. Nesta situação, como o sinal sync para o fluxo turbo é recebido com o fluxo normal, não há nenhuma necessidade de inserir o sinal sync diferentemente da
5 Figura 42.

O detector SYNC 2307 recebe o fluxo turbo do qual a região vazia é eliminada, verifica o valor do sinal sync 0x47 dos fluxos turbo recebidos, e emite 187 bytes após o sinal sync para o decodificador RS 2304. O valor 0x47 do
10 sinal sync representa o valor do sinal sync em um pacote, e um pacote compreende 187 bytes, excluindo o sinal sync de um byte, dos 188 bytes. Assim, é preferível detectar do sinal sync para os 187 bytes.

O decodificador RS 2304 corrige erros do fluxo turbo
15 de 188 bytes do qual o sinal sync é detectado, e então restaura o fluxo turbo.

A Figura 44 é um diagrama de blocos de um sistema de recepção de difusão digital de acordo com ainda outra modalidade da presente invenção. Pode-se observar que o
20 sistema de recepção de difusão digital da Figura 44 é construído tal que um decodificador de apagamento 2400 é acrescentado adicionalmente ao sistema de recepção de difusão digital da Figura 41.

Quando o gerador TS 300, 500 do sistema de transmissão
25 de difusão digital é implementado incluindo o codificador de apagamento 350 como é mostrado na Figura 11, um decodificador de apagamento 2400 poderá ser acrescentado ao sistema de recepção de difusão digital de acordo. Assim, após a decodificação por apagamento para a remoção de
30 ruído, o fluxo turbo é restaurado. Como os demais elementos

são iguais àqueles da Figura 41, uma descrição deles será omitida.

A Figura 45 é um fluxograma para delinear um método de transmissão de sinal de difusão digital de acordo com uma modalidade da presente invenção. Com referência à Figura 45, primeiro, o TS dual é construído ao multiplexar o fluxo normal e o fluxo turbo (op 2501). Especificamente, quando o fluxo turbo é recebido de um módulo interno ou externo, após a codificação e/ou o entrelaçamento serem efetuados, é gerada uma segunda região de inserção de paridade para inserir a paridade. Nesta ocasião, a codificação de apagamento para o fluxo turbo poderá ser efetuada adicionalmente.

A seguir, o TS dual tendo a segunda região de inserção de paridade é randomizado (op 2503).

Uma primeira região de inserção de paridade para a inserção da paridade é fornecida no TS dual randomizado para correção de erro (op 2505), e o TS dual é entrelaçado (op 2507).

A seguir, o processamento turbo é realizado para o fluxo turbo do TS dual entrelaçado (op 2509).

Após o processamento turbo, o TS dual é codificado ao inserir a primeira região de inserção de paridade (op 2513), e entrelaçado (op 2515).

A seguir, o TS dual entrelaçado é codificado por treliça (op 2517). O TS dual codificado por treliça, o sinal sync de segmento e o sinal sync de campo são multiplexados (op 2519). Após passar através da modulação VSB e a conversão RF, o TS dual é transmitido (op S2521).

A Figura 46 é um fluxograma para delinear um método de

processamento de sinal de transmissão de difusão digital de acordo com outra modalidade da presente invenção. Como é mostrado na Figura 46, o fluxo TS é construído (op 3301), randomizado (op 3302), e codificado por RS (op 3303).

5 A seguir, após entrelaçar o TS dual (op 3304), apenas o fluxo turbo passa através do processamento turbo (op 3305). Como o processamento turbo já foi ilustrado, a descrição dele é omitida.

10 Após o TS dual incluindo o fluxo turbo processado por turbo ser codificado por treliça, o erro de paridade devido ao processamento turbo é compensado (op 3306). O TS dual é multiplexado para acrescentar o sinal sync (op 3307), modulado e transmitido (op 3308). Como é mostrado na Figura 46, o sinal de difusão digital poderá ser transmitido mais
15 simplesmente do que o método de processamento de sinal de transmissão de difusão digital da Figura 45.

20 A Figura 47 é um fluxograma para delinear um método de processamento turbo de acordo com uma modalidade da presente invenção. Como é mostrado na Figura 47, após o TS dual ser entrelaçado pelo símbolo (op 2601), o fluxo turbo é detectado ao demultiplexar o TS (op 2603).

 A seguir, o TS dual é codificado por turbo pela inserção da paridade na segunda região de inserção de paridade fornecida no fluxo turbo detectado (op 2605).

25 O fluxo turbo codificado é entrelaçado (op 2607), o TS dual é reconstruído ao multiplexar o TS dual (op 2609). O TS dual reconstruído é desentrelaçado pelo símbolo (op 2611). Ao fazê-lo, o entrelaçamento de símbolo (op 2601) e o desentrelaçamento de símbolo (op 2611) são omitidos.

30 A Figura 48 é um fluxograma para delinear um método de

recepção de sinal de difusão digital de acordo com uma modalidade da presente invenção. Na Figura 48, quando o TS dual é recebido, o TS dual recebido é demodulado (op 2701) e passa através da equalização de canal (op 2703).

5 A seguir, o fluxo normal e o fluxo turbo são separados e decodificados, respectivamente.

Em mais detalhes, o fluxo normal é decodificado por Viterbi (op 2705), desentrelaçado (op 2709), e decodificado por RS (op 2709). A seguir o pacote de fluxo normal é
10 restaurado pela desrandomização do fluxo normal decodificado por RS (op 2711). O método de processamento do fluxo normal poderá ser realizado ao utilizar o sistema de recepção existente.

O fluxo turbo é decodificado por turbo (op 2713). O
15 fluxo turbo decodificado por turbo é desentrelaçado (2715). Após remover a paridade (op 2717), o fluxo turbo é desrandomizado (op 2719). A seguir, o pacote de fluxo turbo é restaurado ao demultiplexar o fluxo turbo desrandomizado (op 2721).

20 Quando a decodificação por apagamento é realizada no processo de transmissão do sinal de difusão digital, conduzir adicionalmente a decodificação por apagamento do pacote de fluxo turbo restaurado é possível.

A Figura 49 é um fluxograma para delinear um método de
25 decodificação turbo de acordo com uma modalidade da presente invenção. Com referência à Figura 49, o fluxo turbo do TS dual é decodificado por treliça (op 2801). O fluxo turbo decodificado por treliça é desentrelaçado exterior (op 2803) e decodificado exterior (op 2807).

30 Quando o valor de saída de decisão dura é emitido

através da decodificação exterior, o fluxo turbo de decisão dura é formatado de acordo com o quadro do TS dual (op 2809) e entrelaçado por símbolo (op 2811).

Em contraste, quando o valor de saída de decisão suave é emitido através da decodificação exterior, o entrelaçamento exterior é efetuado (op 2805). O fluxo turbo entrelaçado exterior passa através da decodificação por treliça e o desentrelaçamento exterior (op 2801 e op 2803). Portanto, o fluxo turbo de decisão dura confiável poderá ser adquirido.

A Figura 50 é um fluxograma para delinear um método de processamento de demultiplexação turbo de acordo com uma modalidade da presente invenção. Com referência à Figura 50, o fluxo turbo e o fluxo normal são separados ao demultiplexar o TS dual (op 3601). Após desentrelaçar o fluxo turbo (op 3602), regiões vazias, isto é, marcadores de lugar, são eliminados (op 3603).

A seguir, o fluxo turbo é decodificado por RS (op 3604), e o pacote de fluxo turbo é restaurado ao inserir sinais sync (op 3605). Quanto ao fluxo normal demultiplexado, o pacote de fluxo normal é restaurado ao inserir sinais sync (op 3605).

A Figura 51 é um diagrama de blocos que mostra a estrutura de um processador turbo para a transmissão de fluxo multi turbo de acordo com uma modalidade exemplar da presente invenção. Como é mostrado, o processador turbo inclui (n) números de blocos de processamento turbo 3810-1~3810-n, um enchedor de dados turbo 3820, e um compensador de paridade 3830.

Os blocos de processamento turbo 3810-1 ~ 3811-n,

incluem primeiro através dos (n)ésimos codificadores externos 3812-1 ~ 3812-n, e primeiro a (n)ésimo entrelaçadores exteriores 3813-1 ~ 3813-n, respectivamente.

O primeiro bloco de processamento turbo 3810-1 será explicado como um exemplo. O primeiro detector de dados turbo 3811-1 do primeiro bloco de processamento turbo 3810-1 detecta um fluxo turbo do fluxo de transporte dual (TS). O fluxo turbo transportado é codificado no primeiro codificador exterior 3812-1, e entrelaçado no primeiro entrelaçador exterior 3813-1. Assim, após ser processado nos blocos de processamento turbo 3810-1 ~ 3810-n da maneira explicada acima, os fluxos turbo são enchidos no TS dual pelo enchedor de fluxo turbo 3820.

O compensador de paridade 3830 compensa pelos erros de paridade gerados no processo de codificação do fluxo turbo. O compensador de paridade 3830 poderá ser omitido se um codificador RS for fornecido adicionalmente na extremidade traseira do processador turbo. Assim, a codificação paralela é possível com relação ao fluxo turbo.

A Figura 52 é um diagrama de blocos que mostra a estrutura de um processador turbo para a transmissão de fluxo multi turbo de acordo com outra modalidade exemplar da presente invenção. Como é mostrado na Figura 52, o processador turbo inclui (n) números de blocos de processamento turbo 3910-1 ~ 3910-n, um entrelaçador exterior 3920, um enchedor de dados turbo 3930, e um compensador de paridade 3940.

Os blocos de processamento turbo 3910-1 incluem primeiro ao (n)ésimo detectores de dados turbo 3911-1 ~ 3911-n, e primeiro a (n)ésimo codificadores exteriores

3912-1 ~ 3912-n.

O primeiro bloco de processamento turbo 3910-1 será explicado como um exemplo. O primeiro detector de dados turbo 3911-1 detecta um fluxo turbo do TS dual. O fluxo
5 turbo detectado é codificado no primeiro codificador exterior 3912-1 e fornecido para o entrelaçador exterior 3920.

O entrelaçador exterior 3920 entrelaça exterior os fluxos turbo que são recebidos da pluralidade de blocos de processamento turbo 3910-1 ~ 3910-n, e fornece o fluxo
10 resultante para o enchedor de dados turbo 3930. O enchedor de fluxo turbo 3930 enche os dados turbo no TS dual, e o compensador de paridade 3940 compensa pelo erro de paridade gerado no processo de codificação do fluxo turbo.

O decodificador turbo das Figuras 51 e 52 poderá ser aplicado aos sistemas de transmissão de difusão digital mostrados nas Figuras 12, 18, 25, 35 e 37. Além disso, o número de blocos de processamento turbo poderão ser modificados de acordo com o número desejado de fluxos
15 turbos independentes. Neste caso, o número limitado de blocos de processamento turbo poderá ser partilhado no método de divisão por tempo para reduzir a complexidade de hardware.

As Figuras 53 a 55 mostram a estrutura do TS dual sendo transmitido pelo sistema de transmissão de difusão digital tendo o decodificador turbo conforme é mostrado nas
25 Figuras 51 e 52. Como é mostrado, os fluxos multi turbo são transmitidos. Assim, a taxa de transmissão dos dados turbo é aumentada, comparado com os dados normais. A estrutura do TS dual conforme mostrado nas Figuras 53 a 55 não será
30

explicada, pois isto já foi explicado acima.

A Figura 56 é um diagrama de blocos que mostra a estrutura de um decodificador turbo para um fluxo multi turbo de acordo com uma modalidade exemplar da presente invenção. Como é mostrado, o decodificador turbo inclui um decodificador de treliça 4310 e uma pluralidade de blocos de processamento de decodificação turbo 4320-1 ~ 4320-n.

Os blocos de processamento de decodificação turbo 4320-1 ~ 4320-n compreendem desentrelaçadores exteriores 4321-1 ~ 43231-n, entrelaçadores exteriores 4322-1 ~ 4322-n, decodificadores de mapa exteriores 4323-1 ~ 4323-n, formatadores de quadro 4324-1 ~ 4324-n, e desentrelaçadores de símbolos 4325-1 ~ 4325-n.

Os componentes acima não serão explicados pois isto já foi descrito acima.

A Figura 57 é um diagrama de blocos que mostra a estrutura de um decodificador turbo para um fluxo multi turbo de acordo com uma modalidade exemplar da presente invenção. Como é mostrado, o decodificador turbo compreende um decodificador de treliça 4410, um desentrelaçador exterior 4420, um entrelaçador exterior 4430 e uma pluralidade de blocos de processamento de decodificação turbo 4440-1 ~ 4440-n.

Os blocos de processamento de decodificação turbo 4440-1 ~ 4440-n compreendem decodificadores de mapa exteriores 4441-1 ~ 4441-n, formatadores de quadro 4442-1 ~ 4442-n, e desentrelaçadores de símbolos 4443-1 ~ 4443-n, respectivamente. Como é mostrado na Figura 57, o fluxo turbo desentrelaçado do desentrelaçador exterior 4420 é decodificado na pluralidade de blocos de processamento de

decodificação turbo 4440-1 ~ 4440-n, entrelaçado no entrelaçador exterior 4430 e decodificado por treliça no decodificador de treliça 4410. A explicação detalhada será omitida por questão de brevidade.

5 Como é mostrado nas Figuras 56 e 57, uma pluralidade de fluxos turbo são decodificados em paralelo. Portanto, um alto volume de pacotes de fluxo turbo poderão ser recuperados dentro de um curto tempo.

 Como no caso dos blocos de processamento turbo, o
10 número de blocos de processamento de decodificação turbo também poderão ser modificados de acordo com o número desejado de fluxos turbo independentes. Neste caso, o número limitado de blocos de processamento turbo poderá ser
15 partilhado no método de divisão de tempo para reduzir a complexidade de hardware.

 Embora poucas modalidades da presente invenção foram mostradas e descritas, seria apreciado por aqueles habilitados na tecnologia que modificações poderão ser feitas nessas modalidades sem desviar dos princípios e
20 espírito da invenção, o escopo da qual é definido nas reivindicações e seus equivalentes.

APLICABILIDADE INDUSTRIAL

 A presente invenção relaciona-se genericamente a um método para processar robustamente e transmitir um fluxo de
25 transporte de difusão digital (TS), sistemas de transmissão e de recepção de difusão digital, e métodos de processamento de sinal dos mesmos.

REIVINDICAÇÕES

1. Aparelho de transmissão de difusão digital caracterizado pelo fato de compreender:

uma pluralidade de codificadores para respectivamente
5 codificar uma pluralidade de fluxos de dados adicionais;

uma unidade de rearranjo para rearranjar a pluralidade de fluxos de dados adicionais codificados; e

um enchedor para inserir a pluralidade de fluxos de dados adicionais rearranjados em um fluxo de dados normais.

10 2. Aparelho de transmissão de difusão digital, de acordo com a reivindicação 1, caracterizado pelo fato de que a unidade de rearranjo compreende uma pluralidade de rearranjadores para serem conectados respectivamente à pluralidade de codificadores.

15 3. Aparelho de transmissão de difusão digital, de acordo com a reivindicação 1, caracterizado pelo fato de que a unidade de rearranjo compreende, respectivamente, um rearranjador para combinar e rearranjar a pluralidade de saída dos codificadores.

20 4. Aparelho de transmissão de difusão digital, de acordo com a reivindicação 1, caracterizado pelo fato de que ainda compreende uma pluralidade de demultiplexadores para detectar uma pluralidade de fluxos de dados adicionais e transmitir a pluralidade de fluxo de dados adicionais
25 para a pluralidade de codificadores.

5. Método de transmissão de um aparelho de transmissão de difusão digital caracterizado pelo fato de compreender:

codificar, respectivamente, uma pluralidade de fluxos
30 de dados adicionais por meio de uma pluralidade de

codificadores;

rearranjar a pluralidade de fluxos de dados adicionais codificados; e

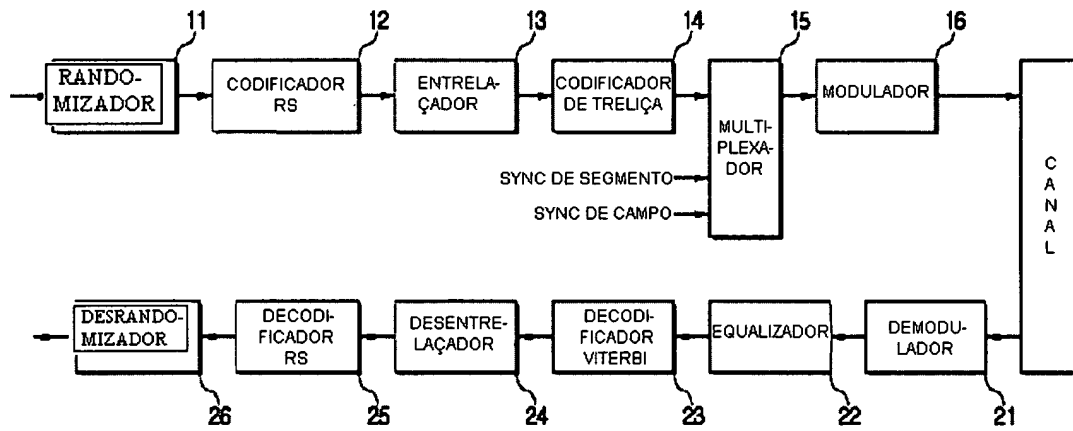
5 inserir a pluralidade de fluxos de dados adicionais rearranjados em um fluxo de dados normal.

6. Método de transmissão, de acordo com a reivindicação 5, caracterizado pelo fato de que a operação de rearranjo compreende, respectivamente, rearranjar a pluralidade de saídas de codificadores.

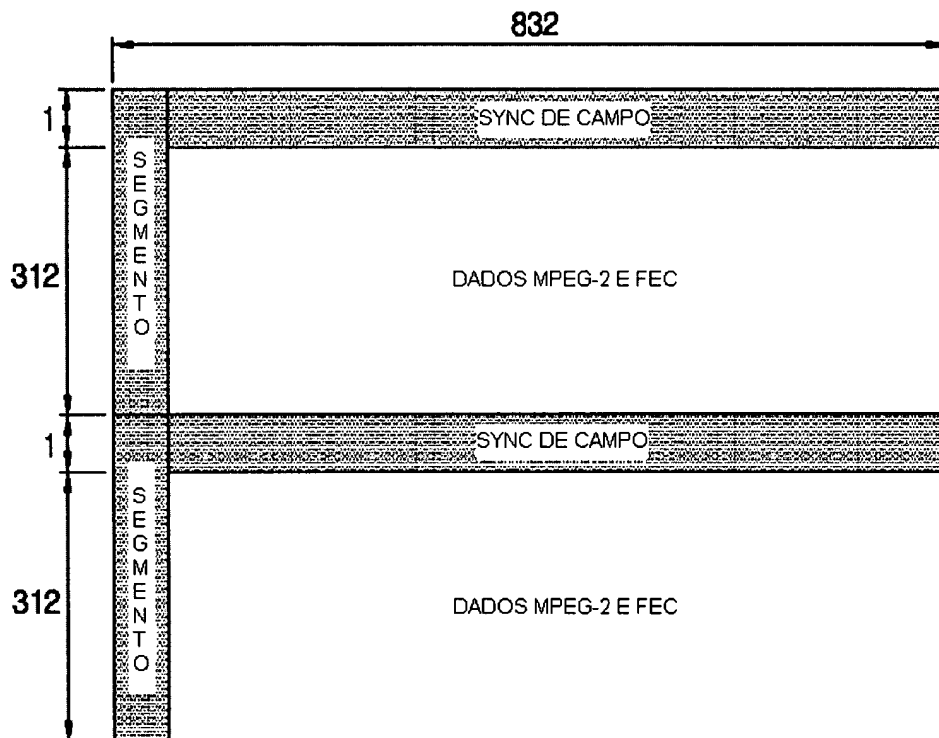
10 7. Método de transmissão, de acordo com a reivindicação 5, caracterizado pelo fato de que a operação de rearranjo compreende, respectivamente, combinar e rearranjar a pluralidade de saídas de codificadores.

15 8. Método de transmissão, de acordo com a reivindicação 5, caracterizado pelo fato de que ainda compreende, respectivamente, detectar uma pluralidade de fluxos de dados adicionais e transmitir a pluralidade de fluxos de dados adicionais para a pluralidade de codificadores.

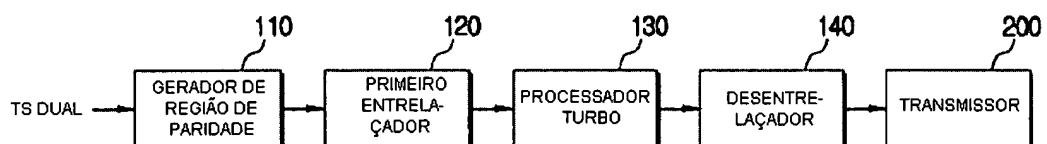
[Fig. 1]



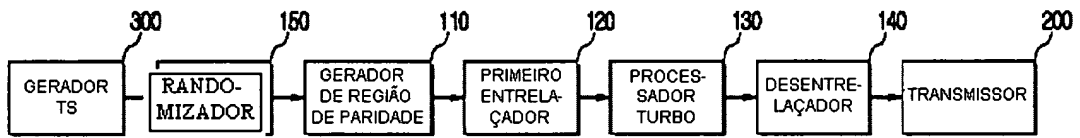
[Fig. 2]



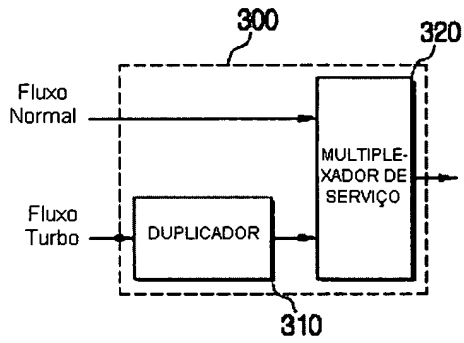
[Fig. 3]



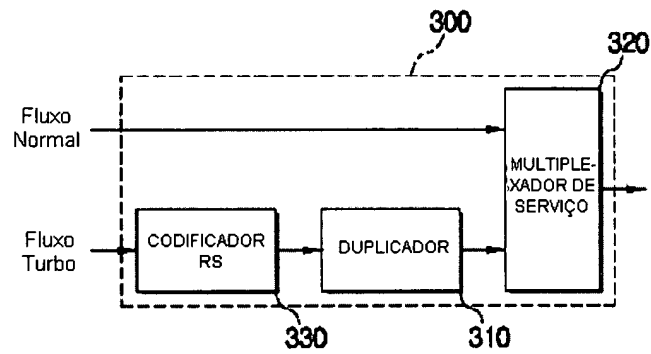
[Fig. 4]



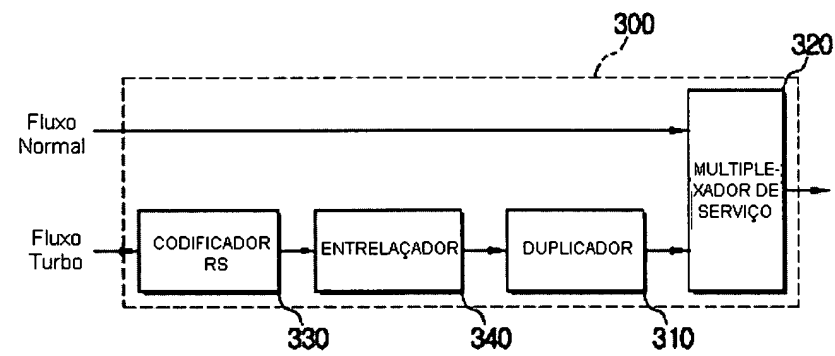
[Fig. 5]



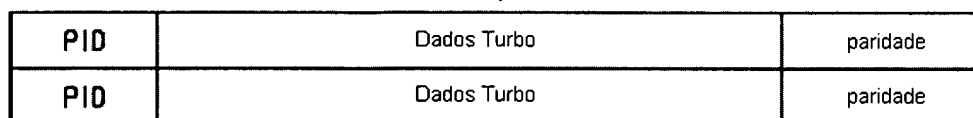
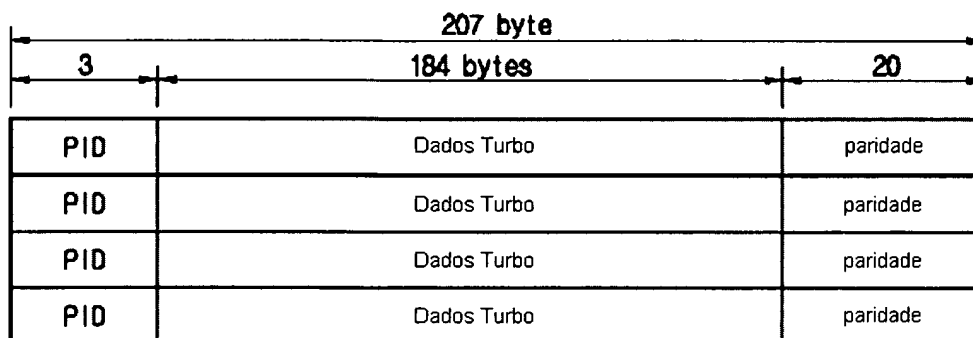
[Fig. 6]



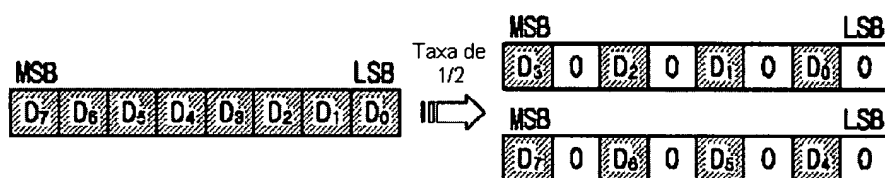
[Fig. 7]



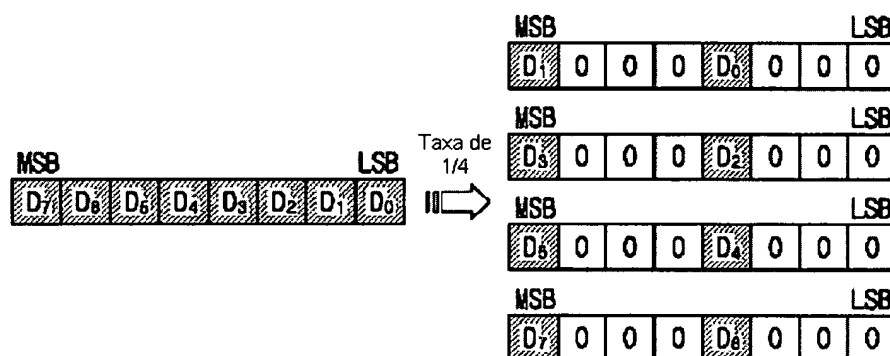
[Fig. 8]



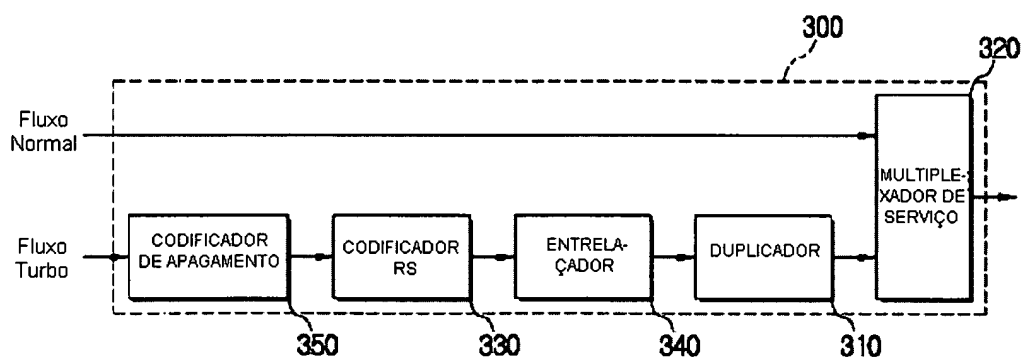
[Fig. 9]



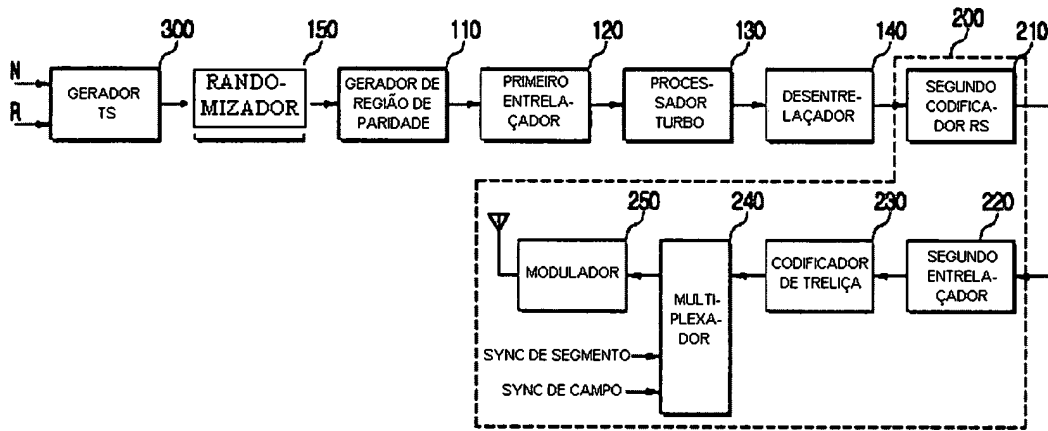
[Fig. 10]



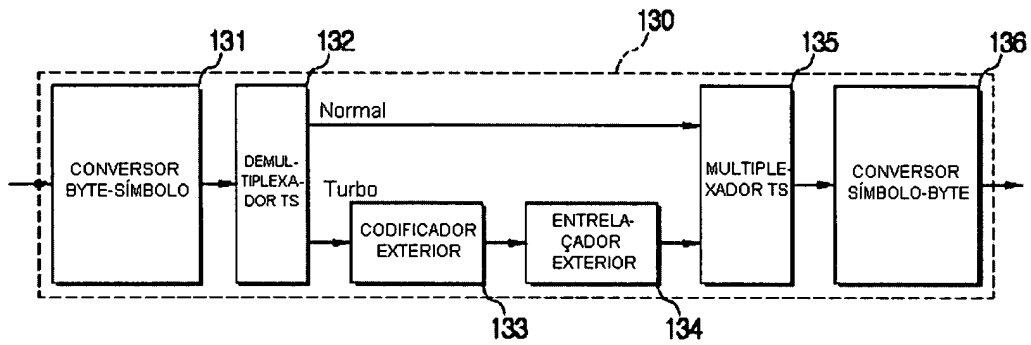
[Fig. 11]



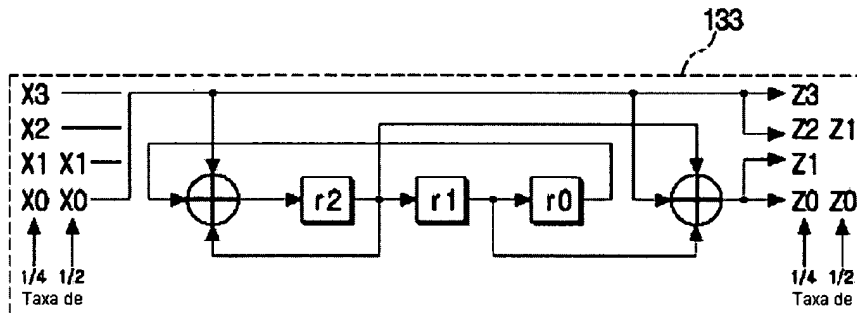
[Fig. 12]



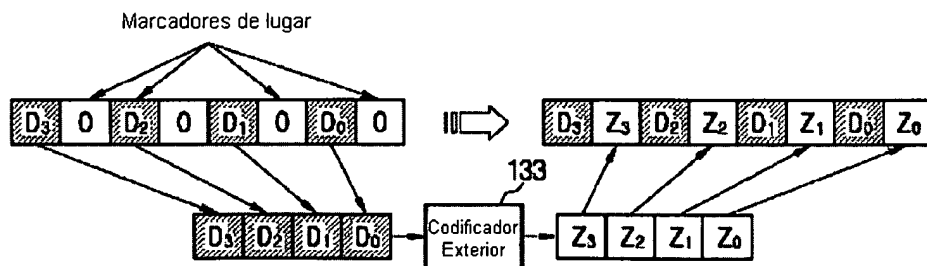
[Fig. 13]



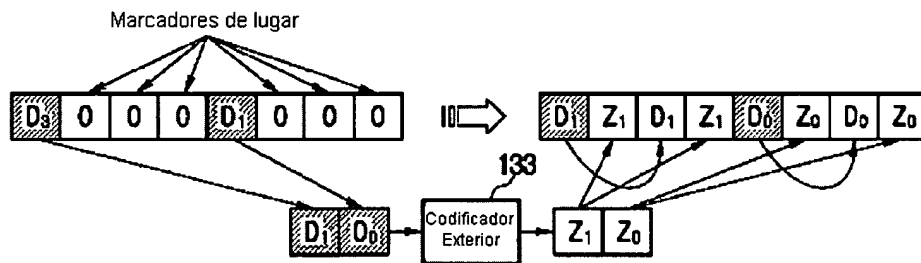
[Fig. 14]



[Fig. 15]

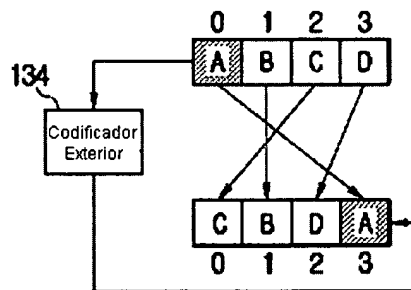


[Fig. 16]

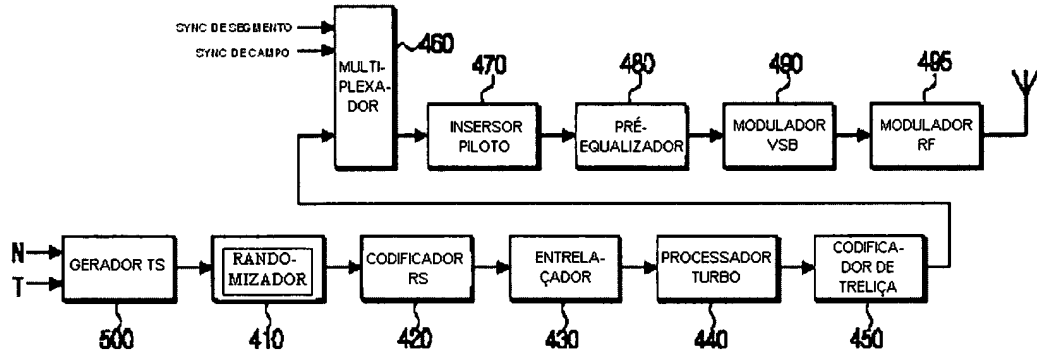


[Fig. 17]

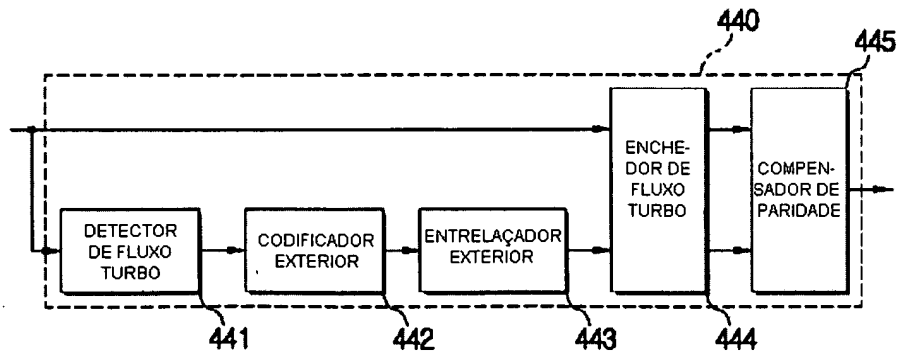
Regra de entrelaçamento = {2, 1, 3, 0}



[Fig. 18]



[Fig. 19]



[Fig. 20]

A	SYNC	PID	Dados Turbo		
	1	3	184		
B	SYNC	PID	Cabeçalho AF	Enchimento	Dados Normais
	1	3	2	N	182-N
C	SYNC	PID	Cabeçalho AF	Dados Turbo	Dados Normais
	1	3	2	N	182-N

[Fig. 21]

SYNC	PID	Dados Turbo			
SYNC	PID	Dados Normais			
SYNC	PID	Dados Normais			
SYNC	PID	Dados Normais			
1	3	184			

[Fig. 22]

SYNC	PID	Dados Turbo			
SYNC	PID	Dados Turbo			
SYNC	PID	Dados Normais			
SYNC	PID	Dados Normais			
1	3	184			

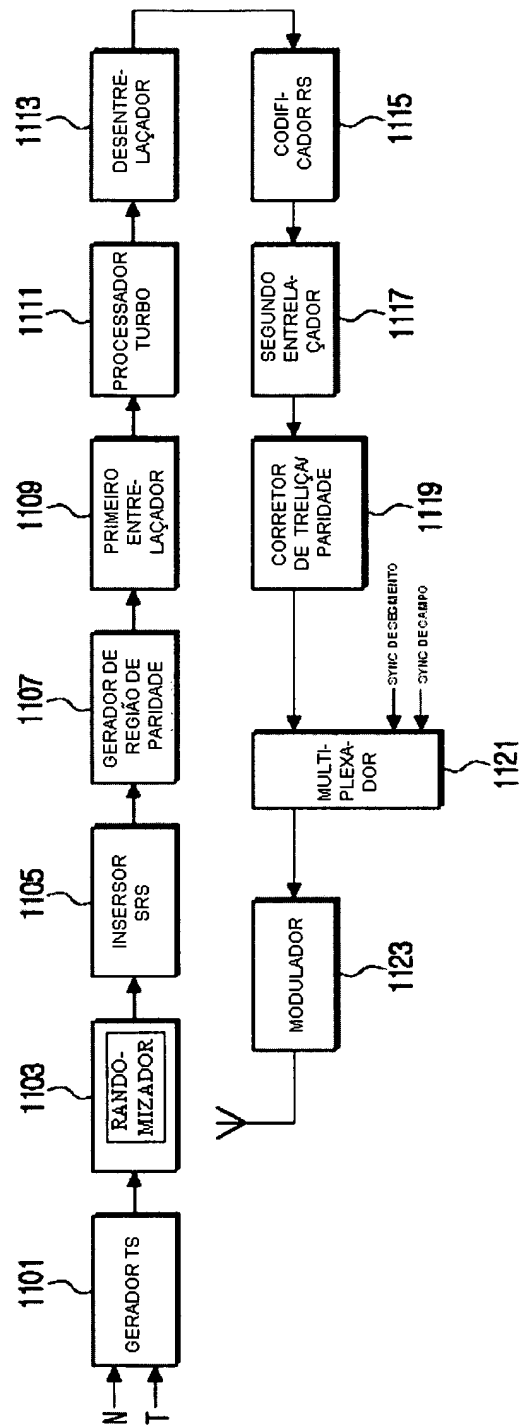
[Fig. 23]

1	3	2	N	182-N
SYNC	PID	Dados Turbo		
SYNC	PID	Cabeçalho AF	Dados Turbo	Dados Normais
SYNC	PID	Dados Normais		
SYNC	PID	Dados Normais		
1	3	184		

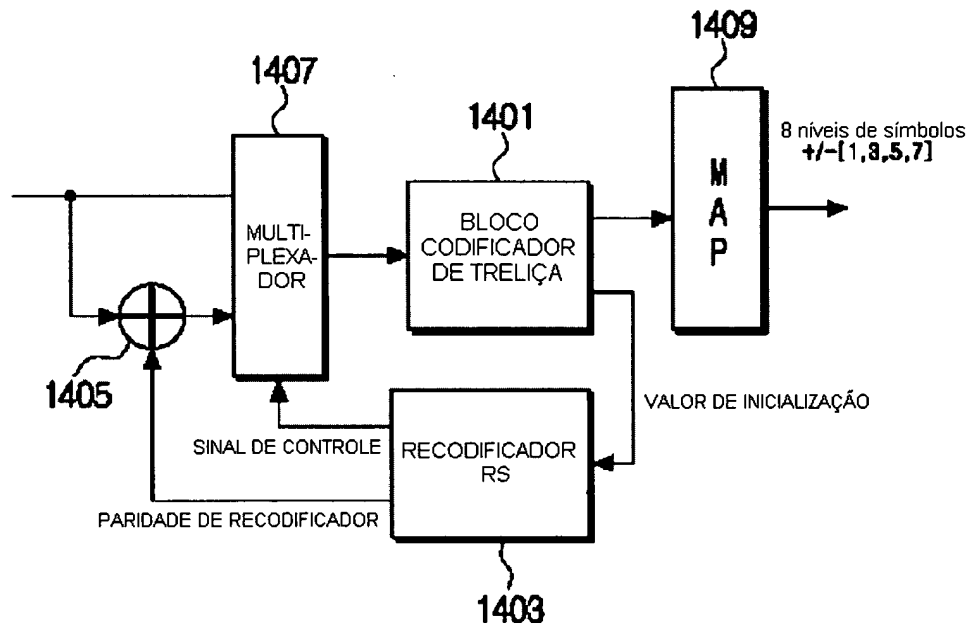
[Fig. 24]

	3 bytes	2 bytes	128 bytes	182-128 bytes
1	PID	Cabeçalho AF	Dados turbo	Dados normais
2	PID		Dados normais	
3	PID		Dados normais	
4	PID		Dados normais	
5	PID	Cabeçalho AF	Dados turbo	Dados normais
6	PID		Dados normais	
7	PID		Dados normais	
8	PID		Dados normais	
9	PID	Cabeçalho AF	Dados turbo	Dados normais
10	PID		Dados normais	
11	PID		Dados normais	
12	PID		Dados normais	
13	PID	Cabeçalho AF	Dados turbo	Dados normais
14	PID		Dados normais	
15	PID	Cabeçalho AF reservado para PCR (6 bytes)	171 bytes de Dados normais	
16	PID		Dados normais	
17	PID	Cabeçalho AF	Dados turbo	Dados normais
18	PID		Dados normais	
19	PID		Dados normais	
20	PID		Dados normais	
21	PID	Cabeçalho AF	Dados turbo	Dados normais
22	PID		Dados normais	
23	PID		Dados normais	
24	PID		Dados normais	
25	PID	Cabeçalho AF	Dados turbo	Dados normais
26	PID		Dados normais	
27	PID		Dados normais	
28	PID		Dados normais	
29	PID	Cabeçalho AF	Dados turbo	Dados normais
30	PID		Dados normais	
31	PID		Dados normais	
32	PID		Dados normais	
33	PID	Cabeçalho AF	Dados turbo	Dados normais
34	PID		Dados normais	
35	PID		Dados normais	
36	PID		Dados normais	
37	PID	Cabeçalho AF	Dados turbo	Dados normais
38	PID		Dados normais	
39	PID		Dados normais	
40	PID		Dados normais	
41	PID	Cabeçalho AF	Dados turbo	Dados normais
42	PID		Dados normais	
43	PID		Dados normais	
44	PID		Dados normais	
45	PID	Cabeçalho AF	Dados turbo	Dados normais
46	PID		Dados normais	
47	PID		Dados normais	
48	PID		Dados normais	
49	PID	Cabeçalho AF	Dados turbo	Dados normais
50	PID		Dados normais	
51	PID		Dados normais	
52	PID		Dados normais	

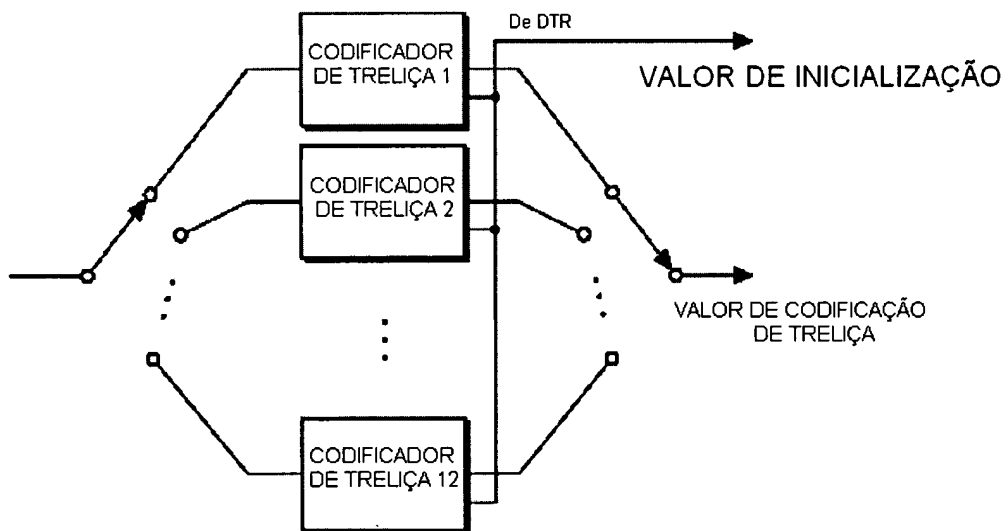
[Fig. 25]



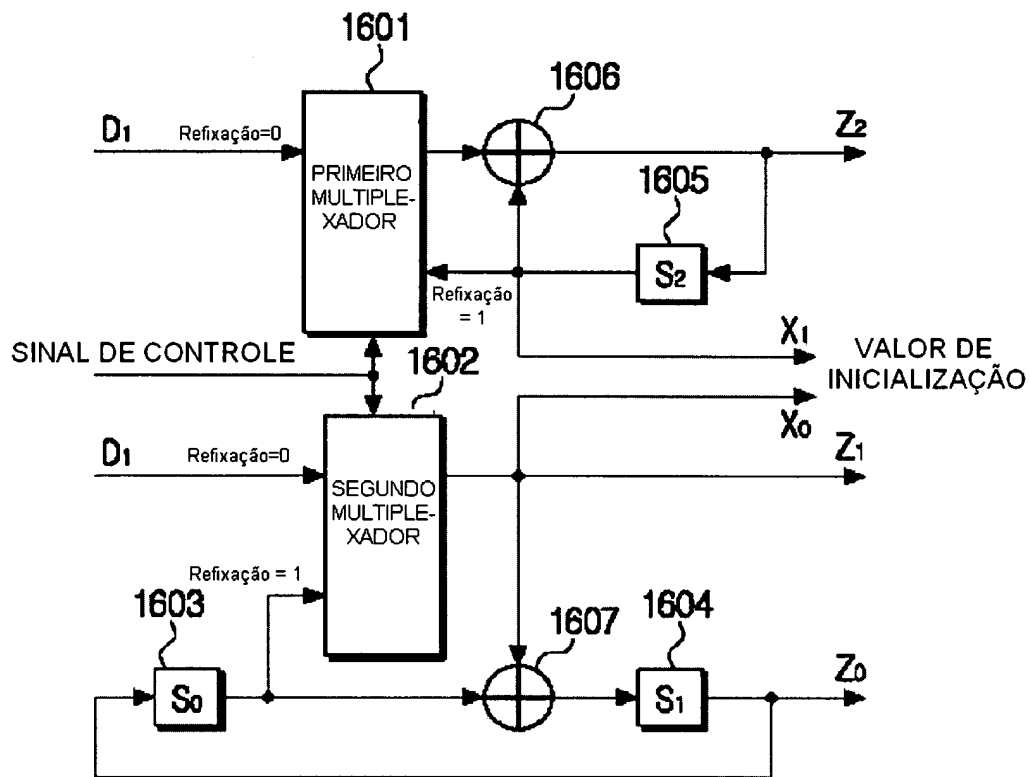
[Fig. 26]



[Fig. 27]



[Fig. 28]



[Fig. 29]

A	SYNC	PID	Dados Turbo		
	1	3	184		
B	SYNC	PID	Cabeçalho AF	Enchimento	Dados Normais
	1	3	2	S	N
C	SYNC	PID	Cabeçalho AF	SRS	Dados Turbo
	1	3	2	S	N

[Fig. 30]

SYNC	PID	Cabeçalho AF	SRS	Dados Turbo
SYNC	PID	Cabeçalho AF	SRS	Dados Normais
SYNC	PID	Cabeçalho AF	SRS	Dados Normais
SYNC	PID	Cabeçalho AF	SRS	Dados Normais
1	3	2	S	182-S

[Fig. 31]

SYNC	PID	Cabeçalho AF	SRS	Dados Turbo
SYNC	PID	Cabeçalho AF	SRS	Dados Turbo
SYNC	PID	Cabeçalho AF	SRS	Dados Normais
SYNC	PID	Cabeçalho AF	SRS	Dados Normais
1	3	2	S	182-S

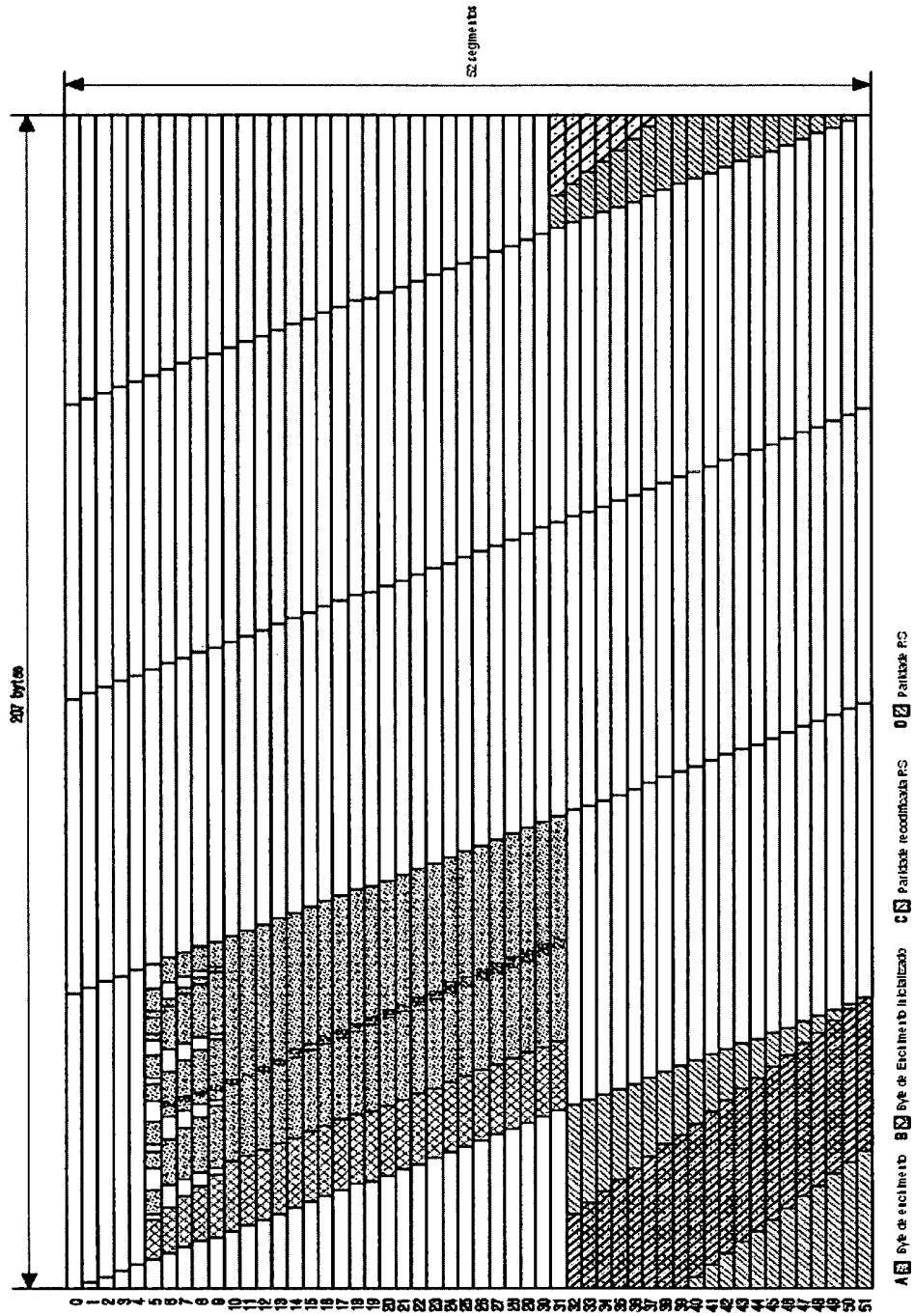
[Fig. 32]

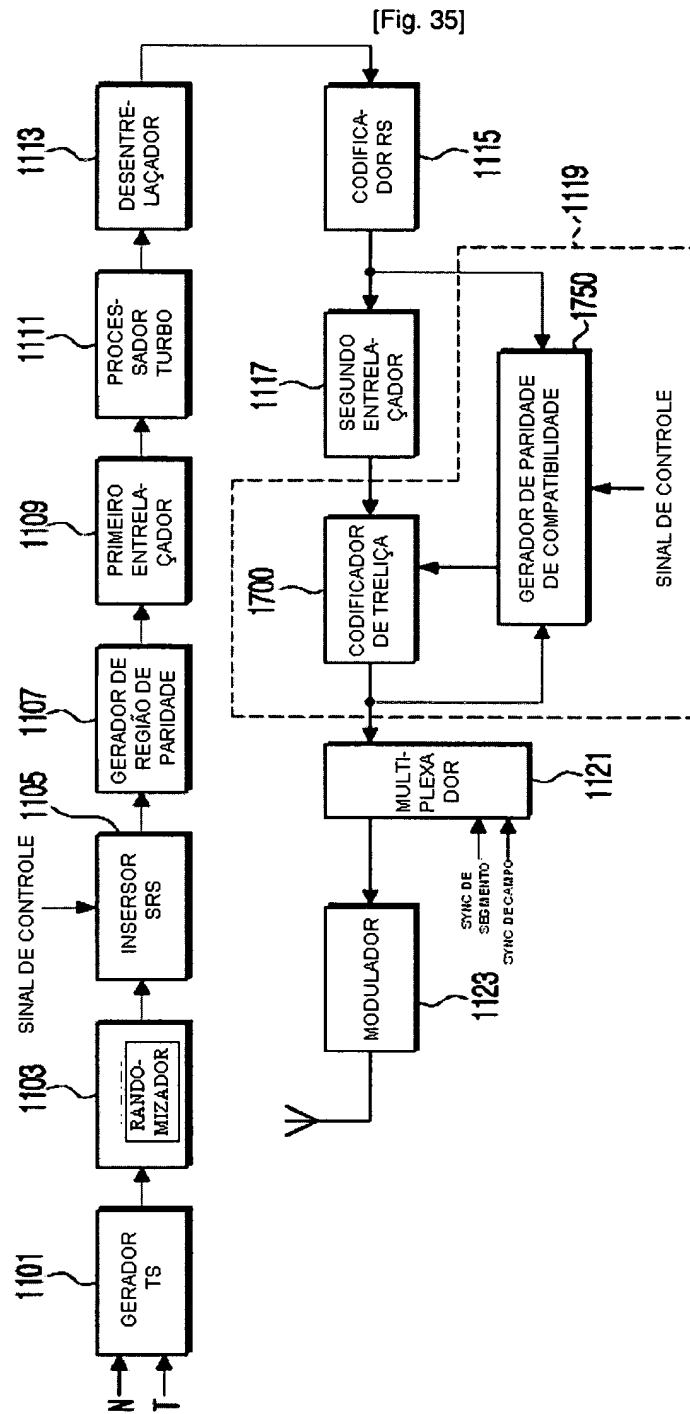
1	3	2	S	N	182-S-N
SYNC	PID	Cabeçalho AF	SRS	Dados Turbo	
SYNC	PID	Cabeçalho AF	SRS	Dados Turbo	Dados Normais
SYNC	PID	Cabeçalho AF	SRS	Dados Normais	
SYNC	PID	Cabeçalho AF	SRS	Dados Normais	
1	3	2	S		182-S

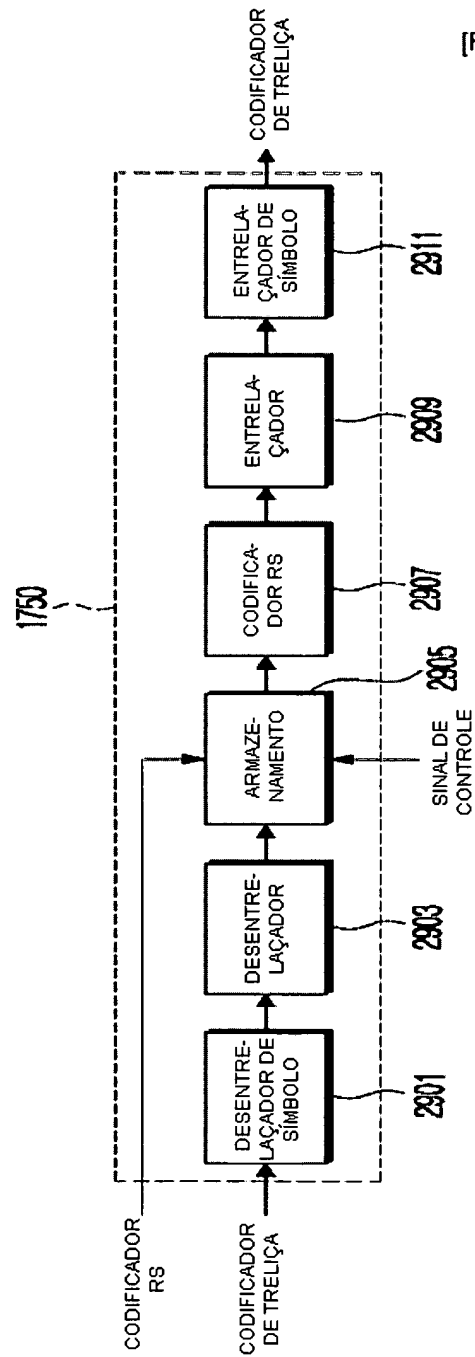
[Fig. 33]

	3 bytes	2 bytes	1	1	1	1	1	1	(4.14.21)	128 bytes	182-128 bytes
1	PID	Cabeçalho AF							SRS	Dados Turbo	Dados Normais
2	PID	Cabeçalho AF							SRS	Dados Normais	
3	PID	Cabeçalho AF							SRS	Dados Normais	
4	PID	Cabeçalho AF							SRS	Dados Normais	
5	PID	Cabeçalho AF							SRS	Dados Turbo	Dados Normais
6	PID	Cabeçalho AF							SRS	Dados Normais	
7	PID	Cabeçalho AF	TDC						SRS	Dados Normais	
8	PID	Cabeçalho AF	TDC						SRS	Dados Normais	
9	PID	Cabeçalho AF	TDC						SRS	Dados Turbo	Dados Normais
10	PID	Cabeçalho AF	TDC						SRS	Dados Normais	
11	PID	Cabeçalho AF							SRS	Dados Normais	
12	PID	Cabeçalho AF	SRS	TDC					SRS	Dados Normais	
13	PID	Cabeçalho AF	SRS	TDC	TDC				SRS	Dados Turbo	Dados Normais
14	PID	Cabeçalho AF	SRS	TDC	TDC	TDC			SRS	Dados Normais	
15	PID	Cabeçalho AF	reservado para PCR						SRS	Dados Normais	
16	PID	Cabeçalho AF							SRS	Dados Normais	
17	PID	Cabeçalho AF							SRS	Dados Turbo	Dados Normais
18	PID	Cabeçalho AF							SRS	Dados Normais	
19	PID	Cabeçalho AF	TDC						SRS	Dados Normais	
20	PID	Cabeçalho AF	TDC						SRS	Dados Normais	
21	PID	Cabeçalho AF	TDC						SRS	Dados Turbo	Dados Normais
22	PID	Cabeçalho AF	TDC						SRS	Dados Normais	
23	PID	Cabeçalho AF							SRS	Dados Normais	
24	PID	Cabeçalho AF	SRS	TDC					SRS	Dados Normais	
25	PID	Cabeçalho AF	SRS	TDC	TDC				SRS	Dados Turbo	Dados Normais
26	PID	Cabeçalho AF	SRS	TDC	TDC	TDC			SRS	Dados Normais	
27	PID	Cabeçalho AF	TDC	TDC	TDC	TDC	TDC		SRS	Dados Normais	
28	PID	Cabeçalho AF							SRS	Dados Normais	
29	PID	Cabeçalho AF							SRS	Dados Turbo	Dados Normais
30	PID	Cabeçalho AF							SRS	Dados Normais	
31	PID	Cabeçalho AF	TDC						SRS	Dados Normais	
32	PID	Cabeçalho AF	TDC						SRS	Dados Normais	
33	PID	Cabeçalho AF	TDC						SRS	Dados Turbo	Dados Normais
34	PID	Cabeçalho AF	TDC						SRS	Dados Normais	
35	PID	Cabeçalho AF							SRS	Dados Normais	
36	PID	Cabeçalho AF	SRS	TDC					SRS	Dados Normais	
37	PID	Cabeçalho AF	SRS	TDC	TDC				SRS	Dados Turbo	Dados Normais
38	PID	Cabeçalho AF	SRS	TDC	TDC	TDC			SRS	Dados Normais	
39	PID	Cabeçalho AF	TDC	TDC	TDC	TDC	TDC		SRS	Dados Normais	
40	PID	Cabeçalho AF							SRS	Dados Normais	
41	PID	Cabeçalho AF							SRS	Dados Turbo	Dados Normais
42	PID	Cabeçalho AF							SRS	Dados Normais	
43	PID	Cabeçalho AF	TDC						SRS	Dados Normais	
44	PID	Cabeçalho AF	TDC						SRS	Dados Normais	
45	PID	Cabeçalho AF	TDC						SRS	Dados Turbo	Dados Normais
46	PID	Cabeçalho AF	TDC						SRS	Dados Normais	
47	PID	Cabeçalho AF							SRS	Dados Normais	
48	PID	Cabeçalho AF	SRS	TDC					SRS	Dados Normais	
49	PID	Cabeçalho AF	SRS	TDC	TDC				SRS	Dados Turbo	Dados Normais
50	PID	Cabeçalho AF	SRS	TDC	TDC	TDC			SRS	Dados Normais	
51	PID	Cabeçalho AF	TDC	TDC	TDC	TDC	TDC		SRS	Dados Normais	
52	PID	Cabeçalho AF							SRS	Dados Normais	

[Fig. 34]

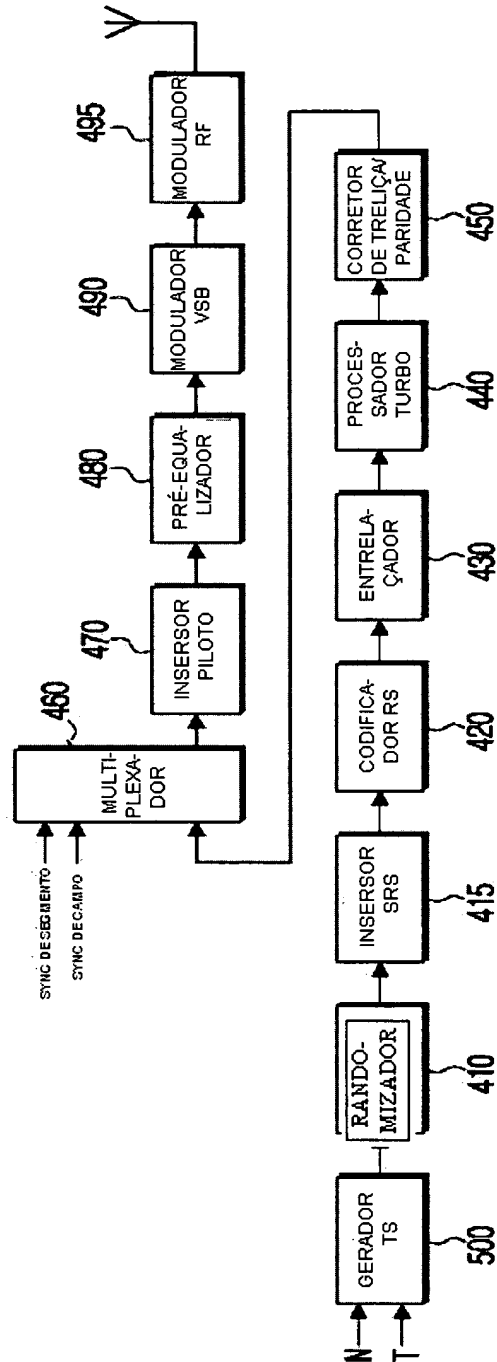




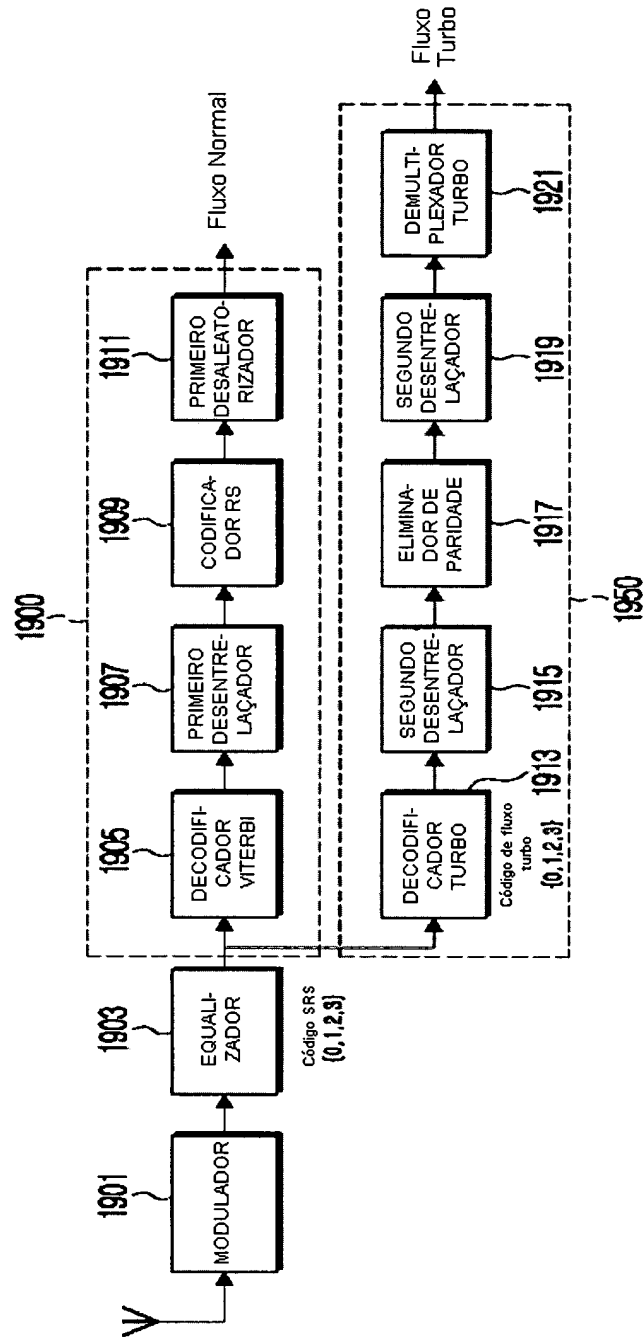


[Fig. 36]

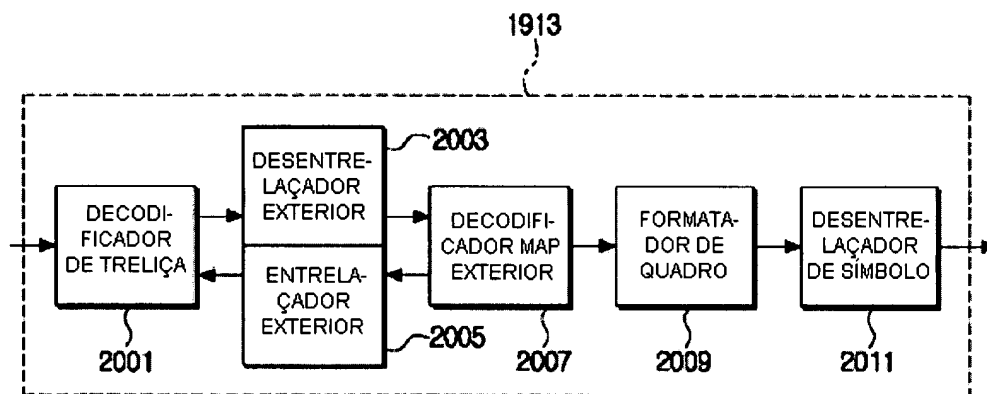
[Fig. 37]

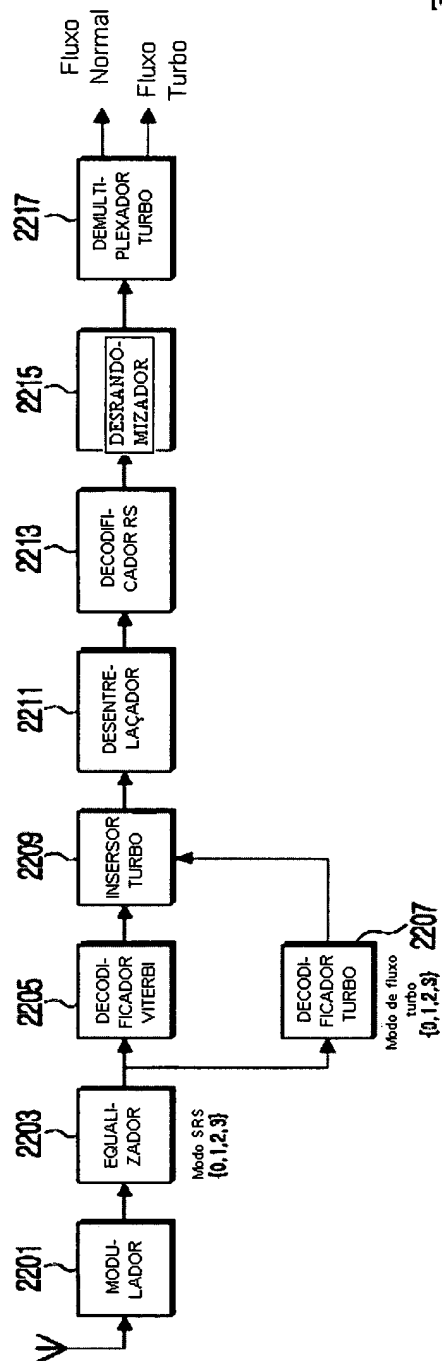


[Fig. 38]



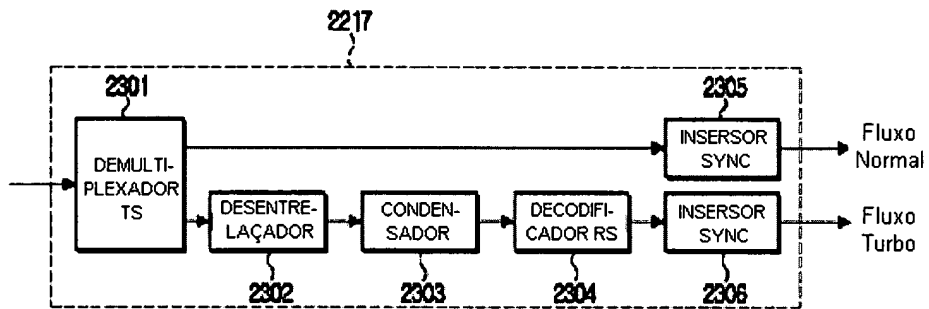
[Fig. 39]



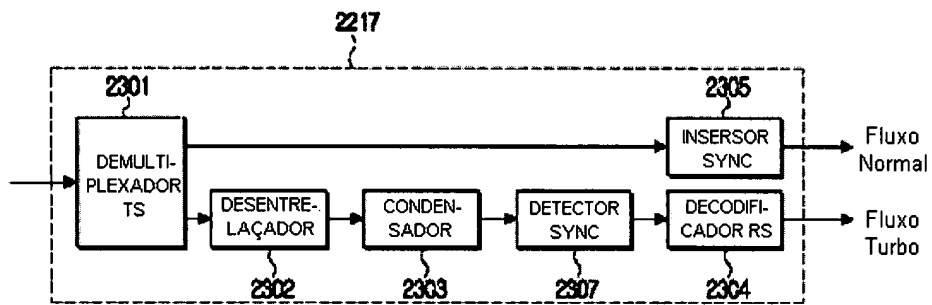


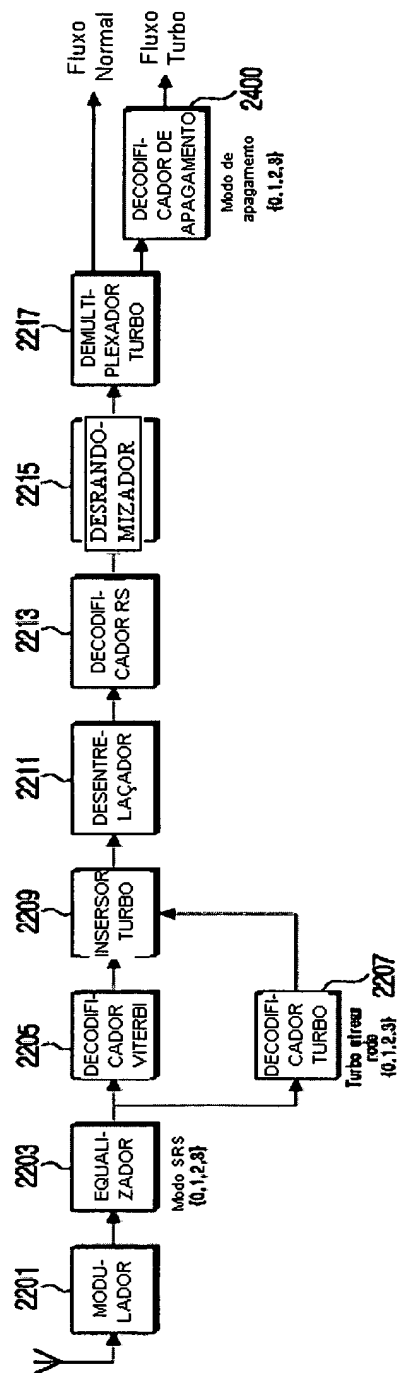
[Fig. 41]

[Fig. 42]



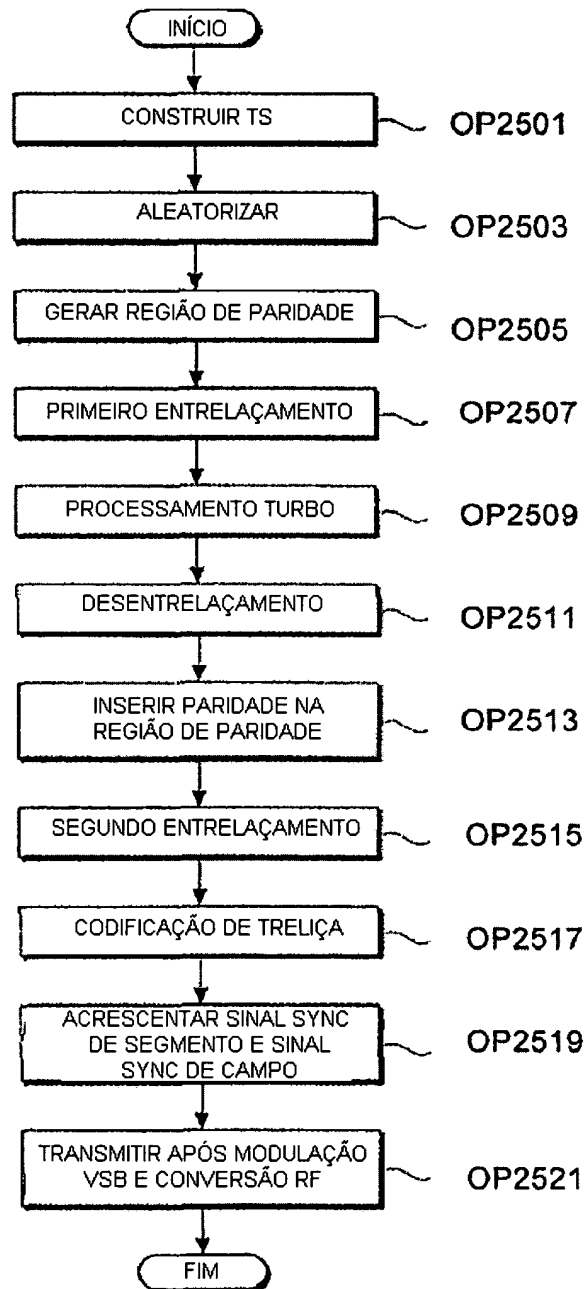
[Fig. 43]



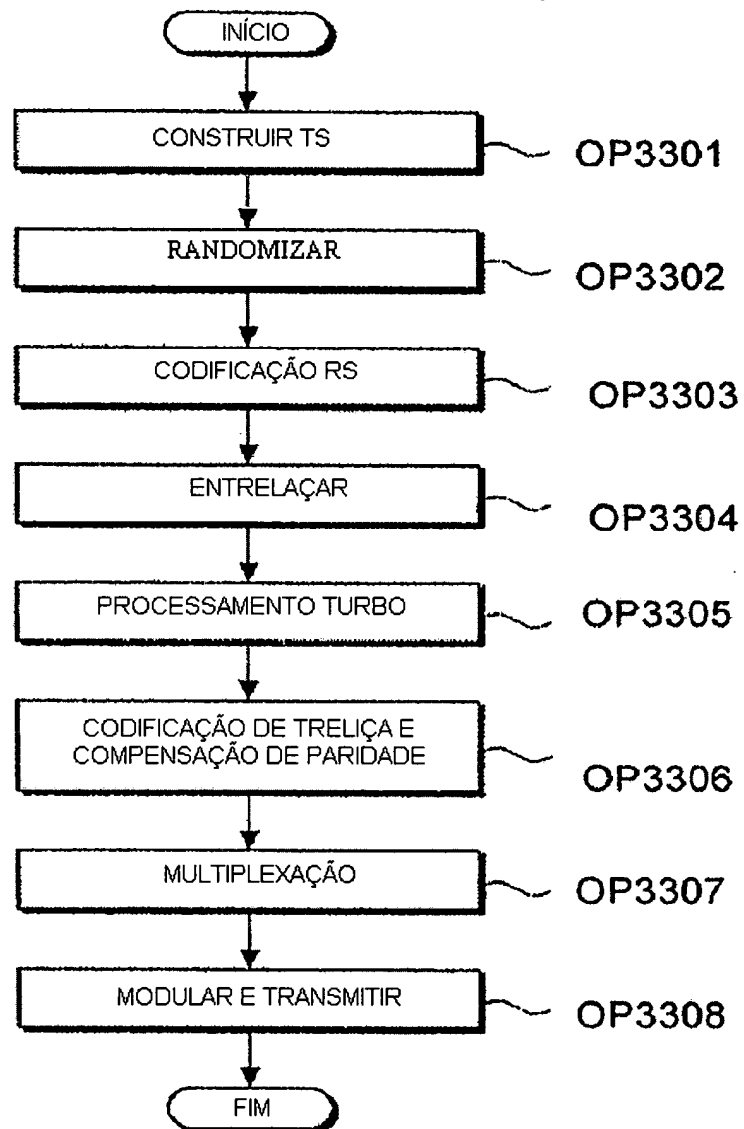


[Fig. 44]

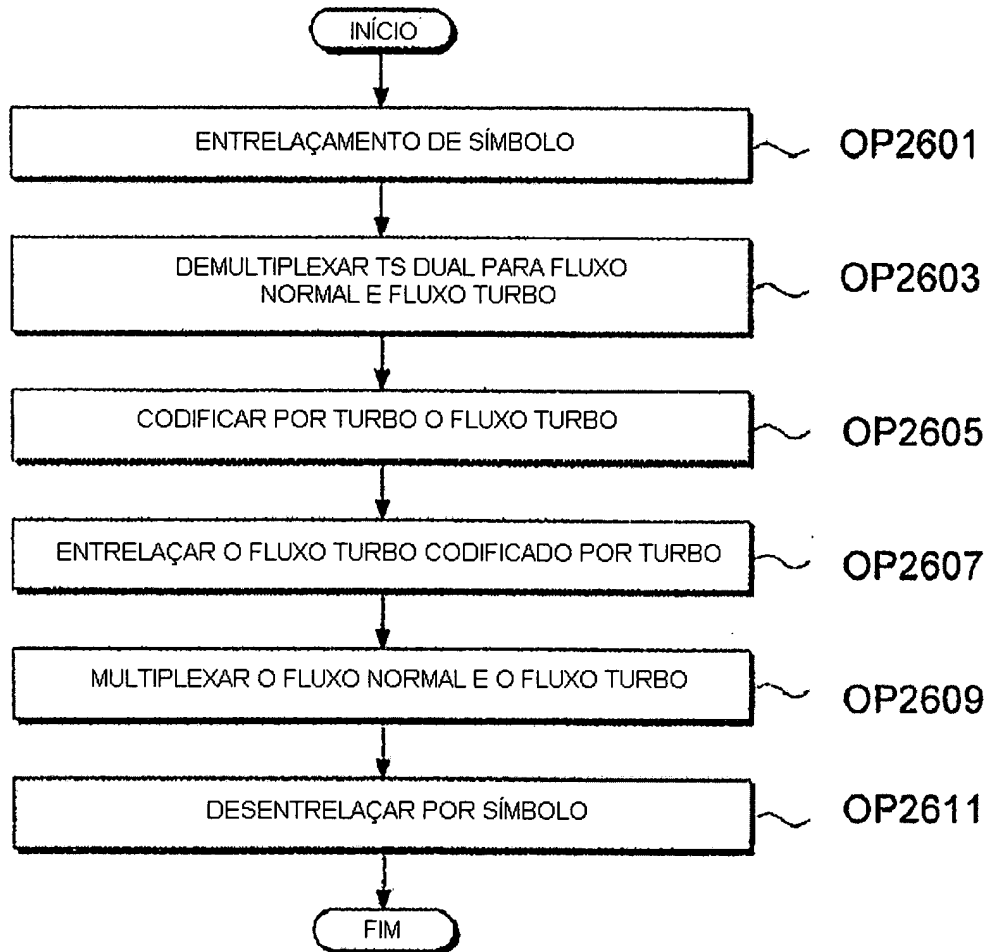
[Fig. 45]



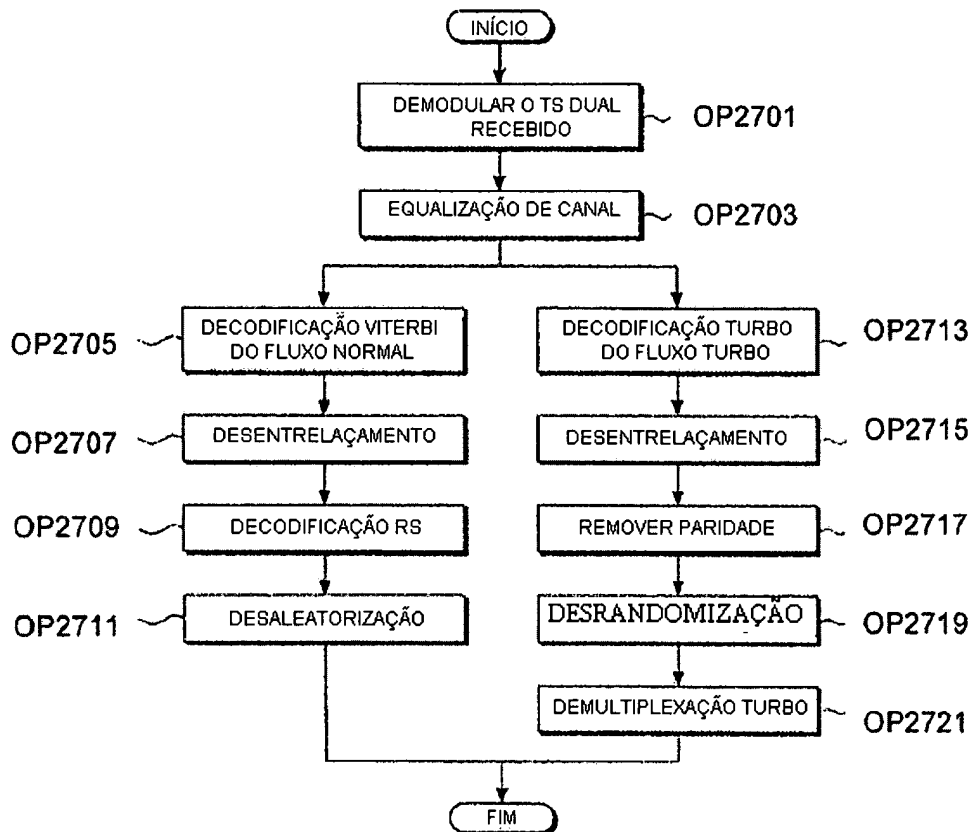
[Fig. 46]



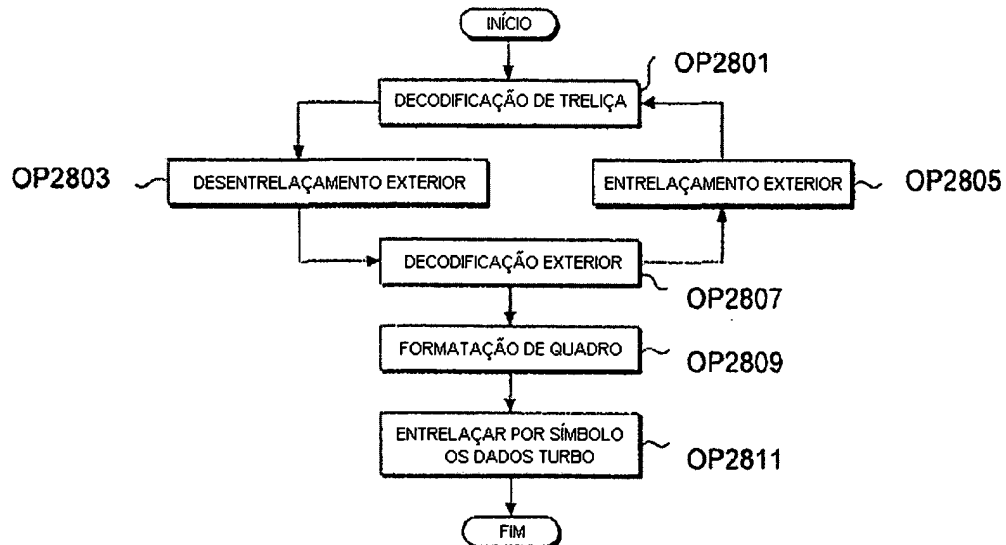
[Fig. 47]



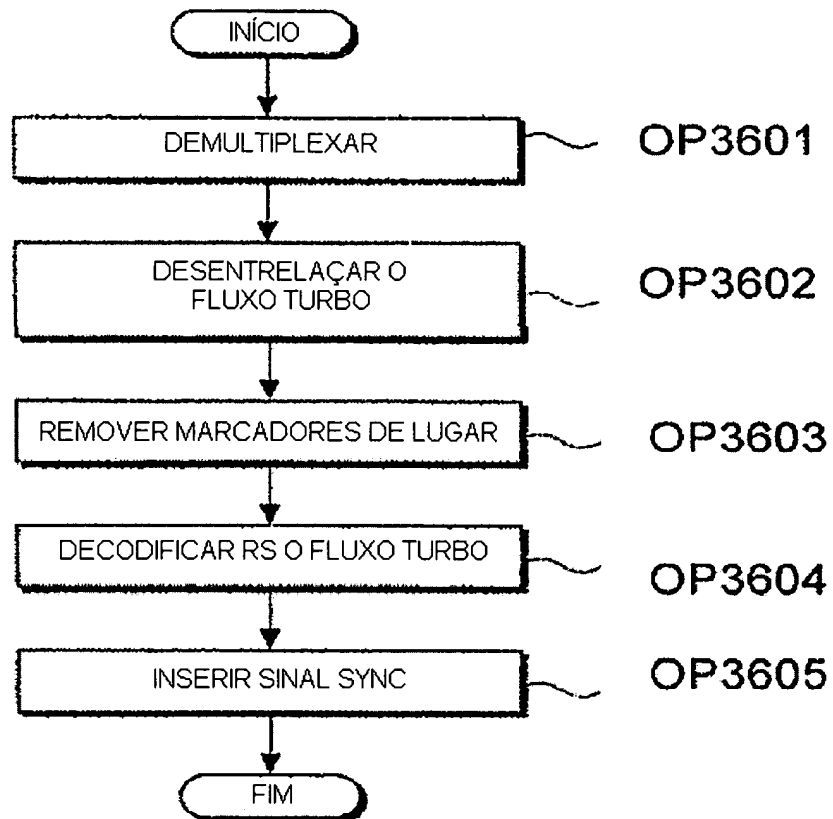
[Fig. 48]



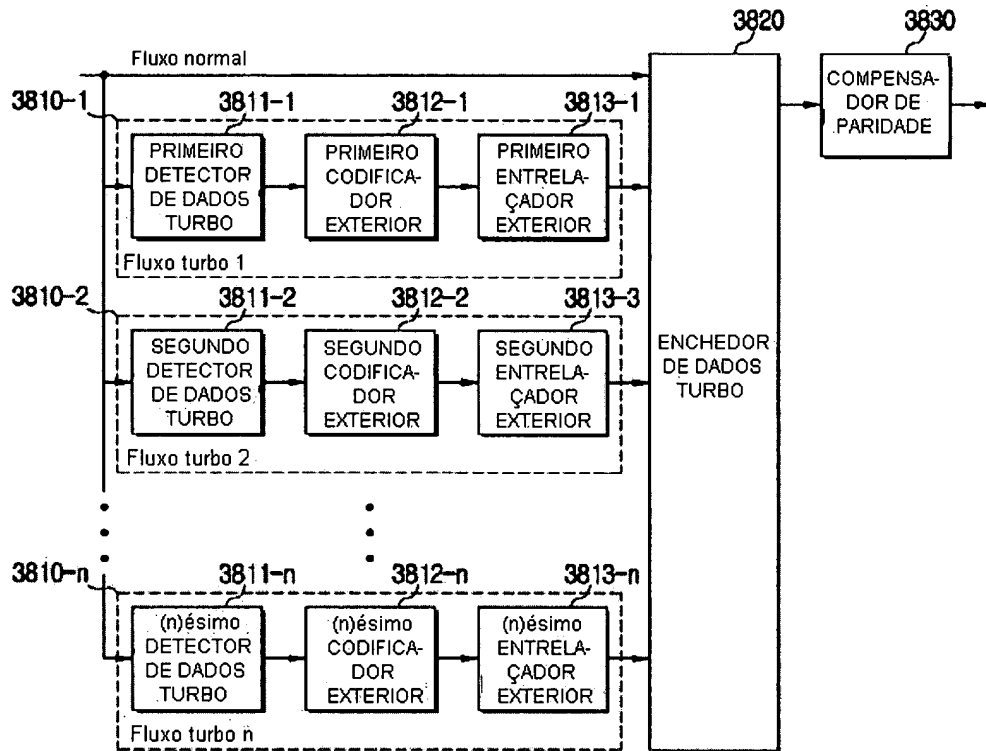
[Fig. 49]



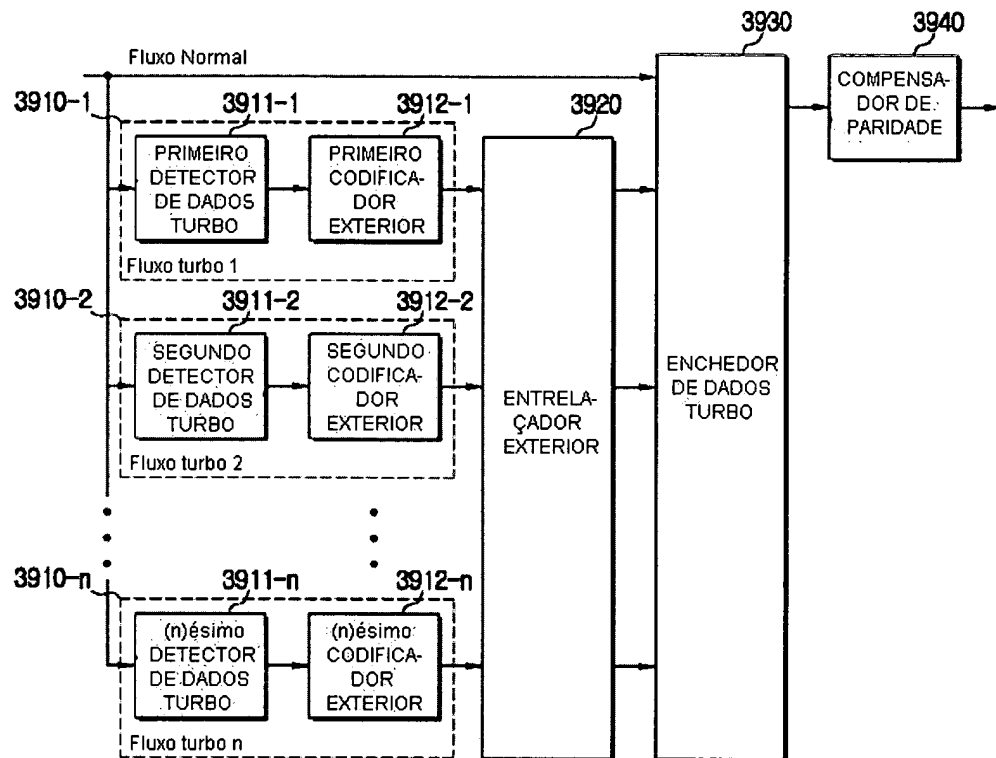
[Fig. 50]



[Fig. 51]



[Fig. 52]



[Fig. 53]

[illegible]

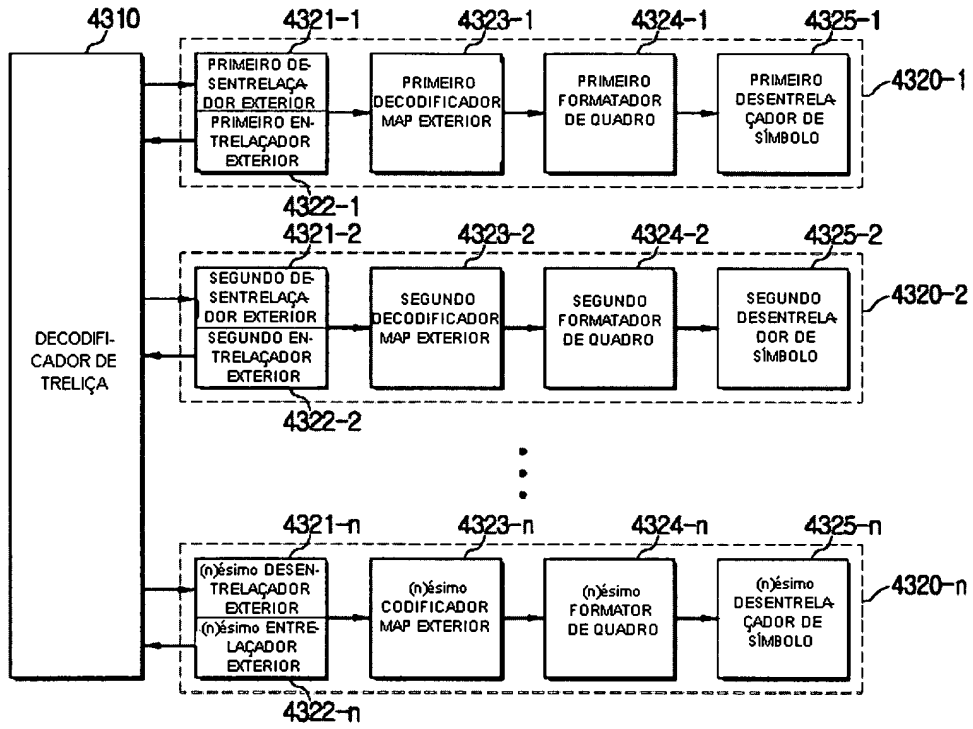
[Fig. 54]

[illegible]

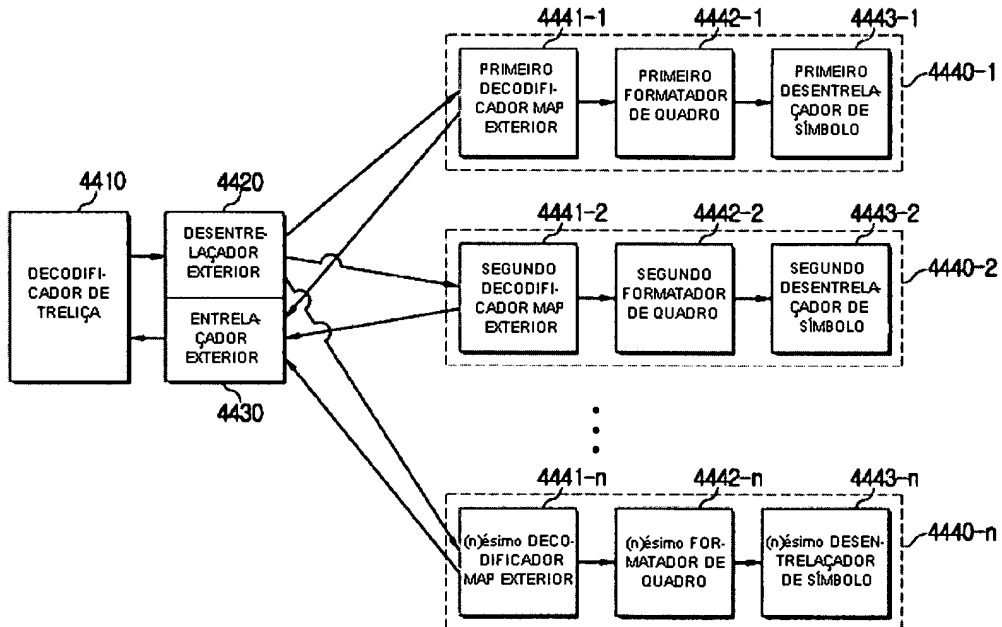
[Fig. 55]

[illegible]

[Fig. 56]



[Fig. 57]



**APARELHO DE TRANSMISSÃO DE DIFUSÃO DIGITAL E MÉTODO DE
TRANSMISSÃO DE UM APARELHO DE TRANSMISSÃO DE DIFUSÃO
DIGITAL**

Um sistema de transmissão de difusão digital
5 processando o fluxo de transporte dual (TS) que inclui
fluxos multi-turbo. O sistema de transmissão de difusão
digital inclui um processador turbo para detectar um fluxo
turbo de um fluxo de transporte dual (TS) que inclui um
fluxo normal multiplexado e um fluxo turbo, codificar o
10 fluxo turbo detectado e encher o fluxo turbo codificado
dentro do TS dual; e um transmissor para codificar por
treliça o TS dual processado, e emitir o fluxo resultante,
em que o processador turbo codifica o fluxo turbo
utilizando uma pluralidade de processadores turbo. Assim,
15 uma pluralidade de fluxos turbo poderão ser processadas em
paralelo.