



**ÚŘAD PRO VYNÁLEZY
A OBJEVY**

(22) Přihlášeno 19 02 82
(21) [PV 1153-82]

[40] Zveřejněno 27 08 82

(45) Vydáno 15 12 85

(51) Int. Cl.³
G 06 F 3/153

(75)

Autor vynálezu

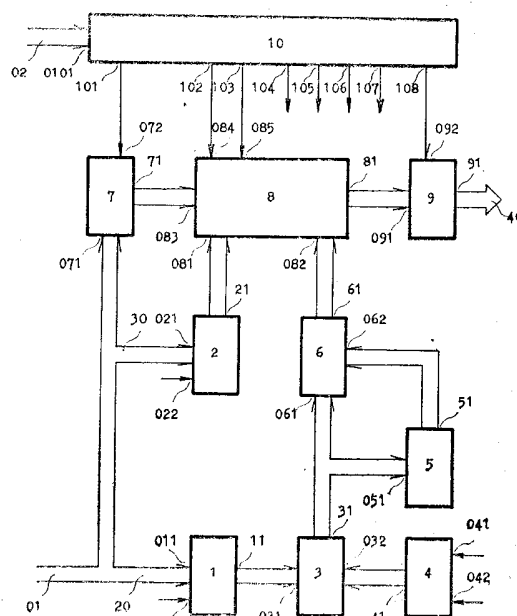
BUREŠ JAROSLAV ing., HRDLIČKA DRAHOMÍR ing., BRNO

[54] Zapojení pro relativní adresování paměťového bloku, zejména pro zobrazovací jednotku s obrazovkou

1

Cílem vynálezu je umožnit rolování zobrazovaných dat na stínítku obrazovky zobrazovací jednotky při použití poměrně jednoduchého zapojení. Uvedeného účelu se dosáhne zapojením pro relativní adresování paměťového bloku, zejména pro zobrazovací jednotku s obrazovkou, řízeným procesorem a časovým zdrojem, se vstupní a výstupní pamětí dat a řídicí jednotkou paměti. Zapojení lze použít pro menší zařízení výpočetní techniky, zejména pro mikropočítače a inteligentní terminály, a to i při použití jiné zobrazovací jednotky, než je obrazovka, například pro zobrazovací jednotku se světelnými diodami. Dále je lze použít i pro paměti i k jiným účelům, než je zobrazování dat.

2



Vynález se týká zapojení pro relativní adresování paměťového bloku, zejména pro zobrazovací jednotku s obrazovkou.

Menší zařízení výpočetní techniky, zejména mikropočítače a inteligentní terminály, používající pro svou činnost řídicího mikroprocesoru, jsou často vybaveny zobrazovací jednotkou s obrazovkou. Tato zobrazovací jednotka bývá vybavena pracovním režimem, který umožňuje vertikální posuv zobrazovaných dat na stínítku obrazovky směrem nahoru nebo dolů, tak zvaným rolováním nebo rotací zobrazovaných dat. Jsou známy zobrazovací jednotky s obrazovkou, jejichž činnost je řízena časovým zdrojem, řadičem a vlastní pamětí s kapacitou odpovídající kapacitě dat zobrazovaných na stínítku obrazovky. U těchto zařízení je obtížné dosáhnout pracovního režimu se zabezpečením rolování zobrazovaných dat na stínítku obrazovky, neboť vytváření relativní adresy pro paměť zobrazovací jednotky je záležitostí velmi složitou, vyžadující řadu pomocných obvodů a vyrovnávacích pamětí, neboť vytváření relativní adresy probíhá v součinnosti s vychylováním paprsku obrazovky a je tedy v rychlém sledu změn, které nelze jednoduše zachytit například pomocí běžného osciloskopu. To komplikuje konstrukci těchto zařízení a značně znesnadňuje servisní opravu.

Uvedené nevýhody odstraňuje zapojení pro relativní adresování paměťového bloku, zejména pro zobrazovací jednotku s obrazovkou podle vynálezu, jehož podstatu je, že vstupní datová sběrnice, připojitelná střídavě na výstupní datovou sběrnici procesoru a na výstupní datovou sběrnici časového zdroje, je připojena na skupinu vstupů vstupní datové paměti, jejíž skupina výstupů je připojena na třetí skupinu vstupů paměťového bloku, první skupina výstupů vstupní datové sběrnice je připojena na skupinu vstupů prvního registru absolutní adresy, kdežto její druhá skupina výstupů je připojena na skupinu vstupů druhého registru absolutní adresy, vstupní příkazová sběrnice, připojitelná na výstupní sběrnici procesoru, je připojena na skupinu vstupů řídicí jednotky paměti, první výstup řídicí jednotky paměti je připojen na vstup vstupní datové paměti, druhý výstup řídicí jednotky paměti je připojen na první vstup paměťového bloku, třetí výstup řídicí jednotky paměti je připojen na druhý vstup paměťového bloku, jehož skupina výstupů je připojena na skupinu vstupů výstupní datové paměti, čtvrtý výstup řídicí jednotky paměti je připojen na vstup prvního registru absolutní adresy, jehož skupina výstupů je připojena na první skupinu vstupů první sčítačky, pátý výstup řídicí jednotky paměti je připojen na vstup druhého registru absolutní adresy, jehož skupina výstupů je připojena na první skupinu vstupů paměťového bloku, šestý výstup řídicí jednotky pa-

měti je připojen na první vstup čítače rolování, jehož skupina výstupů je připojena na druhou skupinu vstupů první sčítačky, sedmý výstup řídicí jednotky paměti je připojen na druhý vstup čítače rolování, osmý výstup řídicí jednotky paměti je připojen na vstup výstupní datové paměti, jejíž skupina výstupů první sčítačky je připojena touto sběrnici, připojitelnou na vstup pevné paměti znaků zobrazovací jednotky, skupina výstupů první sčítačky je připojena na druhou skupinu vstupů paměťového bloku. Skupina výstupů první sčítačky je připojena jednak na první skupinu vstupů druhé sčítačky, jednak na skupinu vstupů rozhodovacího korekčního obvodu, jehož skupina výstupů je připojena na druhou skupinu vstupů druhé sčítačky, přičemž skupina výstupů druhé sčítačky je připojena na druhou skupinu vstupů paměťového bloku.

Výhodou zapojení podle vynálezu je, kromě toho, že odstraňuje uvedené nevýhody, že získaná relativní adresa má malé dopravní zpoždění.

Příklad zapojení pro relativní adresování paměťového bloku, zejména pro zobrazovací jednotku s obrazovkou podle vynálezu je znázorněn v blokovém schématu na připojeném výkrese.

Vstupní datová sběrnice **01**, připojitelná střídavě na výstupní datovou sběrnici neznázorněného procesoru základní jednotky a na výstupní datovou sběrnici neznázorněného časového zdroje zobrazovací jednotky, je připojena na skupinu vstupů **071** vstupní datové paměti **7**, jejíž skupina výstupů **71** je připojena na třetí skupinu vstupů **083** paměťového bloku **8**. První skupina výstupů **20** vstupní datové sběrnice **01** je připojena na skupinu vstupů **011** prvního registru **1** absolutní adresy, kdežto její druhá skupina výstupů **30** je připojena na skupinu vstupů **021** druhého registru **2** absolutní adresy. Vstupní příkazová sběrnice **02**, připojitelná na výstupní sběrnici neznázorněného procesoru základní jednotky je připojena na skupinu vstupů **0101** řídicí jednotky **10** paměti. První výstup **101** řídicí jednotky **10** paměti pro přepis dat do vstupní datové paměti je připojen na vstup **072** vstupní datové paměti **7**. Druhý výstup **102** řídicí jednotky **10** paměti pro zápis a čtení dat v paměťovém bloku je připojen na první vstup **084** paměťového bloku **8**. Třetí výstup **103** řídicí jednotky **10** paměti pro časový signál je připojen na druhý vstup **085** paměťového bloku **8**, jehož skupina výstupů **81** je připojena na skupinu vstupů **091** výstupní datové paměti **9**. Čtvrtý výstup **104** řídicí jednotky **10** paměti pro zápis dat do prvního registru absolutní adresy, je připojen na vstup **012** prvního registru **1** absolutní adresy, jehož skupina výstupů **11** je připojena na první skupinu vstupů **031** první sčítačky **3**. Pátý výstup **105** řídicí jednotky **10** paměti pro

zápis dat do druhého registru absolutní adresy je připojen na vstup **022** druhého registru **2** absolutní adresy, jehož skupina výstupů **21** je připojena na první skupinu vstupů **081** paměťového bloku **8**. Šestý výstup **106** řídicí jednotky **10** paměti pro povel k posunu textového řádku nahoru je připojen na první vstup **041** čítače **4** rolování, jehož skupina výstupů **41** je připojena na druhou skupinu vstupů **032** první sčítačky **3**. Sedmý výstup **107** řídicí jednotky **10** paměti pro povel k posunu textového řádku dolů je připojen na druhý vstup **042** čítače **4** rolování. Osmý výstup **108** řídicí jednotky **10** paměti pro přepis dat do výstupní datové paměti je připojen na vstup **092** výstupní datové paměti **9**, jejíž skupina výstupů **91** je připojena na výstupní datovou sběrnici **40** připojitelnou na vstup neznázorněné pevné paměti znaků, jejíž výstup je připojen na vstup neznázorněného paralelně sériového posuvného registru, připojeného svým výstupem ke katodě neznázorněné obrazovky. Skupina výstupů **31** první sčítačky **3** pro relativní adresu je připojena jednak na první skupinu vstupů **061** druhé sčítačky **6**, jednak na skupinu vstupů **051** rozhodovacího korekčního obvodu **5**, jehož skupina výstupů **51** je připojena na druhou skupinu vstupů **062** druhé sčítačky **6**. Skupina výstupů **61** druhé sčítačky **6** pro korigovanou relativní adresu je připojena na druhou skupinu vstupů **082** paměťového bloku **8**.

V některých případech je pro nezávislou činnost zobrazovací jednotky a procesoru základní jednotky, který řídí řadu pochodů při činnosti řídicí a aritmetické jednotky zařízení výpočetní techniky nutné vybavit zobrazovací jednotku samostatným procesorem. Počet výstupů v první skupině výstupů **20** vstupní datové sběrnice **01** závisí na počtu řádků informace na obrazovce, kdežto počet výstupů v druhé skupině výstupů **30** vstupní datové sběrnice **01** na počtu znaků v řádku. Počet řádků a počet znaků na obrazovce se v současné době ustálil na dvaceti čtyřech řádcích po osmdesáti znacích. To znamená, že v tomto konkrétním případě obsahuje první skupina výstupů **20** pět výstupů a druhá skupina výstupů **30** sedm výstupů, přičemž počet vstupů ve skupině vstupů **071** vstupní datové paměti **7** činí osm. Pokud počet řádků informace na obrazovce činí šestnáct nebo celý násobek tohoto počtu, mohou rozhodovací korekční obvod **5** a druhá sčítačka **6** odpadnout.

Vstupní datová sběrnice **01** je v soulase s režimem zápis nebo čtení přepínána buď na výstup datové sběrnice procesoru základní jednotky, nebo na výstupní datovou sběrnici časového zdroje zobrazovací jednotky. Po vstupní datové sběrnici **01** přichází z procesoru základní jednotky informace, která má význam absolutní adresy řádku nebo kódu zobrazovaného znaku. Přesný význam informace na vstupní dato-

vé sběrnici **01** je určen řídicí jednotkou **10** paměti, která dá příkaz k zapsání informace přítomné na vstupní datové sběrnici **01** buď do prvního registru **1** absolutní adresy, nebo do druhého registru **2** absolutní adresy, anebo v posledním případě do vstupní datové paměti **7**. Data paměťového bloku **8** mohou být čtena a přiváděna přes výstupní datovou paměť **9** na výstupní datovou sběrnici **40** a do pevné paměti znaků a odtud přes paralelně sériový posuvný registr do katody obrazovky. Data v podobě kódu znaku mohou být též zaznamenána do paměťového bloku **8**, a to na adrese, která je určena obsahem druhého registru **2** absolutní adresy, to je adresy sloupce a další části adresy, která vznikne jako výsledek součtu obsahu prvního registru **1** absolutní adresy a stavu čítače **4** rolování na první sčítačce **3**, korigované přes rozhodovací korekční obvod **5** na druhé sčítačce **6**. Na skupině výstupů **61** druhé sčítačky **6** vznikne tedy korigovaná relativní adresa řádku. Korigovaná relativní adresa řádku může být zvětšována nebo zmenšována přičítáním nebo odečítáním určitého počtu jednotek do čítače **4** rolování. Příkaz k přičítání nebo odečítání jednotky na prvním nebo druhém vstupu **041**, **042** čítače **4** rolování přichází z řídicí jednotky **10** paměti z procesoru základní jednotky. Zvětšuje-li se obsah čítače **4** rolování, zobrazovaná data na stínítku obrazovky se pohybují směrem nahoru, zmenšuje-li se obsah čítače **4** rolování, pohybují se data na stínítku obrazovky směrem dolů. Činnost zapojení je stejná pro zápis do paměťového bloku **8** i pro čtení obsahu paměťového bloku **8**. Režim zápisu nebo čtení paměťového bloku **8** určuje stavový signál druhého řídicího signálu přítomného na druhém výstupu **102** řídicí jednotky **10** paměti. Při zápisu do paměťového bloku **8** na relativní adresu je adresa zápisu určena na vstupní datové sběrnici **01** z procesoru základní jednotky. Při čtení obsahu dat z paměťového bloku **8** je relativní adresa určována čítači sloupců a čítači textových řádků v časovém zdroji zobrazovací jednotky, které čítají v souladu s průběhem paprsku na stínítku obrazovky. Údaje o okamžité poloze paprsku poskytuje absolutní adresa sloupce a řádku, která je přítomna na vstupní datové sběrnici **01**. Rovněž při čtení dat z paměťového bloku **8** a jejich přivádění na obrazovku, je absolutní adresa textového řádku, daná okamžitým stavem čítače textových řádků v časovém zdroji zobrazovací jednotky, převedena přes první sčítačku **3** a podle čítače **4** rolování je vytvořena relativní adresa řádku, která je dále přes rozhodovací korekční obvod **5** a druhou sčítačku **6**, upravena na výslednou korigovanou adresu řádku, která je přiváděna na příslušné vstupy paměťového bloku **8**.

Zapojení podle vynálezu lze použít i pro

jinou zobrazovací jednotku, než je obrazovka, například pro zobrazovací jednotku se světelnými diodami. Dále je lze použít i pro

paměti k jiným účelům, než je zobrazování dat.

PŘEDMĚT VYNÁLEZU

1. Zapojení pro relativní adresování paměťového bloku, zejména pro zobrazovací jednotku s obrazovkou, řízené procesorem a časovým zdrojem, se vstupní a výstupní paměti dat, vyznačené tím, že vstupní datová sběrnice (01), připojitelná střídavě na výstupní datovou sběrnici procesoru a na výstupní datovou sběrnici časového zdroje, je připojena na skupinu vstupů (071) vstupní datové paměti (7), jejíž skupina výstupů (71) je připojena na třetí skupinu vstupů (083) paměťového bloku (8), první skupina výstupů (20) vstupní datové sběrnice (01) je připojena na skupinu vstupů (011) prvního registru (1) absolutní adresy, kdežto její druhá skupina výstupů (30) je připojena na skupinu vstupů (021) druhého registru (2) absolutní adresy, vstupní příkazová sběrnice (02), připojitelná na výstupní sběrnici procesoru, je připojena na skupinu vstupů (0101) řídicí jednotky (10) paměti, první výstup (101) řídicí jednotky (10) paměti je připojen na vstup (072) vstupní datové paměti (7), druhý výstup (102) řídicí jednotky (10) paměti je připojen na první vstup (084) paměťového bloku (8), třetí výstup (103) řídicí jednotky (10) paměti je připojen na druhý vstup (085) paměťového bloku (8), jehož skupina výstupů (81) je připojena na skupinu vstupů (091) výstupní datové paměti (9), čtvrtý výstup (104) řídicí jednotky (10) paměti je připojen na vstup (012) prvního registru (1) absolutní adresy, jehož skupina

výstupů (11) je připojena na první skupinu vstupů (031) první sčítačky (3), pátý výstup (105) řídicí jednotky (10) paměti je připojen na vstup (022) druhého registru (2) absolutní adresy, jehož skupina výstupů (21) je připojena na první skupinu vstupů (081) paměťového bloku (8), šestý výstup (106) řídicí jednotky (10) paměti je připojen na první vstup (041) čítače (4) rolování, jehož skupina výstupů (41) je připojena na druhou skupinu vstupů (032) první sčítačky (3), sedmý výstup (107) řídicí jednotky (10) paměti je připojen na druhý vstup (042) čítače (4) rolování, osmý výstup (108) řídicí jednotky (10) paměti je připojen na vstup (092) výstupní datové paměti (9), jejíž skupina výstupů (91) je připojena na výstupní datovou sběrnici (40), připojitelnou na vstup pevné paměti znaků zobrazovací jednotky, skupina výstupů (31) první sčítačky (3) je připojena na druhou skupinu vstupů (082) paměťového bloku (8).

2. Zapojení podle bodu 1 vyznačené tím, že skupina výstupů (31) první sčítačky (3) je připojena jednak na první skupinu vstupů (061) druhé sčítačky (6), jednak na skupinu vstupů (051) rozhodovacího korekčního obvodu (5), jehož skupina výstupů (51) je připojena na druhou skupinu vstupů (062) druhé sčítačky (6), přičemž skupina výstupů (61) druhé sčítačky (6) je připojena na druhou skupinu vstupů (082) paměťového bloku (8).

