

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 6 月 13 日 (13.06.2019)



(10) 国际公布号
WO 2019/109751 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2018/111954

(22) 国际申请日: 2018 年 10 月 25 日 (25.10.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

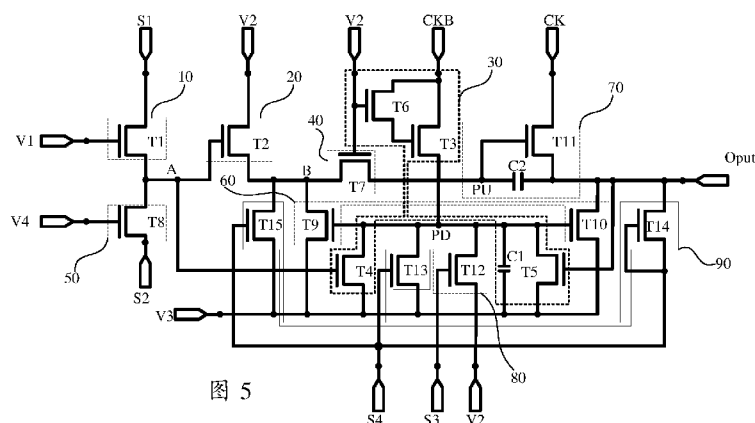
(30) 优先权:
201711299235.5 2017 年 12 月 8 日 (08.12.2017) CN

(71) 申请人: 京东方科技集团股份有限公司
(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号, Beijing
100015 (CN)。鄂尔多斯市源盛光电有限责任
公司(**ORDOS YUANSHENG OPTOELECTRONICS
CO., LTD.**) [CN/CN]; 中国内蒙古自治区鄂尔
多斯市东胜区鄂尔多斯装备制造基地,
Inner Mongolia 017020 (CN)。

(72) 发明人: 刘鹏(**LIU, Peng**); 中国北京市北京经济
技术开发区地泽路 9 号, Beijing 100176 (CN)。
王珍(**WANG, Zhen**); 中国北京市北京经济技术
开发区地泽路 9 号, Beijing 100176 (CN)。张寒
(**ZHANG, Han**); 中国北京市北京经济技术开发
区地泽路 9 号, Beijing 100176 (CN)。张锴(**ZHANG,
Kai**); 中国北京市北京经济技术开发区地泽路
9 号, Beijing 100176 (CN)。乔赞(**QIAO, Yun**); 中
国北京市北京经济技术开发区地泽路 9 号, Beijing
100176 (CN)。孙建(**SUN, Jian**); 中国北京市北
京经济技术开发区地泽路 9 号, Beijing 100176
(CN)。刘白灵(**LIU, Bailing**); 中国北京市北京经
济技术开发区地泽路 9 号, Beijing 100176 (CN)。
黄飞(**HUANG, Fei**); 中国北京市北京经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。王争奎
(**WANG, Zhengkui**); 中国北京市北京经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。张建军

(54) **Title:** SHIFT REGISTER, GATE DRIVING CIRCUIT AND DRIVING METHOD, AND DISPLAY APPARATUS

(54) 发明名称: 移位寄存器、栅极驱动电路及驱动方法、显示装置



(57) **Abstract:** A shift register, comprising: a first input sub-circuit 10 connected to a first signal end S1, a first voltage end V1 and a first node A, the first input sub-circuit 10 being configured to output a voltage at the first signal end S1 to the first node A; a pull-up control sub-circuit 20 connected to the first node A, a second voltage end V2 and a second node B, the pull-up control sub-circuit 20 being configured to be in an ON or OFF state under the control of the voltage at the first node A and to output the voltage at the second voltage end V2 to the second node B when the pull-up control sub-circuit 20 is in an ON state; and a pull-down control sub-circuit 30 connected to the first node A, a third voltage end V3, a first clock signal end (CKB), a signal output end (Oput) and a pull-down node (PD), the pull-down control sub-circuit 30 being configured to: output the voltage at the third voltage end V3 to the pull-down node (PD), under the control of the voltage at the first node A; output the voltage at the third voltage end V3 to the pull-down node (PD), under the control of the voltage at the signal output end (Oput); and output the voltage at the first clock signal end (CKB) to the pull-down node (PD) under the control of the voltage at the first clock signal end (CKB).

(ZHANG, Jianjun); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京中博世达专利商标代理有限公司 (BEIJING ZBSD PATENT&TRADEMARK AGENT LTD.); 中国北京市海淀区交大东路31号11号楼8层, Beijing 100044 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 移位寄存器, 包括: 第一输入子电路10连接到第一信号端S1、第一电压端V1和第一节点A, 第一输入子电路10配置为将第一信号端S1的电压输出至第一节点A; 上拉控制子电路20连接到第一节点A、第二电压端V2和第二节点B, 上拉控制子电路20配置为在第一节点A的电压控制下, 处于开启或者关闭状态, 且在上拉控制子电路20处于开启状态时, 将第二电压端V2的电压输出至第二节点B; 下拉控制子电路30连接到第一节点A、第三电压端V3、第一时钟信号端CKB、信号输出端Oput和下拉节点PD, 下拉控制子电路30配置为在第一节点A的电压控制下, 将第三电压端V3的电压输出至下拉节点PD; 在信号输出端Oput的电压控制下, 将第三电压端V3的电压输出至下拉节点PD; 在第一时钟信号端CKB的电压控制下, 将第一时钟信号端CKB的电压输出至下拉节点PD。

移位寄存器、栅极驱动电路及驱动方法、显示装置

本申请要求于 2017 年 12 月 8 日提交中国专利局、申请号为

- 5 201711299235.5、申请名称为“移位寄存器单元、栅极驱动电路及驱动方法、显示装置”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

- 10 本公开涉及显示技术领域，尤其涉及一种移位寄存器、栅极驱动电路及驱动方法、显示装置。

背景技术

- 随着显示技术的不断提高，人们对于显示装置的要求也在不断提高。为了实现低成本和窄边框，通常采用 GOA (Gate Driver on Array, 集成栅极驱动电路) 技术。利用 GOA 技术将栅极驱动电路集成在显示面板的阵列基板上，从而可以省掉栅极驱动 IC (Integrated Circuit, 集成电路)。
- 15

发明内容

- 本公开的一些实施例提供一种移位寄存器，包括：第一输入子电路、上拉控制子电路和下拉控制子电路；所述第一输入子电路，连接到第一信号端、第一电压端和第一节点，所述第一输入子电路配置为在来自所述第一电压端的电压的控制下，将所述第一信号端的电压输出至所述第一节点；
- 20 所述第一输入子电路，连接到所述第一节点、第二电压端和第二节点，所述第一输入子电路配置为在来自所述第一节点的电压的控制下，处于开启或者关闭状态，且在所述第一输入子电路处于开启状态时，将所述第二电压端的电压输出至所述第二节点；所述下拉控制子电路，连接到所述第一节点、第三电压端、第一时钟信号端、所述信号输出端和所述下拉节点，
- 25 所述下拉控制子电路配置为在来自所述第一节点的电压的控制下，将所述第三电压端的电压输出至所述下拉节点；在来自所述信号输出端的电压的控制下，将所述第三电压端的电压输出至所述下拉节点；在来自所述第一时钟信号端的电压的控制下，将所述第一时钟信号端的电压输出至所述下拉节点；其中，所述第二节点与上拉节点相连接。
- 30

在一些实施例中，所述上拉节点配置为控制所述移位寄存器的信号输

出端输出栅极扫描信号，所述下拉节点配置为停止所述信号输出端输出栅极扫描信号。

5 在一些实施例中，所述移位寄存器还包括：滤波子电路；所述滤波子电路，连接到所述第二节点、所述上拉节点、所述第二电压端，所述滤波子电路配置为在来自所述第二电压端的电压的控制下，将所述第二节点输入至所述滤波子电路的电压中的杂波滤除后输出至所述上拉节点。

10 在一些实施例中，所述移位寄存器还包括：第二输入子电路；所述第二输入子电路，连接到第二信号端、第四电压端和所述第一节点，所述第二输入子电路配置为在来自所述第四电压端的电压的控制下，将所述第二信号端的电压输出至所述第一节点。

15 在一些实施例中，所述移位寄存器还包括：下拉子电路和输出子电路；所述下拉子电路，连接到所述下拉节点、所述第二节点、所述信号输出端和所述第三电压端，所述下拉子电路配置为在来自所述下拉节点的电压的控制下，将所述第三电压端的电压输出至所述第二节点和所述信号输出端；所述输出子电路，连接到所述上拉节点、第二时钟信号端、所述信号输出端，所述输出子电路配置为在来自所述上拉节点的电压的控制下，将所述第二时钟信号端的电压输出至所述信号输出端。

20 在一些实施例中，所述移位寄存器还包括：初始化子电路；所述初始化子电路，连接到第三信号端、所述第二电压端和所述下拉节点，所述初始化子电路配置为在来自所述第三信号端的电压的控制下，将所述第二电压端的电压输出至所述下拉节点。

25 在一些实施例中，所述移位寄存器还包括：残荷消除子电路；所述残荷消除子电路，连接到第四信号端、所述第三电压端、所述第二节点、所述下拉节点和所述信号输出端，所述残荷消除子电路配置为在来自所述第四信号端的电压的控制下，将所述第三电压端的电压输出至所述第二节点和所述下拉节点，所述残荷消除子电路还配置为将所述第四信号端的电压输出至所述信号输出端。

30 在一些实施例中，所述第一输入子电路包括第一晶体管；所述第一晶体管的栅极连接到所述第一信号端，第一极连接到所述第一电压端，第二极连接到所述第一节点。

在一些实施例中，所述上拉控制子电路包括第二晶体管；所述第二晶体管的栅极连接到所述第一节点，第一极连接到所述第二电压端，第二极

5 5 连接到所述第二节点。

在一些实施例中，所述下拉控制子电路包括第三晶体管、第四晶体管、第五晶体管；所述第三晶体管的栅极连接到所述第一时钟信号端，第一极连接到所述第一时钟信号端，第二极连接到所述下拉节点；所述第四晶体管的栅极连接到所述第一节点，第一极连接到所述下拉节点，第二极连接到所述第三电压端；所述第五晶体管的栅极连接到所述信号输出端，第一极连接到所述下拉节点，第二极连接到所述第三电压端。

10 10 在一些实施例中，所述下拉控制子电路还包括第六晶体管；所述第六晶体管的栅极连接到所述第二电压端，第一极连接到所述第一时钟信号端，第二极连接到所述第三晶体管的栅极。

在一些实施例中，所述下拉控制子电路还包括第一电容；所述第一电容的第一极连接到所述下拉节点，第二极连接到所述第三电压端。

15 15 在一些实施例中，所述移位寄存器还包括滤波子电路的情况下，所述滤波子电路包括第七晶体管；所述第七晶体管的栅极连接到所述第二电压端，第一极连接到所述第二节点，第二极连接到所述上拉节点。

在一些实施例中，所述移位寄存器还包括第二输入子电路的情况下，所述第二输入子电路包括第八晶体管；所述第八晶体管的栅极连接到所述第二信号端，第一极连接到所述第一节点，第二极连接到所述第四电压端。

20 20 在一些实施例中，所述下拉子电路包括第九晶体管和第十晶体管，所述输出子电路包括第十一晶体管和第一电容；所述第九晶体管的栅极连接到所述下拉节点，第一极连接到所述第二节点，第二极连接到所述第三电压端；所述第十晶体管的栅极连接到所述下拉节点，第一极连接到所述信号输出端，第二极连接到所述第三电压端；所述第一电容的第一极连接到所述上拉节点，第二极连接到所述信号输出端；所述第十一晶体管的栅极连接到所述上拉节点，第一极连接到所述第二时钟信号端，第二极连接到所述信号输出端。

在一些实施例中，所述移位寄存器还包括初始化子电路的情况下，所述初始化子电路包括第十二晶体管；所述第十二晶体管的栅极连接到所述第三信号端，第一极连接到所述下拉节点，第二极连接到所述第二电压端。

30 30 在一些实施例中，所述移位寄存器还包括残荷消除子电路的情况下，所述残荷消除子电路包括第十三晶体管、第十四晶体管和第十五晶体管；所述第十三晶体管的栅极连接到所述第四信号端，第一极连接到所述下拉

节点，第二极连接到所述第三电压端；所述第十四晶体管的栅极连接到所述第四信号端，第一极连接到所述信号输出端，第二极连接到所述第四信号端；所述第十五晶体管的栅极连接到所述第四信号端，第一极连接到所述第二节点，第二极连接到所述第三电压端。

5 本公开的一些实施例提供一种栅极驱动电路，包括至少两级级联的如第一方面所述的移位寄存器；第一级移位寄存器的第一信号端与起始信号端相连接；除了所述第一级移位寄存器以外，每一级移位寄存器的第一信号端与其上一级移位寄存器的信号输出端相连接。

10 在一些实施例中，所述移位寄存器还包括第二信号输入子电路的情况下；除了最后一级移位寄存器以外，每一级移位寄存器的第二信号端与其下一级移位寄存器的信号输出端相连接；所述最后一级移位寄存器的第二信号端连接所述起始信号端，或者复位信号端。在一些实施例中，所述移位寄存器包括输出子电路的情况下；奇数级的移位寄存器中第一时钟信号端与第一时钟信号线连接，第二时钟信号端与第二时钟信号线连接；偶数
15 级的移位寄存器中第一时钟信号端与所述第二时钟信号线连接，第二时钟信号端与所述第一时钟信号线连接。

本公开的一些实施例还提供一种显示装置，包括第二方面所述的栅极驱动电路。

20 本公开的一些实施例提供一种用于驱动上述的移位寄存器的驱动方法，包括：输入阶段：在来自第一电压端的控制下，第一输入子电路将第一信号端输入的电压输出至第一节点，以通过所述第一节点的电压控制上拉控制子电路开启，将第二电压端的电压经第二节点输出至上拉节点；同时，在来自所述第一节点的电压的控制下，下拉控制子电路将第三电压端的电压输出至下拉节点；输出阶段：在来自所述第一节点的电压的控制下，
25 使所述上拉控制子电路处于关闭状态；并在来自信号输出端的电压的控制下，所述下拉控制子电路将所述第三电压端的电压输出至所述下拉节点；下拉阶段：在来自所述第一节点的电压的控制下，使所述上拉控制子电路处于关闭状态；并在第一时钟信号端的控制下，所述下拉控制子电路将所述第一时钟信号端的时钟信号输出至下拉节点。

30 在一些实施例中，所述移位寄存器包括滤波子电路、下拉子电路和输出子电路的情况下；在所述输入阶段，所述方法还包括：所述滤波子电路将所述第二节点输入的电压中的杂波滤除后输出至所述上拉节点。在所述

输出阶段，所述方法还包括：在来自所述上拉节点的电压的控制下，所述输出子电路将第二时钟信号端的时钟信号输出至信号输出端，所述信号输出端输出栅极扫描信号。在所述下拉阶段，所述方法还包括：在来自所述下拉节点的电压的控制下，下拉子电路将第三电压端的电压输出至所述第二节点，所述滤波子电路将所述第二节点输入的电压中的杂波滤除后输出至所述上拉节点，控制所述输出子电路关闭。所述下拉子电路还将所述第三电压端的电压输出至所述信号输出端。

在一些实施例中，所述移位寄存器单元包括初始化子电路和残荷消除子电路。所述方法还包括：初始化阶段：在来自第三信号端的信号的控制下，所述初始化子电路将所述第二电压端的电压输出至所述下拉节点。在来自所述下拉节点的电压的控制下，下拉子电路将所述第三电压端的电压输出至所述第二节点，所述滤波子电路将所述第二节点输入的电压中的杂波滤除后输出至所述上拉节点。所述下拉子电路还将所述第三电压端输入的下拉信号输出至所述信号输出端。残荷消除阶段：在第四信号端的控制下，所述残荷消除子电路将所述第三电压端的电压输出至所述下拉节点和所述第二节点。所述滤波子电路将来自所述第二节点的电压中的杂波滤除后输出至所述上拉节点；所述残荷消除子电路还将所述第四信号端的电压输出至所述信号输出端。

本公开的一些实施例提供一种用于驱动上述的移位寄存器的驱动方法，其中，所述移位寄存器包括第二输入子电路的情况下；所述驱动方法包括：输入阶段：在来自第四电压端的电压的控制下，第二输入子电路将第二信号端输入的电压输出至所述第一节点，以通过所述第一节点的电压控制上拉控制子电路开启，将第二电压端的电压经第二节点输出至上拉节点。同时，在来自所述第一节点的电压的控制下，下拉控制子电路将第三电压端的电压输出至下拉节点。输出阶段：在来自所述第一节点的电压的控制下，使所述上拉控制子电路处于关闭状态；并在来自信号输出端的电压的控制下，所述下拉控制子电路将所述第三电压端的电压输出至所述下拉节点。下拉阶段：在来自所述第一节点的电压的控制下，使所述上拉控制子电路处于关闭状态；并在第一时钟信号端的控制下，所述下拉控制子电路将所述第一时钟信号端的时钟信号输出至下拉节点。

附图说明

为了更清楚地说明本公开实施例或相关技术中的技术方案，下面将对

实施例或相关技术描述中所需要使用的附图作简单地介绍。显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

- 5 图 1 为本公开的一些实施例提供的一种移位寄存器的结构示意图；
图 2 为本公开的一些实施例提供的再一种移位寄存器的结构示意图；
图 3 为本公开的一些实施例提供的另一种移位寄存器的结构示意图；
图 4 为本公开的一些实施例提供的又一种移位寄存器的结构示意图；
图 5 为本公开的一些实施例提供的又一种移位寄存器的结构示意图；
10 图 6 为本公开的一些实施例提供的一种栅极驱动电路的结构示意图；
图 7 为本公开的一些实施例提供的另一种栅极驱动电路的结构示意图；
图 8 为本公开的一些实施例提供的一种移位寄存器的控制信号时序图；
15 图 9 为本公开提供的两种移位寄存器的下拉节点的电位对比示意图；
图 10 为相关技术提供的一种移位寄存器的结构示意图；
图 11 为相关技术提供的一种移位寄存器的控制信号紊乱时的时序图；
图 12 为本公开的一些实施例提供的一种移位寄存器驱动方法的流程图示意图；
20 图 13 为本公开的一些实施例提供的再一种移位寄存器驱动方法的流程图示意图；
图 14 为本公开的一些实施例提供的另一种移位寄存器驱动方法的流程图示意图。

具体实施方式

- 25 下面将结合附图，对本公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。

- 30 相关技术中的栅极驱动电路，本级移位寄存器的复位信号端与下一级移位寄存器的信号输出端相连接，这使得本级移位寄存器在下拉阶段依靠下一级移位寄存器提供的信号才能完成，而当下一级移位寄存器输出异常时，会导致本级移位寄存器无法完成下拉阶段的工作，进而导致栅极驱动

电路输出异常。

本公开的一些实施例提供一种移位寄存器，如图 1 所示，包括：第一输入子电路 10、上拉控制子电路 20 和下拉控制子电路 30。

第一输入子电路 10，连接到第一信号端 S1、第一电压端 V1 和第一节点 A。第一输入子电路 10 配置为在来自第一电压端 V1 的电压的控制下，将第一信号端 S1 的电压输出至第一节点 A。

上拉控制子电路 20，连接到第一节点 A、第二电压端 V2 和第二节点 B。上拉控制子电路 20 配置为在来自第一节点 A 的电压的控制下，处于开启或者关闭状态，且在上拉控制子电路 20 处于开启状态时，将第二电压端 V2 的电压输出至第二节点 B。

下拉控制子电路 30，连接到第一节点 A、第三电压端 V3、第一时钟信号端 CKB、信号输出端 OUTPUT（下文以及附图均以 Oput 表示）和下拉节点 PD。下拉控制子电路 30 配置为在来自第一节点 A 的电压的控制下，将第三电压端 V3 的电压输出至下拉节点 PD。下拉控制子电路 30 还配置为在来自信号输出端 Oput 的电压的控制下，将第三电压端 V3 的电压输出至下拉节点 PD。下拉控制子电路 30 还配置为在来自第一时钟信号端 CKB 的电压的控制下，将第一时钟信号端 CKB 的电压输出至下拉节点 PD。

第二节点 B 与上拉节点 PU 连接。

上拉节点 PU 配置为控制移位寄存器的信号输出端 Oput 输出栅极扫描信号，下拉节点 PD 配置为停止信号输出端 Oput 输出栅极扫描信号。

在一些实施例中，上拉节点 PU 配置为控制信号输出端 Oput 输出栅极扫描信号，即，上拉节点 PU 配置为控制信号输出端 Oput 输出高电平信号。下拉节点 PD 配置为停止信号输出端 Oput 输出栅极扫描信号，即，下拉节点 PD 配置为控制信号输出端 Oput 输出低电平信号。在另一些实施例中，上拉节点 PU 配置为控制信号输出端 Oput 输出栅极扫描信号，即，上拉节点 PU 配置为控制信号输出端 Oput 输出低电平信号。下拉节点 PD 配置为停止信号输出端 Oput 输出栅极扫描信号，即，下拉节点 PD 配置为控制信号输出端 Oput 输出高电平信号。

以下实施例均是以，上拉节点 PU 配置为控制信号输出端 Oput 输出高电平信号，下拉节点 PD 配置为控制信号输出端 Oput 输出低电平信号为例对本公开做进一步的说明。

本领域的技术人员应当理解到，对于移位寄存器中的上拉节点 PU 和

下拉节点 PD 而言，两者一般处于相反的状态。例如，当上拉节点 PU 处于工作状态（例如，上拉节点 PU 输出高电平信号）时，下拉节点 PD 处于非工作状态（例如，下拉节点 PD 输出低电平信号）。当上拉节点 PU 处于非工作状态（例如，上拉节点 PU 输出低电平信号）时，下拉节点 PD 处于工作状态（例如，下拉节点 PD 输出高电平信号）。

在一些实施例中，如图 1 所示，在移位寄存器中，上拉节点 PU 与输出子电路 70 相连接，通过上拉节点 PU 上的电压开启输出子电路 70，以通过信号输出端 Oput 输出栅极扫描信号。下拉节点 PD 与下拉子电路 60 相连接，通过下拉节点 PD 上的电压开启下拉子电路 60，以停止信号输出端 Oput 输出栅极扫描信号。

在一些实施例中，第二节点 B 与上拉节点 PU 相连接，即，如图 1 所示，第二节点 B 与上拉节点 PU 直接连接（两个节点重合为一个节点）。在另一些实施例中，第二节点 B 与上拉节点 PU 相连接，即，第二节点 B 与上拉节点 PU 通过其他子电路连接，从而当该子电路导通时，使第二节点 B 与上拉节点 PU 连接。

对于本公开的实施例提供的移位寄存器，在该移位寄存器应用于栅极驱动电路的情况下，在下拉阶段，通过使上拉控制子电路 20 处于关闭状态而使第一节点 A 和第二节点 B 断开，可通过依靠本级移位寄存器的下拉控制子电路 30 将第一时钟信号端 CKB 的电压输出至下拉节点 PD，从而拉低上拉节点 PU 的电位，并将低电平电压输出至信号输出端 Oput，来完成移位寄存器的下拉阶段。因此，本公开中的移位寄存器的下拉阶段与其他级移位寄存器输出的信号无关，从而可一定程度的提高栅极驱动电路的稳定性。

在此基础上，为了提高输入至上拉节点 PU 的信号的质量，如图 2 所示，在一些实施例中，所述移位寄存器还包括滤波子电路 40。

滤波子电路 40，连接到第二节点 B、上拉节点 PU、第二电压端 V2。滤波子电路 40 配置为在来自第二电压端 V2 的电压的控制下，将第二节点 B 输入至滤波子电路 40 的电压中的杂波滤除后，输出至上拉节点 PU。

在一些实施例中，为了使本公开提供的移位寄存器能够实现正向扫描和反向扫描，如图 1 和 2 所示，所述移位寄存器还包括第二输入子电路 50。

第二输入子电路 50，连接到第二信号端 S2、第四电压端 V4 和第一节点 A。第二输入子电路 50 配置为在来自第四电压端 V4 的电压的控制下，

将第二信号端 S2 的电压输出至第一节点 A。

此处需要说明的是，无论是进行正向扫描还是反向扫描，在整个驱动过程中，第一输入子电路 10 和第二输入子电路 50 只开启一个，而另一个保持关闭。在一些实施例中，当第一输入子电路 10 开启，第二输入子电路 50 关闭时，实现正向扫描；当第二输入子电路 50 开启，第一输入子电路 10 关闭时，实现反向扫描。在另一些实施例中，当第一输入子电路 10 开启，第二输入子电路 50 关闭时，实现反向扫描；当第二输入子电路 50 开启，第一输入子电路 10 关闭时，实现正向扫描。

在一些实施例中，如图 1 和图 2 所示，所述移位寄存器还包括：下拉子电路 60 和输出子电路 70。

下拉子电路 60，连接到下拉节点 PD、第二节点 B、信号输出端 Oput 和第三电压端 V3。下拉子电路 60 配置为在来自下拉节点 PD 的电压的控制下，将第三电压端 V3 的电压输出至第二节点 B 和信号输出端 Oput。

输出子电路 70，连接到上拉节点 PU、第二时钟信号端 CK、信号输出端 Oput。输出子电路 70 配置为在来自上拉节点 PU 的电压的控制下，将第二时钟信号端 CK 的电压输出至信号输出端 Oput。

在本公开提供的移位寄存器应用至栅极驱动电路时，为了在能够对本公开提供的移位寄存器进行初始化，以保证稳定的显示，在一些实施例中，如图 2 所示，本公开提供的移位寄存器还包括初始化子电路 80。

初始化子电路 80，连接到第三信号端 S3、第二电压端 V2 和下拉节点 PD。初始化子电路 80 配置为在来自第三信号端 S3 的电压的控制下，将第二电压端 V2 的电压输出至下拉节点 PD，以进行初始化。

当移位寄存器出现故障，为了不影响重新启动后的移位寄存器的使用，在一些实施例中，如图 2 所示，本公开提供的移位寄存器还包括残荷消除子电路 90。

残荷消除子电路 90，连接到第四信号端 S4、第三电压端 V3、第二节点 B、下拉节点 PD 和信号输出端 Oput。残荷消除子电路 90 配置为在来自第四信号端 S4 的电压的控制下，将第三电压端 V3 的电压输出至第二节点 B 和下拉节点 PD；残荷消除子电路 90 还配置为将第四信号端 S4 的电压输出至信号输出端 Oput，以进行残荷消除。

以下，对上述移位寄存器中的各个子电路的具体结构进行详细的说明。

在一些实施例中，如图 3、图 4、图 5 所示，第一输入子电路 10 包括

第一晶体管 T1。

第一晶体管 T1 包括栅极、第一极和第二极。第一晶体管 T1 的栅极连接到第一信号端 S1，第一晶体管 T1 的第一极连接到第一电压端 V1，第一晶体管 T1 的第二极连接到第一节点 A。

5 在一些实施例中，如图 3、图 4、图 5 所示，上拉控制子电路 20 包括第二晶体管 T2。

第二晶体管 T2 包括栅极、第一极和第二极。第二晶体管 T2 的栅极连接到第一节点 A，第二晶体管 T2 的第一极连接到第二电压端 V2，第二晶体管 T2 的第二极连接到第二节点 B。

10 在一些实施例中，如图 3、图 4、图 5 所示，下拉控制子电路 30 包括第三晶体管 T3、第四晶体管 T4、第五晶体管 T5。

第三晶体管 T3 包括栅极、第一极和第二极。第三晶体管 T3 的栅极连接到第一时钟信号端 CKB，第三晶体管 T3 的第一极连接到第一时钟信号端 CKB，第三晶体管 T3 的第二极连接到下拉节点 PD。

15 第四晶体管 T4 包括栅极、第一极和第二极。第四晶体管 T4 的栅极连接到第一节点 A，第四晶体管 T4 的第一极连接到下拉节点 PD，第四晶体管 T4 的第二极连接到第三电压端 V3。

20 第五晶体管 T5 包括栅极、第一极和第二极。第五晶体管 T5 的栅极连接到信号输出端 Oput，第五晶体管 T5 的第一极连接到下拉节点 PD，第五晶体管 T5 的第二极连接到第三电压端 V3。

在一些实施例中，如图 4 和图 5 所示，下拉控制子电路 30 还包括第六晶体管 T6。

25 第六晶体管 T6 包括栅极、第一极和第二极。第六晶体管 T6 的栅极连接到第二电压端 V2，第六晶体管 T6 的第一极连接到第一时钟信号端 CKB，第六晶体管 T6 的第二极连接到第三晶体管 T3 的栅极。

在一些实施例中，如图 4 和图 5 所示，下拉控制子电路 30 还包括第一电容 C1。

第一电容 C1 包括第一极和第二极。第一电容 C1 的第一极连接到下拉节点 PD，第一电容 C1 的第二极连接到第三电压端 V3。

30 在一些实施例中，如图 4 和图 5 所示，滤波子电路 40 包括第七晶体管 T7。

第七晶体管 T7 包括栅极、第一极和第二极。第七晶体管 T7 的栅极连

接到第二电压端 V2，第七晶体管 T7 的第一极连接到第二节点 B，第七晶体管 T7 的第二极连接到上拉节点 PU。

在一些实施例中，如图 3、图 4、图 5 所示，第二输入子电路 50 包括第八晶体管 T8。

- 5 第八晶体管 T8 包括栅极、第一极和第二极。第八晶体管 T8 的栅极连接到第二信号端 S2，第八晶体管 T8 的第一极连接到第一节点 A，第八晶体管 T8 的第二极连接到第四电压端 V4。

在一些实施例中，如图 3、图 4、图 5 所示，下拉子电路 60 包括第九晶体管 T9 和第十晶体管 T10。

- 10 第九晶体管 T9 包括栅极、第一极和第二极。第九晶体管 T9 的栅极连接到下拉节点 PD，第九晶体管 T9 的第一极连接到第二节点 B，第九晶体管 T9 的第二极连接到第三电压端 V3。

- 第十晶体管 T10 包括栅极、第一极和第二极。第十晶体管 T10 的栅极连接到下拉节点 PD，第十晶体管 T10 的第一极连接到信号输出端 Oput，
15 第十晶体管 T10 的第二极连接到第三电压端 V3。

在一些实施例中，如图 3、图 4、图 5 所示，输出子电路 70 包括第十一晶体管 T11 和第二电容 C2。

第二电容 C2 包括第一极和第二极。第二电容 C2 的第一极连接到上拉节点 PU，第二电容 C2 的第二极连接到信号输出端 Oput。

- 20 第十一晶体管 T11 包括栅极、第一极和第二极。第十一晶体管 T11 的栅极连接到上拉节点 PU，第十一晶体管 T11 的第一极连接到第二时钟信号端 CK，第十一晶体管 T11 的第二极连接到信号输出端 Oput。

在一些实施例中，如图 5 所示，初始化子电路 80 包括第十二晶体管 T12。

- 25 第十二晶体管 T12 包括栅极、第一极和第二极。第十二晶体管 T12 的栅极连接到第三信号端 S3，第十二晶体管 T12 的第一极连接到下拉节点 PD，第十二晶体管 T12 的第二极连接到第二电压端 V2。

在一些实施例中，如图 5 所示，残荷消除子电路 90 包括第十三晶体管 T13、第十四晶体管 T14 和第十五晶体管 T15。

- 30 第十三晶体管 T13 包括栅极、第一极和第二极。第十三晶体管 T13 的栅极连接到第四信号端 S4，第十三晶体管 T13 的第一极连接到下拉节点 PD，第十三晶体管 T13 的第二极连接到第三电压端 V3。

第十四晶体管 T14 包括栅极、第一极和第二极。第十四晶体管 T14 的栅极连接到第四信号端 S4, 第十四晶体管 T14 的第一极连接到信号输出端 Oput, 第十四晶体管 T14 的第二极连接到第四信号端 S4。

第十五晶体管 T15 包括栅极、第一极和第二极。第十五晶体管 T15 的栅极连接到第四信号端 S4, 第十五晶体管 T15 的第一极连接到第二节点 B, 第十五晶体管 T15 的第二极连接到第三电压端 V3。

本公开的一些实施例提供一种栅极驱动电路, 如图 6 和图 7 所示, 包括至少两级级联的上述移位寄存器。

在一些实施例中, 第一级移位寄存器 RS1 的第一信号端 S1 与起始信号端 STV 相连接。除了第一级移位寄存器 RS1 以外, 每一级移位寄存器 RS (n) 的第一信号端 S1 与其上一级移位寄存器 RS (n-1) 的信号输出端 Oput 相连接, 其中, n 为大于 1 的整数。起始信号端 STV 用于输出起始信号, 该栅极驱动电路的第一级移位寄存器 RS1 在接收到上述起始信号后开始对栅线 (G1、G2... .. Gn) 进行逐行扫描。即, 在此情况下, 栅极驱动电路对栅线进行正向扫描。

在一些实施例中, 当移位寄存器还包括第二输入子电路 20 时, 如图 7 所示, 除了最后一级移位寄存器以外, 每一级移位寄存器 RS (m) 的第二信号端 S2 与其下一级移位寄存器 RS (m+1) 的信号输出端 Oput 相连接, 其中, m 为大于等于 1 的整数。最后一级移位寄存器的第二信号端 S2 连接起始信号端 STV 或者复位信号端 (图 8 中以最后一级移位寄存器的第二信号端 S2 连接起始信号端 STV 进行示意说明的)。

在最后一级移位寄存器的第二信号端 S2 连接起始信号端 STV 的情况下, 起始信号端 STV 用于输出起始信号, 最后一级移位寄存器在接收到上述起始信号后开始对栅线 (Gm... .. G2、G1) 进行逐行扫描。即, 在此情况下, 栅极驱动电路对栅线进行反向扫描。

需要说明的是, 由上述对栅极驱动电路正向扫描和反向扫描的描述可知, 当移位寄存器既包括第一输入子电路 10 又包括第二输入子电路 50 时, 在整个驱动过程中, 第一输入子电路 10 和第二输入子电路 50 只开启一个, 而另一个保持关闭。也就是说, 当栅极驱动电路中的移位寄存器既包括第一输入子电路 10 又包括第二输入子电路 50 时, 该栅极驱动电路要么对栅线进行正向扫描, 要么对栅线进行反向扫描 (视具体的级联方式而定)。

在一些实施例中, 在移位寄存器包括输出子电路 70 的情况下, 如图 6

和图 7 所示,奇数级的移位寄存器中第一时钟信号端 CKB 与第一时钟信号线 CKB' 连接,第二时钟信号端 CK 与第二时钟信号线 CK 连接'。偶数级的移位寄存器中第一时钟信号端 CKB 与所述第二时钟信号线 CK' 连接,第二时钟信号端 CK 与第一时钟信号线 CKB' 连接。即,第一时钟信号线 CKB' 向奇数级的移位寄存器中第一时钟信号端 CKB 输入信号,向偶数级的移位寄存器中第二时钟信号端 CK 输入信号。第二时钟信号线 CK' 连接向奇数级的移位寄存器中第二时钟信号端 CK 输入信号,向偶数级的移位寄存器中第一时钟信号端 CKB 输入信号。本公开的实施例提供的栅极驱动电路的有益效果与上述移位寄存器的有益效果相同,此处不再赘述。

本公开的一些实施例提供一种显示装置,包括如上所述的任意一种栅极驱动电路,具有与前述栅极驱动电路相同的有益效果。由于前述实施例已经对栅极驱动电路的结构和有益效果进行了详细的描述,此处不再赘述。

需要说明的是,在本公开的一些实施例中,显示装置至少可以包括液晶显示面板或有机发光二极管显示面板。例如该显示面板可以应用至显示器、电视、数码相框、手机或平板电脑等任何具有显示功能的产品或者部件中。以下结合上述栅极驱动电路对移位寄存器的驱动过程作进一步的说明。其中,本公开实施例提供的移位寄存器的各子电路中的晶体管可以为 N 型晶体管,也可以为 P 型晶体管。此外,上述晶体管可以为增强型晶体管,也可以为耗尽型晶体管。上述晶体管的第一极可以为源极,第二极可以为漏极。或者,上述晶体管的第一极可以为漏极,第二极为源极,本公开对此不作限定。

以下,以上述晶体管均为 N 型晶体管为例,结合图 8 所示的信号时序图对图 5 所示的移位寄存器在一图像帧(例如第 U 帧, $U \geq 1$, U 为正整数)的不同的阶段的通断情况进行详细的举例说明。其中,第一时钟信号端 CKB 和第二时钟信号端 CK 为互补信号,第一电压端 V1 和第四电压端 V4 是控制正反扫描的高低电平。

以下实施例以第二电压端 V2 恒定输出高电平,第三电压端 V3 恒定输出低电平为例进行的说明。此外,以下实施例以正向扫描为例,即以第一输入子电路 10 工作,第二输入子电路 50 不工作为例进行说明(即第一电压端 V1 输入高电平信号,第四电压端 V4 输入低电平信号)。

本公开中的移位寄存器的驱动方法包括:输入阶段、输出阶段、下拉阶段。

由于针对第一级移位寄存器 RS1 和第一级移位寄存器 RS1 以后的移位寄存器 (RS2、RS3...RSn)，在输入阶段的控制信号具有一定的区别，因此，以下以图 7 的栅极驱动电路 (采用图 5 的移位寄存器) 结合图 8 的控制时序图，对第一级移位寄存器 RS1 和第一级移位寄存器 RS1 以后的移位寄存器 (RS2、RS3...RSn) 在输入阶段的区别进行说明。

参考图 8，以第一级移位寄存器 RS1 和第二级移位寄存器 RS2 为例，第一级移位寄存器 RS1 的驱动过程包括：输入阶段 P1'、输出阶段 P2'、下拉阶段 P3'。第二级移位寄存器 RS2 的驱动过程包括：输入阶段 P1、输出阶段 P2、下拉阶段 P3。第一级移位寄存器 RS1 的输出阶段 P2' 与第二级移位寄存器 RS2 输入阶段 P1 为同一时段；第一级移位寄存器 RS1 的下拉阶段 P3' 与第二级移位寄存器 RS2 的输出阶段 P2 为同一时段。

第一级移位寄存器 RS1 和第二级移位寄存器 RS2 在输入阶段的时序控制的区别在于：第一级移位寄存器 RS1 在输入阶段 P1'，第一时钟信号端 CKB 为低电位，而第二级移位寄存器 RS2 在输入阶段 P1，第一时钟信号端 CKB 为高电平，但两者都可以保证栅极驱动电路的正常工作。

以下，以第二级移位寄存器 RS2 为例，结合图 5 的移位寄存器中的各晶体管的通断以及图 8 的时序，对移位寄存器在一图像帧 (例如第 U 帧， $U \geq 1$ ，U 为正整数) 的不同的阶段中各晶体管的通断情况进行详细的举例说明。在输入阶段 P1，S1=1，CK=0 (对应图 8 中 (CKB'))，CKB=1 (对应图 8 中 (CK'))，S3=0，S4=0；“0”表示低电平，“1”表示高电平。

第一电压端 V1 输出高电平，因此第一晶体管 T1 导通，从而将第一信号端 S1 的高电平输出至第一节点 A，控制第二晶体管 T2 开启，第二电压端 V2 的电压经第二晶体管 T2 传输至第二节点 B。由于第二电压端 V2 恒定输出高电平，因此第七晶体管 T7 为常开晶体管。第二节点 B 上的高电平经第七晶体管 T7 滤波后输出至上拉节点 PU，并通过第二电容 C2 对该高电平进行存储。在上拉节点 PU 高电位的控制下，第十一晶体管 T11 导通，将第二时钟信号端 CK 的低电平至信号输出端 Oput，并控制第五晶体管 T5 截止。

与此同时，第一信号端 S1 的高电平输出至第一节点 A，第一节点 A 的高电平控制第四晶体管 T4 开启，将第三电压端 V3 的低电平传输至下拉节点 PD。此时，即使在第二电压端 V2 输出的高电平的控制下，第六晶体

管 T6 导通，将第一时钟信号端 CKB 的高电平输出至第三晶体管 T3 的栅极，控制第三晶体管 T3 开启，将第一时钟信号端 CKB 的高电平输出至下拉节点 PD，但第三晶体管 T3、第四晶体管 T4 和第六晶体管 T6 在下拉节点 PD 的分压使得第九晶体管 T9 和第十晶体管 T10 仍处于截止状态，保证上拉节点 PU 的充电状态。

第三信号端 S3 输入低电平控制第十二晶体管 T12 截止。第四信号端 S4 输入低电平信号，控制第十三晶体管 T13、第十四晶体管 T14、第十五晶体管 T15 截止。

综上所述，在输入阶段 P1，第一晶体管 T1 开启、第二晶体管 T2 开启、第三晶体管 T3 截止、第四晶体管 T4 开启、第五晶体管 T5 截止、第六晶体管 T6 开启、第七晶体管 T7 开启、第八晶体管 T8 截止、第九晶体管 T9 截止、第十晶体管 T10 截止、第十一晶体管 T11 开启、第十二晶体管 T12 截止、第十三晶体管 T13 截止、第十四晶体管 T14 截止、第十五晶体管 T15 截止，信号输出端 Oput 在上述输入阶段 P1 输出低电平。

输出阶段 P2，S1=0，CK=1，CKB=0，S3=0，S4=0。

第一电压端 V1 输出高电平，因此第一晶体管 T1 导通，从而将第一信号端 S1 的低电平输出至第一节点 A，控制第二晶体管 T2 和第四晶体管 T4 截止。第二电容 C2 将输入阶段 P1 存储的高电平对上拉节点 PU 进行充电，从而使得第十一晶体管 T11 保持开启状态。在此情况下，第二时钟信号端 CK 的高电平通过第十一晶体管 T11 输出至信号输出端 Oput，并控制第五晶体管 T5 开启，第三电压端 V3 的低电平经过第五晶体管 T5 传输至下拉节点 PD。下拉节点 PD 的低电平控制第九晶体管 T9 和第十晶体管 T10 截止。

此外，在第二电容 C2 的自举（Bootstrapping）作用下，上拉节点 PU 的电位进一步升高（第二电容 C2 与信号输出端 Oput 连接的一端的电位由 0 跳变为 1，在第二电容 C2 对上拉节点 PU 进行充电时，上拉节点 PU 的电位在 1 的基础上再向高电位跳变 1），以维持第十一晶体管 T11 处于导通的状态。从而使得第二时钟信号端 CK 的高电平能够作为栅极扫描信号输出至与信号输出端 Oput 相连接的栅线上。

与此同时，在第二电压端 V2 输出的高电平的控制下，第六晶体管 T6 导通。第一时钟信号端 CKB 输出的低电平，控制第三晶体管 T3 截止。

第三信号端 S3 输入低电平控制第十二晶体管 T12 截止。第四信号端

S4 输入低电平，控制第十三晶体管 T13、第十四晶体管 T14、第十五晶体管 T15 截止。

综上所述，在输出阶段 P2，第一晶体管 T1 开启、第二晶体管 T2 截止、第三晶体管 T3 截止、第四晶体管 T4 截止、第五晶体管 T5 开启、第六晶体管 T6 开启、第七晶体管 T7 开启、第八晶体管 T8 截止、第九晶体管 T9 截止、第十晶体管 T10 截止、第十一晶体管 T11 开启、第十二晶体管 T12 截止、第十三晶体管 T13 截止、第十四晶体管 T14 截止、第十五晶体管 T15 截止，信号输出端 Oput 在上述输出阶段 P2 输出高电平，以向与信号输出端 Oput 相连接的栅线输出栅极扫描信号。

10 下拉阶段 P3，S1=0，CK=0，CKB=1，S3=0，S4=0。

第一电压端 V1 输出高电平，第一晶体管 T1 导通，从而将第一信号端 S1 的低电平输出至第一节点 A，控制第二晶体管 T2 和第四晶体管 T4 截止。在第二电压端 V2 输出的高电平的控制下，第七晶体管 T7 和第六晶体管 T6 导通，第一时钟信号端 CKB 输出的高电平控制第三晶体管 T3 开启，并将第一时钟信号端 CKB 输出的高电平传输至下拉节点 PD。下拉节点 PD 控制第九晶体管 T9 和第十晶体管 T10 均开启，通过第九晶体管 T9 将第二节点 B 的电位下拉至第三电压端 V3 的低电平。第二节点 B 的低电平经第七晶体管 T7 滤除杂波后传输至上拉节点 PU，即，将上拉节点 PU 的电位下拉至第三电压端 V3 的低电平，并控制第十一晶体管 T11 截止。通过第十晶体管 T10 将信号输出端 Oput 的电位下拉至第三电压端 V3 的低电平，并控制第五晶体管 T5 截止。第一电容 C1 将下拉节点 PD 的高电平进行存储，使下拉节点 PD 长时间稳定的保持高电平。

此外，第三信号端 S3 输入低电平，控制第十二晶体管 T12 截止。第四信号端 S4 输入低电平，控制第十三晶体管 T13、第十四晶体管 T14、第十五晶体管 T15 截止。

综上所述，在下拉阶段 P3，第一晶体管 T1 开启、第二晶体管 T2 截止、第三晶体管 T3 开启、第四晶体管 T4 截止、第五晶体管 T5 截止、第六晶体管 T6 开启、第七晶体管 T7 开启、第八晶体管 T8 截止、第九晶体管 T9 开启、第十晶体管 T10 开启、第十一晶体管 T11 截止、第十二晶体管 T12 截止、第十三晶体管 T13 截止、第十四晶体管 T14 截止、第十五晶体管 T15 截止，信号输出端 Oput 在上述下拉阶段 P3 输出低电平。

需要说明的是，针对如图 3 所示的移位寄存器，由于移位寄存器不包

括第六晶体管 T6, 因此, 在上述下拉阶段 P3 中, 通过第一时钟信号端 CKB 的高电平控制第三晶体管 T3 开启, 并将第一时钟信号端 CKB 的高电平传输至下拉节点 PD。在移位寄存器中包括第六晶体管 T6 的情况下, 则第一时钟信号端 CKB 的高电平经开启的第六晶体管 T6 传输至第三晶体管 T3 的栅极, 控制第三晶体管 T3 开启, 第一时钟信号端 CKB 的高电平经第三晶体管 T3 传输至下拉节点 PD。

在移位寄存器不包括第六晶体管 T6 的情况下, 下拉节点 PD 的电压如图 9 中虚线所示。在移位寄存器包括第六晶体管 T6 的情况下, 下拉节点 PD 的电压如图 9 中实线所示。从图 9 可知, 在移位寄存器不包括第六晶体管 T6 的情况下, 移位寄存器中下拉节点 PD 电压无法完整保持第一时钟信号的高电平 (存在损失), 这是因为 N 型晶体管在输出高电平时存在不可避免的阈值损失, 导致第三晶体管 T3 在给下拉节点 PD 充电时无法达到完整的高电平幅值, 存在一定的损失。在移位寄存器包括第六晶体管 T6 的情况下, 移位寄存器中下拉节点 PD 电压如图 9 所示, 能完整保持第一时钟信号的高电平。增加第六晶体管 T6 后, 第六晶体管 T6 和第三晶体管 T3 配合, 使得第三晶体管 T3 栅极发生自举, 使得第一时钟信号端 CKB 的高电平通过第三晶体管 T3 能完整的给下拉节点 PD 充电, 避免阈值损失, 实现第一时钟信号端 CKB 的高电平无损输入到下拉节点 PD。起到对下拉节点 PD 上的电压信号进行提升驱动能力及波形整形的作用, 从而确保下拉节点 PD 上的电压信号的持续稳定, 提升了显示器栅极驱动的性能及稳定性。

参考图 10 中相关技术的移位寄存器, 本级移位寄存器在上述下拉阶段输出低电平无法由本级移位寄存器来实现, 而是依靠下一级移位寄存器 (即 OputN+1 端) 输出的高电平来完成的 (也即图 10 中的晶体管 M1 在下一级移位寄存器输出的高电平到来之前一直保持开启)。这样一来, 如图 11 所示, 在下一级异常输出的情况下, 无法实现本级移位寄存器在下拉阶段的复位, 导致后续连锁输出异常。

另外, 相比图 10 中将上一级移位寄存器的信号输出端 OputN-1 与本级移位寄存器中的相应的晶体管的栅极连接。本公开提供的移位寄存器中, 增加了第二晶体管 T2, 并改变上一级移位寄存器的信号输出端 Oput 与本级移位寄存器的连接方式后 (上一级移位寄存器的信号输出端 Oput 不与本级移位寄存器第一晶体管 T1 的栅极相连), 移位寄存器在下拉阶段的复

位和保持复位都是第三晶体管 T3 完成。其中，本公开提供的移位寄存器中，由于本级第四晶体管 T4 在输入低电平后保持关闭状态，即第一节点 A 在输入阶段之后一直保持低电平（如图 8 中 A 点的时序所示），使得第一时钟信号端 CKB 的高电平可以由第三晶体管 T3 传输至下拉节点 PD，以拉高下拉节点 PD 的电位，拉低上拉节点 PU 的电位，从而实现在下拉阶段复位的目的。避免下一级异常输出使本级无法复位，避免出现后续连锁异常输出，提升显示器栅极驱动的性能及稳定性。

在移位寄存器包括初始化子电路 80 的情况下，在初始化阶段， $S1=0$ ， $CK=0$ ， $CKB=0$ ， $S3=1$ ， $S4=0$ 。

第三信号端 S3 输出高电平，控制第十二晶体管 T12 开启，将第二电压端 V2 的高电平输出至下拉节点 PD。下拉节点 PD 控制第九晶体管 T9 和第十晶体管 T10 开启，第九晶体管 T9 将第三电压端 V3 的低电平输出至上拉节点 PU，第十晶体管 T10 将第三电压端 V3 的低电平输出至信号输出端 Oput，将上拉节点 PU 和信号输出端 Oput 的电压均拉低，完成对移位寄存器的初始化。

综上所述，在该初始化阶段 P4，第一晶体管 T1 开启、第二晶体管 T2 截止、第三晶体管 T3 截止、第四晶体管 T4 截止、第五晶体管 T5 截止、第六晶体管 T6 开启、第七晶体管 T7 开启、第八晶体管 T8 截止、第九晶体管 T9 开启、第十晶体管 T10 开启、第十一晶体管 T11 截止、第十二晶体管 T12 开启、第十三晶体管 T13 截止、第十四晶体管 T14 截止、第十五晶体管 T15 截止，信号输出端 Oput 在上述初始化阶段 P4 输出低电平。

在移位寄存器包括残荷消除子电路 90 的情况下，在栅极驱动电路每次关机时，在残荷消除阶段， $S1=0$ ， $S3=0$ ， $S4=1$ 。

第四信号端 S4 输出高电平，控制第十三晶体管 T13、第十四晶体管 T14、第十五晶体管 T15 开启。第十四晶体管 T14 开启，将第四信号端 S4 的高电平输出至信号输出端 Oput，使信号输出端 Oput 输出高电平，以使整个电路完成放电，消除因异常显示而残留在电路内的电荷。

为了保证残荷的消除效果，第十五晶体管 T15 开启，将第三电压端 V3 输出的低电平输出至上拉节点 PU，以避免其他信号影响信号输出端 Oput 的电位。

与此同时，为了进一步保证残荷的消除效果，第十三晶体管 T13 开启，将第三电压端 V3 输出的低电平输出至下拉节点 PD，以避免其他信号影响

下拉节点 PD 的电位。

需要说明的是，若移位寄存器没有上述第十三晶体管 T13，则仍然可以通过第十四晶体管 T14 单独工作，完成残荷消除任务。

本公开提供的残荷消除子电路 90，包括第十三晶体管 T13、第十四晶体管 T14 和第十五晶体管 T15，三个晶体管相配合，实现保持上拉节点 PU 为高电平，提升了显示器栅极驱动的性能及稳定性。

综上所述，在该残荷消除阶段，第一晶体管 T1 开启、第二晶体管 T2 截止、第三晶体管 T3 截止、第四晶体管 T4 截止、第五晶体管 T5 截止、第六晶体管 T6 开启、第七晶体管 T7 开启、第八晶体管 T8 截止、第九晶体管 T9 截止、第十晶体管 T10 截止、第十一晶体管 T11 截止、第十二晶体管 T12 截止、第十三晶体管 T13 开启、第十四晶体管 T14 开启、第十五晶体管 T15 开启，信号输出端 Oput 在上述残荷消除阶段 P5 输出高电平。

需要说明的是，上述实施例中晶体管的通、断过程是以所有晶体管为 N 型晶体管为例进行说明的。当所有晶体管均为 P 型时，需要对图 5 中各个控制信号进行翻转，而移位寄存器中各个子电路的晶体管的通断过程同上所述，此处不再赘述。

此外，上述移位寄存器的工作过程，是以上述多个移位寄存器级联构成的栅极驱动电路采用正向扫描的方式为例进行的说明。当采用反向扫描时，在图 3、图 4 和图 5 所示的移位寄存器中，在输入阶段 P1，使第一晶体管 T1 截止，第八晶体管 T8 开启即可。

本公开的一些实施例提供一种用于驱动上述任意一种移位寄存器的方法，如图 12 所示，所述驱动方法包括步骤 10-30（S10-S30）：

输入阶段 P1：

S10、在来自第一电压端 V1 的电压的控制下，第一输入子电路 10 将第一信号端 S1 输入的电压输出至第一节点 A，以通过第一节点 A 控制上拉控制子电路 20 开启，将第二电压端 V2 的电压经第二节点 B 输出至上拉节点 PU。与此同时，在来自第一节点 A 的电压的控制下，下拉控制子电路 30 将第三电压端 V3 的电压输出至下拉节点 PD。

在移位寄存器单元还包括滤波子电路 40 的情况下，在该输入阶段 P1：在来自第一电压端 V1 的控制下，第一输入子电路 10 将第一信号端 S1 输入的电压输出至第一节点 A，第一节点 A 控制上拉控制子电路 20 开启，将第二电压端 V2 的电压输出至第二节点 B，滤波子电路 40 将第二节点 B

输入的电压中的杂波滤除后输出至上拉节点 PU。

在该上述移位寄存器还包括下拉子电路 60、初始化子电路 80 和残荷消除子电路 90 的情况下，该输入阶段 P1 中，下拉子电路 60、初始化子电路 80、残荷消除子电路 90 均关闭。在一些实施例中，上述移位寄存器中各个子电路的结构如图 5 所示，且各个子电路中的晶体管均为 N 型晶体管。在该输入阶段 P1 中，第一信号端 S1 输入高电平，第一时钟信号端 CKB 输入高电平，第二时钟信号端 CK 输入低电平，第三信号端 S3 输入低电平，第四信号端 S4 输入低电平，第一电压端 V1 输入高电平，第二电压端 V2 输入高电平，第三电压端 V3 输入低电平，第四电压端 V4 输入低电平，上拉节点 PU 为高电平，下拉节点 PD 为低电平，信号输出端 Oput 输出低电平。

在此情况下，由于第一电压端 V1 输出高电平，因此第一晶体管 T1 导通，从而将第一信号端 S1 的高电平输出至第一节点 A，控制第二晶体管 T2 开启，第二电压端 V2 的电压经第二晶体管 T2 传输至第二节点 B。由于第二电压端 V2 输出高电平，因此第七晶体管 T7 为常开晶体管，第二节点 B 上的高电平经第七晶体管 T7 滤波后输出至上拉节点 PU，并通过第二电容 C2 对该高电平进行存储。在上拉节点 PU 高电平的控制下，第十一晶体管 T11 导通，将第二时钟信号端 CK 的低电平输出至信号输出端 Oput，并控制第五晶体管 T5 截止。

与此同时，第一节点 A 的高电平控制第四晶体管 T4 开启，将第三电压端 V3 的低电平传输至下拉节点 PD，此时，即使在第二电压端 V2 输出的高电平的控制下，第六晶体管 T6 导通，将第一时钟信号端 CKB 的高电平输出至第三晶体管 T3 的栅极，控制第三晶体管 T3 开启，将第一时钟信号端 CKB 的高电平输出至下拉节点 PD，但第三晶体管 T3、第四晶体管 T4 和第六晶体管 T6 在下拉节点 PD 的分压使得第九晶体管 T9 和第十晶体管 T10 仍处于截止状态，保证上拉节点 PU 的充电状态。

第三信号端 S3 输入低电平控制第十二晶体管 T12 截止，第四信号端 S4 输入低电平，控制第十三晶体管 T13、第十四晶体管 T14、第十五晶体管 T15 截止。

输出阶段 P2:

S20、在来自第一节点 A 的电压的控制下，使上拉控制子电路 20 处于关闭状态；并在来自信号输出端 Oput 的电压的控制下，下拉控制子电路

30 将第三电压端 V3 的电压输出至下拉节点 PD。

在该输出阶段 P2 中，在来自上拉节点 PU 的电压的控制下，输出子电路 70 将第二时钟信号端 CK 的时钟信号(高电位)输出至信号输出端 Oput，该信号输出端 Oput 输出栅极扫描信号。

5 与此同时，在信号输出端 Oput 输出的高电平控制下，下拉控制子电路 30 将第三电压端 V3 的低电平输出至下拉节点 PD，控制下拉子电路 60 关闭。初始化子电路 80 和残荷消除子电路 90 均关闭。

10 在一些实施例中，上述移位寄存器中各个子电路的结构如图 5 所示，且各个子电路中的晶体管均为 N 型晶体管。在该输出阶段 P2 中，第一信号端 S1 输入低电平，第二时钟信号端 CK 输入高电平，第一时钟信号端 CKB 输入低电平，第三信号端 S3 输入低电平，第四信号端 S4 输入低电平，第一电压端 V1 输入高电平，第二电压端 V2 输入高电平，第三电压端 V3 输入低电平，第四电压端 V4 输入低电平，上拉节点 PU 为高电平，下拉节点 PD 为低电平，信号输出端 Oput 输出高电平。

15 此时，由于第一电压端 V1 输出高电平，因此第一晶体管 T1 导通，从而将第一信号端 S1 的低电平输出至第一节点 A，控制第二晶体管 T2 和第四晶体管 T4 截止。第二电容 C2 用输入阶段 P1 存储的高电平对上拉节点 PU 进行充电，从而使得第十一晶体管 T11 保持开启状态。在此情况下，第二时钟信号端 CK 的高电平通过第十一晶体管 T11 输出至信号输出端
20 Oput，并控制第五晶体管 T5 开启，第三电压端 V3 的低电平经过第五晶体管 T5 传输至下拉节点 PD，下拉节点 PD 的低电平控制第九晶体管 T9 和第十晶体管 T10 截止。

25 此外，在第二电容 C2 的自举作用下，上拉节点 PU 的电位进一步升高，以维持第十一晶体管 T11 处于导通的状态，从而使得第二时钟信号端 CK 的高电平能够作为栅极扫描信号输出至与信号输出端 Oput 相连接的栅线上。

与此同时，在第二电压端 V2 输出的高电平的控制下，第六晶体管 T6 导通，第一时钟信号输出低电平，控制第三晶体管 T3 截止。

30 第三信号端 S3 输入低电平控制第十二晶体管 T12 截止，第四信号端 S4 输入低电平，控制第十三晶体管 T13、第十四晶体管 T14、第十五晶体管 T15 截止。

下拉阶段 P3:

S30、在来自第一节点 A 的电压的控制下，使上拉控制子电路 20 处于关闭状态；并在第一时钟信号端 CKB 的控制下，下拉控制子电路 30 将第一时钟信号端 CKB 的时钟信号（高电位）输出至下拉节点 PD。

在下拉阶段 P3 中，在来自下拉节点 PD 的电压控制下，下拉子电路 5 60 将第三电压端 V3 输入的电压输出至第二节点 B，滤波子电路 40 将第二节点 B 输入的电压中的杂波滤除后输出至上拉节点 PU，控制输出子电路 70 关闭。下拉子电路 60 还将第三电压端 V3 输入的电压输出至信号输出端 Oput。

与此同时，输出子电路 70、初始化子电路 80 和残荷消除子电路 90 均 10 关闭。

在一些实施例中，上述移位寄存器中各个子电路的结构如图 5 所示，且各个子电路中的晶体管均为 N 型晶体管。在该下拉阶段 P3 中，第一信号端 S1 输入低电平，第二时钟信号端 CK 输入低电平，第一时钟信号端 CKB 输入高电平，第三信号端 S3 输入低电平，第四信号端 S4 输入低电平， 15 第一电压端 V1 输入高电平，第二电压端 V2 输入高电平，第三电压端 V3 输入低电平，第四电压端 V4 输入低电平，上拉节点 PU 为低电平，下拉节点 PD 为高电平，信号输出端 Oput 输出低电平。

此时，由于第一电压端 V1 输出高电平，因此第一晶体管 T1 导通，从而将第一信号端 S1 的低电平输出至第一节点 A，控制第二晶体管 T2 和第四晶体管 T4 截止。在第二电压端 V2 输出的高电平的控制下，第七晶体管 T7 和第六晶体管 T6 导通，第一时钟信号端 CKB 输出的高电平控制第三晶体管 T3 开启，并将第一时钟信号端 CKB 输出的高电平输出至下拉节点 PD。下拉节点 PD 控制第九晶体管 T9 和第十晶体管 T10 均开启，通过第九晶体管 T9 将第二节点 B 的电位下拉至第三电压端 V3 的低电平。第二节点 B 的低电平经第七晶体管 T7 滤除杂波后传输至上拉节点 PU，即将上拉节点 PU 的电位下拉至第三电压端 V3 的低电平，并控制第十一晶体管 T11 截止。通过第十晶体管 T10 将信号输出端 Oput 的电位下拉至第三电压端 V3 的低电平，并控制第五晶体管 T5 截止。第一电容 C1 将下拉节点 PD 的高电平进行存储，使下拉节点 PD 长时间稳定的保持高电平。 25

此外，第三信号端 S3 输入低电平控制第十二晶体管 T12 截止，第四信号端 S4 输入低电平，控制第十三晶体管 T13、第十四晶体管 T14、第十五晶体管 T15 截止。 30

在移位寄存器包括初始化子电路 80 和残荷消除子电路 90 的情况下，在一图像帧开始或者结束时，如图 13 所示，该移位寄存器的驱动方法还包括步骤 40 (S40)：

初始化阶段：

- 5 S40、在来自第三信号端 S3 的信号的控制下，初始化子电路 80 将第二电压端 V2 的电压输出至下拉节点 PD；在来自下拉节点 PD 的电压的控制下，下拉子电路 60 将第三电压端 V3 输入的电压输出至第二节点 B，滤波子电路 40 将第二节点 B 输入的电压中的杂波滤除后输出至上拉节点 PU；下拉子电路 60 还将第三电压端 V3 输入的下拉信号输出至信号输出端
10 Oput。

在该初始化阶段中，初始化子电路 80、下拉子电路 60、滤波子电路 40 开启。

- 在一些实施例中，上述移位寄存器中各个子电路的结构如图 5 所示，且各个子电路中的晶体管均为 N 型晶体管。在该初始化阶段中，第一信号
15 端 S1 输入低电平，第二时钟信号端 CK 输入低电平，第一时钟信号端 CKB 输入低电平，第三信号端 S3 输入高电平，第四信号端 S4 输入低电平，第一电压端 V1 输入高电平，第二电压端 V2 输入高电平，第三电压端 V3 输入低电平，第四电压端 V4 输入低电平，上拉节点 PU 为低电平，下拉节点 PD 为高电平，信号输出端 Oput 输出低电平。

- 20 此时，第三信号端 S3 输出高电平，控制第十二晶体管 T12 开启，将第二电压端 V2 的高电平输出至下拉节点 PD，下拉节点 PD 控制第九晶体管 T9 和第十晶体管 T10 开启。第九晶体管 T9 将第三电压端 V3 的低电平输出至上拉节点 PU，第十晶体管 T10 将第三电压端 V3 的低电平输出至信号输出端 Oput，将上拉节点 PU 和信号输出端 Oput 的电压均拉低，完成对
25 移位寄存器的初始化。

在移位寄存器包括残荷消除子电路 90 的情况下，栅极驱动电路在每次关机时，如图 14 所示，该移位寄存器的驱动方法还包括步骤 50 (S50)：

残荷消除阶段：

- 30 S50、在来自第四信号端 S4 的控制下，残荷消除子电路 90 将第三电压端 V3 的电压输出至下拉节点 PD 和第二节点 B，滤波子电路 40 将第二节点 B 输入的电压中的杂波滤除后输出至上拉节点 PU；残荷消除子电路 90 还将第四信号端 S4 的电压输出至信号输出端 Oput。

在该残荷消除阶段，残荷消除子电路 90、下拉子电路 60、滤波子电路 40 开启。

在一些实施例中，上述移位寄存器中各个子电路的结构如图 5 所示，且各个子电路中的晶体管均为 N 型晶体管。在该残荷消除阶段中，第一信号端 S1 输入低电平，第二时钟信号端 CK 输入低电平，第一时钟信号端 CKB 输入高电平，第三信号端 S3 输入低电平，第四信号端 S4 输入高电平，第一电压端 V1 输入高电平，第二电压端 V2 输入高电平，第三电压端 V3 输入低电平，第四电压端 V4 输入低电平。

此时，第四信号端 S4 输出高电平，控制第十三晶体管 T13、第十四晶体管 T14、第十五晶体管 T15 开启。第十四晶体管 T14 开启将第四信号端 S4 的高电平输出至信号输出端 Oput。第十五晶体管 T15 开启将第三电压端 V3 输出的低电平输出至上拉节点 PU。第十三晶体管 T13 开启将第三电压端 V3 输出的低电平输出至下拉节点 PD，下拉节点 PD 控制第九晶体管 T9 和第十晶体管 T10 截止。

以上是以第一输入子电路 10 开启，栅极驱动电路进行正向扫描进行示意说明的，此时，即使移位寄存器中包括第二输入子电路 50，在第一输入子电路 10 开启的情况下，第二输入子电路 50 也保持关闭。

在移位寄存器包括第二输入子电路 50 的情况下，若要实现栅极驱动电路反向扫描，则第一输入子电路 10 关闭，第二输入子电路 50 开启即可，即第四电压端 V4 输入高电平，第一电压端 V1 输入低电平，其他信号不变。

相对于正向扫描而言，反向扫描与正向扫描的区别在于：在输入阶段 P1，在来自第四电压端 V4 的电压的控制下，第二输入子电路 50 将第二信号端 S2 输入的电压输出至第一节点 A，以通过第一节点 A 的电压控制上拉控制子电路 20 开启，将第二电压端 V2 的电压经第二节点 B 输出至上拉节点 PU；同时，在来自第一节点 A 的电压的控制下，下拉控制子电路 30 将第三电压端 V3 的电压输出至下拉节点 PD。

对于其他阶段的驱动过程，与前述的各阶段的驱动过程一致，具体可以参考前述，此处不再赘述。对于在各阶段中各晶体管的开启与关闭而言，其区别仅在于，将前述第一晶体管 T1 的开启替换为第八晶体管 T8 的开启，其余晶体管在各阶段的开启与关闭与前述一致，此处不再赘述。

需要说明的是，在移位寄存器应用于栅极驱动电路的情况下，在每一图像帧内，均包括输入阶段 P1、输出阶段 P2 和下拉阶段 P3。而对于初始

化阶段而言，一般设置于每一图像帧开始或者结束时进行。对于残荷消除阶段而言，则在栅极驱动电路每次关机时进行。

本公开的实施例提供的移位寄存器的驱动方法，其有益效果与上述位移寄存器相同，此处不再赘述。

- 5 以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1、一种移位寄存器，包括：第一输入子电路、上拉控制子电路和下拉控制子电路；

所述第一输入子电路，连接到第一信号端、第一电压端和第一节点；

5 所述第一输入子电路配置为在来自所述第一电压端的电压的控制下，将所述第一信号端的电压输出至所述第一节点；

所述上拉控制子电路，连接到所述第一节点、第二电压端和第二节点；

10 所述上拉控制子电路配置为在来自所述第一节点的电压的控制下，处于开启或者关闭状态，且在所述上拉控制子电路处于开启状态时，将所述第二电压端的电压输出至所述第二节点；

所述下拉控制子电路，连接到所述第一节点、第三电压端、第一时钟信号端、所述信号输出端和下拉节点；所述下拉控制子电路配置为在来自所述第一节点的电压的控制下，将所述第三电压端的电压输出至所述下拉节点；在来自所述信号输出端的电压的控制下，将所述第三电压端的电压
15 输出至所述下拉节点；在来自所述第一时钟信号端的电压的控制下，将所述第一时钟信号端的电压输出至所述下拉节点；

其中，所述第二节点与上拉节点相连接。

2、根据权利要求 1 所述的移位寄存器，其中，所述上拉节点配置为控制所述移位寄存器的信号输出端输出栅极扫描信号，所述下拉节点配置为
20 停止所述信号输出端输出栅极扫描信号。

3、根据权利要求 1 或 2 所述的移位寄存器，还包括：滤波子电路和/或第二输入子电路；

25 所述滤波子电路，连接到所述第二节点、所述上拉节点、所述第二电压端；所述滤波子电路配置为在来自所述第二电压端的电压的控制下，将所述第二节点输入至所述滤波子电路的电压中的杂波滤除后，输出至所述上拉节点；

所述第二输入子电路，连接到第二信号端、第四电压端和所述第一节点；所述第二输入子电路配置为在来自所述第四电压端的电压的控制下，将所述第二信号端的电压输出至所述第一节点。

30 4、根据权利要求 1-3 任一项所述的移位寄存器，还包括：下拉子电路和输出子电路；

所述下拉子电路，连接到所述下拉节点、所述第二节点、所述信号输

出端和所述第三电压端；所述下拉子电路配置为在来自所述下拉节点的电压的控制下，将所述第三电压端的电压输出至所述第二节点和所述信号输出端；

所述输出子电路，连接到所述上拉节点、第二时钟信号端、所述信号输出端；所述输出子电路配置为在来自所述上拉节点的电压的控制下，将
5 所述第二时钟信号端的电压输出至所述信号输出端。

5、根据权利要求 1-3 任一项所述的移位寄存器，还包括：初始化子电路和/或残荷消除子电路；

所述初始化子电路，连接到第三信号端、所述第二电压端和所述下拉
10 节点；所述初始化子电路配置为在来自所述第三信号端的电压的控制下，将所述第二电压端的电压输出至所述下拉节点；

所述残荷消除子电路，连接到第四信号端、所述第三电压端、所述第二节点、所述下拉节点和所述信号输出端；所述残荷消除子电路配置为在来自所述第四信号端的电压的控制下，将所述第三电压端的电压输出至所
15 述第二节点和所述下拉节点；所述残荷消除子电路还配置为将所述第四信号端的电压输出至所述信号输出端。

6、根据权利要求 1-5 任一项所述的移位寄存器，其中，所述第一输入子电路包括第一晶体管；

所述第一晶体管的栅极连接到所述第一信号端，第一极连接到所述第
20 一电压端，第二极连接到所述第一节点。

7、根据权利要求 1-5 任一项所述的移位寄存器，其中，所述上拉控制子电路包括第二晶体管；

所述第二晶体管的栅极连接到所述第一节点，第一极连接到所述第二电压端，第二极连接到所述第二节点。

25 8、根据权利要求 1-5 任一项所述的移位寄存器，其中，所述下拉控制子电路包括第三晶体管、第四晶体管、第五晶体管；

所述第三晶体管的栅极连接到所述第一时钟信号端，第一极连接到所述
第一时钟信号端，第二极连接到所述下拉节点；

所述第四晶体管的栅极连接到所述第一节点，第一极连接到所述下拉
30 节点，第二极连接到所述第三电压端；所述第五晶体管的栅极连接到所述信号输出端，第一极连接到所述下拉节点，第二极连接到所述第三电压端。

9、根据权利要求 8 所述的移位寄存器，其中，所述下拉控制子电路还

包括第六晶体管；

所述第六晶体管的栅极连接到所述第二电压端，第一极连接到所述第一时钟信号端，第二极连接到所述第三晶体管的栅极。

10、根据权利要求 8 或 9 所述的移位寄存器，其中，所述下拉控制子电路还包括第一电容；

所述第一电容的第一极连接到所述下拉节点，第二极连接到所述第三电压端。

11、根据权利要求 3 所述的移位寄存器，其中，在所述移位寄存器包括滤波子电路的情况下，所述滤波子电路包括第七晶体管；

10 所述第七晶体管的栅极连接到所述第二电压端，第一极连接到所述第二节点，第二极连接到所述上拉节点。

12、根据权利要求 3 所述的移位寄存器，其中，在所述移位寄存器包括第二输入子电路的情况下，所述第二输入子电路包括第八晶体管；

15 所述第八晶体管的栅极连接到所述第二信号端，第一极连接到所述第一节点，第二极连接到所述第四电压端。

13、根据权利要求 4 所述的移位寄存器，其中，所述下拉子电路包括第九晶体管和第十晶体管，所述输出子电路包括第十一晶体管和第一电容；

所述第九晶体管的栅极连接到所述下拉节点，第一极连接到所述第二节点，第二极连接到所述第三电压端；

20 所述第十晶体管的栅极连接到所述下拉节点，第一极连接到所述信号输出端，第二极连接到所述第三电压端；

所述第二电容的第一极连接到所述上拉节点，第二极连接到所述信号输出端；

25 所述第十一晶体管的栅极连接到所述上拉节点，第一极连接到所述第二时钟信号端，第二极连接到所述信号输出端。

14、根据权利要求 5 所述的移位寄存器，其中，在所述移位寄存器包括初始化子电路的情况下，所述初始化子电路包括第十二晶体管；

所述第十二晶体管的栅极连接到所述第三信号端，第一极连接到所述下拉节点，第二极连接到所述第二电压端。

30 15、根据权利要求 5 所述的移位寄存器，其中，在所述移位寄存器包括残荷消除子电路的情况下，所述残荷消除子电路包括第十三晶体管、第十四晶体管和第十五晶体管；

所述第十三晶体管的栅极连接到所述第四信号端，第一极连接到所述下拉节点，第二极连接到所述第三电压端；

所述第十四晶体管的栅极连接到所述第四信号端，第一极连接到所述信号输出端，第二极连接到所述第四信号端；

5 所述第十五晶体管的栅极连接到所述第四信号端，第一极连接到所述第二节点，第二极连接到所述第三电压端。

16、一种栅极驱动电路，包括至少两级级联的如权利要求 1-15 任一项所述的移位寄存器；

第一级移位寄存器的第一信号端与起始信号端相连接；

10 除了所述第一级移位寄存器以外，每一级移位寄存器的第一信号端与其上一级移位寄存器的信号输出端相连接。

17、根据权利要求 16 所述的栅极驱动电路，其中，在所述移位寄存器包括第二信号输入子电路的情况下，除了最后一级移位寄存器以外，每一级移位寄存器的第二信号端与其下一级移位寄存器的信号输出端相连接；

15 所述最后一级移位寄存器的第二信号端连接所述起始信号端或者复位信号端。

18、根据权利要求 16 所述的栅极驱动电路，其中，所述移位寄存器包括输出子电路的情况下；

20 奇数级的移位寄存器中第一时钟信号端与第一时钟信号线连接，第二时钟信号端与第二时钟信号线连接；偶数级的移位寄存器中第一时钟信号端与所述第二时钟信号线连接，第二时钟信号端与所述第一时钟信号线连接。

19、一种显示装置，其特征在于，包括权利要求 16-18 任一项所述的栅极驱动电路。

25 20、一种用于驱动权利要求 1-15 任一项所述的移位寄存器单元的驱动方法，包括：

输入阶段：

30 在来自第一电压端的电压的控制下，第一输入子电路将第一信号端的电压输出至第一节点，以通过所述第一节点的电压控制上拉控制子电路开启，将第二电压端的电压经第二节点输出至上拉节点；同时，在来自所述第一节点的电压的控制下，下拉控制子电路将第三电压端的电压输出至下拉节点；

输出阶段:

在来自所述第一节点的电压的控制下,使所述上拉控制子电路处于关闭状态;并在来自信号输出端的电压的控制下,所述下拉控制子电路将所述第三电压端的电压输出至所述下拉节点;

5 下拉阶段:

在来自所述第一节点的电压的控制下,使所述上拉控制子电路处于关闭状态;并在第一时钟信号端的控制下,所述下拉控制子电路将所述第一时钟信号端的时钟信号输出至下拉节点。

21、根据权利要求 20 所述的驱动方法,其中,所述移位寄存器包括滤波子电路、下拉子电路和输出子电路的情况下;

在所述输入阶段,所述方法还包括:

所述滤波子电路将所述第二节点输入的电压中的杂波滤除后输出至所述上拉节点;

在所述输出阶段,所述方法还包括:

15 在来自所述上拉节点的电压的控制下,所述输出子电路将第二时钟信号端的时钟信号输出至信号输出端,所述信号输出端输出栅极扫描信号;

在所述下拉阶段,所述方法还包括:

20 在来自所述下拉节点的电压的控制下,下拉子电路将第三电压端的电压输出至所述第二节点,所述滤波子电路将所述第二节点输入的电压中的杂波滤除后输出至所述上拉节点,控制所述输出子电路关闭;所述下拉子电路还将所述第三电压端的电压输出至所述信号输出端。

22、根据权利要求 21 所述的驱动方法,其中,所述移位寄存器包括初始化子电路和残荷消除子电路的情况下;

所述方法还包括:

25 初始化阶段:

在来自第三信号端的信号的控制下,所述初始化子电路将所述第二电压端的电压输出至所述下拉节点;

30 在来自所述下拉节点的电压的控制下,下拉子电路将所述第三电压端的电压输出至所述第二节点,所述滤波子电路将所述第二节点输入的电压中的杂波滤除后输出至所述上拉节点;所述下拉子电路还将所述第三电压端的电压输出至所述信号输出端;

残荷消除阶段:

在来自第四信号端的信号的控制下，所述残荷消除子电路将所述第三电压端的电压输出至所述下拉节点和所述第二节点，所述滤波子电路将所述第二节点输入的电压中的杂波滤除后输出至所述上拉节点；所述残荷消除子电路还将所述第四信号端的电压输出至所述信号输出端。

- 5 23、一种用于驱动权利要求 2-15 任一项所述的移位寄存器单元的驱动方法，其中，所述移位寄存器包括第二输入子电路的情况下；

所述驱动方法包括：

输入阶段：

- 10 在来自第四电压端的电压的控制下，第二输入子电路将第二信号端输入的电压输出至所述第一节点，以通过所述第一节点的电压控制上拉控制子电路开启，将第二电压端的电压经第二节点输出至上拉节点；同时，在来自所述第一节点的电压的控制下，下拉控制子电路将第三电压端的电压输出至下拉节点；

输出阶段：

- 15 在来自所述第一节点的电压的控制下，使所述上拉控制子电路处于关闭状态；并在来自信号输出端的电压的控制下，所述下拉控制子电路将所述第三电压端的电压输出至所述下拉节点；

下拉阶段：

- 20 在来自所述第一节点的电压的控制下，使所述上拉控制子电路处于关闭状态；并在第一时钟信号端的控制下，所述下拉控制子电路将所述第一时钟信号端的时钟信号输出至下拉节点。

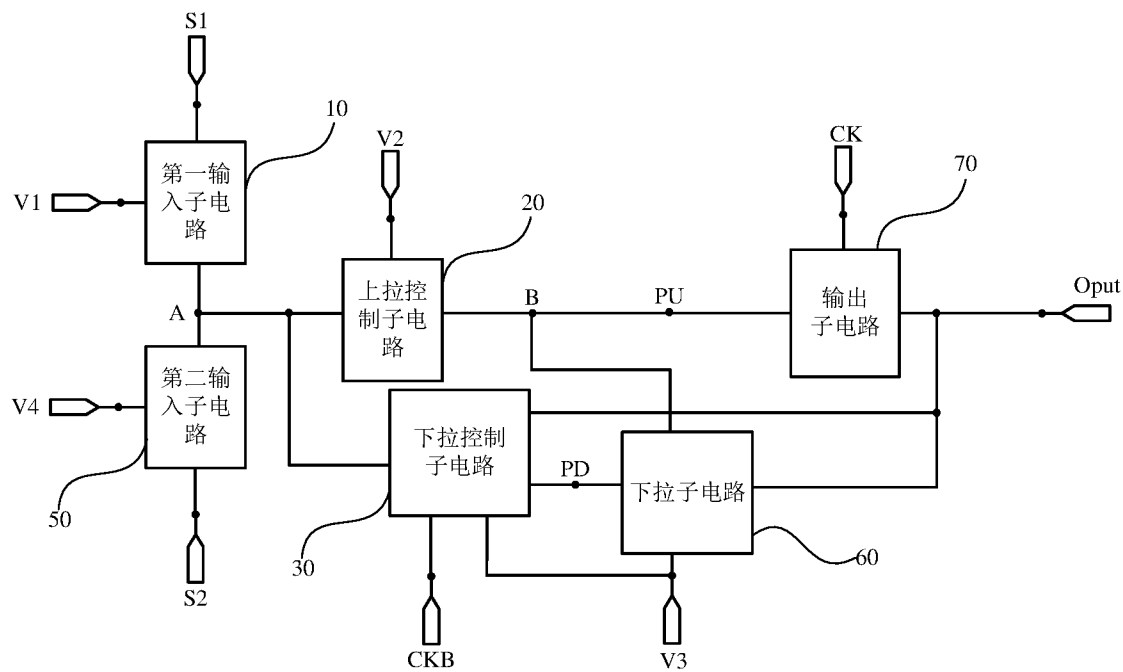


图 1

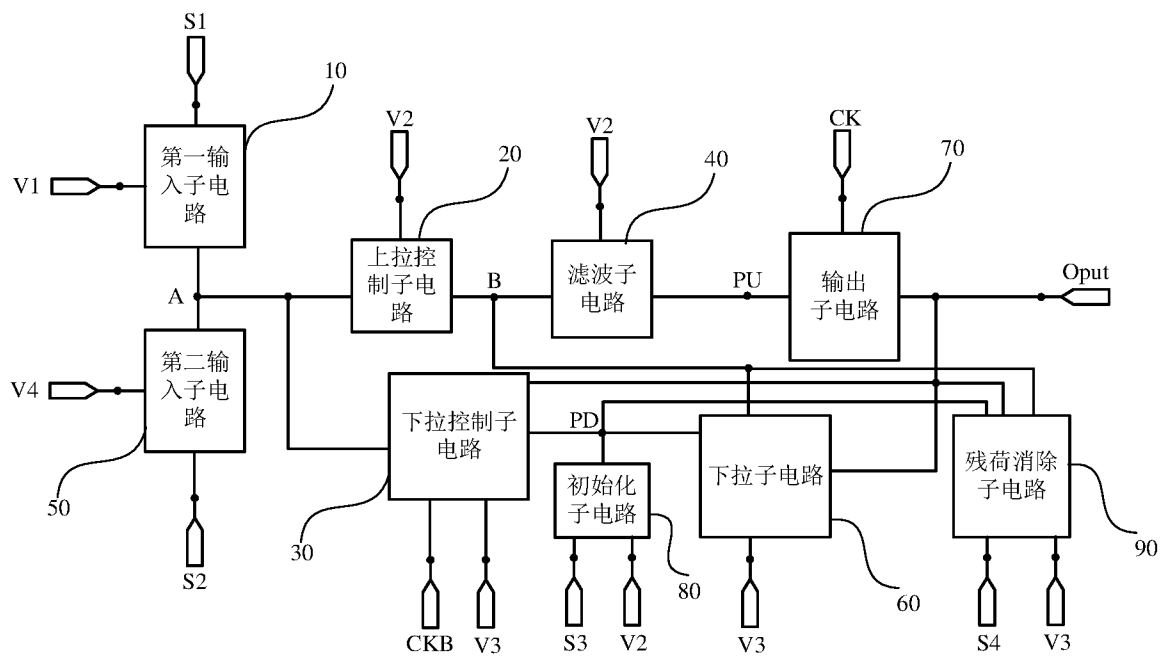


图 2

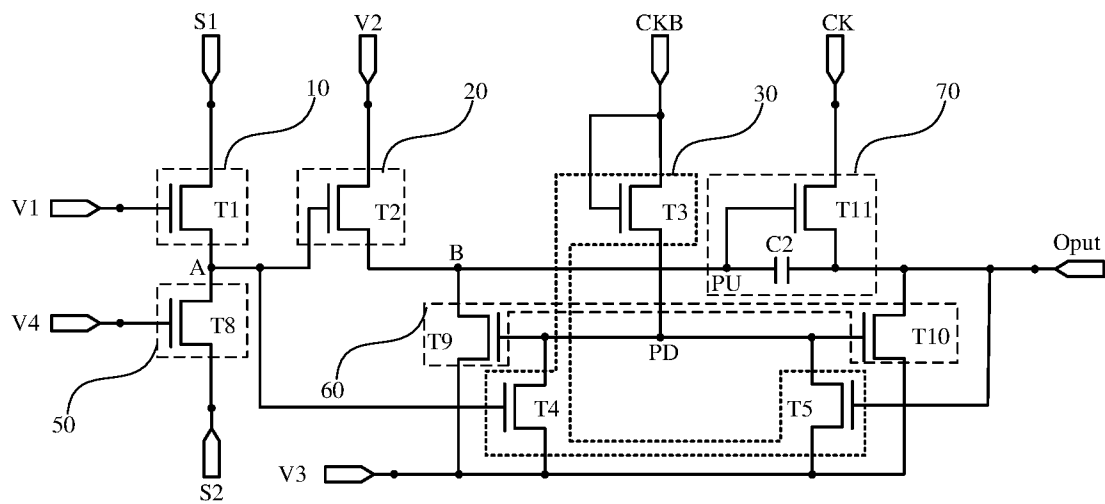


图 3

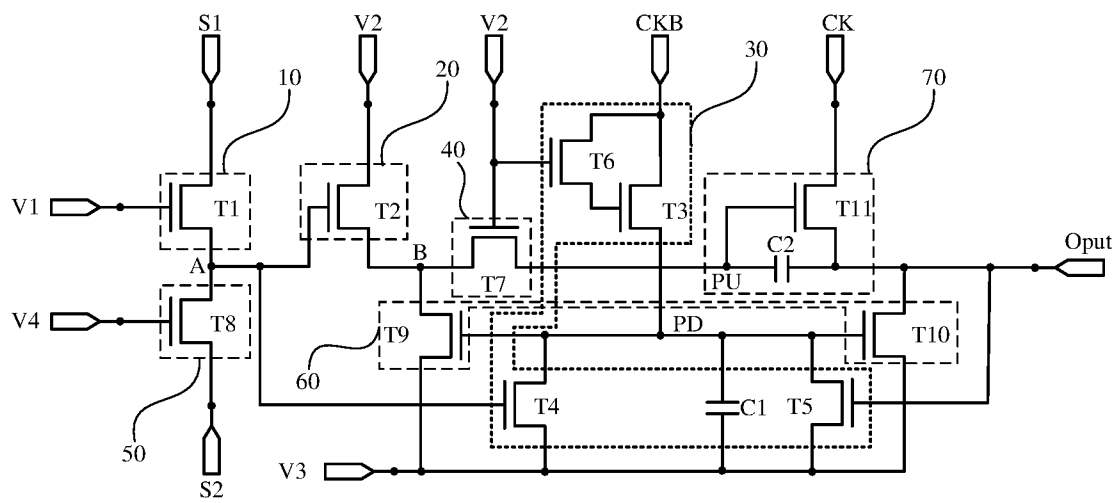


图 4

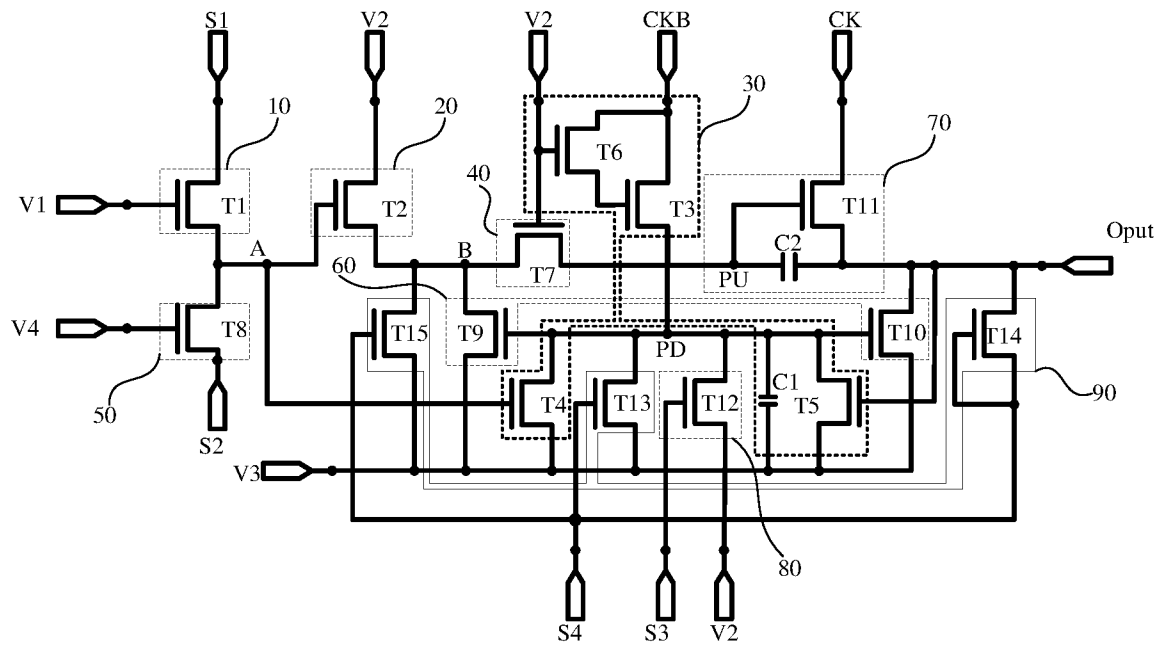


图 5

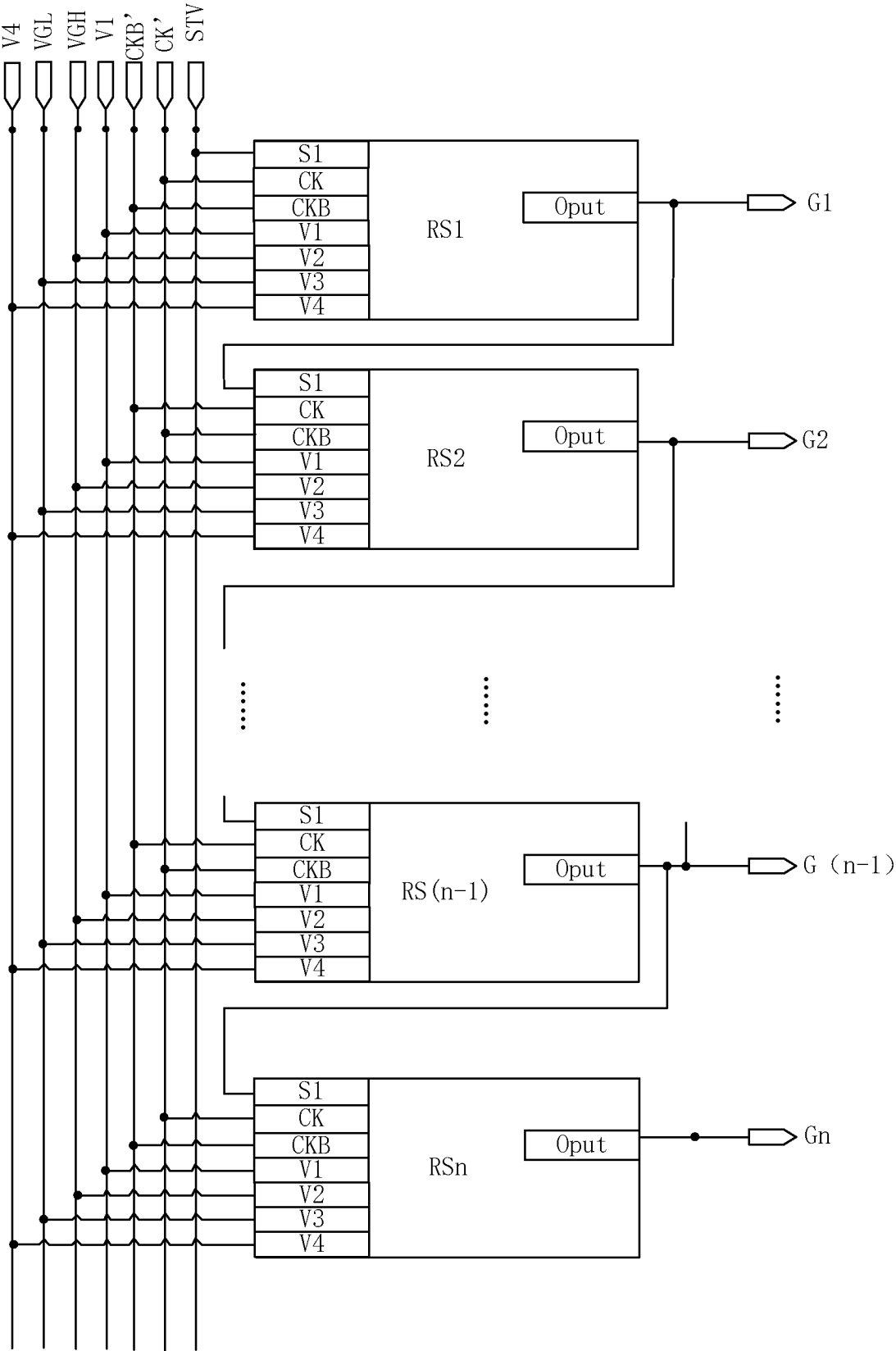


图 6

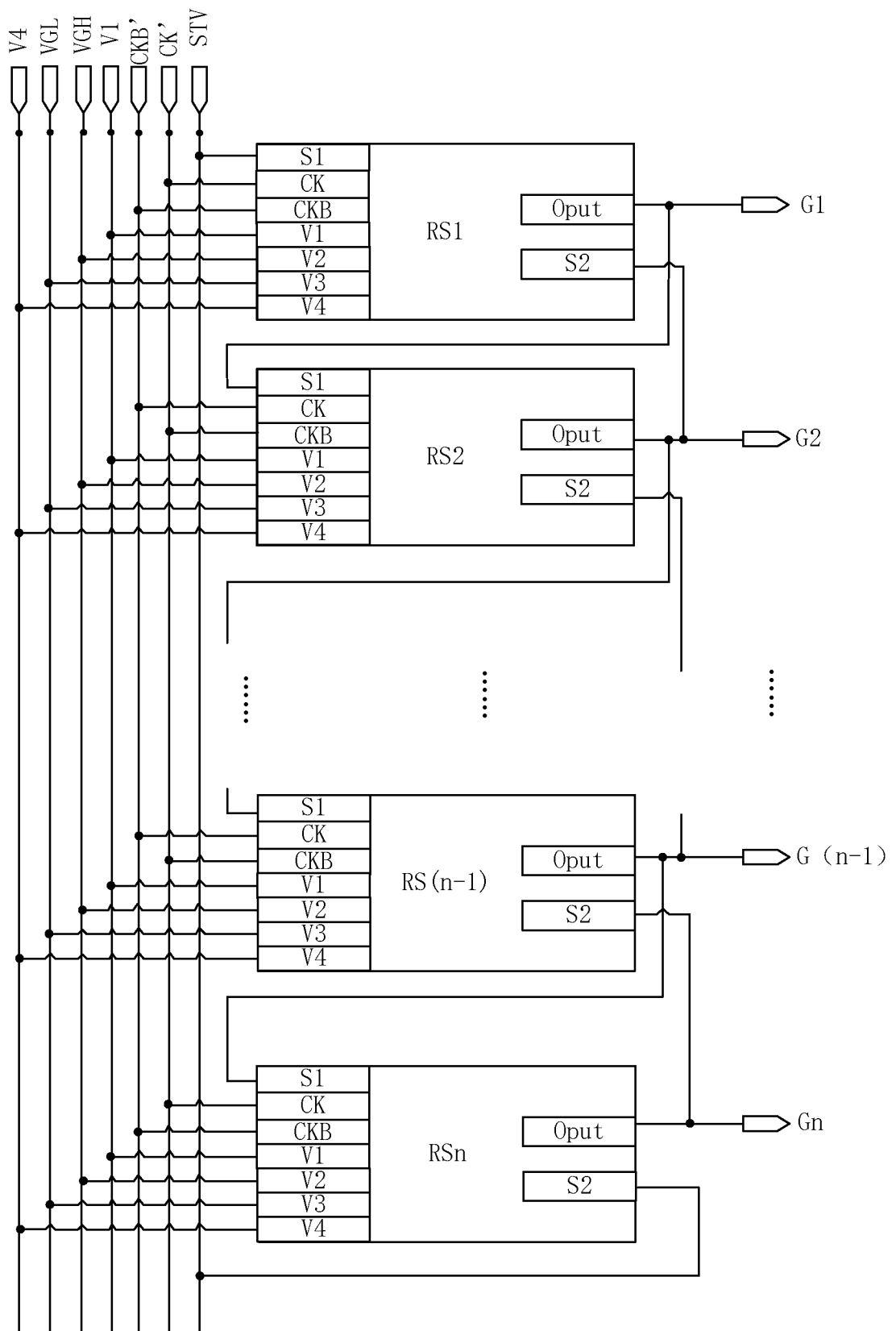


图 7

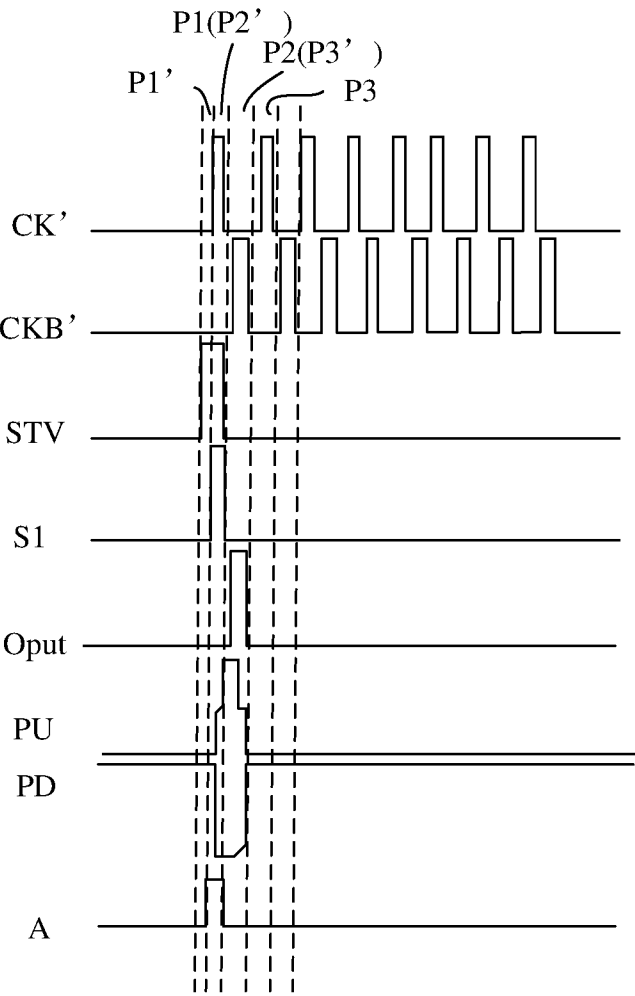


图 8

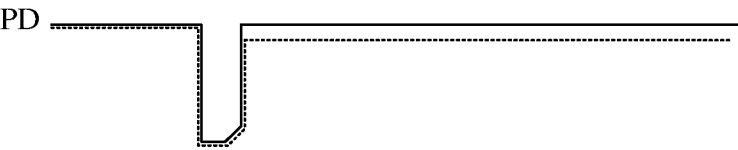


图 9

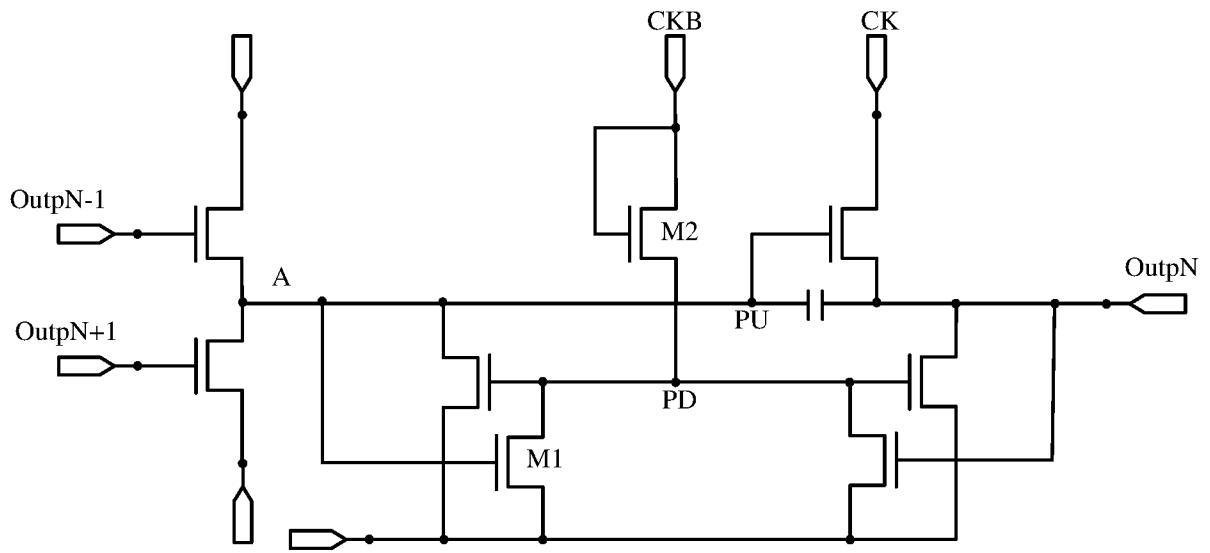


图 10

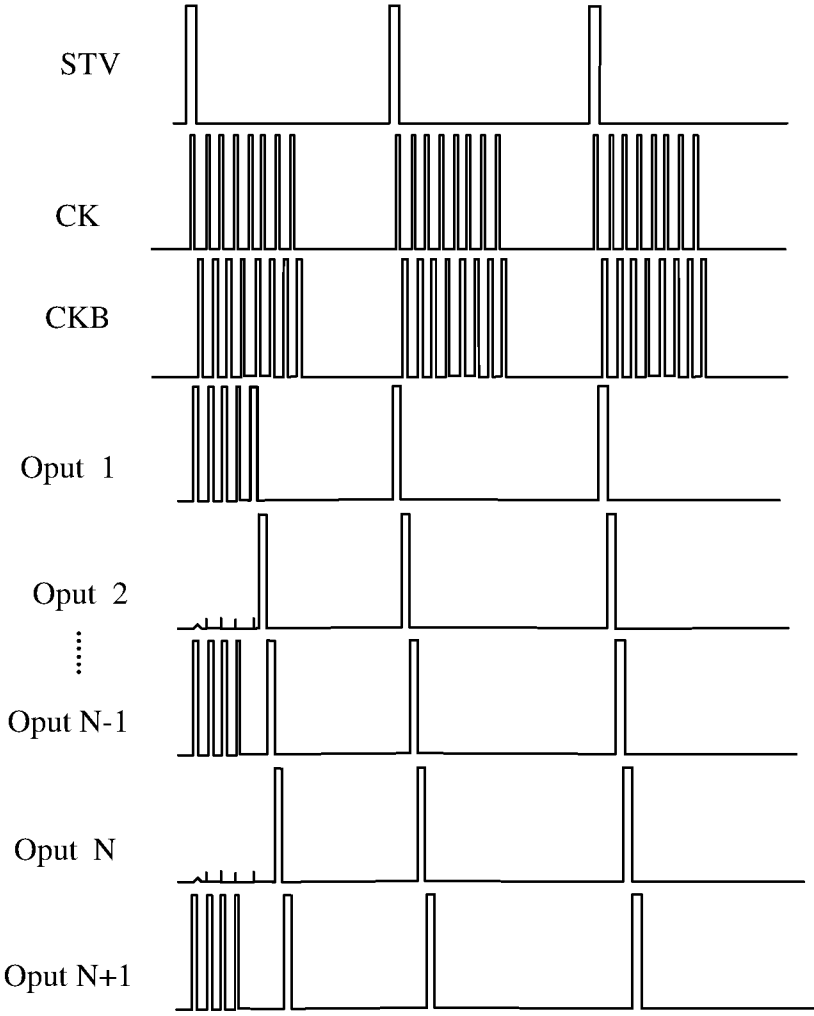


图 11

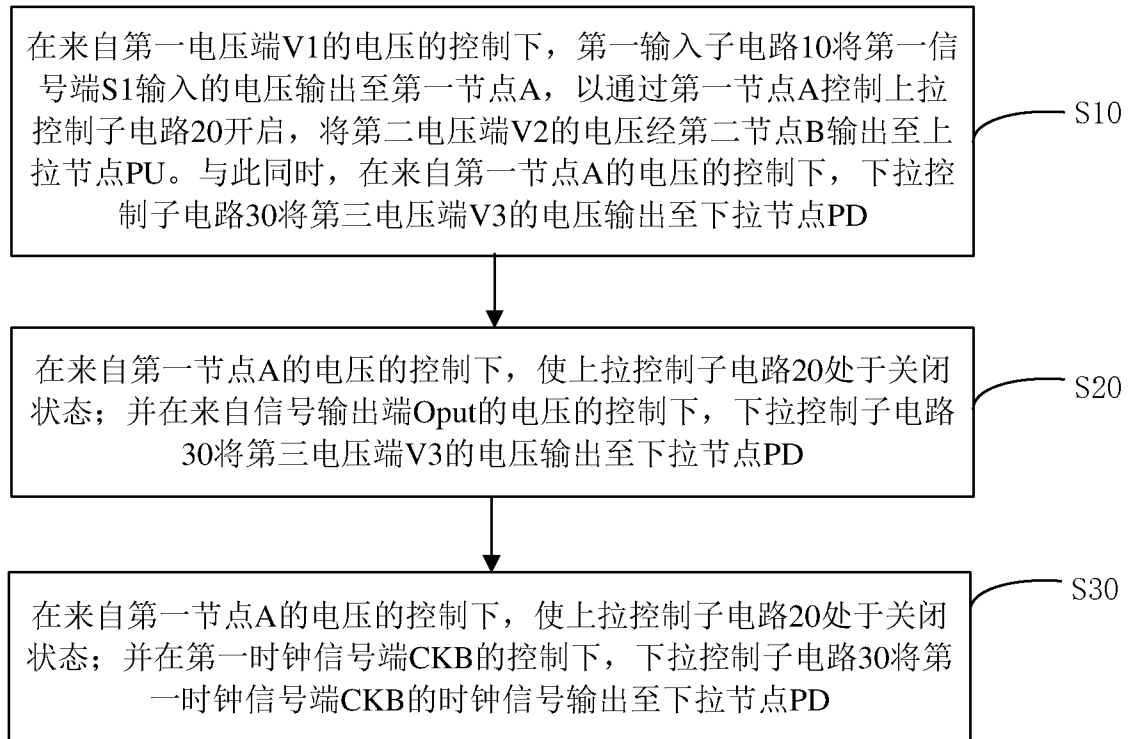


图 12

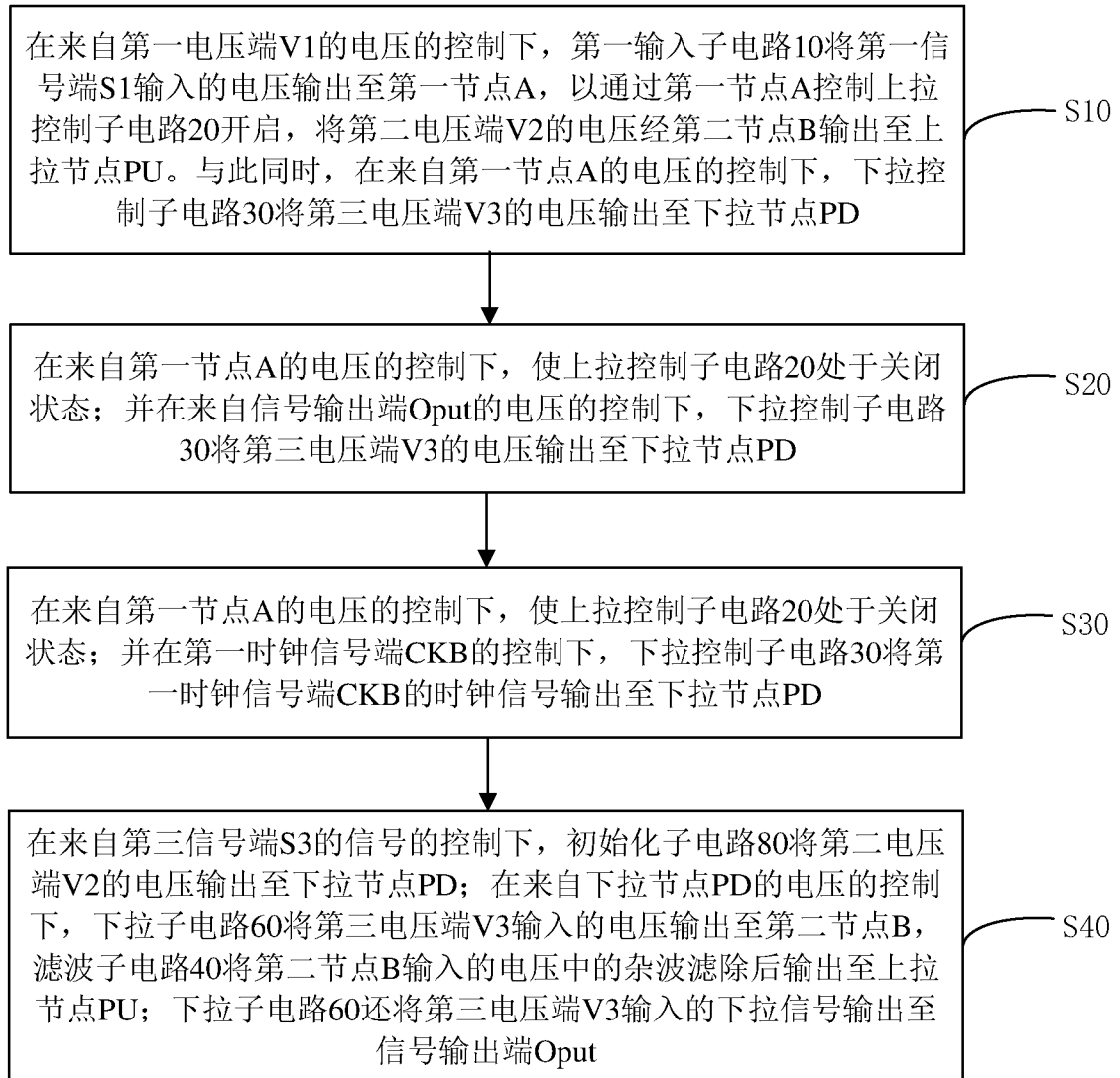


图 13

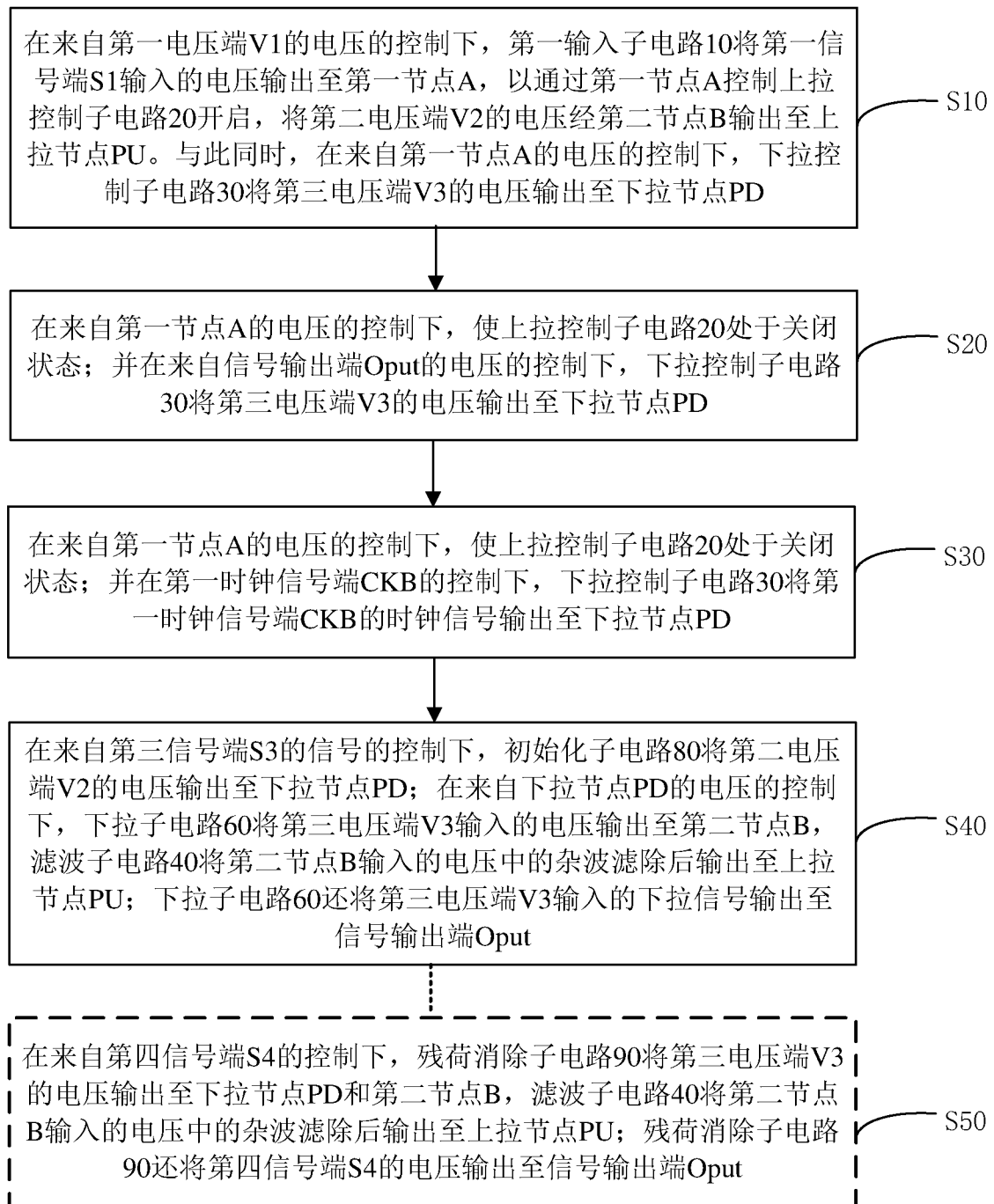


图 14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/111954

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/-;G09G5/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI; VEN; CNABS; CNTXT: 下拉, 异常, 失效, 本级, 下级, 无关, 稳定性, 移位寄存器, 独立, 其它级, 京东方, 下一级, 下拉, 维持, stabl+, independ+, next, pull down, maintain, sustain, abnormal, independ+, shift register

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 107358906 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 17 November 2017 (2017-11-17) entire description	1-23
A	CN 106531121 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 22 March 2017 (2017-03-22) entire description	1-23
A	TW 556220 B (AU OPTRONICS CORP.) 01 November 2016 (2016-11-01) entire description	1-23
A	CN 106157867 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 23 November 2016 (2016-11-23) entire description	1-23
A	US 2015255034 A1 (AU OPTRONICS CORP.) 10 September 2015 (2015-09-10) entire description	1-23



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

25 January 2019

Date of mailing of the international search report

31 January 2019

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/111954

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107358906	A	17 November 2017	None			
CN	106531121	A	22 March 2017	CN	106531121	B	27 October 2017
TW	556220	B	01 November 2016	TW	I556220	B	01 November 2016
				CN	105161133	A	16 December 2015
				TW	201701261	A	01 January 2017
CN	106157867	A	23 November 2016	WO	2017219824	A1	28 December 2017
US	2015255034	A1	10 September 2015	TW	201535338	A	16 September 2015
				US	9208737	B2	08 December 2015
				TW	I512703	B	11 December 2015
				CN	103985343	B	20 April 2016
				CN	103985343	A	13 August 2014

国际检索报告

国际申请号

PCT/CN2018/111954

A. 主题的分类 G09G 3/36 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G3/-; G09G5/- 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) DWPI; VEN; CNABS; CNTXT: 下拉, 异常, 失效, 本级, 下级, 无关, 稳定性, 移位寄存器, 独立, 其它级, 京东方, 下一级, 下拉, 维持, stabl+, independ+, next, pull down, maintain, sustain, abnormal, independ+, shift register		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 107358906 A (京东方科技集团股份有限公司等) 2017年 11月 17日 (2017 - 11 - 17) 说明书全文	1-23
A	CN 106531121 A (京东方科技集团股份有限公司等) 2017年 3月 22日 (2017 - 03 - 22) 说明书全文	1-23
A	TW 556220 B (AU OPTRONICS CORP) 2016年 11月 1日 (2016 - 11 - 01) 说明书全文	1-23
A	CN 106157867 A (京东方科技集团股份有限公司等) 2016年 11月 23日 (2016 - 11 - 23) 说明书全文	1-23
A	US 2015255034 A1 (AU OPTRONICS CORP) 2015年 9月 10日 (2015 - 09 - 10) 说明书全文	1-23
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2019年 1月 25日		国际检索报告邮寄日期 2019年 1月 31日
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		受权官员 刘锋 电话号码 5776

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/111954

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	107358906	A	2017年 11月 17日	无	
CN	106531121	A	2017年 3月 22日	CN	106531121 B 2017年 10月 27日
TW	556220	B	2016年 11月 1日	TW	I556220 B 2016年 11月 1日
				CN	105161133 A 2015年 12月 16日
				TW	201701261 A 2017年 1月 1日
CN	106157867	A	2016年 11月 23日	WO	2017219824 A1 2017年 12月 28日
US	2015255034	A1	2015年 9月 10日	TW	201535338 A 2015年 9月 16日
				US	9208737 B2 2015年 12月 8日
				TW	I512703 B 2015年 12月 11日
				CN	103985343 B 2016年 4月 20日
				CN	103985343 A 2014年 8月 13日