

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

55802

Patent dodatkowy
do patentu

Zgłoszono: 16.IV.1966 (P 114 072)

Pierwszeństwo:

Opublikowano: 10.VIII.1968

Kl. ~~21 a¹~~, 36/22

MKP ~~H-03-k~~

URZĄD PATENTOWY

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Twórca wynalazku: Jerzy Wojtas

Właściciel patentu: Łódzkie Zakłady Radiowe, Łódź (Polska)

Tranzystorowy przelicznik cyfrowy do pomiaru bardzo małych częstotliwości zjawisk periodycznych w czasie

1

Przedmiotem wynalazku jest tranzystorowy przelicznik cyfrowy do pomiaru bardzo małych częstotliwości zjawisk periodycznych w czasie, na przykład obrotów elementów wirujących lub tętna ludzkiego.

Znane urządzenia, stosowane do pomiarów obrotów lub bardzo małych częstotliwości, mają układy zliczające mechaniczne lub elektronowe. Rezultatem jest konieczność stosowania źródeł częstotliwości wzorcowych o dużej dokładności lub pomiar dużej liczby obrotów. Wynikiem takich pomiarów jest zawsze czas jednego lub pewnej liczby obrotów. Wadą tych urządzeń jest ich nieprzydatność do skalowania obrotomierzy, gdzie czas na porównanie wskazań obrotomierza i miernika wzorcowego musi być powiększony o czas tracony na przeliczanie. Przeliczanie to jest utrudnione faktem, że wskazania obrotomierzy są wyrażone w obrotach na minutę, natomiast wskazania częstotliwościomierzy cyfrowych są dziesiętne części sekundy. W zastosowaniu do pomiarów obrotów gramofonów w warunkach produkcyjnych stosuje się kontrolę tolerancji, a nie dokonuje pomiaru. Każdorazowy pomiar wymagałby przeprowadzenia przeliczenia. Obarcza to metodę pomiarową poważnym błędem podczas, gdy dopuszczalne odchylenia obrotów od norm są rzędu 0,1%.

Tranzystorowy przelicznik cyfrowy według wynalazku ma na celu wyeliminowanie wad znanych

2

układów oraz skrócenie czasu trwania pomiaru do jednego pełnego cyklu badanego zjawiska, na przykład jednego obrotu.

Wytyczne zagadnienie jest rozwiązane przez 5
włączenie do tranzystorowego przelicznika cyfrowego posiadającego generator częstotliwości wzorcowej synchronizowanej z częstotliwością sieci zasilającej oraz licznik dziesiętny, między układ sterowania, a wskaźnik wyniku — układu przeliczającego zbudowanego z dwójkowego licznika, 10
sumatora i rejestru akumulującego, przy czym jako korektor stałego błędu algorytmu dzielenia, między układ sterowania i licznik dziesiętny — jest włączony eliminator pierwszego impulsu.

15 Przelicznik cyfrowy według wynalazku składa się z układu formowania impulsu F, generatora impulsów zliczanych G i generatora impulsów taktujących Z, połączonych z układem sterowania S. Generator impulsów zliczanych G przez bramkę 20
układu sterowania S jest połączony z wejściem dwójkowego licznika B. Równoległe wyjścia licznika B są połączone z odpowiednimi wejściami sumatora E, przy czym każdemu segmentowi tego sumatora odpowiada segment rejestru akumulującego A, którego segment odpowiadający najwyższej pozycji, to jest bitowi znaku, jest połączony 25
z układem sterowania S. Generator impulsów taktujących Z przez bramki układu sterowania S jest połączony z sumatorem E i przez eliminator 30
pierwszego impulsu N z wejściem licznika dzie-

siętnego **D**, którego stan odczytuje się z przyłączonego wskaźnika optycznego **W**.

Pomiar częstotliwości polega na zliczaniu w czasie między dwoma kolejnymi impulsami sygnalizującymi początek i koniec okresu mierzonego zjawiska i przeliczeniu otrzymanej liczby impulsów na częstotliwość w minucie według wzoru:

$$f_{\min} = \frac{60 \times fg \times 10^a}{n} \quad \text{gdzie } f_{\min} \text{ oznacza częstotliwość}$$

mierzoną, fg — częstotliwość generatora impulsów zliczanych **G**, n — liczbę zarejestrowaną przez licznik dwójkowy **B**, a — ujemny wykładnik dokładności pomiaru.

Przeliczenie sprowadza się do dzielenia stałej wartości $60 \times fg$ przez zmienną wartość n . Dzielenie realizuje się serią sumowań: $A + B = A_{t+1}$, co odpowiada różnicom: $A_t - B = A_{t+1}$, gdzie A_t oznacza stan rejestru akumulującego **A** w chwili t , a A_{t+1} oznacza stan rejestru akumulującego **A** w chwili następnej.

Sumowanie odbywa się do momentu, kiedy wartość rejestru **A** staje się ujemna. Wykonanie ostatniego sumowania jest konieczne do określenia momentu końca operacji dzielenia, a wykazywanie go w wyniku powoduje stały błąd w jego najniższej pozycji.

Wynikiem dzielenia jest liczba wykonanych operacji sumowań, zliczana przez licznik dziesiętny **D**. Do korekcji stałego błędu przyjętego algorytmu dzielenia służy eliminator pierwszego impulsu **N**, który zmniejsza o 1 stan licznika dziesiętnego **D**.

Pomiar przebiega od czujnika właściwego dla mierzonego urządzenia, który rejestruje pierwszy impuls z urządzenia mierzonego i przekazuje do układu formowania impulsu **F**, podającego impuls do układu sterowania **S**. Pod wpływem tego impulsu układ sterowania **S** otwiera drogę dla ciągu impulsów z generatora impulsów zliczanych **G** do licznika dwójkowego **B**. Ten sam pierwszy impuls powoduje wysłanie przez układ sterowania **S** impulsu kasującego stan licznika dziesiętnego **D** i wprowadzenie liczby stałej do rejestru akumulującego **A**. Tym samym rozpoczyna się krok zliczania trwający do momentu następnego zdarzenia zarejestrowanego przez czujnik, na przykład po pełnym obrocie mierzonego urządzenia wirującego.

Impuls z czujnika oznaczający koniec mierzonego zjawiska, przechodząc przez układ formowania **F**, powoduje, że układ sterowania **S** przerywa

ciąg impulsów z generatora impulsów zliczanych **G**, otwiera drogę ciągowi impulsów z generatora impulsów taktujących **Z** do sumatora **E** i przez eliminator pierwszego impulsu **N** trafia do licznika dziesiętnego **D**. Następuje krok przeliczania, trwający do momentu zmiany znaku zawartości rejestru akumulującego **A**.

Zmiana znaku rejestru akumulującego **A** daje impuls do układu sterowania **S**, który na żądany czas unieruchamia układ formowania impulsu **F**, co umożliwia odczytanie wyniku pomiaru ze wskaźnika optycznego **W**, rejestrującego stan licznika dziesiętnego **D**.

Przelicznik pracuje synchronicznie, to znaczy, że czas trwania każdego kroku jest zależny wyłącznie od długości liczb biorących udział w operacji przeliczania. Sumator **E** pracuje w układzie równoległym na zasadzie warunku zmiany stanu komórki rejestru akumulującego **A**.

W przypadku pomiaru urządzeń, w których powtarzalność zjawisk mierzonych jest zależna od częstotliwości sieci zasilającej, generator impulsów zliczanych **G** jest synchronizowany z częstotliwością sieci. Jeżeli zaś pomiar dotyczy zjawisk, których powtarzalność jest niezależna od zasilania elektrycznego, na przykład bezstopniowych przekładni obrotów, to generator impulsów zliczanych **G** jest stabilizowany za pomocą kwarcu.

Tranzystorowy przelicznik jest zbudowany w oparciu o elementy logiczne typu oporowo-tranzystorowego.

Zastrzeżenie patentowe

Tranzystorowy przelicznik cyfrowy do pomiaru bardzo małych częstotliwości zjawisk periodycznych w czasie, posiadający generator impulsów taktujących, generator impulsów zliczanych synchronizowany z częstotliwością sieci zasilającej lub stabilizowany za pomocą kwarcu, układ sterowania oraz licznik dziesiętny ze wskaźnikiem optycznym, **znamienny tym**, że między układ sterowania (**S**) i licznik dziesiętny (**D**) ze wskaźnikiem optycznym (**W**) jest włączony układ przeliczający, zbudowany z licznika dwójkowego (**B**), sumatora (**E**) i rejestru akumulującego (**A**), przy czym jako korektor stałego błędu algorytmu dzielenia między układ sterowania (**S**), a licznik dziesiętny (**D**), jest włączony eliminator pierwszego impulsu (**N**).

