

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



# [12] 发明专利申请公布说明书

[21] 申请号 200680013549.8

H04J 3/06 (2006.01)  
H04H 20/44 (2008.01)  
H04H 60/04 (2008.01)  
H03L 7/107 (2006.01)  
H03L 7/093 (2006.01)

[43] 公开日 2008年5月28日

[11] 公开号 CN 101189815A

[22] 申请日 2006.2.14

[21] 申请号 200680013549.8

[30] 优先权

[32] 2005.3.16 [33] US [31] 11/081,267

[86] 国际申请 PCT/US2006/005134 2006.2.14

[87] 国际公布 WO2006/101622 英 2006.9.28

[85] 进入国家阶段日期 2007.10.22

[71] 申请人 艾比奎蒂数字公司

地址 美国马里兰

[72] 发明人 布莱恩·克罗格

[74] 专利代理机构 中国国际贸易促进委员会专利商  
标事务所  
代理人 董 莘

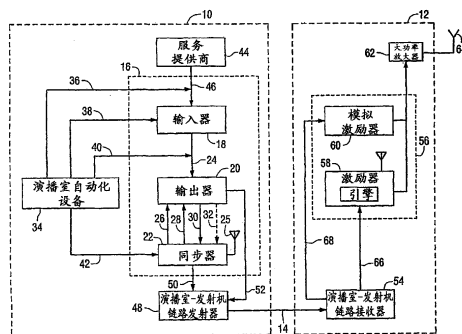
权利要求书 3 页 说明书 13 页 附图 7 页

## [54] 发明名称

使输出器和激励器时钟同步的方法

## [57] 摘要

一种在 IBOC 广播系统中使激励器时钟与调制解调器帧时钟同步的方法，包括下述步骤：接收代表音频信号和数据信号的调制解调器帧的开始的多个调制解调器帧脉冲，其中调制解调器帧脉冲的计时由调制解调器帧时钟控制，产生激励器时钟信号，计数代表激励器时钟信号的脉冲，以产生代表每个输入的调制解调器帧脉冲的计时误差的计数，并且响应于所述计数，控制激励器时钟信号。还提供一种执行该方法的设备。



1、一种在广播系统中使激励器时钟与调制解调器帧时钟同步的方法，所述方法包括下述步骤：

接收代表音频信号和数据信号的调制解调器帧的开始的多个调制解调器帧脉冲，其中所述调制解调器帧脉冲的计时由调制解调器帧时钟控制；

产生激励器时钟信号；

计数代表所述激励器时钟信号的脉冲，以产生代表每个输入的调制解调器帧脉冲的计时误差的计数；和

响应于所述计数，控制所述激励器时钟信号。

2、按照权利要求1所述的方法，还包括下述步骤：

响应于所述调制解调器帧脉冲，锁存所述计数。

3、按照权利要求1所述的方法，还包括下述步骤：

获得所述计数的二进制补码。

4、按照权利要求1所述的方法，其中利用可变模数分频器产生代表激励器时钟信号的脉冲。

5、按照权利要求1所述的方法，还包括下述步骤：

使所述计数重置。

6、一种在广播系统中使激励器时钟与调制解调器帧时钟同步的设备，所述设备包括：

输入端，用于接收代表音频信号和数据信号的调制解调器帧的开始的多个调制解调器帧脉冲，其中所述调制解调器帧脉冲的计时由调制解调器帧时钟控制；

压控振荡器，用于产生激励器时钟信号；

计数器，用于计数代表所述激励器时钟信号的脉冲，以产生代表每个输入的调制解调器帧脉冲的计时误差的计数；和

环路滤波器，用于响应于所述计数，控制所述激励器时钟信号。

7、按照权利要求6所述的设备，还包括：

锁存器，用于响应于调制解调器帧脉冲，锁存所述计数。

8、按照权利要求6所述的设备，还包括：

用于获得所述计数的二进制补码的电路。

9、按照权利要求6所述的设备，还包括：

可变模数分频器，用于产生代表所述激励器时钟信号的脉冲。

10、按照权利要求6所述的设备，还包括：

使所述计数重置的输入端。

11、一种在广播系统中使激励器时钟与调制解调器帧时钟同步的设备，所述设备包括：

接收代表音频信号和数据信号的调制解调器帧的开始的多调制解调器帧脉冲的装置，其中所述调制解调器帧脉冲的计时由调制解调器帧时钟控制；

产生激励器时钟信号的装置；

计数代表所述激励器时钟信号的脉冲，以产生代表每个输入的调制解调器帧脉冲的计时误差的计数的装置；和

响应于所述计数，控制所述激励器时钟信号的装置。

12、按照权利要求11所述的设备，还包括：

响应于所述调制解调器帧脉冲，锁存所述计数的装置。

13、按照权利要求 11 所述的设备，还包括：  
获得所述计数的二进制补码的装置。

14、按照权利要求 11 所述的设备，还包括：  
产生代表所述激励器时钟信号的脉冲的装置。

15、按照权利要求 11 所述的设备，还包括：  
使所述计数重置的装置。

## 使输出器和激励器时钟同步的方法

### 技术领域

本发明涉及无线电广播系统，更具体地说，涉及使演播室和发射器中的时钟同步的方法和设备。

### 背景技术

iBiquity Digital Corporation HD Radio™系统被用来允许从目前的模拟调幅(AM)和调频(FM)无线电到全数字带内同频道(IBOC)系统的平滑演化。该系统在现有的中频(MF)和甚高频(VHF)无线电频带中从地面发射器向移动接收器、便携式接收器和固定接收器提供数字音频和数据服务。广播公司可继续同时发射模拟AM和FM，以及新的更高质量、更稳健的数字信号，允许他们和他们的收听者从模拟无线电转换成数字无线电，同时保持他们目前的频率分配。

广播系统体系结构中的两个主要组件是输出器(exporter)和激励器。通常，输出器位于无线电台的演播室，激励器位于发射点，不过输出器和激励器可共同位于发射点。一般通过将以太网用于激励器链路，输出器和激励器之间的接口是单向的(通常通过数字演播室-发射器链路(STL))。

数字音频和数据信号可包括多种服务，包括主节目服务(MPS)和电台信息服务(SIS)。输出器包含MPS和SIS所需的软件和硬件。它通过音频接口接收模拟和数字音频，压缩音频，并通过单向激励器链路将压缩音频输出给激励器。

HD 编译码器(HDC)可位于在演播室中的输出器中。输出器为STL路径输出信号，所述信号包含HDC编码音频和所有数据服务。模拟音频信号在输出器中被延迟，以便实现差异延迟，并以44.1 kHz输出。模拟音频信号随后在现有的STL上被发送，或者在32 kHz下

被重新采样，并和 HDC 流一起在能够在 300 kHz STL 分配范围内的多路复用 STL 上被发送。RF 调制部分位于发射器。这便于实现带宽效率高的位流。

激励器包括一个激励器引擎 (engine) 子系统和产生 HD Radio™ 波形所需的必要硬件。输出器和引擎之间的所有界面连接通过单向激励器链路发生。通过链路传送的激励器链路消息包含将由引擎调制的逻辑信道数据，以及输出器和激励器之间需要的适当命令和控制。

在演播室中进行音频编码和数据操作的同时，编码的音频和数据在单一的传输流上被组合。通过激励器链路传递的一切都是基于消息的。每条消息具有标题和主体。标题包括至少一个标识符、主体、序列号和循环冗余码校验。消息的主体具有特定的格式。对于单向激励器链路，主体始终是命令消息，因为不存在传送响应的任何返回信道。

引擎系统的一个部件是输入器。所述输入器用软件实现，管理所有的数据，包括第三方数据，与节目相关的数据 (PAD) 或者辅助信道。它多路复用数据，加上来自数字 IBOC 信号的编码 HDC 信息，并将该信息作为一个位流供给激励器。

在某些 HD Radio™ 系统中，HDC FM 系统能够提供 20 kHz 响应，而 HDC AM 系统提供 15 kHz 响应。对于 HDC FM 的 20 kHz 音频响应来说，STL 系统必须采用 44.1 kHz 或者更高的采样速率，以便传递更高的频谱。由于 HDC 系统需要 44.1 kHz 主时钟，因此利用以 44.1 kHz 工作的数字 STL 系统是有利的，因为这将消除采样速率转换器 (SRC)。但是，也可以使用采用 32 kHz 或 48 kHz 采样的 STL 系统。

HDC 系统采用主时钟使一切同步到 44.1 kHz 采样速率。处理可以利用两种配置：两个独立的单元（一个用于 HDC，一个用于常规传输），或者为两个信道提供专用的处理音频的单个双输出组合处理器。

首先考虑时钟误差对输出器和引擎之间的时间同步的影响。如果这些设备中的时钟具有 1 ppm 的误差，那么每一百万个时钟时间将漏

失一个时钟。另一种表征方式是时间误差为总时间的百万分之一。例如，1 ppm 的误差偏移 3.6 毫秒/hr 或者 86.4 毫秒/day，它分别等同于一小时或者一天内 44.1 kHz 音频时钟的 159 时钟或者 3810 时钟。如果要求单一时钟样本的 44.1 kHz 时钟样本容限，那么在 1 ppm 时钟误差下，仅仅 22.7 秒时钟就将漂移到规范之外。从而显然需要某种类型的辅助同步。

当位于演播室的输出器和位于发射器的引擎通过 STL 链路连接时，为了保持这两个位置之间的同步，可在所述输出器和引擎中使用锁定 GPS 的 10 MHz 时钟。但是由于高 RF 噪声的缘故，在一些情况下，难以在发射器位置接收 GPS 信号。

需要一种在发射器产生同步时钟的备选方法。

### 发明内容

本发明提供一种在广播系统中使激励器时钟与调制解调器帧时钟同步的方法。所述方法包括下述步骤：接收表示音频信号和数据信号的调制解调器帧的开始的一个或多个调制解调器帧脉冲，其中调制解调器帧脉冲的计时由调制解调器帧时钟控制，产生激励器时钟信号，计数代表激励器时钟信号的脉冲，以产生代表每个输入的调制解调器帧脉冲的计时误差的计数，响应所述计数，控制激励器时钟信号。还提供一种执行所述方法的设备。

在另一方面，本发明提供一种在广播系统中使激励器时钟与调制解调器帧时钟同步的设备。所述设备包括：输入端，用于接收代表音频信号和数据信号的调制解调器帧的开始的一个或多个调制解调器帧脉冲，其中调制解调器帧脉冲的计时由调制解调器帧时钟控制，压控振荡器，用于产生激励器时钟信号，计数器，用于计数代表激励器时钟信号的脉冲，以产生代表每个输入的调制解调器帧脉冲的计时误差的计数，和环路滤波器，用于响应所述计数，控制激励器时钟信号。

### 附图说明

图 1 是 FM 无线电台的演播室、发射器和演播室-发射器链路的方框图。

图 2 是 AM 无线电台的演播室、发射器和演播室-发射器链路的方框图。

图 3 是位于发射器的激励器的一部分的功能图。

图 4 是按照本发明构成的同步电路的方框图。

图 5 是按照本发明构成的电路的示意图。

图 6 是本发明的线性模型的示图。

图 7a 和 7b 是用于图解说明模型的时间常数的示图。

图 8 是本发明的数字模拟模型的示图。

图 9 是对 1 毫秒初始偏移和 1 毫秒 rms 输入相位抖动的 PLL 响应的示图。

图 10 是对 10 毫秒初始偏移和 10 毫秒 rms 输入相位抖动的 PLL 响应的示图。

### 具体实施方式

参见附图，图 1 是按照本发明构成的演播室 10、发射器 12 和演播室-发射器链路 (STL) 14 的相关组件的功能方框图。除了其它之外，演播室还包括总体工作中心 (Ensemble operation center) (EOC) 16，EOC 16 包括输入器 18、输出器 20 和同步器 22。输入器和输出器由输出器数据链路 24 连接。同步器 22 包括与天线 25 连接的 GPS 接收器。输出器和同步器交换多种信号，包括数字主节目服务 (MPS) 音频，模拟主节目服务 (MPS) 音频，延迟的模拟主节目服务 (MPS) 音频，和旁路控制，如箭头 26、28、30 和 32 所示。EOC 从演播室音频设备 34 接收多个音频和数据信号，包括线路 36 上的次要音频数据服务，线路 38 上的次要音频服务音频，线路 40 上的主节目服务数据，和线路 42 上的主节目服务音频。数据服务提供商 44 在线路 46 上供给服务数据。演播室发射器链路 (STL) 发射器 48 在线路 50 上接收延迟的模拟 MPS 音频，在线路 52 上接收激励器链路数据。



EOC 将各个信号格式化成为调制解调器帧，STL 发射器借助 STL 链路 14，以成帧数据的形式将调制解调器帧发给发射器 12。调制解调器帧为在激励器的同步提供一系列脉冲。调制解调器帧时钟被用于控制信号计时。发射器包括 STL 接收器 54，包括引擎子系统 58 和模拟激励器 60 的激励器 56。发射器接收音频和数据信号，处理它们以便由大功率放大器 62 和天线 64 广播。激励器链路数据被提供给引擎，如箭头 66 所示。延迟的模拟 MPS 音频被提供给模拟激励器，如箭头 68 所示。激励器包括一个 10 MHz 时钟和一个上变频器。

图 2 是按照本发明构成的演播室 110、发射器 112 和演播室-发射器链路 (STL) 114 的相关组件的功能方框图。除了其它之外，演播室还包括 EOC 116，EOC 116 包括输入器 118、输出器 120 和同步器 122。输入器和输出器由输出器数据链路 124 连接。同步器 122 包括与天线 125 连接的 GPS 接收器。输出器和同步器交换多种信号，包括数字主节目服务 (MPS) 音频，模拟主节目服务 (MPS) 音频，和旁路控制，如箭头 126、128 和 130 所示。EOC 从演播室音频设备 132 接收多个音频和数据信号，包括线路 134 上的次要音频数据服务，线路 136 上的次要音频服务音频，线路 138 上的主节目服务数据，和线路 140 上的主节目服务音频。数据服务提供商 142 在线路 144 上供给服务数据。演播室发射器链路 (STL) 发射器 146 在线路 148 上接收将在激励器链路数据上发射的信号。

EOC 将各个信号格式化成为调制解调器帧，STL 发射器借助 STL 链路 114，以一系列脉冲的形式将调制解调器帧发给发射器 112。调制解调器帧时钟被用于控制信号计时。发射器包括 STL 接收器 150 和激励器 152，激励器 152 包括引擎子系统 154。发射器接收音频和数据信号，处理它们以便由大功率放大器 156 和天线 158 广播。激励器链路数据被提供给引擎，如箭头 160 所示。激励器包括一个 10 MHz 时钟和一个上变频器。

同步问题的一种解决方案依赖于通过 STL 定期发射时间同步信号。这里假定 STL 时钟控制相对于位于发射器的 10 MHz 时钟是异步

的，从而 STL 时钟不可能是用作引擎中的基准时钟的候选者。但是，（几乎）与调制解调器帧速率一致的定期时间同步脉冲可被用于使引擎时钟同步。尽管时间同步信号可在足够长的时间间隔内相对于输出器基准时钟被锁频，不过由于异步 STL 时钟和软件计时的缘故，它具有峰-峰时间抖动。另外重要的是认为该抖动噪声很可能不是不相关的（白噪声），可能具有长周期性，或者说拍频。如果某类锁相环（PLL）在引擎被用于重新生成 10 MHz 时钟，则如果启动信号传输，那么在那些阶跃误差（step error）内，相位噪声和频率误差必须保持在规范之内。该 PLL 的所需频率容限、PLL 稳定性、捕捉范围和时间常数规定供实现的设计参数。调制解调器帧时钟的到 10 MHz 的不寻常的较高频率倍增（大约 15000000），连同来自 STL 的输入的抖动一起导致时间常数极大的非常规设计。

要考虑的另一因素是同步信息的精度或者说时间抖动。统计平均提供一种根据被抖动破坏噪声样本估计参数（即，调制解调器帧周期）的手段（采用高斯不相关分布进行分析，以便得到最佳的无偏估计）。估计平均值的统计方差等于每个样本的方差除以样本数。或者等同地，标准偏差被减少平均值中的样本数的平方根。利用 PLL 技术能够实现一类加权平均。

图 3 是图 1 和 2 的激励器的一部分的功能图。引擎子系统 180 在线路 182 上产生频率约为 0.673 Hz 的时钟信号。该时钟信号来源于调制解调器帧计时。从输出器通过 STL 链路以同步消息的形式提供该时钟信号，随后当同步消息以 0.637 Hz 的频率定期到达时，该时钟信号被解码，从而产生脉冲。该信号充当给 10 MHz 时钟发生器 184 的输入。10 MHz 时钟发生器产生线路 186 上的 10 MHz 时钟信号，该 10 MHz 时钟信号被用于控制数字上变频器 188。数字上变频器从引擎子系统接收波形数据，如箭头 190 所示，并在线路 192 上产生 HD Radio™ 信号。

图 4 是图 3 的 10 MHz 时钟的方框图。0.673 Hz 时钟信号在线路 182 上被输入现场可编程门阵列（FPGA）194。FPGA 处理该时钟信

号，从而在线路 196 上产生数字控制信号。数-模转换器 198 在线路 200 上产生模拟电压信号。响应模拟控制电压，压控振荡器 (VCXO) 202 在线路 186 上产生 10 MHz 时钟信号。10 MHz 时钟信号被反馈给 FPGA，如箭头 204 所示。

本发明提供一种使引擎 10 MHz 时钟与来自输出器的调制解调器帧时钟同步的方法。图 5 是按照本发明构成的锁相环 (PLL) 电路的示意图。在图 5 的电路中，周期约为 1.486 秒 (倒数=0.673 Hz) 的调制解调器帧脉冲在线路 210 上被输入锁存电路 212。调制解调器帧脉冲指示调制解调器帧的开始。门电路 216 对线路 214 上的初始同步信号和调制解调器帧脉冲进行逻辑与操作，从而在线路 220 上产生模  $2^{16}$  计数器 218 的复位信号。可使用各种方法来开始初始同步采集。一种原型使用按钮来开始初始同步采集。商用硬件可从其中从图形用户界面 (GUI) 控制所有传输参数的计算机控制器，或者每当制造商认为方便的时候对此进行初始化。来自计数器 218 的计数被保存在锁存器 212 中。响应调制解调器帧脉冲的前沿，锁存该计数。

如方框 222 中所示进行锁存计数的负二进制的求反，从而产生被传送给环路滤波器 224 的误差信号。二进制求反是一种表示计数器/鉴相器中的正负计时计数误差 (相对于零计数误差) 的便利方法。该计数 (二进制补码) 提供引擎的输入脉冲和再生调制解调器帧时钟之间的相对相位或计时误差的量度。PLL 动作从而将该计数减为零。计数的分辨率为 44.1 kHz 时钟样本，或者大约 23 微秒。在常规的锁相环中，二进制锁存器类电路被用于为每个冲击脉冲产生一个误差脉冲宽度，所述误差脉冲宽度等于输入和除降 (divided-down) 反馈信号之间的脉冲时差。该脉冲宽度一般在环路滤波器中被处理。相反，本发明使用计数器 (而不是模拟脉冲宽度) 来指示每个输入的调制解调器帧脉冲的计时误差。这种方法允许重置计数器，以保证 PLL 在其目标相位 (时间) 误差之内，并且更快地收敛 (虽然仍然为几个小时)，否则 PLL 收敛需要数天时间。这种计数器重置允许初始采集特征，否则就常规的模拟脉冲宽度方法来说，初始采集特征是不可能的。其

它情况下极长的采集时间是这种计数器鉴相器的动机，尽管采集时间仍然较长（数小时而不是数天）。

环路滤波器包括求和点 226、228 和 230，限幅器 232 和 234，放大器 236 和 238，以及反馈部件 240 和 242。反馈部件是单样本延迟部件。环路滤波器的输出被限幅，如方框 244 中所示，限幅器的数字输出由数-模转换器 248 转换成线路 246 上的模拟控制电压。压控振荡器 250 响应该控制电压，在线路 252 上产生 10 MHz 时钟信号。

可变模数分频器 254 被用于根据 10 MHz 时钟产生 44.1 kHz 时钟。可变模数分频器 254 包括计数器 256、258 和检测器 260，并在线路 262 上产生 44.1 kHz 时钟信号。44.1 kHz 频率是便利的，因为它被用于音频采样率，并且是调制解调器帧速率的整数倍。可变模数分频器有效地将 10 MHz 时钟频率乘以因数  $441/100000$ 。44.1 kHz 时钟被输入 16 位计数器，所述 16 位计数器以产生大约 1.486 秒的调制解调器帧周期的  $44100/6556$ ，或者说近似于 0.673 Hz 的调制解调器帧速率循环。

计数器 218 具有 16 位的分辨率。这些 16 位表示虚拟调制解调器计数器和输入的基准调制解调器帧计时之间的相对相差。在输入调制解调器帧时钟的前沿锁存该计数。该计数（二进制补码）提供引擎的输入相位和再生调制解调器帧时钟之间的相对相位或计时误差的度量。随后通过环路滤波器和 DAC 处理该相位误差，以控制 VCXO 的瞬时频率。环路滤波器控制 PLL 的总性能。

VCXO 被规定为具有  $10\text{ MHz}\pm 0.5\text{ ppm}$  的标称频率。控制电压范围应允许 VCXO 频率达到  $10\text{ MHz}\pm 1.0\text{ ppm}$ 。此外，在所有条件下，VCXO 频率的最大范围应被限制为  $10\text{ MHz}\pm 1.5\text{ ppm}$ 。这种限制防止频率超过它的  $\pm 2\text{ ppm}$  的系统最坏情况容限。

采用了 16 位 DAC，不过只需要 8MSB（例如 8 位 DAC）就能获得足够的性能。DAC 的满量程（full range）被限制为  $\pm 2^{15}$ ，它应将 VCXO 控制到至少  $10\text{ MHz}\pm 1.0\text{ ppm}$ ，但是不大于  $\pm 1.5\text{ ppm}$  的范围，以保证和系统规范一致。在数字信号路径中的各个点应用限制功能，

以避免数值上溢和下溢。

图 5 的 PLL 在线路 252 上产生 10 MHz 时钟输出，关联的分频器被用于产生大约 1.486 秒的虚拟调制解调器帧周期。PLL 相对于输入的调制解调器帧脉冲对虚拟调制解调器帧周期锁相，保证引擎中的 10 MHz 时钟相干地与输出器中的输入调制解调器帧周期关联。

所述实施例中的一个特殊特征是在输入鉴相器中使用带复位的输入计数器。在已知的锁相环中，二进制锁存器类电路被用于为每个冲击脉冲产生一个误差脉冲宽度，所述误差脉冲宽度等于输入和除降反馈信号之间的脉冲时差。该脉冲宽度一般应在环路滤波器中被处理。本发明改为使用带复位的计数器来保证 PLL 在其目标相位（时间）误差内，并且更快速地收敛（尽管仍为几个小时），否则 PLL 收敛需要几天。

通过利用 PLL 的理想线性模型近似，可在稳态操作下最便利地分析 PLL 的稳定性、衰减因数和其它性能参数。该线性模型允许常规的伺服控制理论分析技术确定控制工作稳定性和性能的适当设计参数（特别是环路滤波器）。图 6 中所示的该模型以弧度/秒为单位描述频率，以伏为单位描述信号值。

图 6 是图 5 的 PLL 的线性模型 270 的示图。该模型包括接收如线路 274 所示，输入的调制解调器帧脉冲的鉴相器 272。线路 276 上鉴相器的输出由增益为  $K_d$  伏/弧度的放大器 278 放大。线路 280 上的放大信号由增益为“b”的积分器 282 放大和积分，并由增益为“a”的放大器 284 放大。线路 286 上的积分信号在求和点 290 与线路 288 上的放大信号相加。所得到的线路 292 上的信号被用于控制压控振荡器（相位积分器）294 产生线路 296 上的输出信号，该输出信号被反馈给鉴相器。图 6 中所示的环路滤波可用软件，和由数-模转换器（DAC）控制的硬件压控晶体振荡器（VCXO）实现。

通过从在全分析（full analysis）中确定的 a 和 b 的导出值着手，利用常规的伺服控制理论技术，能够确定环路滤波器内的增益值 a 和 b。随后，可用这些假定值表征所得到的 PLL 性能。参见图 6，鉴相

器增益  $K_d$  产生和锁存的 16 位计数器相关的值（电压）。于是， $K_d$  被计算为

$$K_d = \frac{2^{16}}{2 \cdot \pi} = 10430$$

包括分频器的 VCXO 产生周期  $P=1.486$  秒 ( $f_0 \cong 0.672\text{Hz}$ ) 的方波。 $2^{15}$  (伏) 的 DAC 值变化导致 1 ppm 的频移。从而 VCXO 增益  $K_o$  被计算为

$$K_o = \frac{10^{-6} \cdot 2 \cdot \pi \cdot f_0}{2^{15}} = 1.29 \cdot 10^{-10}$$

或

$$K_o = \frac{10^{-6} \cdot 2^{15} \cdot 2 \cdot \pi}{P}, \text{ 其中 } f_0 = 1/P.$$

两个因数  $K_d$  和  $K_o$  可被方便地表示成一个参数，其中

$$K = K_d \cdot K_o = 2 \cdot 10^{-6} \cdot f_0 = 1.3458 \cdot 10^{-6}$$

PLL 的线性模型的闭环传递函数  $H(s)$  可被用于评估性能和稳定性。图 7a 和 7b 是表示常规模拟环路滤波器环路设计的电路的示意图，该设计起便利常规伺服环路理论（拉普拉斯变换等）的使用的初始设计的作用。随后该设计可被转换成等同的数字形式。图 7a 是具有输入端 302 和输出端 304 的电路 300。电阻器 R1 连接所述输入端和放大器 306 及 308。放大器的输出在求和点 310 被相加。电容器 C 为放大器 306 提供反馈。电阻器 R2 为放大器 308 提供反馈。

图 7b 是具有输入端 322 和输出端 324 的电路 320。输入端连接在第一放大器 326 和求和点 328。求和点 328 与第二放大器 330 连接。放大器的输出在求和点 332 被相加。阻抗 334 为求和点 328 提供反馈。

图 7a 和 7b 中图解说明的电路的时间常数为：

$$\tau_1 = R_1 \cdot C = \frac{P}{b}; \quad \tau_2 = R_2 \cdot C = \frac{a \cdot P}{b}$$

利用拉普拉斯变换技术，传递函数  $H(s)$  被描述成

$$H(s) = \frac{K \cdot F(s)}{s + K \cdot F(s)}$$

其中  $F(s)$  是嵌套的环路滤波器传递函数。理想的二阶环路滤波器具有传递函数

$$F(s) = \left( \frac{1}{s \cdot C \cdot R1} + \frac{R2}{R1} \right)$$

环路滤波器的常规分析说明 PLL 在时间常数  $\tau_1$  和  $\tau_2$  方面的重要特性。这些时间常数涉及利用用在理想的二阶 PLL 中的 RC 组件实现的环路滤波器的积分器和增益组件。图 7a 和 7b 中图解说明了这些时间常数和它们的数字等同物之间的关系。

现在, 所得到的 PLL 的传递函数可被重写为

$$H(s) = \frac{K \cdot F(s)}{s + K \cdot F(s)} = \frac{K \cdot (s \cdot \tau_2 + 1) / \tau_1}{s^2 + s \cdot (K \cdot \tau_2 / \tau_1) + K / \tau_1}$$

此外, 利用伺服术语学, 传递函数可被描述成

$$H(s) = \frac{2 \cdot \zeta \cdot \omega_n \cdot s + \omega_n^2}{s^2 + 2 \cdot \zeta \cdot \omega_n \cdot s + \omega_n^2}$$

其中  $\omega_n$  是固有频率,  $\zeta$  是 PLL 的衰减系数, 并且

$$\omega_n = \sqrt{\frac{K}{\tau_1}} = \sqrt{\frac{K \cdot b}{P}} \quad \zeta = \frac{\tau_2 \cdot \omega_n}{2} = \frac{a \cdot P \cdot \omega_n}{2 \cdot b}$$

PLL 的分析、设计和模拟性能提供  $a=512$ ,  $b=0.063$  ( $b=1/16$ ) 的理想值。PLL 固有频率可被计算成

$$\omega_n = \sqrt{\frac{K \cdot b}{P}} \cong 2.38 \cdot 10^{-4} \text{ Hz}$$

从而所得到的衰减系数为

$$\zeta = \frac{a \cdot P \cdot \omega_n}{2 \cdot b} \cong 1.448$$

该衰减系数被设置成高于一般值 (更一般地说在 0.7-1.0 之间), 以便为稳定性提供额外的相位余量。为了补偿在关于增益  $b$  路径的附加滤波器实现中的延迟, 需要所述额外的余量。另外, 当实现的 VCO 增益  $K_0$  稍高于预测的 VCO 增益  $K_0$  时, 所述余量保证稳定性, 并使超越度降至最小。尽管如上所述线性模拟近似可用于导出一些参数, 不过通常还需要通过数字模拟来进一步改进该设计。

图 8 是本发明的数字模拟模型 350 的示图。该模型包括与求和点 354 连接的输入 352。求和点 354 与呈无限脉冲响应 (IIR) 滤波器形式的环路滤波器 356 连接, 环路滤波器 356 包括放大器 358 和 360, 求和点 362、364 和 366, 限幅器 368 和 370, 以及阻抗 372 和 374。环路滤波器的输出由限幅器 376 限制。所得到的线路 378 上的限幅信

号在求和点 380 与线路 382 上的频率偏移信号和线路 386 上的来自数字相位积分器 384 的反馈信号结合，从而产生线路 388 上的 10 MHz 时钟信号。该时钟信号通过放大器 390 被反馈给求和点 354。

利用图 8 中所示的数字模拟模型可进一步评估 PLL 设计的性能。从线性模型获得的设计参数被用在该数字模型中。任何模拟组件，例如 VCXO 被转换成它们等同的数字形式（例如，VCXO 的数字相位积分器）。数字模拟可被用于表征不易于转化为简化的线性分析技术的非线性和细节的效果。

从线性模型到数字模拟模型的一种改进是环路滤波器内增益  $b$  路径的修改。简单增益  $=b$  被具有为  $b$  的 dc 增益的单极 IIR 滤波器代替。这样做是为了平滑和限制噪声相位误差样本的波峰。如果没有该滤波器，那么噪声峰一般会削波。当控制电压名义上不为零时，例如在采集期间，这种削波会导致偏移误差。滤波降低了峰值，并且抑制了采集期间的任何偏移。但是，由于相对于平坦增益  $b$  的附加 IIR 滤波器延迟，这种滤波实际上降低了相位余量。衰减系数最初被设置成高于典型的衰减系数，以补偿这种预期效应。

这种设计被模拟，一些典型工作条件下的结果示于图 9 和 10 中。图 9 表示当以 1 毫秒的阶跃误差和 1 毫秒的 rms 相位抖动初始化输入时，各个信号的曲线图。图 10 表示当初始阶跃误差和 rms 相关噪声都被设置成 10 毫秒时的类似结果。

通过观察环路滤波器的 IIR 增益部分的输出，能够评估输入的调制解调器帧脉冲和再生的 PLL 脉冲之间的计时误差。在用其衰减指数脉冲响应有效地平均误差样本的情况下，该 IIR 滤波器具有约 512 个调制解调器帧周期，或者大约 12.7 分钟的时间常数。滤波器的平均值表示乘以增益  $a=512$  的平均输入计时误差 ( $\pm 2^{15}$  满刻度=1 周期)。由于 IIR 滤波器包括  $\pm 2^{15}$  的限制功能，从而当输入误差值为  $\pm 2^{15}/512=\pm 64$ （它等于为  $\pm 2^{15}$  的 IIR 滤波器输出，或者大约 2.9 毫秒）时，输出饱和。该值可被用于确定初始采集误差是否过大，以致不能继续，使系统重新同步应是可取的。否则，该值表示短期（12.7 分钟）



平均相位误差。当输入相位误差抖动和噪声较小（小于 1 毫秒）时，在较长的稳定（settling）周期（大约 8 小时）之后，稳态误差应收敛到小于 0.1 毫秒 rms。就 10 毫秒的输入抖动误差来说，所得到的系统相位误差抖动应小于 1 毫秒 rms。

由于约 15000000 的极高的频率倍增因数（0.673 Hz-10 MHz），以及 STL 链路上输入脉冲的较高相位抖动，因此所述数字音频广播系统中使用的 PLL 是不寻常的。通过对来自 STL 链路的定期消息解码，产生输入频率脉冲。

在每个接收的调制解调器帧的开始，传送定期调制解调器帧的 STL 链路的输出被转换成同步脉冲。PLL 输入信号包含定期消息，其中输入脉冲指示调制解调器帧的开始。由于输出相位噪声被计算成乘以频率倍增因数（15000000），并由环路传递函数滤波的输入相位噪声，因此除了使环路带宽极小以产生很低的输出相位噪声之外，该相位噪声通常应非常大。事实上，环路带宽如此之小，以致相位误差收敛需要几个小时（如图 9 和 10 中所示）。这要求稳定性高的振荡器和一些特殊设计参数。

挑选 PLL 参数，以便在描述的（不寻常）条件（相位噪声，采集时间，倍增系数）下，产生所需的性能。利用常规的伺服环路技术，固有的环路频率大约应为 1 小时，以大约 1.5 的衰减系数强衰减该环路，从而保证适应 VCXO volts/freq 增益误差余量的稳定性。所得到的时间常数（上面说明的  $t_1$  和  $t_2$ ）被计算为随着固有频率和衰减系数而变化的最近的便利值。

虽然关于几个实施例说明了本发明，不过对于本领域的技术人员来说，显然可对公开的实施例做出各种变化，而不脱离在下面的权利要求中陈述的本发明的范围。

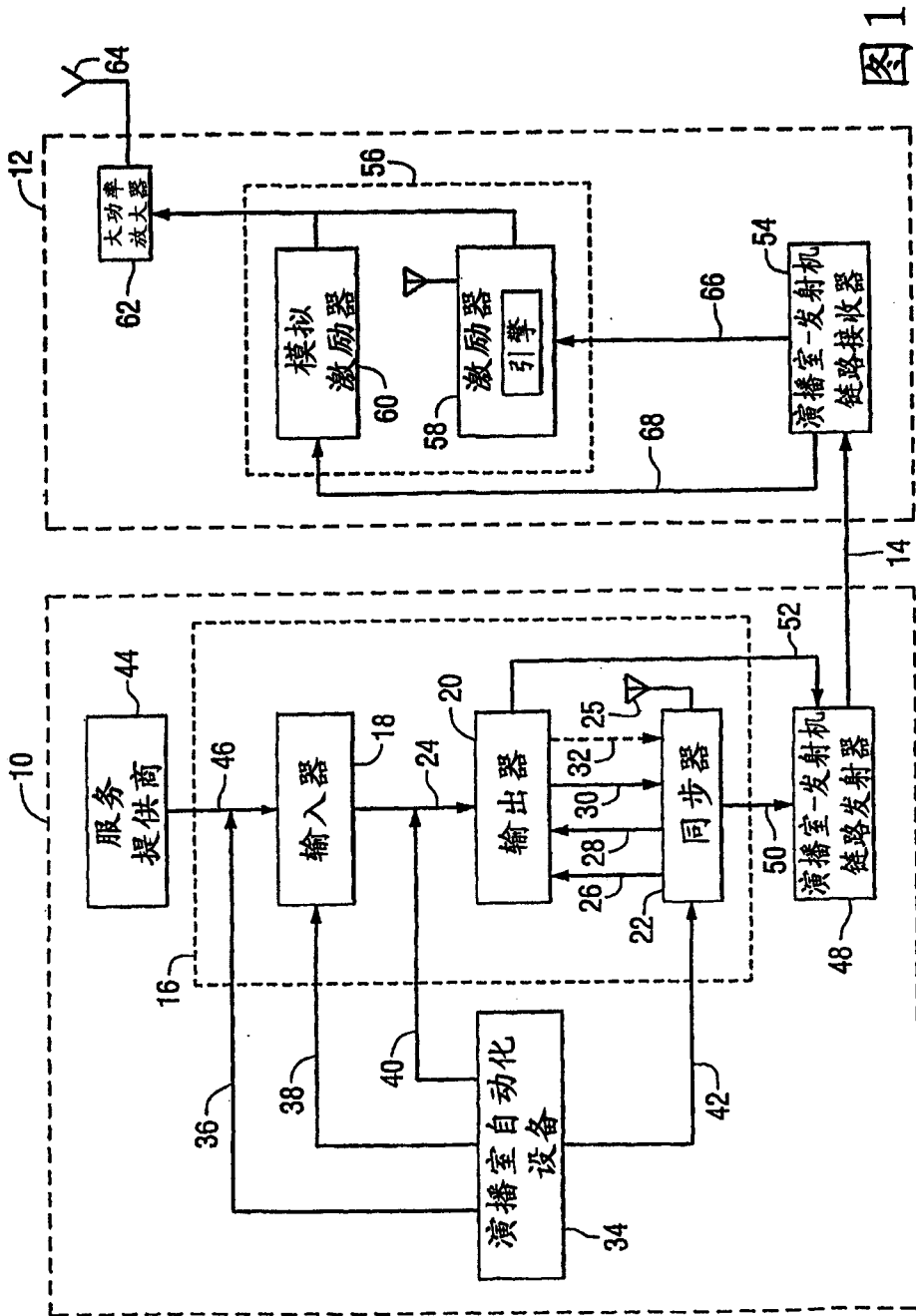
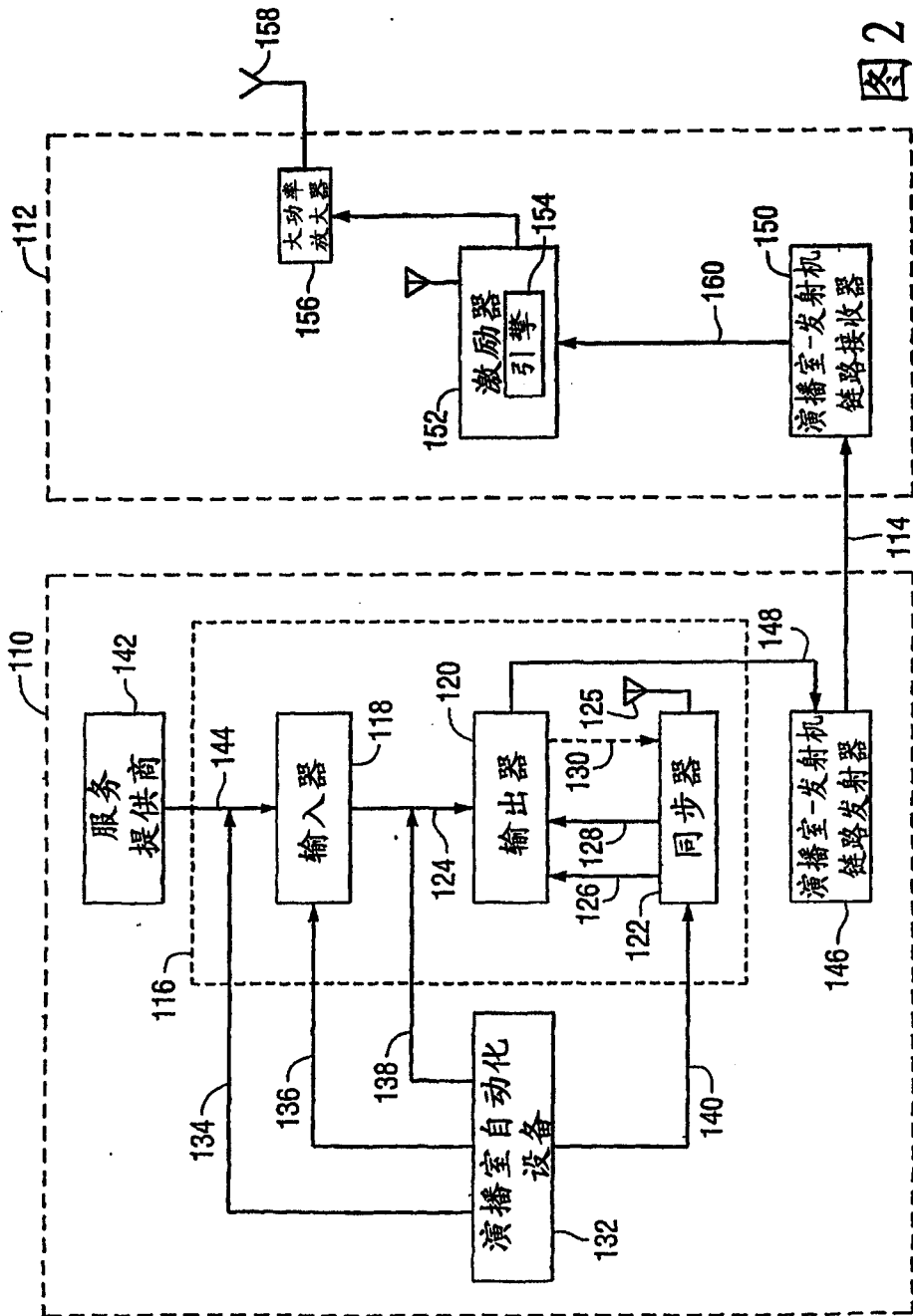


图1



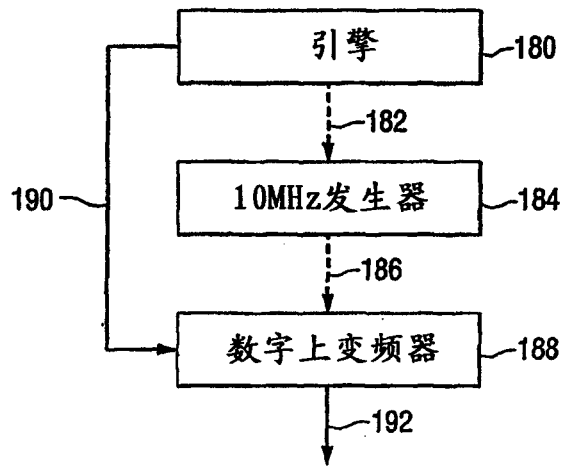


图 3

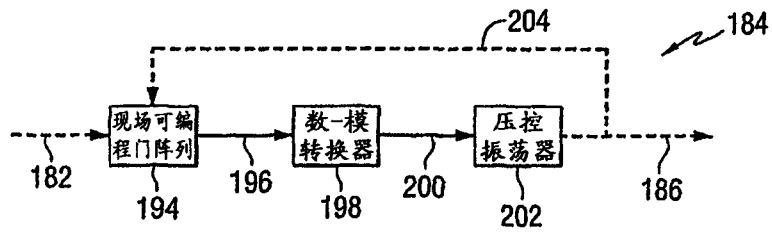


图 4

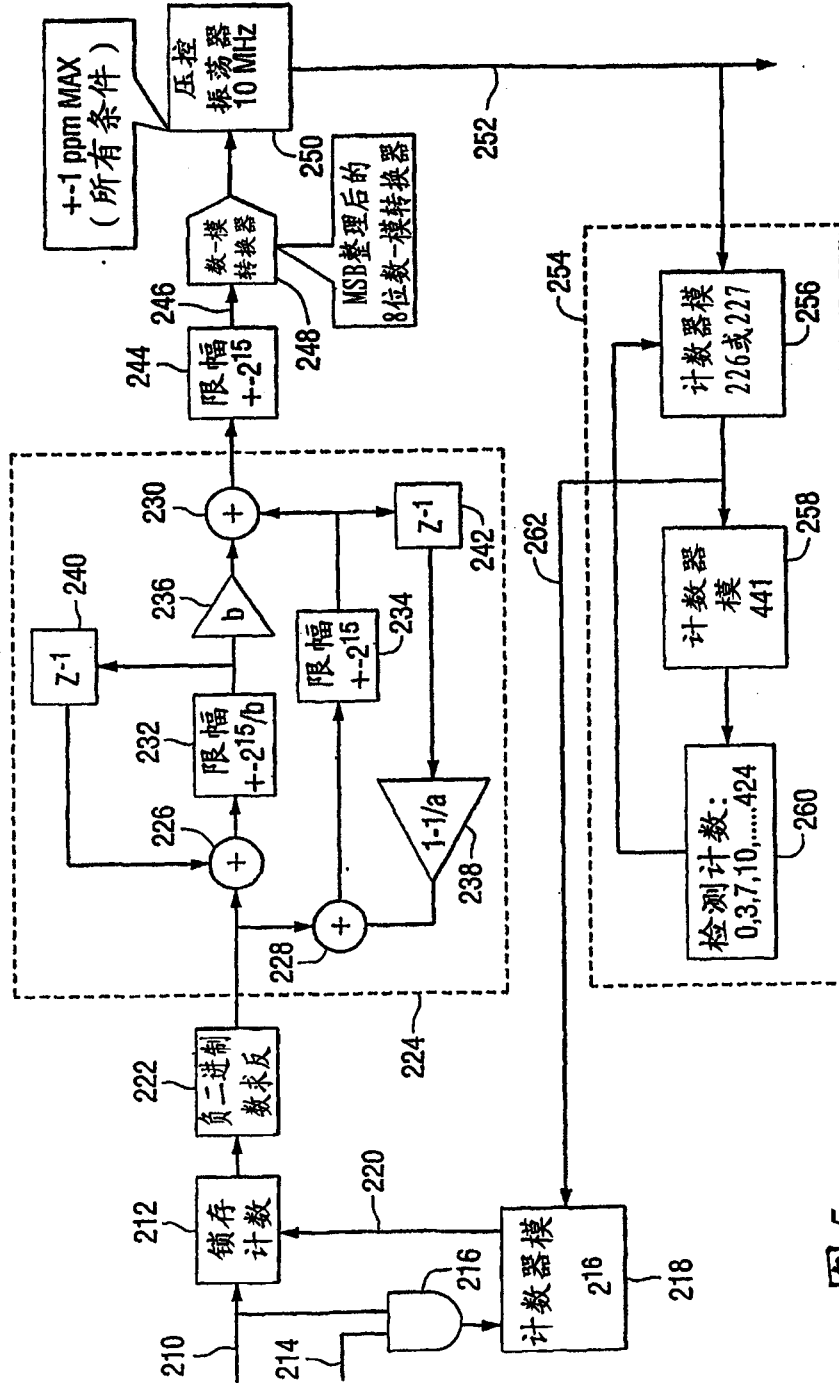


图5

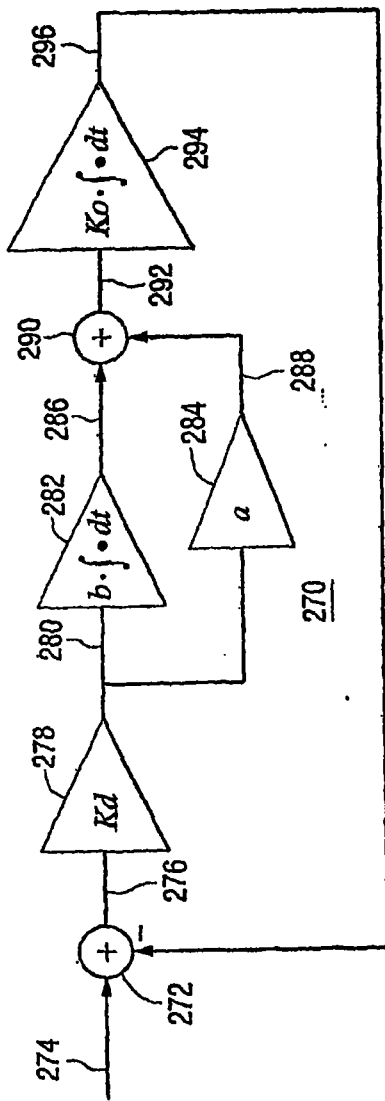


图6

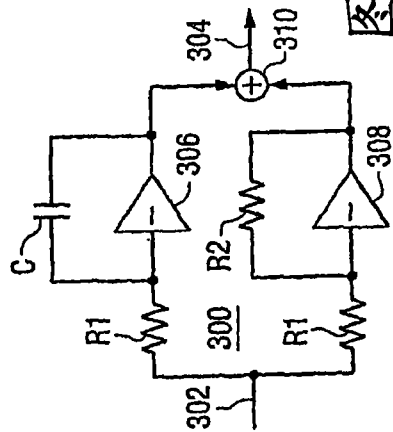


图7a

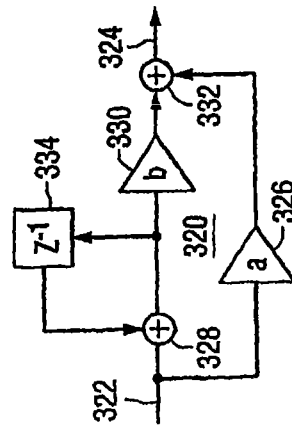
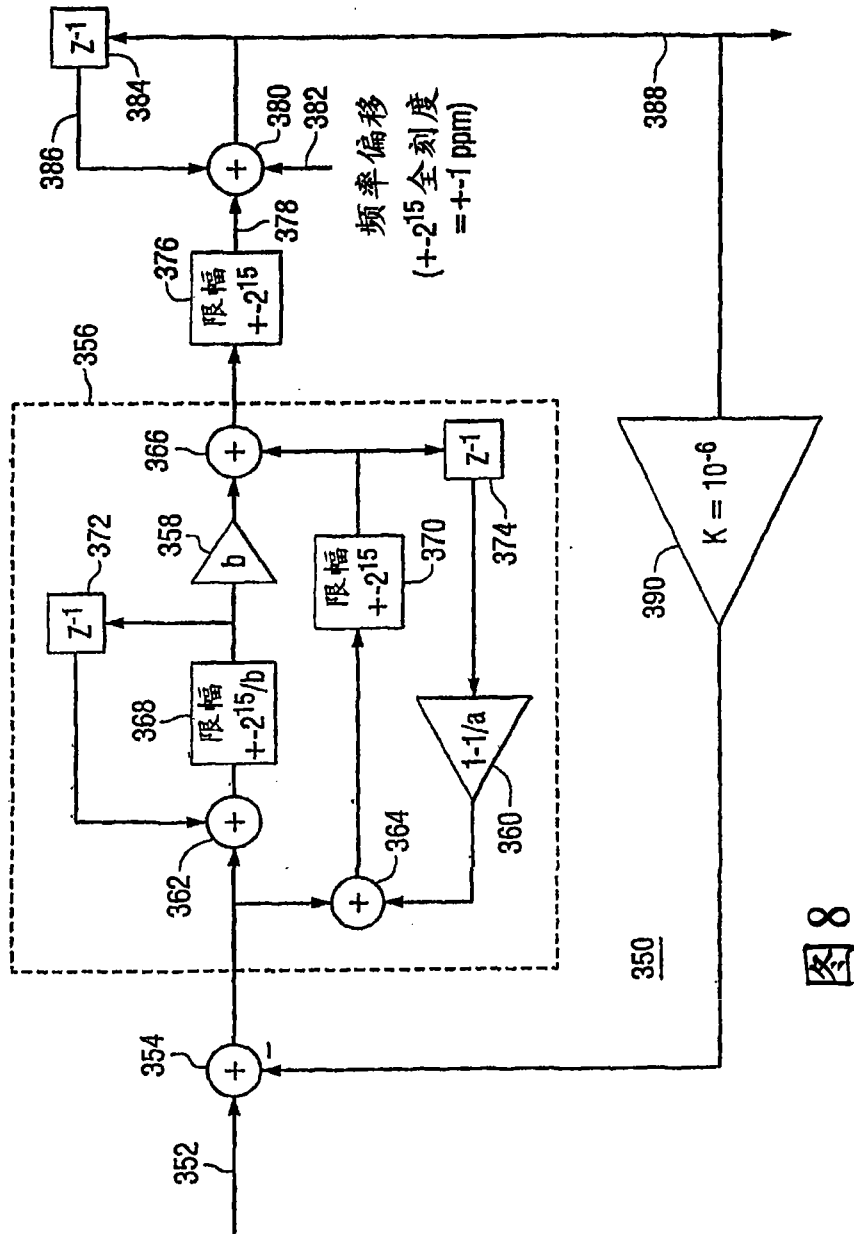


图7b



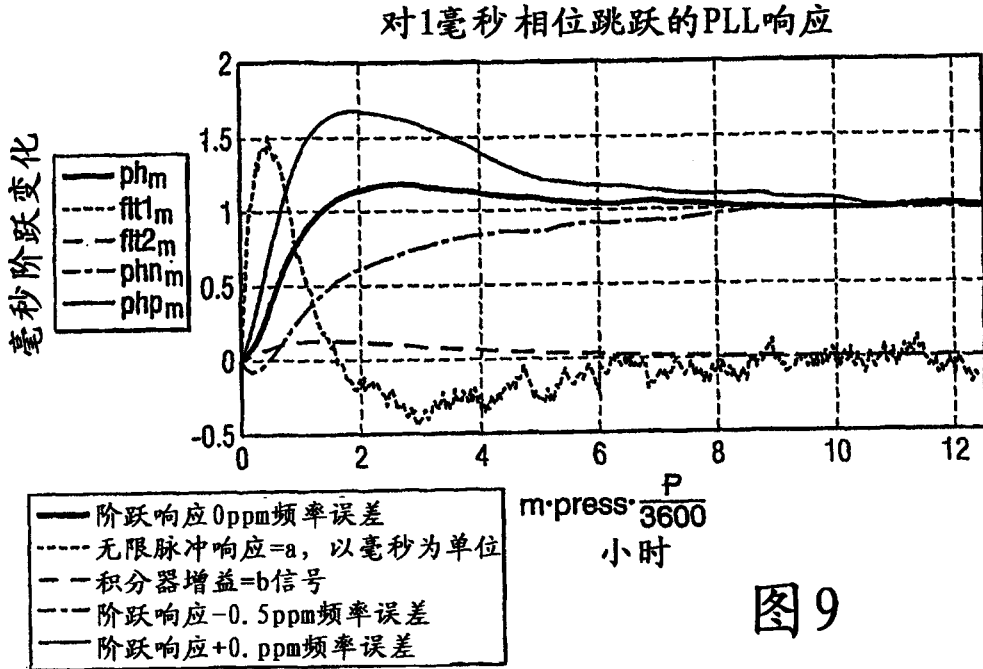


图9

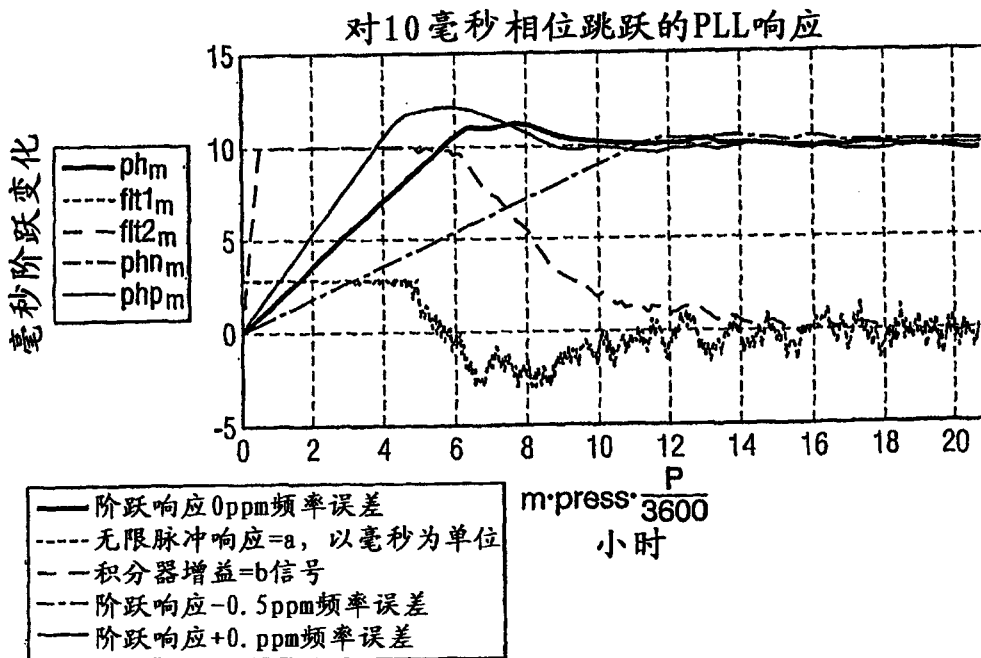


图10