

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月26日(26.09.2024)



(10) 国際公開番号

WO 2024/195367 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) H04N 25/70 (2023.01)

(21) 国際出願番号: PCT/JP2024/005027

(22) 国際出願日: 2024年2月14日(14.02.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-044156 2023年3月20日(20.03.2023) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).

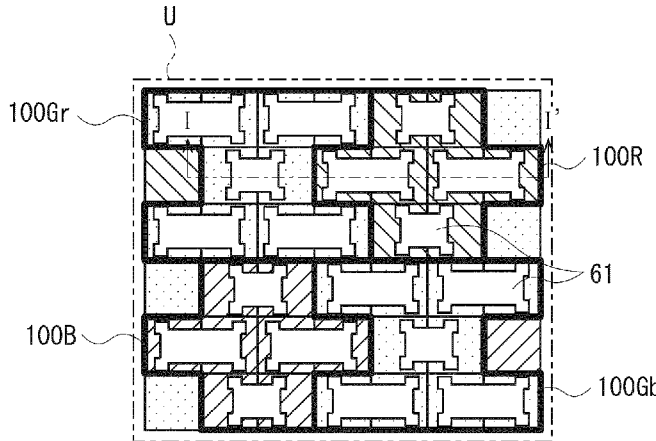
(72) 発明者: 坂本 美智子(SAKAMOTO, Michiko); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人つばさ国際特許事務所(TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,

(54) Title: IMAGING DEVICE

(54) 発明の名称: 撮像装置



(57) Abstract: An imaging device according to one embodiment of the present disclosure comprises: a first pixel block composed of a plurality of first pixel pairs, each having first color filters and including two light-receiving pixels adjacent to each other in a first direction, the plurality of first pixel pairs being arranged in a first arrangement pattern having protrusions in the first direction in a plan view; a second pixel block composed of a plurality of second pixel pairs, each having second color filters different from the first color filters and including two light-receiving pixels adjacent to each other in the first direction, the plurality of second pixel pairs being arranged in a second arrangement pattern having recesses mating with the protrusions in a plan view; first lenses that are provided to the light-receiving pixels arranged in the protrusions and have a first condensing force; and second lenses that are provided at positions corresponding to the first pixel pairs, excluding the first pixel pairs including the light-receiving pixels arranged in the protrusions, and second

KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

pixel pairs and have a second condensing force larger than the first condensing force.

(57) 要約: 本開示の一実施形態の撮像装置は、第1のカラーフィルタを有し、第1の方向に隣り合う2つの受光画素を含む複数の第1の画素ペアからなると共に、複数の第1の画素ペアが、平面視において、第1の方向に凸部を有する第1の配置パターンで配置された第1の画素ブロックと、第1のカラーフィルタとは異なる色の第2のカラーフィルタを有し、第1の方向に隣り合う2つの受光画素を含む複数の第2の画素ペアからなると共に、平面視において、複数の第2の画素ペアが凸部と嵌合する凹部を有する第2の配置パターンで配置された第2の画素ブロックと、凸部に配置された受光画素に設けられた、第1の集光力を有する第1のレンズと、凸部に配置された受光画素を含む第1の画素ペアを除く第1の画素ペアおよび第2の画素ペアのそれぞれに対応する位置に設けられた、第1の集光力よりも大きな第2の集光力を有する第2のレンズとを備える。

明 細 書

発明の名称：撮像装置

技術分野

[0001] 本開示は、被写体を撮像する撮像装置に関する。

背景技術

[0002] 撮像装置には、例えばオートフォーカスを実現するために像面位相差を得るものがある。例えば、特許文献1には、2つの受光画素を含む画素ペアに対応する位置に1つのレンズが設けられた撮像装置が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2022／130888号

発明の概要

[0004] 像面位相差を取得する撮像装置では、位相差検出画素間における混色による画像の乱れを防止する技術が求められている。

[0005] 位相差検出における分離比を確保しつつ混色による画像の乱れを抑制することが可能な撮像装置を提供することが望ましい。

[0006] 本開示の一実施の形態における撮像装置は、第1のカラーフィルタを有し、第1の方向に隣り合う2つの受光画素を含む複数の第1の画素ペアからなると共に、複数の第1の画素ペアが、平面視において、第1の方向に凸部を有する第1の配置パターンで配置された第1の画素ブロックと、第1のカラーフィルタとは異なる色の第2のカラーフィルタを有し、第1の方向に隣り合う2つの受光画素を含む複数の第2の画素ペアからなると共に、平面視において、複数の第2の画素ペアが凸部と嵌合する凹部を有する第2の配置パターンで配置された第2の画素ブロックと、凸部に配置された受光画素に設けられた、第1の集光力を有する第1のレンズと、凸部に配置された受光画素を含む第1の画素ペアを除く第1の画素ペアおよび第2の画素ペアのそれぞれに対応する位置に設けられた、第1の集光力よりも大きな第2の集光力

を有する第2のレンズとを備えたものである。

[0007] 本開示の一実施の形態における撮像装置では、第1のカラーフィルタを有する第1の画素ブロックと、第2のカラーフィルタを有する第2の画素ブロックとを有する。第1の画素ブロックは、それぞれが第1の方向に隣り合う2つの受光画素を含む第1の画素ペアを複数含み、平面視において、複数の第1の画素ペアが、第1の方向に凸部を有する第1の配置パターンで配置されている。第2の画素ブロックは、それぞれが第1の方向に隣り合う2つの受光画素を含む第2の画素ペアを複数含み、平面視において、複数の第2の画素ペアが第1の画素ブロックの凸部と嵌合する凹部を有する第2の配置パターンで配置されている。この凸部に配置された受光画素には第1の集光力を有する第1のレンズが配置されており、凸部に配置された受光画素を含む第1の画素ペアを除く第1の画素ペアおよび第2の画素ペアには、第1の集光力よりも大きな第2の集光力を有する第2のレンズが配置されている。これにより、補完情報が少なくなる、カラーフィルタの境目に配置された受光画素を含む第1の画素ペアにおける分離比を低下させ、混色を低減する。

図面の簡単な説明

[0008] [図1]図1は、本開示の一実施の形態に係る撮像装置の一構成例を表すブロック図である。

[図2]図2は、図1に示した画素アレイの一構成例を表す説明図である。

[図3]図3は、図2に示した画素アレイの構成における受光レンズのレイアウトの一例を表す模式図である。

[図4]図4は、図2に示した受光画素の断面構成の一例を表す模式図である。

[図5A]図5Aは、図3に示した領域Aの受光画素に対する入力画像を表す図である。

[図5B]図5Bは、図3に示した領域Aの受光画素から得られる出力画像を表す図である。

[図6]図6は、図3および図4に示した受光レンズを加工するためのレジスト膜のレイアウト例を表す模式図である。

[図7A]図7Aは、図3および図4に示した受光レンズの製造工程の一例を説明する断面模式図である。

[図7B]図7Bは、図7Aに続く工程を表す断面模式図である。

[図7C]図7Cは、図7Bに続く工程を表す断面模式図である。

[図8]図8は、図2に示した画素ブロックの一構成例を表す回路図である。

[図9]図9は、図2に示した他の画素ブロックの一構成例を表す回路図である。

[図10]図10は、図2に示した複数の画素ブロックの接続例を表す説明図である。

[図11]図11は、図1に示した読出部の一構成例を表すブロック図である。

[図12]図12は、図1に示した画像信号の一構成例を表す説明図である。

[図13]図13は、図1に示した撮像装置における有効画素数の一例を表す説明図である。

[図14]図14は、図1に示した撮像装置における複数の撮像モードの一動作例を表す説明図である。

[図15]図15は、図1に示した撮像装置の一動作例を表す説明図である。

[図16]図16は、図1に示した撮像装置における読出動作の一例を表すタイミング波形図である。

[図17]図17は、図1に示した撮像装置の一動作例を表す他の説明図である。

[図18]図18は、図1に示した撮像装置の一動作例を表す他の説明図である。

[図19]図19は、図1に示した撮像装置の一動作例を表す他の説明図である。

[図20]図20は、図1に示した撮像装置の一動作例を表す他の説明図である。

[図21]図21は、図1に示した撮像装置におけるリモザイク処理の一例を表す説明図である。

[図22A]図22Aは、図21に示したリモザイク処理の一例を表す説明図である。

[図22B]図22Bは、図21に示したリモザイク処理の一例を表す他の説明図である。

[図22C]図22Cは、図21に示したリモザイク処理の一例を表す他の説明図である。

[図23]図23は、図1に示した撮像装置の一動作例を表す他の説明図である。

[図24]図24は、図1に示した撮像装置の一動作例を表す他の説明図である。

[図25]図25は、図1に示した撮像装置における他の読出動作の一例を表すタイミング波形図である。

[図26]図26は、図1に示した撮像装置の一動作例を表す他の説明図である。

[図27]図27は、図1に示した撮像装置における他のリモザイク処理の一例を表す説明図である。

[図28A]図28Aは、図27に示したリモザイク処理の一例を表す説明図である。

[図28B]図28Bは、図27に示したリモザイク処理の一例を表す他の説明図である。

[図28C]図28Cは、図27に示したリモザイク処理の一例を表す他の説明図である。

[図29]図29は、1画素に対して1つの受光レンズが配置された撮像装置に対する入力画像と出力画像との関係を説明する図である。

[図30]図30は、2つの画素に対して1つの高屈曲率レンズが配置された撮像装置に対する入力画像と出力画像との関係を説明する図である。

[図31]図31は、2つの画素に対して1つの低屈曲率レンズが配置された撮像装置に対する入力画像と出力画像との関係を説明する図である。

[図32]図32は、図1に示した撮像装置の方向検出の動作例を表す図である。

[図33]図33は、入力画像に対する受光レンズの曲率の違いによる出力画像を説明する図である。

[図34]図34は、本開示の変形例1に係る撮像装置における受光画素の断面構成の一例を表す模式図である。

[図35]図35は、本開示の変形例2に係る撮像装置における受光レンズのレイアウトの一例を表す模式図である。

[図36]図36は、本開示の変形例2に係る撮像装置における受光レンズのレイアウトの他の例を表す模式図である。

[図37]図37は、本開示の変形例2に係る撮像装置における受光レンズのレイアウトの他の例を表す模式図である。

[図38]図38は、本開示の変形例2に係る撮像装置における受光レンズのレイアウトの他の例を表す模式図である。

[図39]図39は、本開示の変形例2に係る撮像装置における受光レンズのレイアウトの他の例を表す模式図である。

[図40]図40は、本開示の変形例2に係る撮像装置における受光レンズのレイアウトの他の例を表す模式図である。

[図41]図41は、本開示の変形例2に係る撮像装置における受光レンズのレイアウトの他の例を表す模式図である。

[図42]図42は、本開示の変形例3に係る撮像装置における受光レンズのレイアウトの他の例を表す模式図である。

[図43]図43は、本開示の変形例3に係る撮像装置における受光レンズのレイアウトの一例を表す模式図である。

[図44]図44は、本開示の変形例3に係る撮像装置における受光レンズのレイアウトの他の例を表す模式図である。

[図45]図45は、本開示の変形例3に係る撮像装置における受光レンズのレイアウトの他の例を表す模式図である。

[図46]図4 6は、本開示の変形例4に係る撮像装置における受光レンズのレイアウトの他の例を表す模式図である。

[図47]図4 7は、本開示の変形例5に係る撮像装置の垂直方向の断面構成の一例を表す模式図である。

[図48]図4 8は、図4 7に示した撮像装置の概略構成の一例を表す図である。

[図49]図4 9は、撮像装置の使用例を表す説明図である。

[図50]図5 0は、車両制御システムの概略的な構成の一例を示すブロック図である。

[図51]図5 1は、車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0009] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態（複数の画素を含み、同色のカラーフィルタを有する画素ブロックにおいて、画素ブロック内の位置に応じて集光力が異なる受光レンズを配置した撮像装置の例）

2. 変形例

2-1. 変形例1（撮像装置の構成の他の例）

2-2. 変形例2（撮像装置の構成の他の例）

2-3. 変形例3（撮像装置の構成の他の例）

2-4. 変形例4（撮像装置の構成の他の例）

2-5. 変形例5（撮像装置の構成の他の例）

3. 撮像装置の使用例

4. 移動体への応用例

[0010] <1. 実施の形態>

[構成例]

図1は、本開示の一実施の形態に係る撮像装置（撮像装置1）の一構成例

を表したものである。撮像装置 1 は、画素アレイ 11 と、駆動部 12 と、参照信号生成部 13 と、読出部 20 と、信号処理部 15 と、撮像制御部 18 とを備えている。

[0011] 画素アレイ 11 は、マトリクス状に配置された複数の受光画素 P を有している。受光画素 P は、受光量に応じた画素電圧 V_{pix} を含む信号 S_{IG} を生成するように構成される。

[0012] 図 2 は、画素アレイ 11 における受光画素 P の配置の一例を表したものである。図 3 は、画素アレイ 11 における受光レンズ（レンズ 101）のレイアウトの一例を表す模式図である。図 4 は、画素アレイ 11 の概略断面構造の一例を表したものである。なお、図 4 は、図 3 に示した I-I' 線に対応する断面を表している。画素アレイ 11 は、複数の画素ブロック 100 と、複数のレンズ 101 とを有している。

[0013] 複数の画素ブロック 100 は、画素ブロック 100R、100Gr、100Gb、100B を含んでいる。画素アレイ 11 では、複数の受光画素 P は、4 つの画素ブロック 100（画素ブロック 100R、100Gr、100Gb、100B）を最小繰り返し単位（ユニット U）として配置される。

[0014] 画素ブロック 100R は、例えば赤色（R）のカラーフィルタ 131 を含む、例えば 8 個の受光画素 P（受光画素 PR）を有する。画素ブロック 100Gr は、例えば緑色（G）のカラーフィルタ（赤色フィルタ 131R）を含む、例えば 10 個の受光画素 P（受光画素 PGr）を有する。画素ブロック 100Gb は、例えば緑色（G）のカラーフィルタ（緑色フィルタ 131G）を含む、例えば 10 個の受光画素 P（受光画素 PGb）を有する。画素ブロック 100B は、例えば青色（B）のカラーフィルタ（青色フィルタ 131B）を含む、例えば 8 個の受光画素 P（受光画素 PB）を有する。図 2 では、カラーフィルタの色の違いを、網掛けを用いて表現している。画素ブロック 100R における受光画素 PR の配置パターンおよび画素ブロック 100B における受光画素 PB の配置パターンは、互いに同じであり、画素ブロック 100Gr における受光画素 PGr の配置パターンおよび画素ブロッ

ク 1 0 0 G b における受光画素 P G b の配置パターンは、互いに同じである。

[0015] ユニット U において、画素ブロック 1 0 0 R, 1 0 0 G r, 1 0 0 G b, 1 0 0 B は、例えば 2 行×2 列で配置される。具体的には、互いに同じ配置パターンを有する画素ブロック 1 0 0 R および画素ブロック 1 0 0 B と、画素ブロック 1 0 0 G r および画素ブロック 1 0 0 G b とは、互いに交差する対角線上に配置される。一例として、画素ブロック 1 0 0 G r は左上に配置され、画素ブロック 1 0 0 R は右上に配置され、画素ブロック 1 0 0 B は左下に配置され、画素ブロック 1 0 0 G b は右下に配置される。このように、画素ブロック 1 0 0 R, 1 0 0 G r, 1 0 0 G b, 1 0 0 B は、画素ブロック 1 0 0 を単位として、いわゆるベイヤー配列により配列される。

[0016] ここで、受光画素 P は、本開示の実施の形態における「受光画素」の一具体例に相当する。画素ブロック 1 0 0 は、本開示の実施の形態における「画素ブロック」の一具体例に相当する。例えば、画素ブロック 1 0 0 R および画素ブロック 1 0 0 B が、本開示における「第 1 の画素ブロック」の一具体例に相当する場合には、画素ブロック 1 0 0 G r および画素ブロック 1 0 0 G b が本開示の実施の形態における「第 2 の画素ブロック」の一具体例に相当する。画素ブロック 1 0 0 G r および画素ブロック 1 0 0 G b が、本開示の実施の形態における「第 1 の画素ブロック」の一具体例に相当する場合には、画素ブロック 1 0 0 R および画素ブロック 1 0 0 B は、本開示における「第 2 の画素ブロック」の一具体例に相当する。

[0017] 図 4 に示したように、画素アレイ 1 1 は、例えば、半導体基板 1 1 1 と、受光部 1 1 2 と、分離部 1 1 3 と、多層配線層 1 2 1 と、カラーフィルタ 1 3 1 と、遮光膜 1 3 2 とを備えている。

[0018] 半導体基板 1 1 1 は、撮像装置 1 が形成される支持基板である。半導体基板 1 1 1 は、対向する一対の面（表面 1 1 1 S 1 および裏面 1 1 1 S 2）を有する、例えば P 型の半導体基板である。受光部 1 1 2 は、半導体基板 1 1 1 の基板内における、複数の受光画素 P のそれぞれに対応する位置に埋め込

み形成された半導体領域であり、例えばN型の不純物がドーピングされることによりフォトダイオード（PD）が形成される。分離部113は、半導体基板111の基板内における、XY平面において隣り合う複数の受光画素Pの境界に設けられ、例えば、酸化膜等の絶縁材料を用いて構成されるDTI（Deep Trench Isolation）である。

[0019] 多層配線層121は、画素アレイ11の光入射側Sとは反対の面である半導体基板111の表面111S1の上に設けられる。多層配線層121は、例えば、複数の配線層122～127および層間絶縁層128を含んでいる。複数の配線層122～127は、半導体基板111の裏面111S2側から順に設けられる。複数の配線層122～127には、例えば、半導体基板111の表面111S1に設けられる複数のトランジスタと、駆動部12および読出部20とを接続する、例えば後述する制御線TRGL等の複数の配線が設けられる。

[0020] カラーフィルタ131は、画素アレイ11の光入射側Sである半導体基板111の裏面111S2の上に設けられる。遮光膜132は、半導体基板111の裏面111S2において、X軸方向に隣り合う2つの受光画素P（以下、画素ペア90とも呼ぶ）を囲むように設けられる。

[0021] 複数のレンズ101は、いわゆるオンチップレンズであり、画素アレイ11の光入射側Sにおけるカラーフィルタ131の上に設けられる。レンズ101は、X軸方向に隣り合う2つの受光画素P（画素ペア90）の上部に設けられる。画素ブロック100Rの8個の受光画素Pの上部には4つのレンズ101が設けられる。画素ブロック100Grの10個の受光画素Pの上部には5つのレンズ101が設けられる。画素ブロック100Gbの10個の受光画素Pの上部には5つのレンズ101が設けられる。画素ブロック100Bの8個の受光画素Pの上部には4つのレンズ101が設けられる。レンズ101は、X軸方向およびY軸方向において並設される。Y軸方向に並ぶレンズ101は、X軸方向において、1つの受光画素Pの分だけずれて配置される。換言すると、Y軸方向に並ぶ画素ペア90は、X軸方向において

、１つの受光画素Pの分だけずれて配置される。

[0022] この構成により、１つのレンズ１０１に対応する画素ペア９０における２つの受光画素Pでは、像が互いにずれる。撮像装置１は、複数の画素ペア９０により検出されたいわゆる像面位相差に基づいて位相差データDFを生成する。例えば、撮像装置１を搭載したカメラでは、この位相差データDFに基づいてデフォーカス量を決定し、このデフォーカス量に基づいて、撮影レンズの位置を移動させる。このようにして、カメラでは、オートフォーカスを実現することができるようになっている。

[0023] 本実施の形態では、複数のレンズ１０１は、それぞれが、同色のカラーフィルタが設けられた複数の受光画素Pからなる画素ブロック１００R、１００Gr、１００Gb、１００B内において、それぞれ、互いに集光力が異なる複数種類のレンズ（例えば、レンズ１０１A、１０１Bの２種類）が配置されている。レンズ１０１Aは、レンズ１０１Bよりも集光力の大きなレンズであり、例えば、レンズ１０１Bよりも大きな曲率を有する。レンズ１０１Bは、レンズ１０１Aよりも集光力が小さなレンズであり、例えば、レンズ１０１Aよりも小さな曲率を有する。

[0024] ここで、レンズ１０１Aは、本開示の実施の形態における「第２のレンズ」に相当する。レンズ１０１Bは、本開示の実施の形態における「第１のレンズ」に相当する。

[0025] ユニットUでは、上記のように、互いに同じ配置パターンを有する画素ブロック１００Rおよび画素ブロック１００Bと、画素ブロック１００Grおよび画素ブロック１００Gbとは、互いに交差する対角線上に配置される。画素ブロック１００Rおよび画素ブロック１００Bの配置パターンは、それぞれ、例えば、X軸方向に凸部を有する。画素ブロック１００Grおよび画素ブロック１００Gbの配置パターンは、それぞれ、画素ブロック１００Rおよび画素ブロック１００Bの配置パターンそれぞれの凸部と嵌合する凹部を有する。

[0026] 具体的には、画素ブロック１００Rおよび画素ブロック１００Bを構成す

る8個の受光画素PR, PBは、それぞれ、例えば図2および図3に示したように、X軸方向に並列する2個、4個、2個の受光画素PR, PBがY軸方向に順に並列された十字状のパターンで配置されている。このX軸方向に4個の受光画素PR, PBが並列された部位が、画素ブロック100Rおよび画素ブロック100Bにおける「凸部」に相当する（凸部XR, XB）。画素ブロック100Grおよび画素ブロック100Gbを構成する10個の受光画素PGr, PGbは、それぞれ、例えば図2および図3に示したように、X軸方向に並列する4個、2個、4個の受光画素PGr, PGbがY軸方向に順に並列されたH状のパターンで配置されている。このX軸方向に2個の受光画素PGr, PGbが並列された部位が、画素ブロック100Rおよび画素ブロック100Bの凸部XR, XBとそれぞれ嵌合する画素ブロック100Grおよび画素ブロック100Gbにおける「凹部」に相当する（凹部YGr, YGb）。

[0027] また、上述した画素ブロック100R, 100Gr, 100Gb, 100Bでは、画素ブロック100Grおよび画素ブロック100GbのX軸方向に4個の受光画素PGr, PGbが並列された2つの部位を、画素ブロック100Grおよび画素ブロック100Gbにおける「凸部」と見做すことができる（凸部XGr, XBb）。画素ブロック100Rおよび画素ブロック100BのX軸方向に2個の受光画素PR, PBが並列された部位が、画素ブロック100Grおよび画素ブロック100Gbの凸部XGr, XBbとそれぞれ嵌合する画素ブロック100Rおよび画素ブロック100Bにおける「凹部」と見做すことができる（凹部YR, YB）。

[0028] 高い集光力を有するレンズ101Aは、上述した凹部YR, YB, YGr, YGbに配置される。レンズ101Aと比較して集光力の低いレンズ101Bは、上述した凸部XR, XB, XGr, XBbに配置される。集光力の違いは、レンズ101A, 101Bに入射した光の半導体基板111の厚み方向（Z軸方向）に対する集光位置の差に繋がる。

[0029] 具体的には、レンズ101Aに入射した光Lは、図4に示したように、半

導体基板 1 1 1 の裏面 1 1 1 S 2 の、画素ペア 9 0 を構成する隣り合う 2 つの受光画素 P G r の境界に集光される。集光された光 L は、隣り合う 2 つの受光画素 P G r の境界に設けられた分離部 1 1 3 において屈折され、隣り合う 2 つの受光画素 P G r に略均等に入射し、それぞれの受光部 1 1 2 において光電変換される。一方、レンズ 1 0 1 B に入射した光 L は、図 4 に示したように、半導体基板 1 1 1 の内部の、画素ペア 9 0 を構成する隣り合う 2 つの受光画素 P R の境界に向かって集光される。そのため、集光された光 L は、隣り合う 2 つの受光画素 P R の境界に設けられた分離部 1 1 3 においてほぼ屈折されることなく、入射位置に対応する受光画素 P R に入射し、受光部 1 1 2 において光電変換される。

[0030] 図 5 A は、図 3 に示した領域 A に配置された受光画素 P に対する入力画像を表したものである。図 5 B は、図 3 に示した領域 A の受光画素 P から得られる出力画像を表したものである。図中の数値は、対応する受光画素 P に入力または、対応する受光画素 P から出力される明暗のレベル差を表している。

[0031] 詳細は後述するが、上記凸部 X R, X B, X G r, X B b に配置された受光画素 P は、凹部 Y R, Y B, Y G r, Y G b に配置された受光画素 P と比較して、異なる色のカラーフィルタ 1 3 1 と接する面が多い。このように異なる色のカラーフィルタ 1 3 1 と接する面が多い受光画素 P を含む画素ペア 9 0 において明暗の周波数が高い画像を撮影すると、画素ペア 9 0 内における混色により誤つなぎ（例えば、図 3 3 (B) 参照）が発生しやすくなる。

[0032] これに対して本実施の形態では、異なる色のカラーフィルタ 1 3 1 と接する面が多い凸部 X R, X B, X G r, X B b に配置された受光画素 P を含む画素ペア 9 0 には、集光力が低いレンズ 1 0 1 B を配置し、異なる色のカラーフィルタ 1 3 1 と接する面が少ない凹部 Y R, Y B, Y G r, Y G b に配置された受光画素 P を含む画素ペア 9 0 には、集光力が高いレンズ 1 0 1 A を配置した。これにより、異なる色のカラーフィルタ 1 3 1 と接する面が多い受光画素 P を含む画素ペア 9 0 に明暗のレベル差の大きな信号が入力され

ても、画素ペア90内における混色が低減され、明暗のレベル差を維持した出力が可能となる。また、異なる色のカラーフィルタ131と接する面が少ない凹部Y R, Y B, Y G r, Y G bに対応する画素ペア90には、集光力が高いレンズ101 Aが配置されているため、位相差検出における分離比が確保される。

[0033] 図4に示した曲率の異なるレンズ101 A, 101 Bは、以下のようにして製造することができる。図6は、レンズ101 A, 101 Bの加工に用いるレジスト膜61のレイアウト例を表したものである。

[0034] まず、図7 Aに示したように、カラーフィルタ131上にレンズ層101 Xを所定の厚みで形成する。次に、図7 Bに示したように、レンズ層101 X上に、図6に示したレイアウトを有するレジスト膜61を形成する。続いて、フォトリソグラフィおよびエッチングを行うことにより、図7に示したように、曲率の異なるレンズ101 A, 101 Bが完成する。

[0035] 図8は、画素ブロック100 G rの一構成例を表したものである。図9は、画素ブロック100 Rの一構成例を表したものである。

[0036] 画素アレイ11は、複数の制御線T R G Lと、複数の制御線R S T Lと、複数の制御線S E L Lと、複数の信号線V S Lとを有している。制御線T R G Lは、例えばX軸方向に延伸し、一端が駆動部12に接続される。この制御線T R G Lには、駆動部12により制御信号S T R Gが供給される。制御線R S T Lは、例えばX軸方向に延伸し、一端が駆動部12に接続される。この制御線R S T Lには、駆動部12により制御信号S R S Tが供給される。制御線S E L Lは、例えばX軸方向に延伸し、一端が駆動部12に接続される。この制御線S E L Lには、駆動部12により制御信号S S E Lが供給される。信号線V S Lは、例えばY軸方向に延伸し、一端が読出部20に接続される。この信号線V S Lは、受光画素Pが生成した信号S I Gを読出部20に伝える。

[0037] 画素ブロック100 G r (図8)は、例えば、10個のフォトダイオードと、10個のトランジスタT R Gと、浮遊拡散層(F D)と、画素トランジ

スタとしてトランジスタ RST, AMP, SELとを有している。10個のフォトダイオードおよび10個のトランジスタ TRGは、画素ブロック 100Grに含まれる10個の受光画素 PGrにそれぞれ対応する。トランジスタ TRG, RST, AMP, SELは、この例ではN型のMOS (Metal Oxide Semiconductor) トランジスタである。浮遊拡散層およびトランジスタ TRG, RST, AMP, SELは、それぞれ、半導体基板 111の表面 111S1に設けられる。

[0038] フォトダイオードは、受光量に応じた量の電荷を生成し、生成した電荷を内部に蓄積する光電変換素子である。フォトダイオードのアノードは接地され、カソードはトランジスタ TRGのソースに接続される。

[0039] トランジスタ TRGは、フォトダイオードで生成された電荷を浮遊拡散層に転送する。トランジスタ TRGのゲートは制御線 TRGLに接続され、ソースはフォトダイオードのカソードに接続され、ドレインは浮遊拡散層に接続される。10個のトランジスタ TRGのゲートは、10本の制御線 TRGL (この例では、制御線 TRGL1~TRGL6, TRGL9~TRGL12)のうちの互いに異なる制御線 TRGLに接続される。

[0040] 浮遊拡散層は、フォトダイオードからトランジスタ TRGを介して転送された電荷を蓄積するように構成される。浮遊拡散層は、例えば、半導体基板の表面に形成された拡散層を用いて構成される。

[0041] トランジスタ RSTのゲートは制御線 RSTLに接続され、ドレインには電源電圧 VDDが供給され、ソースは浮遊拡散層に接続される。

[0042] トランジスタ AMPのゲートは浮遊拡散層に接続され、ドレインには電源電圧 VDDが供給され、ソースはトランジスタ SELのドレインに接続される。

[0043] トランジスタ SELのゲートは制御線 SELLに接続され、ドレインはトランジスタ AMPのソースに接続され、ソースは信号線 VSLに接続される。

[0044] この構成により、受光画素 Pでは、例えば制御信号 STRG, SRSTに

基づいてトランジスタ T_{RG} , RST がオン状態になることにより、フォトダイオードに蓄積された電荷が排出される。そして、これらのトランジスタ T_{RG} , RST がオフ状態になることにより、露光期間 T が開始され、フォトダイオードに、受光量に応じた量の電荷が蓄積される。そして、露光期間 T が終了した後に、受光画素 P は、リセット電圧 V_{reset} および画素電圧 V_{pix} を含む信号 SIG を、信号線 VSL に出力する。具体的には、まず、制御信号 SEL に基づいてトランジスタ SEL がオン状態になることにより、受光画素 P が信号線 VSL と電氣的に接続される。これにより、トランジスタ AMP は、読出部 20 の定電流源 21 (後述) に接続され、いわゆるソースフォロワとして動作する。そして、受光画素 P は、後述するように、トランジスタ RST がオン状態になることにより浮遊拡散層の電圧がリセットされた後の P 相 (Pre-charge 相) 期間 T_P において、その時の浮遊拡散層の電圧に応じた電圧をリセット電圧 V_{reset} として出力する。また、受光画素 P は、トランジスタ T_{RG} がオン状態になることによりフォトダイオードから浮遊拡散層へ電荷が転送された後の D 相 ($Data$ 相) 期間 T_D において、その時の浮遊拡散層の電圧に応じた電圧を画素電圧 V_{pix} として出力する。画素電圧 V_{pix} とリセット電圧 V_{reset} との差電圧は、露光期間 T における受光画素 P の受光量に対応する。このようにして、受光画素 P は、これらのリセット電圧 V_{reset} および画素電圧 V_{pix} を含む信号 SIG を、信号線 VSL に出力するようになっている。

[0045] 画素ブロック $100R$ (図9) は、8個のフォトダイオードと、8個のトランジスタ T_{RG} と、浮遊拡散層と、画素トランジスタとしてトランジスタ RST , AMP , SEL とを有している。8個のフォトダイオードおよび8個のトランジスタ T_{RG} は、画素ブロック $100R$ に含まれる8個の受光画素 P_R にそれぞれ対応している。8個のトランジスタ T_{RG} のゲートは、8本の制御線 $TRGL$ (この例では、制御線 $TRGL1$, $TRGL2$, $TRGL5 \sim TRGL10$) のうちの互いに異なる制御線 $TRGL$ に接続される。浮遊拡散層およびトランジスタ T_{RG} , RST , AMP , SEL は、それぞ

れ、半導体基板 1 1 1 の表面 1 1 1 S 1 に設けられる。

[0046] 画素ブロック 1 0 0 B は、画素ブロック 1 0 0 R (図 9) と同様に、8 個のフォトダイオードと、8 個のトランジスタ T R G と、浮遊拡散層と、画素トランジスタとしてトランジスタ R S T, A M P, S E L とを有している。8 個のフォトダイオードおよび 8 個のトランジスタ T R G は、画素ブロック 1 0 0 B に含まれる 8 個の受光画素 P B にそれぞれ対応している。8 個のトランジスタ T R G のゲートは、8 本の制御線 T R G L のうちの互いに異なる制御線 T R G L に接続される。浮遊拡散層およびトランジスタ T R G, R S T, A M P, S E L は、それぞれ、半導体基板 1 1 1 の表面 1 1 1 S 1 に設けられる。

[0047] 画素ブロック 1 0 0 G b は、画素ブロック 1 0 0 G r (図 8) と同様に、1 0 個のフォトダイオードと、1 0 個のトランジスタ T R G と、浮遊拡散層と、画素トランジスタとしてトランジスタ R S T, A M P, S E L とを有している。1 0 個のフォトダイオードおよび 1 0 個のトランジスタ T R G は、画素ブロック 1 0 0 G b に含まれる 1 0 個の受光画素 P G b にそれぞれ対応している。1 0 個のトランジスタ T R G のゲートは、1 0 本の制御線 T R G L のうちの互いに異なる制御線 T R G L に接続される。浮遊拡散層およびトランジスタ T R G, R S T, A M P, S E L は、それぞれ、半導体基板 1 1 1 の表面 1 1 1 S 1 に設けられる。

[0048] 図 1 0 に示したように、X 方向に並ぶ、同じ行に属する画素ブロック 1 0 0 B, 1 0 0 G b は、同じ 1 2 本の制御線 T R G L のうちの複数の制御線 T R G L に接続される。また、図示していないが、X 方向に並ぶ、同じ行に属する画素ブロック 1 0 0 B, 1 0 0 G b は、1 つの制御線 R S T L、および 1 つの制御線 S E L L に接続される。また、図 1 0 に示したように、Y 方向に並ぶ、同じ列に属する画素ブロック 1 0 0 B は、1 つの信号線 V S L に接続される。同様に、Y 方向に並ぶ、同じ列に属する画素ブロック 1 0 0 G b は、1 つの信号線 V S L に接続される。

[0049] 駆動部 1 2 (図 1) は、撮像制御部 1 8 からの指示に基づいて、画素アレ

イ 1 1 における複数の受光画素 P を駆動するように構成される。具体的には、駆動部 1 2 は、画素アレイ 1 1 における複数の制御線 T R G L に複数の制御信号 S T R G をそれぞれ供給し、複数の制御線 R S T L に複数の制御信号 S R S T をそれぞれ供給し、複数の制御線 S E L L に複数の制御信号 S S E L L をそれぞれ供給することにより、画素アレイ 1 1 における複数の受光画素 P を駆動するようになっている。

[0050] 参照信号生成部 1 3 は、撮像制御部 1 8 からの指示に基づいて、参照信号 R A M P を生成するように構成される。参照信号 R A M P は、読出部 2 0 が A D 変換を行う期間（P 相期間 T P および D 相期間 T D）において、時間の経過に応じて電圧レベルが徐々に変化する、いわゆるランプ波形を有する。参照信号生成部 1 3 は、このような参照信号 R A M P を読出部 2 0 に供給するようになっている。

[0051] 読出部 2 0 は、撮像制御部 1 8 からの指示に基づいて、画素アレイ 1 1 から信号線 V S L を介して供給された信号 S I G に基づいて A D 変換を行うことにより、画像信号 S p i c 0 を生成するように構成される。

[0052] 図 1 1 は、読出部 2 0 の一構成例を表すものである。なお、図 1 0 には、読出部 2 0 に加え、参照信号生成部 1 3、信号処理部 1 5、および撮像制御部 1 8 をも描いている。読出部 2 0 は、複数の定電流源 2 1 と、複数の A D （Analog to Digital）変換部 A D C と、転送制御部 2 7 とを有している。複数の定電流源 2 1 および複数の A D 変換部 A D C は、複数の信号線 V S L に対応してそれぞれ設けられる。以下に、ある 1 つの信号線 V S L に対応する定電流源 2 1 および A D 変換部 A D C について説明する。

[0053] 定電流源 2 1 は、対応する信号線 V S L に所定の電流を流すように構成される。定電流源 2 1 の一端は、対応する信号線 V S L に接続され、他端は接地される。

[0054] A D 変換部 A D C は、対応する信号線 V S L における信号 S I G に基づいて A D 変換を行うように構成される。A D 変換部 A D C は、容量素子 2 2、2 3 と、比較回路 2 4 と、カウンタ 2 5 と、ラッチ 2 6 とを有している。

- [0055] 容量素子 22 の一端は信号線 V S L に接続されるとともに信号 S I G が供給され、他端は比較回路 24 に接続される。容量素子 23 の一端には参照信号生成部 13 から供給された参照信号 R A M P が供給され、他端は比較回路 24 に接続される。
- [0056] 比較回路 24 は、受光画素 P から信号線 V S L および容量素子 22 を介して供給された信号 S I G、および参照信号生成部 13 から容量素子 23 を介して供給された参照信号 R A M P に基づいて、比較動作を行うことにより信号 C P を生成するように構成される。比較回路 24 は、撮像制御部 18 から供給された制御信号 A Z に基づいて、容量素子 22、23 の電圧を設定することにより動作点を設定する。そしてその後に、比較回路 24 は、P 相期間 T P において、信号 S I G に含まれるリセット電圧 V reset と、参照信号 R A M P の電圧とを比較する比較動作を行い、D 相期間 T D において、信号 S I G に含まれる画素電圧 V pix と、参照信号 R A M P の電圧とを比較する比較動作を行うようになっている。
- [0057] カウンタ 25 は、比較回路 24 から供給された信号 C P に基づいて、撮像制御部 18 から供給されたクロック信号 C L K のパルスのカウントするカウント動作を行うように構成される。具体的には、カウンタ 25 は、P 相期間 T P において、信号 C P が遷移するまでクロック信号 C L K のパルスのカウントすることによりカウント値 C N T P を生成し、このカウント値 C N T P を、複数のビットを有するデジタルコードとして出力する。また、カウンタ 25 は、D 相期間 T D において、信号 C P が遷移するまでクロック信号 C L K のパルスのカウントすることによりカウント値 C N T D を生成し、このカウント値 C N T D を、複数のビットを有するデジタルコードとして出力するようになっている。
- [0058] ラッチ 26 は、カウンタ 25 から供給されたデジタルコードを一時的に保持するとともに、転送制御部 27 からの指示に基づいて、そのデジタルコードをバス配線 B U S に出力するように構成される。
- [0059] 転送制御部 27 は、撮像制御部 18 から供給された制御信号 C T L に基づ

いて、複数のＡＤ変換部ＡＤＣのラッチ２６が、デジタルコードをバス配線ＢＵＳに順次出力させるように制御するように構成される。読出部２０は、このバス配線ＢＵＳを用いて、複数のＡＤ変換部ＡＤＣから供給された複数のデジタルコードを、画像信号Ｓpic０として、信号処理部１５に順次転送するようになっている。

[0060] 信号処理部１５（図１）は、画像信号Ｓpic０および撮像制御部１８からの指示に基づいて、所定の信号処理を行うことにより画像信号Ｓpicを生成するように構成される。信号処理部１５は、画像データ生成部１６と、位相差データ生成部１７とを有している。画像データ生成部１６は、画像信号Ｓpic０に基づいて、所定の画像処理を行うことにより、撮像画像を示す画像データＤＰを生成するように構成される。位相差データ生成部１７は、画像信号Ｓpic０に基づいて、所定の画像処理を行うことにより、像面位相差を示す位相差データＤＦを生成するように構成される。信号処理部１５は、画像データ生成部１６により生成された画像データＤＰ、および位相差データ生成部１７により生成された位相差データＤＦを含む画像信号Ｓpicを生成する。

[0061] 図１２は、画像信号Ｓpicの一例を表すものである。信号処理部１５は、例えば、複数行分の受光画素Ｐに係る画像データＤＰと、複数行分の受光画素Ｐに係る位相差データＤＦを交互に配置することにより、画像信号Ｓpicを生成する。そして、信号処理部１５は、このような画像信号Ｓpicを出力するようになっている。

[0062] 撮像制御部１８は、駆動部１２、参照信号生成部１３、読出部２０、および信号処理部１５に制御信号を供給し、これらの回路の動作を制御することにより、撮像装置１の動作を制御するように構成される。撮像制御部１８には、外部から制御信号Ｓctlが供給される。この制御信号Ｓctlは、例えば、いわゆる電子ズームのズーム倍率についての情報を含む。撮像制御部１８は、制御信号Ｓctlに基づいて、撮像装置１の動作を制御するようになっている。

[0063] [動作]

続いて、本実施の形態の撮像装置 1 の動作について説明する。

[0064] (全体動作概要)

まず、図 1, 11 を参照して、撮像装置 1 の全体動作概要を説明する。駆動部 12 は、撮像制御部 18 からの指示に基づいて、画素アレイ 11 における複数の受光画素 P を順次駆動する。参照信号生成部 13 は、撮像制御部 18 からの指示に基づいて、参照信号 RAMP を生成する。受光画素 P は、P 相期間 T_P において、リセット電圧 V_{reset} を信号 SIG として出力し、D 相期間 T_D において、受光量に応じた画素電圧 V_{pix} を信号 SIG として出力する。読出部 20 は、画素アレイ 11 から信号線 VSL を介して供給された信号 SIG、および撮像制御部 18 からの指示に基づいて、画像信号 $Spic0$ を生成する。信号処理部 15 において、画像データ生成部 16 は、画像信号 $Spic0$ に基づいて、所定の画像処理を行うことにより、撮像画像を示す画像データ DP を生成し、位相差データ生成部 17 は、画像信号 $Spic0$ に基づいて、所定の画像処理を行うことにより、像面位相差を示す位相差データ DF を生成する。そして、信号処理部 15 は、画像データ DP および位相差データ DF を含む画像信号 $Spic$ を生成する。撮像制御部 18 は、駆動部 12、参照信号生成部 13、読出部 20、および信号処理部 15 に制御信号を供給し、これらの回路の動作を制御することにより、撮像装置 1 の動作を制御する。

[0065] (詳細動作)

撮像制御部 18 は、電子ズームのズーム倍率についての情報を含む制御信号 S_{ctl} に基づいて、撮像装置 1 の動作を制御する。以下に、撮像装置 1 におけるズーム動作について説明する。

[0066] 図 13 は、ズーム倍率を 1 倍から 10 倍まで変化させた場合における、撮像画像に係る受光画素 P の数（有効画素数）の一例を表すものである。図 13 において、実線は、撮像装置 1 の有効画素数を示している。図 14 は、撮像装置 1 におけるズーム動作の一例を表すものであり、(A) はズーム倍率が 1 倍である場合における動作を示し、(B) はズーム倍率が 2 倍である場合における動作を示し、(C) はズーム倍率が 3 倍である場合における動作

を示す。

[0067] 撮像装置 1 は、3つの撮像モードM（撮像モードMA、MB、MC）を有している。撮像制御部 18 は、制御信号 Sctl に含まれるズーム倍率についての情報に基づいて、3つの撮像モードMA～MCのうちの1つを選択する。具体的には、撮像制御部 18 は、図 13 において示したように、ズーム倍率が2未満である場合には撮像モードMAを選択し、ズーム倍率が2以上3未満である場合には撮像モードMBを選択し、ズーム倍率が3以上である場合には撮像モードMCを選択する。

[0068] 撮像モードMAでは、図 14（A）に示したように、撮像装置 1 は、複数の単位ユニットUのそれぞれにおいて、4つの画素値V（画素値VR、VG_r、VG_b、VB）を得る。具体的な動作については、後述する。このように、撮像装置 1 は、36個の受光画素Pに対して4個の割合で、画素値Vを生成することにより、画像データDPを生成する。画素アレイ 11 における受光画素Pの数が108 [Mpix] である場合には、12 [Mpix] 分の画素値Vが算出される。これにより、図 13 に示したように、有効画素数は、12 [Mpix] となる。

[0069] 図 13 に示したように、この撮像モードMAにおいて、ズーム倍率を1から増やすと、倍率に応じて、有効画素数が低下していく。そして、ズーム倍率が2になると、撮像モードMは撮像モードMBになる。

[0070] 撮像モードMBでは、図 14（B）に示したように、撮像装置 1 は、複数の単位ユニットUのそれぞれにおいて、16個の画素値Vを得る。具体的な動作については、後述する。このように、撮像装置 1 は、36個の受光画素Pに対して16個の割合で、画素値Vを生成することにより、画像データDPを生成する。画素アレイ 11 における受光画素Pの数が108 [Mpix] である場合には、48 [Mpix] 分の画素値Vが算出される。実際には、ズーム倍率が2倍であるので、図 14（B）に示したように撮像範囲が1/4に狭くなるため、有効画素数は12 [Mpix]（=48 [Mpix] / 4）となる。

[0071] 図 13 に示したように、この撮像モードMBにおいて、ズーム倍率を2か

ら増やすと、倍率に応じて、有効画素数が低下していく。そして、ズーム倍率が3になると、撮像モードMは撮像モードMCになる。

[0072] 撮像モードMCでは、図14(C)に示したように、撮像装置1は、複数の単位ユニットUのそれぞれにおいて、36個の画素値Vを得る。具体的な動作については、後述する。このように、撮像装置1は、36個の受光画素Pに対して36個の割合で、画素値Vを生成することにより、画像データDPを生成する。画素アレイ11における受光画素Pの数が108 [Mpix] である場合には、108 [Mpix] の撮像画像を得ることができる。実際には、ズーム倍率が3倍であるので、図14(C)に示したように撮像範囲が1/9に狭くなるため、有効画素数は12 [Mpix] ($= 108 \text{ [Mpix]} / 9$) となる。

[0073] このように、撮像装置1では、3つの撮像モードMを設けるようにしたので、ズーム倍率を変更した場合における、撮像画像の画質の変化を低減することができる。すなわち、例えば、撮像モードMBを省いて2つの撮像モードMA, MCを設け、ズーム倍率が2倍未満である場合に撮像モードMAを選択するとともに、ズーム倍率が2倍以上である場合に撮像モードMCを選択した場合には、図13において破線で示したように、有効画素数が大きく変化する。すなわち、この例では、ズーム倍率が2倍である場合には、撮像モードMCが選択され、有効画素数は27 [Mpix] ($= 108 \text{ [Mpix]} / 4$) である。よって、ズーム倍率が例えば1.9倍である場合における有効画素数と、ズーム倍率が2倍である場合における有効画素数に大きな差が生じるので、ズーム倍率が2倍前後において、撮像画像の画質が大きく変化する可能性がある。一方、撮像装置1では、3つの撮像モードMを設けるようにしたので、ズーム倍率を変更した場合における、有効画素数の変化を低減することができるので、撮像画像の画質の変化を抑えることができる。

[0074] (撮像モードMA)

図15は、撮像モードMAにおける撮像装置1の一動作例を表すものである。図15において、“○”で示した受光画素Pは、読出動作の対象となる

受光画素Pを示す。

[0075] まず、撮像装置1は、図15(A)に示したように、複数の画素ブロック100のそれぞれにおいて、レンズ101が設けられた画素ペア90における左の受光画素Pの受光量に応じた画素値Vを算出することにより、画像データDT1を生成する。具体的には、撮像装置1は、画素ブロック100Grの10個の受光画素PGrのうちの、5つの画素ペア90における左に配置された5つの受光画素PGrを読み出動作の対象とすることにより、この5つの受光画素PGrの重心位置における画素値VGr1を算出する。また、撮像装置1は、画素ブロック100Rの8個の受光画素PRのうちの、4つの画素ペア90における左に配置された4つの受光画素PRを読み出動作の対象とすることにより、この4つの受光画素PRの重心位置における画素値VR1を算出する。撮像装置1は、画素ブロック100Bの8個の受光画素PBのうちの、4つの画素ペア90における左に配置された4つの受光画素PBを読み出動作の対象とすることにより、この4つの受光画素PBの重心位置における画素値VB1を算出する。撮像装置1は、画素ブロック100Gbの10個の受光画素PGBのうちの、5つの画素ペア90における左に配置された5つの受光画素PGBを読み出動作の対象とすることにより、この5つの受光画素PGBの重心位置における画素値VGB1を算出する。このようにして、撮像装置1は、画素値VGr1、VR1、VB1、VGB1を含む画像データDT1(図15(A))を生成する。

[0076] 次に、撮像装置1は、図15(B)に示したように、複数の画素ブロック100のそれぞれにおいて、全ての受光画素Pの受光量に応じた画素値Vを算出することにより、画像データDT2を生成する。具体的には、撮像装置1は、画素ブロック100Grの10個の受光画素PGrを読み出動作の対象とすることにより、この10個の受光画素PGrの重心位置における画素値VGr2を算出する。また、撮像装置1は、画素ブロック100Rの8個の受光画素PRを読み出動作の対象とすることにより、この8個の受光画素PRの重心位置における画素値VR2を算出する。撮像装置1は、画素ブロック

100Bの8個の受光画素PBを読出動作の対象とすることにより、この8個の受光画素PBの重心位置における画素値VB2を算出する。撮像装置1は、画素ブロック100Gbの10個の受光画素PGrを読出動作の対象とすることにより、この10個の受光画素PGrの重心位置における画素値VGb2を算出する。このようにして、撮像装置1は、画素値VGr2, VR2, VB2, VGb2を含む画像データDT2 (図15 (B)) を生成する。

[0077] 以下に、ある画素ブロック100Grに着目して、この画素ブロック100Grにおける10個の受光画素PGrに対する読出動作について説明する。

[0078] 図16は、読出動作の一例を表すものであり、(A)は制御信号SSELの波形を示し、(B)は制御信号SRSTの波形を示し、(C)は画素ペア90における左に配置された受光画素PGrに供給される制御信号STRG (制御信号STRGL)の波形を示し、(D)は画素ペア90における右に配置された受光画素PGrに供給される制御信号STRG (制御信号STRGR)の波形を示し、(E)は制御信号AZの波形を示し、(F)は参照信号RAMPの波形を示し、(G)は信号SIGの波形を示し、(H)は信号CPの波形を示す。図16 (F), (G)では、参照信号RAMPおよび信号SIGの波形を、同じ電圧軸を用いて示している。また、この説明では、図16 (F)に示した参照信号RAMPの波形は、容量素子23を介して比較回路24の入力端子に供給された電圧の波形であり、図16 (G)に示した信号SIGの波形は、容量素子22を介して比較回路24の入力端子に供給された電圧の波形である。

[0079] まず、タイミングt11において、水平期間Hが開始する。これにより、駆動部12は、制御信号SSELの電圧を低レベルから高レベルに変化させる (図16 (A))。これにより、画素ブロック100Grでは、トランジスタSELがオン状態になり、画素ブロック100Grが信号線VSLと電氣的に接続される。また、このタイミングt11において、駆動部12は、

制御信号 $S R S T$ の電圧を低レベルから高レベルに変化させる（図 16（B））。これにより、画素ブロック 100Gr では、トランジスタ $R S T$ がオン状態になり、フローティングディフュージョン $F D$ の電圧が電源電圧 $V D D$ に設定される（リセット動作）。そして、画素ブロック 100Gr は、このときのフローティングディフュージョン $F D$ の電圧に対応する電圧を出力する。また、このタイミング $t 11$ において、撮像制御部 18 は、制御信号 $A Z$ の電圧を低レベルから高レベルに変化させる（図 16（E））。これにより、 $A D$ 変換部 $A D C$ の比較回路 24 は、容量素子 22, 23 の電圧を設定することにより動作点を設定する。このようにして、信号 $S I G$ の電圧がリセット電圧 V_{reset} に設定され、参照信号 $R A M P$ の電圧が、信号 $S I G$ の電圧（リセット電圧 V_{reset} ）と同じ電圧に設定される（図 16（F）,（G））。

[0080] そして、タイミング $t 11$ から所定の時間が経過したタイミングにおいて、駆動部 12 は、制御信号 $S R S T$ の電圧を高レベルから低レベルに変化させる（図 16（B））。これにより、画素ブロック 100Gr において、トランジスタ $R S T$ はオフ状態になり、リセット動作は終了する。

[0081] 次に、タイミング $t 12$ において、撮像制御部 18 は、制御信号 $A Z$ の電圧を高レベルから低レベルに変化させる（図 16（E））。これにより、比較回路 24 は、動作点の設定を終了する。

[0082] また、このタイミング $t 12$ において、参照信号生成部 13 は、参照信号 $R A M P$ の電圧を電圧 $V 1$ にする（図 16（F））。これにより、参照信号 $R A M P$ の電圧が信号 $S I G$ の電圧より高くなるので、比較回路 24 は、信号 $C P$ の電圧を低レベルから高レベルに変化させる（図 16（H））。

[0083] そして、タイミング $t 13 \sim t 15$ の期間（ P 相期間 $T P$ ）において、 $A D$ 変換部 $A D C$ は、信号 $S I G$ に基づいて $A D$ 変換を行う。具体的には、まず、タイミング $t 13$ において、参照信号生成部 13 は、参照信号 $R A M P$ の電圧を電圧 $V 1$ から所定の変化度合いで低下させ始める（図 16（F））。また、このタイミング $t 13$ において、撮像制御部 18 は、クロック信号

C L Kの生成を開始する。A D変換部A D Cのカウンタ2 5は、カウント動作を行うことにより、このクロック信号C L Kのパルスをカウントする。

[0084] そして、タイミングt 1 4において、参照信号R A M Pの電圧が信号S I Gの電圧（リセット電圧V reset）を下回る（図1 6（F）,（G））。これにより、A D変換部A D

Cの比較回路2 4は、信号C Pの電圧を高レベルから低レベルに変化させる（図1 6（H））。A D変換部A D Cのカウンタ2 5は、この信号C Pの遷移に基づいて、カウント動作を停止する。このときのカウンタ2 5のカウント値（カウント値C N T P）は、リセット電圧V resetに応じた値である。ラッチ2 6は、このカウント値C N T Pを保持する。

そして、カウンタ2 5は、カウント値をリセットする。

[0085] 次に、タイミングt 1 5において、撮像制御部1 8は、P相期間T Pの終了に伴い、クロック信号C L Kの生成を停止する。また、参照信号生成部1 3は、このタイミングt 1 5において、参照信号R A M Pの電圧の変化を停止させる（図1 6（F））。そして、このタイミングt 1 5以降の期間において、読出部2 0は、ラッチ2 6に保持されたカウント値C N T Pを、画像信号S pic0として、信号処理部1 5に供給する。

[0086] 次に、タイミングt 1 6において、撮像制御部1 8は、参照信号R A M Pの電圧を電圧V 1に設定する（図1 6（F））。これにより、参照信号R A M Pの電圧が信号S I Gの電圧（リセット電圧V reset）より高くなるので、比較回路2 4は、信号C Pの電圧を低レベルから高レベルに変化させる（図1 6（H））。

[0087] 次に、タイミングt 1 7において、駆動部1 2は、制御信号S T R G Lの電圧を低レベルから高レベルに変化させる（図1 6（C））。これにより、画素ペア9 0における左に配置された5つの受光画素P G rでは、トランジスタT R Gがオン状態になり、フォトダイオードP Dで発生した電荷がフローティングディフュージョンF Dに転送される（電荷転送動作）。そして、画素ブロック1 0 0 G rは、このときのフローティングディフュージョンF

Dの電圧に対応する電圧を出力する。このようにして、信号S I Gの電圧が画素電圧 V_{pix1} になる（図16（G））。

[0088] そして、このタイミング t_{17} から所定の時間が経過したタイミングにおいて、駆動部12は、制御信号STRGLの電圧を高レベルから低レベルに変化させる（図16（C））。これにより、画素ペア90の左に配置された5つの受光画素PGrにおいて、トランジスタTRGはオフ状態になり、電荷転送動作は終了する。

[0089] そして、タイミング $t_{18} \sim t_{20}$ の期間（D相期間TD1）において、AD変換部ADCは、信号S I Gに基づいてAD変換を行う。具体的には、まず、タイミング t_{18} において、参照信号生成部13は、参照信号RAMPの電圧を電圧 V_1 から所定の変化度合いで低下させ始める（図16（F））。また、このタイミング t_{18} において、撮像制御部18は、クロック信号CLKの生成を開始する。AD変換部ADCのカウンタ25は、カウント動作を行うことにより、このクロック信号CLKのパルスのカウントする。

[0090] そして、タイミング t_{19} において、参照信号RAMPの電圧が信号S I Gの電圧（画素電圧 V_{pix1} ）を下回る（図16（F）,（G））。これにより、AD変換部ADCの比較回路24は、信号CPの電圧を高レベルから低レベルに変化させる（図16（H））。AD変換部ADCのカウンタ25は、この信号CPの遷移に基づいて、カウント動作を停止する。このときのカウンタ25のカウント値（カウント値CNTD1）は、画素電圧 V_{pix1} に応じた値である。ラッチ26は、このカウント値CNTD1を保持する。そして、カウンタ25は、カウント値をリセットする。

[0091] 次に、タイミング t_{20} において、撮像制御部18は、D相期間TD1の終了に伴い、クロック信号CLKの生成を停止する。また、参照信号生成部13は、このタイミング t_{20} において、参照信号RAMPの電圧の変化を停止させる（図16（F））。そして、このタイミング t_{20} 以降の期間において、読出部20は、ラッチ26に保持されたカウント値CNTD1を、画像信号Spic0として、信号処理部15に供給する。

[0092] 次に、タイミング t_{21} において、撮像制御部18は、参照信号RAMPの電圧を電圧 V_1 に設定する（図16（F））。これにより、参照信号RAMPの電圧が信号SIGの電圧（画素電圧 V_{pix1} ）より高くなるので、比較回路24は、信号CPの電圧を低レベルから高レベルに変化させる（図16（H））。

[0093] 次に、タイミング t_{22} において、駆動部12は、制御信号STRGL、STRGRの電圧を低レベルから高レベルにそれぞれ変化させる（図16（C）、（D））。これにより、画素ブロック100Grにおける10個の受光画素PGrでは、トランジスタTRGがオン状態になり、フォトダイオードPDで発生した電荷がフローティングディフュージョンFDに転送される（電荷転送動作）。そして、画素ブロック100Grは、このときのフローティングディフュージョンFDの電圧に対応する電圧を出力する。このようにし

て、信号SIGの電圧が画素電圧 V_{pix2} になる（図16（G））。

[0094] そして、このタイミング t_{22} から所定の時間が経過したタイミングにおいて、駆動部12は、制御信号STRGL、STRGRの電圧を高レベルから低レベルにそれぞれ変化させる（図16（C）、（D））。これにより、10個の受光画素PGrにおいて、トランジスタTRGはオフ状態になり、電荷転送動作は終了する。

[0095] そして、タイミング $t_{23} \sim t_{25}$ の期間（D相期間TD2）において、AD変換部ADCは、信号SIGに基づいてAD変換を行う。具体的には、まず、タイミング t_{23} において、参照信号生成部13は、参照信号RAMPの電圧を電圧 V_1 から所定の変化度合いで低下させ始める（図16（F））。また、このタイミング t_{23} において、撮像制御部18は、クロック信号CLKの生成を開始する。AD変換部ADCのカウンタ25は、カウント動作を行うことにより、このクロック信号CLKのパルスをカウントする。

[0096] そして、タイミング t_{24} において、参照信号RAMPの電圧が信号SIGの電圧（画素電圧 V_{pix2} ）を下回る（図16（F）、（G））。これによ

り、AD変換部ADCの比較回路24は、信号CPの電圧を高レベルから低レベルに変化させる（図16（H））。AD変換部ADCのカウンタ25は、この信号CPの遷移に基づいて、カウント動作を停止する。このときのカウンタ25のカウント値（カウント値CNTD2）は、画素電圧Vpix2に応じた値である。ラッチ26は、このカウント値CNTD2を保持する。そして、カウンタ25は、カウント値をリセットする。

[0097] 次に、タイミングt25において、撮像制御部18は、D相期間TD2の終了に伴い、クロック信号CLKの生成を停止する。また、参照信号生成部13は、このタイミングt25において、参照信号RAMPの電圧の変化を停止させる（図16（F））。そして、このタイミングt25以降の期間において、読出部20は、ラッチ26に保持されたカウント値CNTD2を、画像信号Spic0として、信号処理部15に供給する。

[0098] 次に、タイミングt26において、駆動部12は、制御信号SELの電圧を高レベルから低レベルに変化させる（図16（A））。これにより、画素ブロック100Grでは、トランジスタSELがオフ状態になり、画素ブロック100Grが信号線VSLから電氣的に切り離される。

[0099] このようにして、読出部20は、カウント値CNTP、CNTD1、CNTD2を含む画像信号Spic0を信号処理部15に供給する。信号処理部15は、例えば画像信号Spic0に含まれるカウント値CNTP、CNTD1、CNTD2に基づいて、相関2重サンプリングの原理を利用して、図15（A）に示した画素値VGr1、および図15（B）に示した画素値VGr2を生成する。具体的には、信号処理部15は、例えば、カウント値CNTD1からカウント値CNTPを減算することにより、画素値VGr1を生成する。カウント値CNTD1は、画素ブロック100Grの5つの画素ペア90における左に配置された5つの受光画素PGrでの受光量の和に応じた値であるので、信号処理部15は、このカウント値CNTD1に基づいて、図15（A）に示した画素値VGr1を生成することができる。同様に、信号処理部15は、例えば、カウント値CNTD2からカウント値CNTPを減算

することにより、画素値 $VGr2$ を生成する。カウント値 $CNTD2$ は、画素ブロック $100Gr$ の10個の受光画素 PGr での受光量の和に応じた値であるので、信号処理部15は、このカウント値 $CNTD2$ に基づいて、図15(B)に示した画素値 $VGr2$ を生成することができる。

[0100] 以上、画素ブロック $100Gr$ について説明したが、画素ブロック $100R$ 、 $100Gb$ 、 $100B$ についても同様である。このようにして、信号処理部15は、図15に示したように、画素値 $VR1$ 、 $VGr1$ 、 $VGb1$ 、 $VB1$ を含む画像データ $DT1$ 、および画素値 $VR2$ 、 $VGr2$ 、 $VGb2$ 、 $VB2$ を含む画像データ $DT2$ を生成する。

[0101] 図17は、撮像モードMAにおける、信号処理部15の画像処理の一例を表すものである。

[0102] まず、信号処理部15は、画像データ $DT1$ 、 $DT2$ に基づいて、減算処理を行うことにより、画像データ $DT3$ を生成する。

[0103] 具体的には、信号処理部15は、画像データ $DT2$ における画素値 $VGr2$ から、画像データ $DT1$ における画素値 $VGr1$ を減算することにより、画素値 $VGr3$ を算出する。この画素値 $VGr3$ は、画素ブロック $100Gr$ の5つの画素ペア90における右に配置された5つの受光画素 PGr での受光量の和に応じた値である。すなわち、画素値 $VGr1$ は、画素ブロック $100Gr$ の5つの画素ペア90における左に配置された5つの受光画素 PGr での受光量の和に応じた値であり、画素値 $VGr2$ は、この画素ブロック $100Gr$ の10個の受光画素 PGr での受光量の和に応じた値である。よって、画素値 $VGr2$ から画素値 $VGr1$ を減算することにより、画素ブロック $100Gr$ の5つの画素ペア90における右に配置された5つの受光画素 PGr での受光量の和に応じた値が得られる。このように、画素値 $VGr3$ は、5つの画素ペア90における右に配置された5つの受光画素 PGr での受光量の和に応じた値であるので、図17に示したように、画素値 $VGr3$ は、これらの5つの受光画素 PGr の重心位置に配置される。

[0104] 同様に、信号処理部15は、画像データ $DT2$ における画素値 $VR2$ から

、画像データDT1における画素値VR1を減算することにより、画素値VR3を算出する。この画素値VR3は、画素ブロック100Rの4つの画素ペア90における右に配置された4つの受光画素PRでの受光量の和に応じた値である。画素値VR3は、画素ブロック100Rの4つの画素ペア90における右に配置された4つの受光画素PRの重心位置に配置される。

[0105] 信号処理部15は、画像データDT2における画素値VB2から、画像データDT1における画素値VB1を減算することにより、画素値VB3を算出する。この画素値VB3は、画素ブロック100Bの4つの画素ペア90における右に配置された4つの受光画素PBでの受光量の和に応じた値である。画素値VB3は、画素ブロック100Bの4つの画素ペア90における右に配置された4つの受光画素PBの重心位置に配置される。

[0106] 信号処理部15は、画像データDT2における画素値Vgb2から、画像データDT1における画素値Vgb1を減算することにより、画素値Vgb3を算出する。この画素値Vgb3は、画素ブロック100Gbの5つの画素ペア90における右に配置された5つの受光画素Pgbでの受光量の和に応じた値である。画素値Vgb3は、画素ブロック100Gbの5つの画素ペア90における右に配置された5つの受光画素Pgbの重心位置に配置される。

[0107] そして、信号処理部15の画像データ生成部16は、画像データDT2に基づいて、所定の画像処理を行うことにより、撮像画像を示す画像データDP（図14（A））を生成する。

[0108] また、信号処理部15の位相差データ生成部17は、画像データDT1，DT3に基づいて、所定の画像処理を行うことにより、像面位相差を示す位相差データDFを生成する。すなわち、画像データDT1は、複数の画素ペア90における左に配置された受光画素Pでの画素値Vを有し、画像データDT3は、複数の画素ペア90における右に配置された受光画素Pでの画素値Vを有する。よって、位相差データ生成部17は、画像データDT1，DT3に基づいて、位相差データDFを生成することができる。

[0109] 撮像装置 1 では、図 2 に示したように、画素アレイ 11 において、レンズ 101 が X 方向および Y 方向に並設されているので、画素アレイ 11 の全面にわたり、高い解像度で位相差データ DF を生成することができる。よって、例えば、このような撮像装置 1 が搭載されたカメラでは、精度が高いオートフォーカスを実現することができ、その結果、画質を高めることができる。

[0110] (撮像モード MB)

図 18 は、撮像モード MB における撮像装置 1 の一動作例を表すものである。図 19 は、図 18 に示した動作をより具体的に表すものである。図 18, 19 において、“○” で示した受光画素 P は、読出動作の対象となる受光画素 P を示す。

[0111] 画素ブロック 100Gr では、図 19 (A) に示したように、撮像装置 1 は、画素ブロック 100Gr の 5 つの画素ペア 90 のうちの 1 つの画素ペア 90 における左に配置された受光画素 PGr を読出動作の対象とし、この受光画素 PGr の位置における画素値 VGr1 を算出する。そして、次に、図 19 (B) に示したように、撮像装置 1 は、その画素ペア 90 における 2 つの受光画素 PGr を読出動作の対象とし、この 2 つの受光画素 PGr の重心位置における画素値 VGr2 を算出する。

[0112] 同様に、画素ブロック 100R では、図 19 (A) に示したように、撮像装置 1 は、画素ブロック 100R の 4 つの画素ペア 90 のうちの 1 つの画素ペア 90 における左に配置された受光画素 PR を読出動作の対象とし、この受光画素 PR の位置における画素値 VR1 を算出する。そして、次に、図 19 (B) に示したように、撮像装置 1 は、その画素ペア 90 における 2 つの受光画素 PR を読出動作の対象とし、この 2 つの受光画素 PR の重心位置における画素値 VR2 を算出する。

[0113] 同様に、画素ブロック 100B では、図 19 (A) に示したように、撮像装置 1 は、画素ブロック 100B の 4 つの画素ペア 90 のうちの 1 つの画素ペア 90 における左に配置された受光画素 PB を読出動作の対象とし、この

受光画素P Bの位置における画素値V B 1を算出する。そして、次に、図19 (B) に示したように、撮像装置1は、その画素ペア90における2つの受光画素P Bを読出動作の対象とし、この2つの受光画素P Bの重心位置における画素値V B 2を算出する。

[0114] 同様に、画素ブロック100 G bでは、図19 (A) に示したように、撮像装置1は、画素ブロック100 G bの5つの画素ペア90のうちの1つの画素ペア90における左に配置された受光画素P G bを読出動作の対象とし、この受光画素P G bの位置における画素値V G b 1を算出する。そして、次に、図19 (B) に示したように、撮像装置1は、その画素ペア90における2つの受光画素P G bを読出動作の対象とし、この2つの受光画素P G bの重心位置における画素値V G b 2を算出する。

[0115] この図19 (A) , (B) における読出動作は、上述した撮像モードMAにおける読出動作(図16)と同様の動作である。撮像装置1は、その後、図19 (C) , (D) の動作、図19 (E) , (F) の動作、図19 (G) , (H) の動作、図19 (I) , (J) の動作、図19 (K) , (L) の動作を行う。このようにして、撮像装置1は、画素値V G r 1, V R 1, V B 1, V G b 1を含む画像データD T 1(図18 (A))、および画素値V G r 2, V R 2, V B 2, V G b 2を含む画像データD T 2(図18 (B))を生成する。

[0116] 図20は、撮像モードMBにおける、信号処理部15の画像処理の一例を表すものである。

[0117] まず、信号処理部15は、画像データD T 1, D T 2に基づいて、減算処理を行うことにより、画像データD T 3を生成する。

[0118] 具体的には、信号処理部15は、画像データD T 2における5つの画素値V G r 2から、画像データD T 1における5つの画素値V G r 1をそれぞれ減算することにより、5つの画素値V G r 3を算出する。この画素値V G r 3は、画素ブロック100 G rの画素ペア90における右に配置された受光画素P G rでの受光量に応じた値である。すなわち、画素値V G r 1は、画

素ブロック100Grの画素ペア90における左に配置された受光画素PG_rでの受光量に応じた値であり、画素値VG_r2は、この画素ペア90における2つの受光画素PG_rでの受光量の和に応じた値である。よって、画素値VG_r2から画素値VG_r1を減算することにより、画素ブロック100Grの画素ペア90における右に配置された受光画素PG_rでの受光量に応じた値が得られる。このように、画素値VG_r3は、画素ペア90における右に配置された受光画素PG_rでの受光量に応じた値であるので、図20に示したように、画素値VG_r3は、画素ペア90における右に配置された受光画素PG_rの位置に配置される。

[0119] 同様に、信号処理部15は、画像データDT2における4つの画素値VR2から、画像データDT1における4つの画素値VR1をそれぞれ減算することにより、4つの画素値VR3を算出する。この画素値VR3は、画素ブロック100Rの画素ペア90における右に配置された受光画素PRでの受光量に応じた値である。この画素値VR3は、この画素ペア90における右に配置された受光画素PRの位置に配置される。

[0120] 信号処理部15は、画像データDT2における4つの画素値VB2から、画像データDT1における4つの画素値VB1をそれぞれ減算することにより、4つの画素値VB3を算出する。この画素値VB3は、画素ブロック100Bの画素ペア90における右に配置された受光画素PBでの受光量に応じた値である。この画素値VB3は、この画素ペア90における右に配置された4つの受光画素PBの位置に配置される。

[0121] 信号処理部15は、画像データDT2における5つの画素値VGB2から、画像データDT1における5つの画素値VGB1をそれぞれ減算することにより、5つの画素値VGB3を算出する。この画素値VGB3は、画素ブロック100Gbの画素ペア90における右に配置された受光画素PGBでの受光量に応じた値である。この画素値VGB3は、この画素ペア90における右に配置された受光画素PGBの位置に配置される。

[0122] そして、信号処理部15の画像データ生成部16は、図20に示したよう

に、画像データDT2に基づいて、所定の画像処理を行うことにより、撮像画像を示す画像データDP（図14（B））を生成する。この所定の画像処理は、画素値Vの修正を行うとともに画素値Vの再配置を行うリモザイク処理を含む。

[0123] 図21は、撮像モードM2におけるリモザイク処理の一例を表すものであり、（A）は画像データDT2を示し、（B）はリモザイク処理の前後の画素値Vの位置を示し、（C）は画像データDT2に基づいてリモザイク処理により生成された画像データDT4を示す。図21（B）において、“○”は、画像データDT2における画素値Vの位置を示し、“□”は、画像データDT4における画素値Vの位置を示している。

[0124] 図22Aは、画素ブロック100Rについてのリモザイク処理を表すものであり、図22Bは、画素ブロック100Gr、100Gbについてのリモザイク処理を表すものであり、図22Cは、画素ブロック100Bについてもリモザイク処理を表すものである。図22A～18Cにおいて、（A）は画像データDT2を示し、（B）はリモザイク処理により生成された画像データDT4を示す。

[0125] 画像データDT2では、図21（A）に示したように、36個の受光画素Pに対して18個の割合で画素値Vを含む。例えば、画素アレイ11における受光画素Pの数が108 [Mpix] である場合には、画像データDT2は、54 [Mpix] 分の画素値Vを含む。一方、画像データDT4では、図21（C）に示したように、36個の受光画素Pに対して16個の割合で画素値Vを含む。例えば、画素アレイ11における受光画素Pの数が108 [Mpix] である場合には、画像データDT4は、48 [Mpix] 分の画素値Vを含む。また、画像データDT4では、4つの画素値VG_{r4}、VR₄、VB₄、VG_{b4}がベイヤー配列により配列される。画像データ生成部16は、画像データDT2における画素値Vの修正を行うとともに画素値Vの再配置を行うことにより、このような画像データDT4を生成する。

[0126] 具体的には、画像データ生成部16は、図22Aに示したように、画像デ

ータDT2における複数の画素値VR2に基づいて、例えば、補完処理を行うことにより、一面にわたる画素値Vを算出し、その一面にわたる画素値Vに基づいて、画素値VR4を生成する。同様に、画像データ生成部16は、図22Bに示したように、画像データDT2における複数の画素値VGr2, VGb2に基づいて、例えば、補完処理を行うことにより、一面にわたる画素値Vを算出し、その一面にわたる画素値Vに基づいて、画素値VGr4, VGb4を生成する。画像データ生成部16は、図22Cに示したように、画像データDT2における複数の画素値VB2に基づいて、例えば、補完処理を行うことにより、一面にわたる画素値Vを算出し、その一面にわたる画素値Vに基づいて、画素値VB4を生成する。

[0127] このようにして、画像データ生成部16は、図21(A)に示した画像データDT2に基づいて、図21(C)に示した画像データDT4を生成する。そして、画像データ生成部16は、この画像データDT4に基づいて、所定の画像処理を行うことにより、撮像画像を示す画像データDP(図14(B))を生成する。

[0128] また、信号処理部15の位相差データ生成部17は、図20に示したように、画像データDT1, DT3に基づいて、所定の画像処理を行うことにより、像面位相差を示す位相差データDFを生成する。すなわち、画像データDT1は、複数の画素ペア90における左に配置された受光画素Pでの画素値Vを有し、画像データDT3は、複数の画素ペア90における右に配置された受光画素Pでの画素値Vを有する。よって、位相差データ生成部17は、画像データDT1, DT3に基づいて、位相差データDFを生成することができる。

[0129] 位相差データ生成部17は、画像データ生成部16と同様に、画像データDT1, DT3に基づいて、画素値Vの再配置を行うことにより、位相差データDFを生成する。すなわち、画像データDT1, DT3では、36個の受光画素Pに対して18個の割合で、画素ペア90に係る左右の画素値Vを含む。よって、位相差データ生成部17は、36個の受光画素Pに対して1

6個の割合で、画素ペア90に係る左右の画素値Vを含むように、画素値Vの再配置を行う。これにより、位相差データ生成部17は、画像データ生成部16が生成した画像データDPに対応した位相差データDFを生成することができる。

[0130] (撮像モードMC)

図23は、撮像モードMCにおける撮像装置1の一動作例を表すものである。図24は、図23に示した動作をより具体的に表すものである。図23, 24において、“○”で示した受光画素Pは、読出動作の対象となる受光画素Pを示す。

[0131] 画素ブロック100Grでは、図24(A)に示したように、撮像装置1は、画素ブロック100Grの10個の受光画素PGrのうちの1つの受光画素PGrを読出動作の対象とし、この受光画素PGrの位置における画素値VG r 1を算出する。

[0132] 図25は、読出動作の一例を表すものであり、(A)は制御信号SSELの波形を示し、(B)は制御信号SRSTの波形を示し、(C)は読出対象である受光画素PGrに供給される制御信号STRGの波形を示し、(D)は制御信号AZの波形を示し、(E)は参照信号RAMPの波形を示し、(F)は信号SIGの波形を示し、(G)は信号CPの波形を示す。この読出動作は、撮像モードMA, MBにおける読出動作(図16)において、タイミングt21~t26の動作を省いたものである。このようにして、読出部20は、カウント値CNT P, CNT D 1を含む画像信号Spic0を信号処理部15に供給する。信号処理部15は、例えば画像信号Spic0に含まれるカウント値CNT P, CNT D 1に基づいて、相関2重サンプリングの原理を利用して、画素値VG r 1を生成する。具体的には、信号処理部15は、例えば、カウント値CNT D 1からカウント値CNT Pを減算することにより、画素値VG r 1を生成する。

[0133] 同様に、画素ブロック100Rでは、図24(A)に示したように、撮像装置1は、画素ブロック100Rの8個の受光画素PRのうちの1つの受光

画素PRを読み出動作の対象とし、この受光画素PRの位置における画素値VR1を算出する。

[0134] 同様に、画素ブロック100Bでは、図24(A)に示したように、撮像装置1は、画素ブロック100Bの8個の受光画素PBのうちの1つの受光画素PBを読み出動作の対象とし、この受光画素PBの位置における画素値VB1を算出する。

[0135] 同様に、画素ブロック100Gbでは、図24(A)に示したように、撮像装置1は、画素ブロック100Gbの10個の受光画素Pgbのうちの1つの受光画素Pgbを読み出動作の対象とし、この受光画素Pgbにおける画素値Vgb1を算出する。

[0136] 撮像装置1は、その後、図24(B)～(L)の動作を行う。このようにして、撮像装置1は、画素値VGr1, VR1, VB1, Vgb1を含む画像データDT1(図23)を生成する。

[0137] 図26は、撮像モードMCにおける、信号処理部15の画像処理の一例を表すものである。

[0138] 信号処理部15の画像データ生成部16は、画像データDT1に基づいて、所定の画像処理を行うことにより、撮像画像を示す画像データDP(図14(C))を生成する。この所定の画像処理は、画素値Vの修正を行うとともに画素値Vの再配置を行うリモザイク処理を含む。

[0139] 図27は、撮像モードMCにおけるリモザイク処理の一例を表すものであり、(A)は画像データDT1を示し、(B)はリモザイク処理の前後の画素値Vの位置を示し、(C)は画像データDT1に基づいてリモザイク処理により生成された画像データDT4を示す。図27(B)において、“○”は、画像データDT1における画素値Vの位置を示し、“□”は、画像データDT4における画素値Vの位置を示している。

[0140] 図28Aは、画素ブロック100Rについてのリモザイク処理を表すものであり、図28Bは、画素ブロック100Gr, 100Gbについてのリモザイク処理を表すものであり、図28Cは、画素ブロック100Bについて

もリモザイク処理を表すものである。図28A～28Cにおいて、(A)は画像データDT1を示し、(B)はリモザイク処理により生成された画像データDT4を示す。

[0141] 画像データDT4では、4つの画素値VGr4, VR4, VB4, VGb4がベイヤー配列により配列される。画像データ生成部16は、画像データDT1における画素値Vの修正を行うとともに画素値Vの再配置を行うことにより、このような画像データDT4を生成する。

[0142] 具体的には、画像データ生成部16は、図28Aに示したように、画像データDT1における複数の画素値VR1に基づいて、例えば、補完処理を行うことにより、一面にわたる画素値Vを算出し、その一面にわたる画素値Vに基づいて、画素値VR4を生成する。同様に、画像データ生成部16は、図28Bに示したように、画像データDT1における複数の画素値VGr1, VGb1に基づいて、例えば、補完処理を行うことにより、一面にわたる画素値Vを算出し、その一面にわたる画素値Vに基づいて、画素値VGr4, VGb4を生成する。画像データ生成部16は、図28Cに示したように、画像データDT1における複数の画素値VB1に基づいて、例えば、補完処理を行うことにより、一面にわたる画素値Vを算出し、その一面にわたる画素値Vに基づいて、画素値VB4を生成する。

[0143] このようにして、画像データ生成部16は、図27(A)に示した画像データDT1に基づいて、図27(C)に示した画像データDT4を生成する。そして、画像データ生成部16は、この画像データDT4に基づいて、所定の画像処理を行うことにより、撮像画像を示す画像データDP(図14(C))を生成する。

[0144] また、信号処理部15の位相差データ生成部17は、図26に示したように、画像データDT1に基づいて、所定の画像処理を行うことにより、像面位相差を示す位相差データDFを生成する。すなわち、画像データDT1は、複数の画素ペア90における左に配置された受光画素Pでの画素値Vを有する画像データ(画像データDT11)と、複数の画素ペア90における右

に配置された受光画素Pでの画素値Vを有する画像データ（画像データDT12）とを含む。よって、位相差データ生成部17は、この画像データDT1（画像データDT11, DT12）に基づいて、位相差データDFを生成することができる。

[0145] このように、撮像装置1では、それぞれが、互いに同じ色のカラーフィルタを含む複数の受光画素Pを有する複数の画素ブロック100を設けるようにした。これらの複数の受光画素Pは、それぞれが2つの受光画素Pを含む複数の画素ペア90に区分されるようにした。そして、これらの複数の画素ペア90に対応する位置に複数のレンズ101をそれぞれ設けるようにした。これにより、撮像装置1では、画素アレイ11の全面にわたり、高い解像度で位相差データDFを生成することができる。よって、例えば、このような撮像装置1が搭載されたカメラでは、例えば様々なズーム倍率において、精度が高いオートフォーカスを実現することができる。その結果、撮像装置1では、画質を高めることができる。

[0146] また、撮像装置1では、ある画素ブロック100における複数の受光画素の数が、他のある画素ブロック100における複数の受光画素の数よりも多くした。具体的には、この例では、画素ブロック100Grにおける受光画素PGrの数、および画素ブロック100Gbにおける受光画素PGBの数を、画素ブロック100Rにおける受光画素PRの数、および画素ブロック100Bにおける受光画素PBの数よりも多くした。これにより、例えば、緑色の受光感度を高めることができ、撮像画像の画質を高めることができる。

[0147] また、撮像装置1では、3つの撮像モードMA~MCを設け、撮像モードMB, MCにおいてリモザイク処理を行うようにした。これにより、撮像装置1では、特に撮像モードMBにおけるリモザイク処理により、撮像モードMBにおける有効画素数が調整され、ズーム倍率を変更した場合における有効画素数の変化を低減することができるので、撮像画像の画質の変化を抑えることができる。

[0148] [作用・効果]

本実施の形態の撮像装置 1 では、赤色または青色のカラーフィルタ 131 を有し、X 軸方向に隣り合う 2 つ受光画素 P を画素ペア 90 として、4 個の画素ペア 90 からなる画素ブロック 100R, 100B と、緑色のカラーフィルタ 131 を有し、X 軸方向に隣り合う 2 つ受光画素 P を画素ペア 90 として、5 個の画素ペア 90 からなる画素ブロック 100Gr, 100Gb とが互いに交差する対角線上に配置されている。X 軸方向に隣り合う画素ブロック 100R と画素ブロック 100Gr および画素ブロック 100B と画素ブロック 100Gb は、それぞれ、平面視において互いに嵌合する凸部 XR, XB, XGr, XGb および凹部 YR, YB, YGr, YGb を有する。そして、これら凸部 XR, XB, XGr, XGb に配置された受光画素 P を含む画素ペア 90 には集光力の高いレンズ 101A と、凹部 YR, YB, YGr, YGb に配置された受光画素 P を含む画素ペア 90 には、集光力の高いレンズ 101B を配置するようにした。これにより、補完情報が少なくなる、異なる色のカラーフィルタ 131 との境目に配置された受光画素 P を含む画素ペア 90 における分離比を低下させ、混色を低減する。以下、これについて説明する。

[0149] 図 29 は、1 つの画素に対して 1 つのレンズ 101C が配置された、所謂 1×1 OCL 構造を有する撮像装置 (B) に対する入力画像 (A) と出力画像 (C) との関係を表したものである。 1×1 OCL 構造の撮像装置では、隣り合う画素に明暗のレベル差の大きな信号が入力された場合、レンズ 101C に入射した光 L は、その下方に配置された画素の受光部 112 に集光される。そのため、出力される画像は、入力画像と同じ明暗のレベル差を有する画像となる。

[0150] 図 30 および図 31 は、それぞれ、隣り合う 2 つの画素に対して 1 つのレンズ 101A またはレンズ 101B が配置された、所謂 2×1 OCL 構造を有する撮像装置 (B) に対する入力画像 (A) と出力画像 (C) との関係を表したものである。

[0151] 集光力が高い、高曲率なレンズ101Aを共有する隣り合う画素に明暗のレベル差の大きな信号が入力された場合、レンズ101Aに入射した光Lは、図30に示したように、半導体基板111の裏面111S2の隣り合う2つの画素の境界に集光され、その境界位置に設けられた分離部113において屈折され、隣り合う2つの画素に略均等に入射し、それぞれの受光部112において光電変換される。そのため、出力される画像は、入力画像とは異なり、混色によって略同じ明暗レベルの画像となる。一方、集光力が低い、低曲率なレンズ101Bを共有する隣り合う画素に明暗のレベル差の大きな信号が入力された場合、レンズ101Aに入射した光Lは、図31に示したように、半導体基板111の内部の隣り合う2つの画素の境界に向かって集光されるため、分離部113によってほぼ屈折されることなく、入射位置に対応する画素に入射し、受光部112において光電変換される。そのため、出力される画像は、入力画像とほぼ同じ明暗のレベル差を維持した画像となる。

[0152] 図32は、撮像装置1の、例えば、画素ブロック100Rおよび画素ブロック100Gを中心とした方向検出の動作例を表したものである。撮像装置1では、図32に示したように、隣接する同じ色のカラーフィルタ131が配置された受光画素Pとの差分から方向を検出する。そのため、混色によって受光画素Pの感度に対する信頼性が低下すると方向の検出ができなくなる。特に、異なる色のカラーフィルタ131を有する隣接する画素ブロック100に受光画素Pの一部が入り込むような撮像装置1において、この隣接する画素ブロック100に入り込んだ受光画素Pを含む画素ペア90に集光力が高いレンズ101Aが配置された場合、混色により偽信号が生じて、補完情報が少ないため補正されずに出力される。このように、偽信号を含む画像信号に基づいて出力された画像は、図33の(A)に示した入力画像に対して(B)に示した誤つなぎが発生した画像となる。

[0153] これに対して本実施の形態では、隣接する画素ブロック100に入り込んだ受光画素Pを含む画素ペア90、即ち、凸部XR, XB, XGr, XGb

に配置された受光画素Pを含む画素ペア90に集光力が低いレンズ101Bを配置するようにした。これにより、異なる色のカラーフィルタ131と接する面が多い受光画素Pを含む画素ペア90に明暗のレベル差の大きな信号が入力されても、画素ペア90内における混色が低減されるため、図33(C)に示したような、明暗のレベル差を維持した誤つなぎのない出力画像が得られるようになる。

[0154] 以上により、本実施の形態の撮像装置1では、位相差検出における分離比を確保しつつ混色による画像の乱れを抑制することが可能となる。

[0155] 次に、本開示の変形例1～5について説明する。なお、上記実施の形態における撮像装置1の構成要素と同様の構成要素については同一の符号を付し、適宜説明を省略する。

[0156] <2. 変形例>

[2-1. 変形例1]

図34は、本開示の変形例1に係る撮像装置1Aの概略断面構造の一例を表したものである。なお、図34は、図4と同様に、図3に示したI-I'線に対応する断面に対応している。

[0157] 上記実施の形態では、曲率が異なるレンズ101A、101Bのレンズ面が略同じ高さを有している例を示したが、これに限定されるものではない。曲率が異なるレンズ101A、101Bは、図34に示したように、互いに高さの異なるレンズ面を有していてもよく、その場合においても、上記実施の形態と同様の効果を得ることができる。

[0158] [2-2. 変形例2]

図35～図42は、本開示の変形例2に係る撮像装置（撮像装置1B～1I）の画素アレイ11における受光レンズ（レンズ101）のレイアウトの一例を表す模式図である。

[0159] 上記実施の形態では、X軸方向に隣り合う画素ブロック100Rと画素ブロック100Grおよび画素ブロック100Gbと画素ブロック100Bそれぞれが、互いに集光力が異なるレンズ101A、101Bを有する例を示

したが、これに限定されるものではない。

[0160] 例えば、複数のレンズ101として、レンズ101A、101Bの他に、レンズ101Aとレンズ101Bとの間の集光力を有するレンズ101Dを用いるようにしてもよい。具体的には、例えば図35に示した撮像装置1Bのように、受光画素Pが多く、補完材料になりやすい画素ブロック100Gr、100Gbにのみレンズ101A、101Bを作り分け、画素ブロック100R、100Bにはレンズ101Dを配置するようにしてもよい。例えば図36に示した撮像装置1Cのように、分離比を優先して画素ブロック100Gr、100Gbにはレンズ101Dを配置し、画素ブロック100R、100Bにのみレンズ101A、101Bを作り分けるようにしてもよい。また、例えば図37に示した撮像装置1Dのように、例えば画素ブロック100Gr、100Gbに設けられたレンズ101Bの一部をレンズ101Dに置き換えてもよい。

[0161] このように、レンズ101Aとレンズ101Bとの間の集光力を有するレンズ101Dをさらに組み合わせることにより、位相差検出における分離比と混色による画像の乱れの抑制とを所望のバランスに調整することができる。

[0162] また、上記実施の形態では、画素ブロック100R、100Gr、100B、100Gbを構成する全ての受光画素Pに対して、隣り合う2つの受光画素Pに対応するレンズ101を配置し、そのレンズ101の曲率を変えることで上記効果を得る例を示したが、これに限定されるものではない。

[0163] 例えば図38に示した撮像装置1Eのように、X軸方向に隣り合う画素ブロック100Rと画素ブロック100Grおよび画素ブロック100Gbと画素ブロック100Bの、それぞれの凸部XR、XB、XGr、XBbの受光画素Pには1×1OCL構造となる1つのレンズ101Eを配置し、その他の隣り合う2つの受光画素Pを画素ペア90としてレンズ101Aを配置するようにしてもよい。例えば図39および図40に示した撮像装置1F、1Gのように、X軸方向に隣り合う画素ブロック100Rと画素ブロック1

00Grおよび画素ブロック100Gbと画素ブロック100Bの一方の凸部XR, XB, XGr, XGbの受光画素Pにのみ、選択的に1×1OCL構造となる1つのレンズ101Eを配置するようにしてもよい。このように、2×1OCL構造と1×1OCL構造とを組み合わせることでも、上記実施の形態と同様の効果を得ることができる。

[0164] 例えば図41に示した撮像装置1Hのように、画素ブロック100R, 100Gr, 100B, 100Gbのうち、Y軸方向に隣り合う凸部XGr, XGbの2つの受光画素PGr, PGbに対応してレンズ101Aを配置するようにしてもよい。更に、図42に示した撮像装置1Iのように、画素ブロック100R, 100Bの凸部XR, XBの受光画素Pには1×1OCL構造となる1つのレンズ101Eを配置するようにしてもよい。このように、レンズ101Aの共有方向を変えることでも、上記実施の形態と同様の効果を得ることができる。

[0165] [2-3. 変形例3]

図43～図45は、本開示の変形例3に係る撮像装置（撮像装置2A～2C）の画素アレイ11における受光レンズ（レンズ101）のレイアウトの一例を表す模式図である。

[0166] 上記実施の形態では、画素ブロック100R, 100Bと、画素ブロック100Gr, 100Gbとが互いに異なる数の受光画素Pからなる例を示したが、これに限定されるものではない。本技術は、画素ブロック100R, 100Gr, 100B, 100Gbが同数の受光画素Pからなる撮像装置2A～2Cにも適用することができる。

[0167] 例えば、画素ブロック100R, 100Gr, 100B, 100Gbが、それぞれ、16個の受光画素Pからなる撮像装置では、例えば図43に示した撮像装置2Aのように、4つの受光画素Pに対してレンズ101A, 101Bを、X軸方向およびY軸方向に交互に配置するようにしてもよい。例えば図44に示した撮像装置2Bのように、X軸方向に隣り合う2つの受光画素Pに対してレンズ101A, 101Bを、X軸方向およびY軸方向に交互

に配置するようにしてもよい。あるいは、図45に示した撮像装置2Cのように、X軸方向に異なる色のカラーフィルタ131と隣接する受光画素Pには、Y軸方向に隣り合う2つの受光画素Pに対応してレンズ101Aを配置し、それ以外の受光画素PにはX軸方向に隣り合う2つの受光画素Pに対応してレンズ101Aを配置するようにしてもよい。

[0168] このように、凸部や凹部のない、全ての画素ブロック100R, 100Gr, 100B, 100Gbが同数の受光画素Pからなり、例えば矩形状の配置パターンを有する撮像装置においても、位相差検出における分離比を確保しつつ混色による画像の乱れを抑制することが可能となる。

[0169] [2-4. 変形例4]

図46は、本開示の変形例4に係る撮像装置（撮像装置3）の画素アレイ11における受光レンズ（レンズ101）のレイアウトの一例を表す模式図である。

[0170] 上記実施の形態等では、集光力の異なるレンズとして、高曲率なレンズ101Aおよび低曲率なレンズ101Bや1×1OCL構造となるレンズ101Eを用いたり、レンズ101の共有方向を変えた例を示したが、これに限定されるものではない。集光力が異なるレンズ101は、屈折率が互い異なる材料を用いたレンズ101-1, 101-2を形成し、これを各画素ブロック100R, 100Gr, 100B, 100Gbの凸部XR, XB, XGr, XBbおよび凹部YR, YB, YGr, YGbに配置された受光画素Pを含む各画素ペア90に、それぞれ配置するようにしてもよい。

[0171] [2-5. 変形例5]

図47は、本開示の変形例5に係る撮像装置（撮像装置4）の垂直方向の断面構成の一例を表したものである。図48は、図47に示した撮像装置4の概略構成の一例を表したものである。撮像装置4は、半導体基板211に、光電変換を行う受光画素Pを有する第1基板210と、半導体基板221に、受光画素Pから出力された電荷に基づく画像信号を出力する読み出し回路42を有する第2基板220とが積層された3次元構造を有する撮像装置

である。

[0172] 撮像装置4は、3つの基板（第1基板210、第2基板220および第3基板230）がこの順に積層されたものである。

[0173] 第1基板210は、上記のように、半導体基板211に、光電変換を行う複数の受光画素Pを有している。複数の受光画素Pは、第1基板210における画素アレイ31内に行列状に設けられている。第2基板220は、半導体基板221に、受光画素Pから出力された電荷に基づく画素信号を出力する読み出し回路42を4つの受光画素P毎に1つずつ有している。第2基板220は、行方向に延在する複数の画素駆動線43と、列方向に延在する複数の垂直信号線44とを有している。第3基板230は、半導体基板231に、画素信号を処理するロジック回路52を有している。ロジック回路32は、例えば、垂直駆動回路53、カラム信号処理回路54、水平駆動回路55およびシステム制御回路56を有している。ロジック回路52（具体的には水平駆動回路55）は、受光画素P毎の出力電圧 V_{out} を外部に出力する。ロジック回路52では、例えば、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、 $CoSi_2$ や $NiSi$ 等のサリサイド (Self Aligned Silicide) プロセスを用いて形成されたシリサイドからなる低抵抗領域が形成されていてもよい。

[0174] 垂直駆動回路53は、例えば、複数の受光画素Pを行単位で順に選択する。カラム信号処理回路54は、例えば、垂直駆動回路53によって選択された行の各受光画素Pから出力される画素信号に対して、相関二重サンプリング (Correlated Double Sampling: CDS) 処理を施す。カラム信号処理回路54は、例えば、CDS処理を施すことにより、画素信号の信号レベルを抽出し、各受光画素Pの受光量に応じた画素データを保持する。水平駆動回路55は、例えば、カラム信号処理回路54に保持されている画素データを順次、外部に出力する。システム制御回路56は、例えば、ロジック回路52内の各ブロック（垂直駆動回路53、カラム信号処理回路54および水平駆動回路55）の駆動を制御する。

[0175] 撮像装置4は、上記のように、第1基板210、第2基板220および第3基板230がこの順に積層された構成を有し、さらに、第1基板210の裏面（光入射面）側に、カラーフィルタ240および受光レンズ250を備えている。カラーフィルタ240および受光レンズ250は、それぞれ、例えば、受光画素P毎に1つずつ設けられている。つまり、撮像装置4は、裏面照射型の撮像装置である。

[0176] 第1基板210は、半導体基板211の表面（面211S1）上に絶縁層46を積層して構成されている。第1基板210は、層間絶縁膜251の一部として、絶縁層246を有している。絶縁層246は、半導体基板211と、後述の半導体基板221との間に設けられている。半導体基板211は、シリコン基板で構成されている。半導体基板211は、例えば、表面の一部およびその近傍に、pウェル242を有しており、それ以外の領域（pウェル242よりも深い領域）に、pウェル242とは異なる導電型のPD241を有している。pウェル242は、p型の半導体領域で構成されている。PD241は、pウェル242とは異なる導電型（具体的にはn型）の半導体領域で構成されている。半導体基板211は、pウェル242内に、pウェル242とは異なる導電型（具体的にはn型）の半導体領域として、浮遊拡散層（FD）を有している。

[0177] 第1基板210は、フォトダイオード、転送トランジスタTRおよび浮遊拡散層を受光画素P毎に有している。第1基板210は、半導体基板211の面211S1側（光入射面側とは反対側、第2基板220側）の一部に、転送トランジスタTRおよび浮遊拡散層が設けられた構成となっている。第1基板210は、各受光画素Pを分離する素子分離部243を有している。素子分離部243は、半導体基板211の法線方向（半導体基板211の表面に対して垂直な方向）に延在して形成されている。素子分離部243は、互いに隣接する2つの受光画素Pの間に設けられている。素子分離部243は、互いに隣接する受光画素P同士を電氣的に分離する。素子分離部243は、例えば、酸化シリコンによって構成されている。素子分離部243は、

例えば、半導体基板 211 を貫通している。第 1 基板 210 は、例えば、さらに、素子分離部 243 の側面であって、且つ、フォトダイオード側の面に接する p ウェル層 244 を有している。p ウェル層 244 は、フォトダイオードとは異なる導電型（具体的には p 型）の半導体領域で構成されている。第 1 基板 210 は、例えば、さらに、半導体基板 211 の裏面（面 211 S2）に接する固定電荷膜 245 を有している。固定電荷膜 245 は、半導体基板 211 の受光面側の界面準位に起因する暗電流の発生を抑制するため、負に帯電している。固定電荷膜 245 は、例えば、負の固定電荷を有する絶縁膜によって形成されている。そのような絶縁膜の材料としては、例えば、酸化ハフニウム、酸化ジルコン、酸化アルミニウム、酸化チタンまたは酸化タンタルが挙げられる。固定電荷膜 245 が誘起する電界により、半導体基板 211 の受光面側の界面にホール蓄積層が形成される。このホール蓄積層によって、界面からの電子の発生が抑制される。カラーフィルタ 240 は、半導体基板 211 の裏面側に設けられている。カラーフィルタ 240 は、例えば、固定電荷膜 245 に接して設けられており、固定電荷膜 245 を介して受光画素 P と対向する位置に設けられている。受光レンズ 250 は、例えば、カラーフィルタ 240 に接して設けられており、カラーフィルタ 240 および固定電荷膜 245 を介して受光画素 P と対向する位置に設けられている。

[0178] 第 2 基板 220 は、半導体基板 221 上に絶縁層 252 を積層して構成されている。絶縁層 252 は、第 2 基板 220 は、層間絶縁膜 251 の一部として、絶縁層 252 を有している。絶縁層 252 は、半導体基板 221 と、半導体基板 231 との間に設けられている。半導体基板 221 は、シリコン基板で構成されている。第 2 基板 220 は、4 つの受光画素 P 毎に、1 つの読み出し回路 222 を有している。第 2 基板 220 は、半導体基板 221 の表面（第 3 基板 230 と対向する面 221 S1）側の一部に読み出し回路 222 が設けられた構成となっている。第 2 基板 220 は、半導体基板 211 の表面（面 211 S1）に対して半導体基板 221 の裏面（面 21 S2）を

向けて第1基板210に貼り合わされている。つまり、第2基板220は、第1基板210に、フェイストゥバックで貼り合わされている。第2基板220は、さらに、半導体基板221と同一の層内に、半導体基板221を貫通する絶縁層253を有している。第2基板220は、層間絶縁膜251の一部として、絶縁層253を有している。絶縁層253は、後述の貫通配線254の側面を覆うように設けられている。

[0179] 第1基板210および第2基板220からなる積層体は、層間絶縁膜251と、層間絶縁膜251内に設けられた貫通配線254を有している。上記積層体は、受光画素P毎に、1つの貫通配線254を有している。貫通配線254は、半導体基板221の法線方向に延びており、層間絶縁膜251のうち、絶縁層253を含む箇所を貫通して設けられている。第1基板210および第2基板220は、貫通配線254によって互いに電氣的に接続されている。具体的には、貫通配線254は、浮遊拡散層および後述の接続配線255に電氣的に接続されている。なお、貫通配線254は、周囲の絶縁層246, 252, 253との間に、例えば、酸素吸蔵効果を有する金属を含む金属層を有することが好ましい。これにより、貫通配線254を形成することによって形成された開口を介した酸素の侵入を防ぐことが可能となる。

[0180] 第1基板210および第2基板220からなる積層体は、さらに、層間絶縁膜251内に設けられると共に、例えば、半導体基板211のpウェル242および第2基板220内の配線や、転送ゲートTGおよび画素駆動線43に電氣的に接続される貫通配線（図示せず）を有している。

[0181] 第2基板220は、例えば、絶縁層252内に、読み出し回路42や半導体基板221と電氣的に接続された複数の接続部259を有している。第2基板220は、さらに、例えば、絶縁層252上に配線層256を有している。配線層256は、例えば、絶縁層257と、絶縁層257内に設けられた複数の画素駆動線43および複数の垂直信号線424を有している。配線層256は、さらに、例えば、絶縁層257内に複数の接続配線255を4つの受光画素P毎に1つずつ有している。接続配線255は、読み出し回路

4 2 を共有する 4 つの受光画素 P に含まれる浮遊拡散層に電氣的に接続された各貫通配線 2 5 4 を互いに電氣的に接続している。

[0182] 配線層 2 5 6 は、さらに、例えば、絶縁層 2 5 7 内に複数のパッド電極 2 5 8 を有している。各パッド電極 2 5 8 は、例えば、Cu（銅）、Al（アルミニウム）等の金属で形成されている。各パッド電極 2 5 8 は、配線層 2 5 6 の表面に露出している。各パッド電極 2 5 8 は、第 2 基板 2 2 0 と第 3 基板 2 3 0 との電氣的な接続と、第 2 基板 2 2 0 と第 3 基板 2 3 0 との貼り合わせに用いられる。複数のパッド電極 2 5 8 は、例えば、画素駆動線 2 2 3 および垂直信号線 2 2 4 毎に 1 つずつ設けられている。

[0183] 第 3 基板 2 3 0 は、例えば、半導体基板 2 3 1 上に層間絶縁膜 2 6 1 を積層して構成されている。なお、第 3 基板 2 3 0 は、後述するように、第 2 基板 2 2 0 に、表面側の面同士で貼り合わされていることから、第 3 基板 2 3 0 内の構成について説明する際には、上下の説明が、図面での上下方向とは逆となっている。半導体基板 2 3 1 は、シリコン基板で構成されている。第 3 基板 2 3 0 は、半導体基板 2 3 1 の表面（面 2 3 1 S 1）側の一部にロジック回路 5 2 が設けられた構成となっている。第 3 基板 2 3 0 は、さらに、例えば、層間絶縁膜 2 6 1 上に配線層 2 6 2 を有している。配線層 2 6 2 は、例えば、絶縁層 2 6 3 と、絶縁層 2 6 3 内に設けられた複数のパッド電極 2 6 4 を有している。複数のパッド電極 2 6 4 は、ロジック回路 5 2 と電氣的に接続されている。各パッド電極 2 6 4 は、例えば、Cu（銅）で形成されている。各パッド電極 2 6 4 は、配線層 2 6 2 の表面に露出している。各パッド電極 2 6 4 は、第 2 基板 2 2 0 と第 3 基板 2 3 0 との電氣的な接続と、第 2 基板 2 2 0 と第 3 基板 2 3 0 との貼り合わせに用いられる。また、パッド電極 2 6 4 は、必ずしも複数でなくてもよく、1 つでもロジック回路 5 2 と電氣的に接続が可能である。第 2 基板 2 2 0 および第 3 基板 2 3 0 は、パッド電極 2 5 8、2 6 4 同士の接合によって、互いに電氣的に接続されている。つまり、転送トランジスタ TR のゲート（転送ゲート TG）は、貫通配線 2 5 4 と、パッド電極 2 5 8、2 6 4 とを介して、ロジック回路 5 2 に

電氣的に接続されている。第3基板230は、半導体基板221の表面（面221S1）側に半導体基板231の表面（面231S1）を向けて第2基板220に貼り合わされている。つまり、第3基板230は、第2基板220に、フェイストウフェイスで貼り合わされている。

[0184] このように、本変形例では、フォトダイオードと画素トランジスタ（読み出し回路42）とを異なる基板に設けるようにした。これにより、上記実施の形態の効果に加えて、フォトダイオードの面積を拡大することができ、感度や飽和容量を増加させることが可能となる。また、画素トランジスタの面積も拡大することができる。例えば、トランジスタAMPのゲート長を拡大した場合には、例えばランダムテレグラフノイズ（RTS）を低減することが可能となる。トランジスタSEL、RSTのゲート長を拡大した場合には、閾値電圧（ V_{th} ）やカットオフ等のトランジスタ特性のばらつきを低減することが可能となる。

[0185] [その他の変形例]

また、これらの変形例は互いに組み合わせてもよい。

[0186] <3. 撮像装置の使用例>

図49は、上記実施の形態に係る撮像装置1の使用例を表すものである。上述した撮像装置1は、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0187] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、テレビジョンや、冷蔵庫、エアコンディショナ等の家電に供される装置

- ・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置
- ・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置
- ・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置
- ・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置
- ・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0188] <4. 移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0189] 図50は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0190] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図50に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F（interface）12053が図示されている。

[0191] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆

動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0192] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0193] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0194] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0195] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状

態検出部 12041 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0196] マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 12010 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含む ADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0197] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0198] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12020 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0199] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 50 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボード

ディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0200] 図51は、撮像部12031の設置位置の例を示す図である。

[0201] 図51では、車両12100は、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

[0202] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0203] なお、図51には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0204] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0205] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的变化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0206] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0207] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパ

ターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0208] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031に適用され得る。車両に搭載される撮像装置では、撮像画像の画質を高めることができる。その結果、車両制御システム12000では、車両の衝突回避あるいは衝突緩和機能、車間距離に基づく追従走行機能、車速維持走行機能、車両の衝突警告機能、車両のレーン逸脱警告機能等を、高い精度で実現できる。

[0209] 以上、実施の形態および変形例1～5、ならびにそれらの具体的な応用例を挙げて本技術を説明したが、本技術はこれらの実施の形態等には限定されず、種々の変形が可能である。

[0210] 例えば、画素アレイにおける画素ブロックの配置、および画素ブロックにおける受光画素Pの配置は、上記実施の形態などに記載された配置に限定されるものではなく、様々な配置が可能である。

[0211] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0212] なお、本技術は以下のような構成とすることができる。以下の構成の本技術によれば、位相差検出における分離比を確保しつつ混色による画像の乱れを抑制することが可能となる。

(1)

第1のカラーフィルタを有し、第1の方向に隣り合う2つの受光画素を含む複数の第1の画素ペアからなると共に、前記複数の第1の画素ペアが、平

面視において、前記第 1 の方向に凸部を有する第 1 の配置パターンで配置された第 1 の画素ブロックと、

前記第 1 のカラーフィルタとは異なる色の第 2 のカラーフィルタを有し、第 1 の方向に隣り合う 2 つの受光画素を含む複数の第 2 の画素ペアからなると共に、平面視において、前記複数の第 2 の画素ペアが前記凸部と嵌合する凹部を有する第 2 の配置パターンで配置された第 2 の画素ブロックと、

前記凸部に配置された前記受光画素に設けられた、第 1 の集光力を有する第 1 のレンズと、

前記凸部に配置された前記受光画素を含む第 1 の画素ペアを除く第 1 の画素ペアおよび第 2 の画素ペアのそれぞれに対応する位置に設けられた、前記第 1 の集光力よりも大きな第 2 の集光力を有する第 2 のレンズと

を備えた撮像装置。

(2)

前記第 1 のレンズは、前記凸部に配置された前記受光画素を含む前記第 1 の画素ペアに対応する位置に設けられ、

前記第 1 のレンズの曲率は、前記第 2 のレンズの曲率よりも小さい、前記 (1) に記載の撮像装置。

(3)

前記第 1 のレンズは、前記凸部に配置された 1 つの前記受光画素と 1 対 1 で配置されている、前記 (1) に記載の撮像装置。

(4)

前記第 1 の画素ブロックでは、前記凸部に配置された前記受光画素と共に前記第 1 の画素ペアを構成する一の受光画素と、前記一の受光画素と前記凸部側とは反対方向に隣り合う前記受光画素とを第 1 の画素ペアとして前記第 2 のレンズが配置される、前記 (3) に記載の撮像装置。

(5)

前記第 1 のレンズは、前記第 1 の方向と交差する第 2 の方向に隣り合う 2 つの前記受光画素に対応する位置に配置されている、前記 (1) に記載の撮

像装置。

(6)

前記第1の集光力よりも大きく且つ前記第2の集光力よりも小さな第3の集光力を有する第3のレンズをさらに有する、前記(1)乃至(5)のうちのいずれか1つに記載の撮像装置。

(7)

前記第3のレンズは、前記複数の第2の画素ペアのそれぞれに対応する位置に設けられている、前記(6)に記載の撮像装置。

(8)

最小繰り返し単位として、2つの前記第1の画素ブロックと2つの前記第2の画素ブロックとが互いに交差する対角線上に配置されている、前記(1)乃至(7)のうちのいずれか1つに記載の撮像装置。

(9)

前記第1の画素ブロックと前記第2の画素ブロックとは、含まれる前記受光画素の数が異なる、前記(1)乃至(8)のうちのいずれか1つに記載の撮像装置。

(10)

前記第1の画素ブロックに含まれる前記受光画素の数は、前記第2の画素ブロックに含まれる前記受光画素の数よりも少なく、

対角線上に配置された2つの前記第1の画素ブロックは、一方が前記第1のカラーフィルタとして赤色フィルタを有し、他方が前記第1のカラーフィルタとして青色フィルタを有し、

対角線上に配置された2つの前記第2の画素ブロックは、前記第2のカラーフィルタとして緑色フィルタを有する、前記(8)または(9)に記載の撮像装置。

(11)

前記第1の画素ブロックは8個の前記受光画素からなり、前記第2の画素ブロックは10個の前記受光画素からなる、前記(1)乃至(10)のうち

のいずれか１つに記載の撮像装置。

(12)

前記第１の画素ブロックに含まれる前記受光画素の数は、前記第２の画素ブロックに含まれる前記受光画素の数よりも多く、

対角線上に配置された２つの前記第１の画素ブロックは、前記第２のカラーフィルタとして緑色フィルタを有し、

対角線上に配置された２つの前記第２の画素ブロックは、一方が前記第１のカラーフィルタとして赤色フィルタを有し、他方が前記第１のカラーフィルタとして青色フィルタを有する、前記（８）乃至（１１）のうちのいずれか１つに記載の撮像装置。

(13)

前記第１の画素ブロックは１０個の前記受光画素からなり、前記第２の画素ブロックは８個の前記受光画素からなる、前記（１）乃至（１２）のうちのいずれか１つに記載の撮像装置。

[0213] 本出願は、日本国特許庁において２０２３年３月２０日に出願された日本特許出願番号２０２３－０４４１５６号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

[0214] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

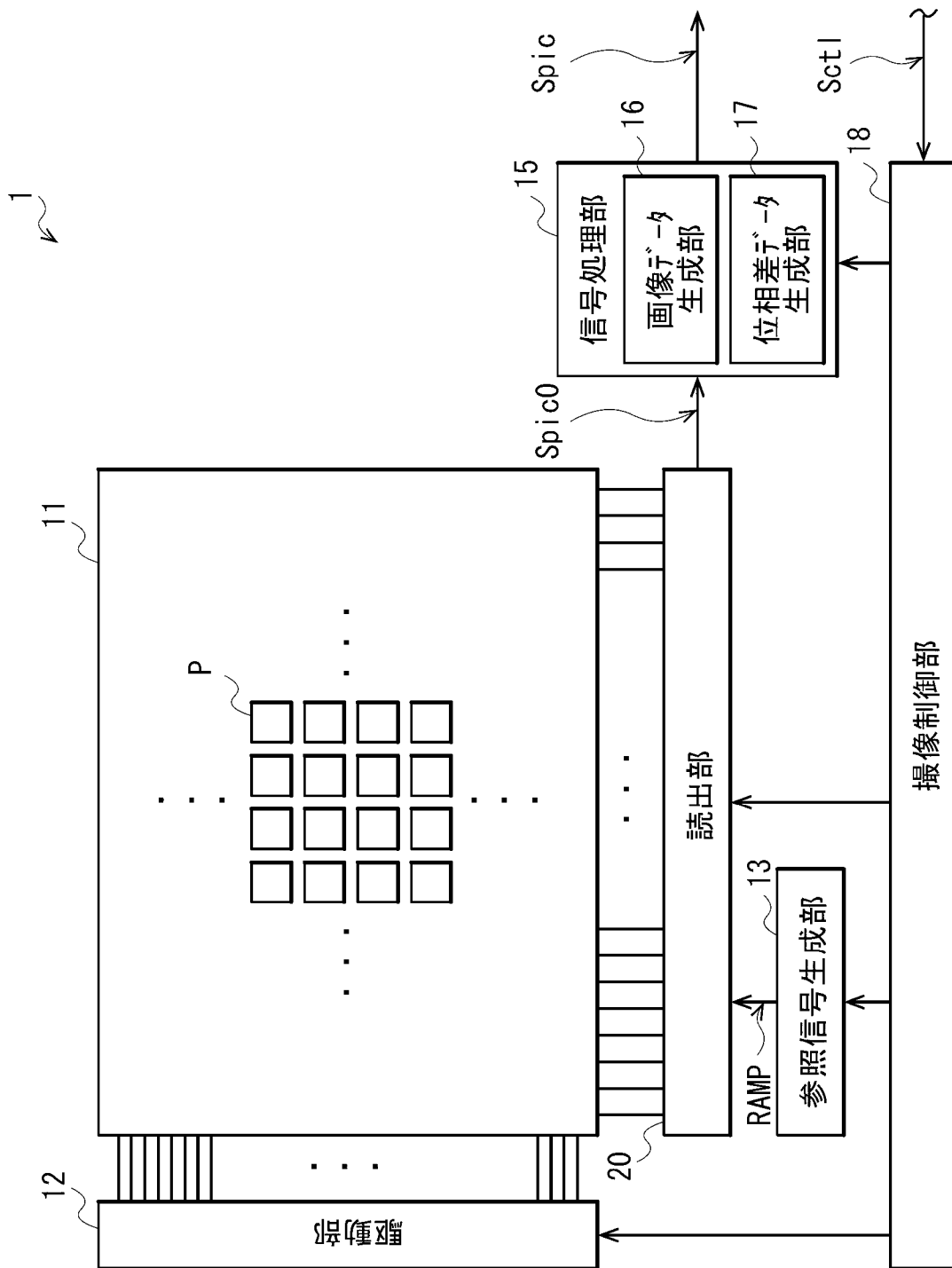
- [請求項1] 第1のカラーフィルタを有し、第1の方向に隣り合う2つの受光画素を含む複数の第1の画素ペアからなると共に、前記複数の第1の画素ペアが、平面視において、前記第1の方向に凸部を有する第1の配置パターンで配置された第1の画素ブロックと、
- 前記第1のカラーフィルタとは異なる色の第2のカラーフィルタを有し、第1の方向に隣り合う2つの受光画素を含む複数の第2の画素ペアからなると共に、平面視において、前記複数の第2の画素ペアが前記凸部と嵌合する凹部を有する第2の配置パターンで配置された第2の画素ブロックと、
- 前記凸部に配置された前記受光画素に設けられた、第1の集光力を有する第1のレンズと、
- 前記凸部に配置された前記受光画素を含む第1の画素ペアを除く第1の画素ペアおよび第2の画素ペアのそれぞれに対応する位置に設けられた、前記第1の集光力よりも大きな第2の集光力を有する第2のレンズと
- を備えた撮像装置。
- [請求項2] 前記第1のレンズは、前記凸部に配置された前記受光画素を含む前記第1の画素ペアに対応する位置に設けられ、
- 前記第1のレンズの曲率は、前記第2のレンズの曲率よりも小さい、請求項1に記載の撮像装置。
- [請求項3] 前記第1のレンズは、前記凸部に配置された1つの前記受光画素と1対1で配置されている、請求項1に記載の撮像装置。
- [請求項4] 前記第1の画素ブロックでは、前記凸部に配置された前記受光画素と共に前記第1の画素ペアを構成する一の受光画素と、前記一の受光画素と前記凸部側とは反対方向に隣り合う前記受光画素とを第1の画素ペアとして前記第2のレンズが配置される、請求項3に記載の撮像装置。

- [請求項5] 前記第1のレンズは、前記第1の方向と交差する第2の方向に隣り合う2つの前記受光画素に対応する位置に配置されている、請求項1に記載の撮像装置。
- [請求項6] 前記第1の集光力よりも大きく且つ前記第2の集光力よりも小さな第3の集光力を有する第3のレンズをさらに有する、請求項1に記載の撮像装置。
- [請求項7] 前記第3のレンズは、前記複数の第2の画素ペアのそれぞれに対応する位置に設けられている、請求項6に記載の撮像装置。
- [請求項8] 最小繰り返し単位として、2つの前記第1の画素ブロックと2つの前記第2の画素ブロックとが互いに交差する対角線上に配置されている、請求項1に記載の撮像装置。
- [請求項9] 前記第1の画素ブロックと前記第2の画素ブロックとは、含まれる前記受光画素の数が異なる、請求項1に記載の撮像装置。
- [請求項10] 前記第1の画素ブロックに含まれる前記受光画素の数は、前記第2の画素ブロックに含まれる前記受光画素の数よりも少なく、
対角線上に配置された2つの前記第1の画素ブロックは、一方が前記第1のカラーフィルタとして赤色フィルタを有し、他方が前記第1のカラーフィルタとして青色フィルタを有し、
対角線上に配置された2つの前記第2の画素ブロックは、前記第2のカラーフィルタとして緑色フィルタを有する、請求項8に記載の撮像装置。
- [請求項11] 前記第1の画素ブロックは8個の前記受光画素からなり、前記第2の画素ブロックは10個の前記受光画素からなる、請求項1に記載の撮像装置。
- [請求項12] 前記第1の画素ブロックに含まれる前記受光画素の数は、前記第2の画素ブロックに含まれる前記受光画素の数よりも多く、
対角線上に配置された2つの前記第1の画素ブロックは、前記第2のカラーフィルタとして緑色フィルタを有し、

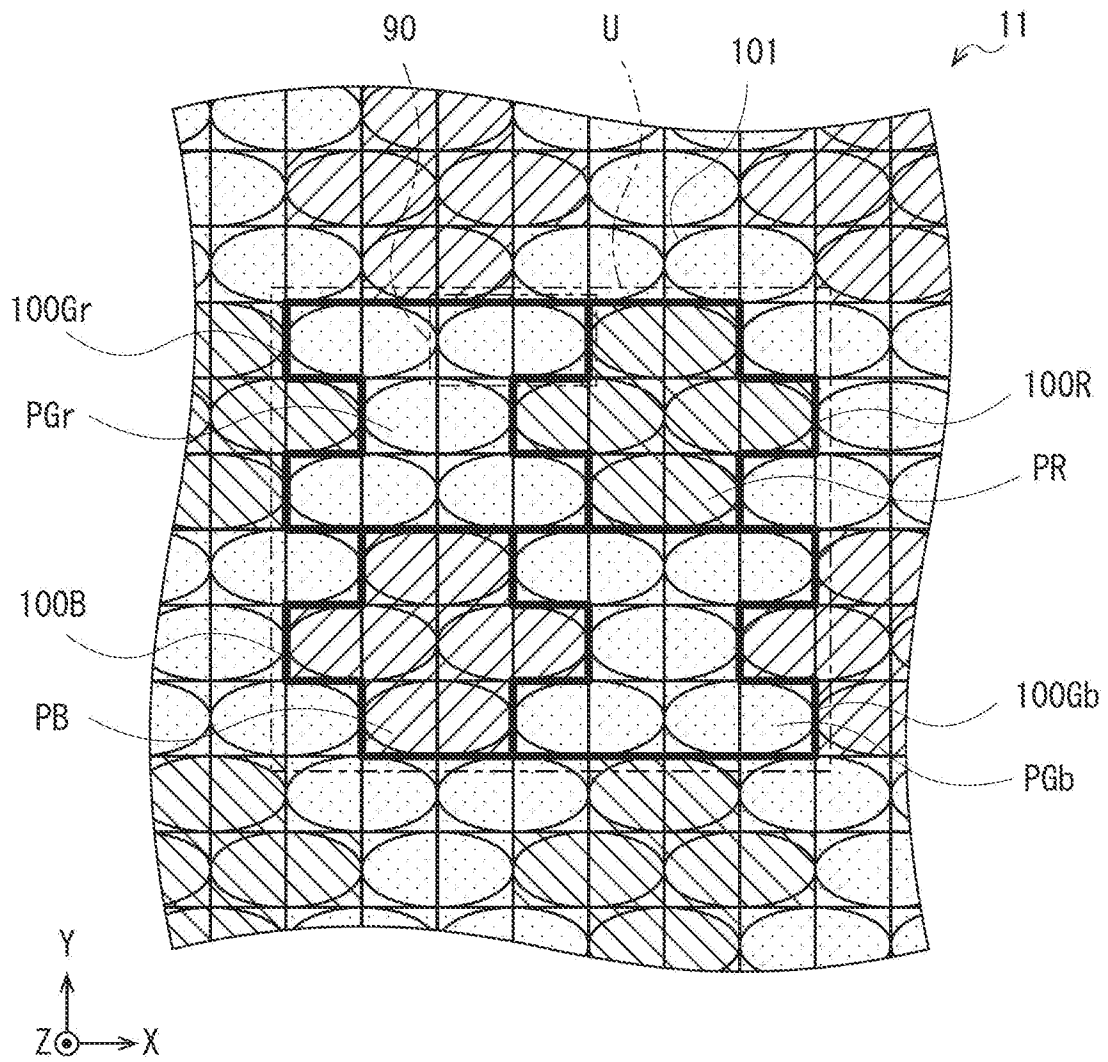
対角線上に配置された２つの前記第２の画素ブロックは、一方が前記第１のカラーフィルタとして赤色フィルタを有し、他方が前記第１のカラーフィルタとして青色フィルタを有する、請求項８に記載の撮像装置。

[請求項１３] 前記第１の画素ブロックは１０個の前記受光画素からなり、前記第２の画素ブロックは８個の前記受光画素からなる、請求項１に記載の撮像装置。

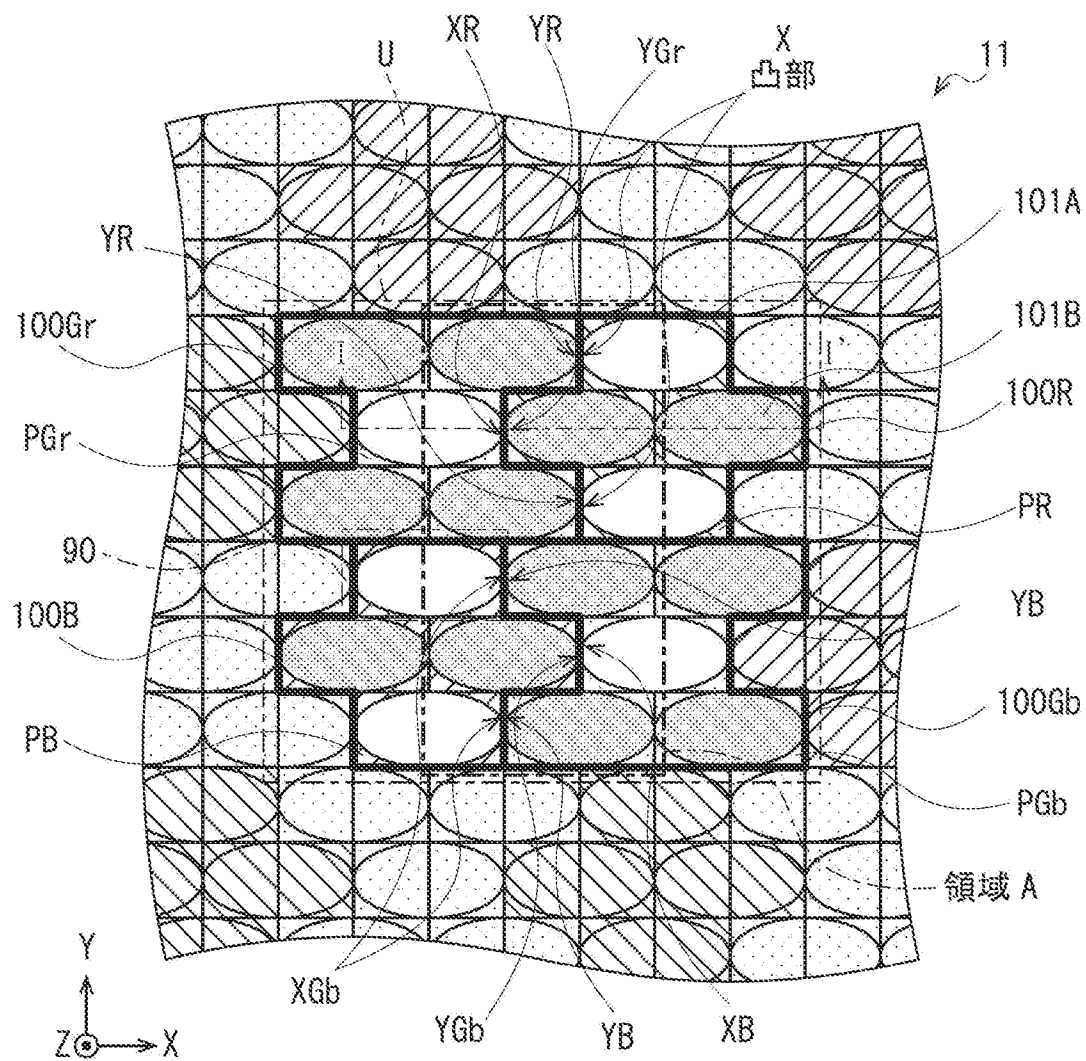
[図1]



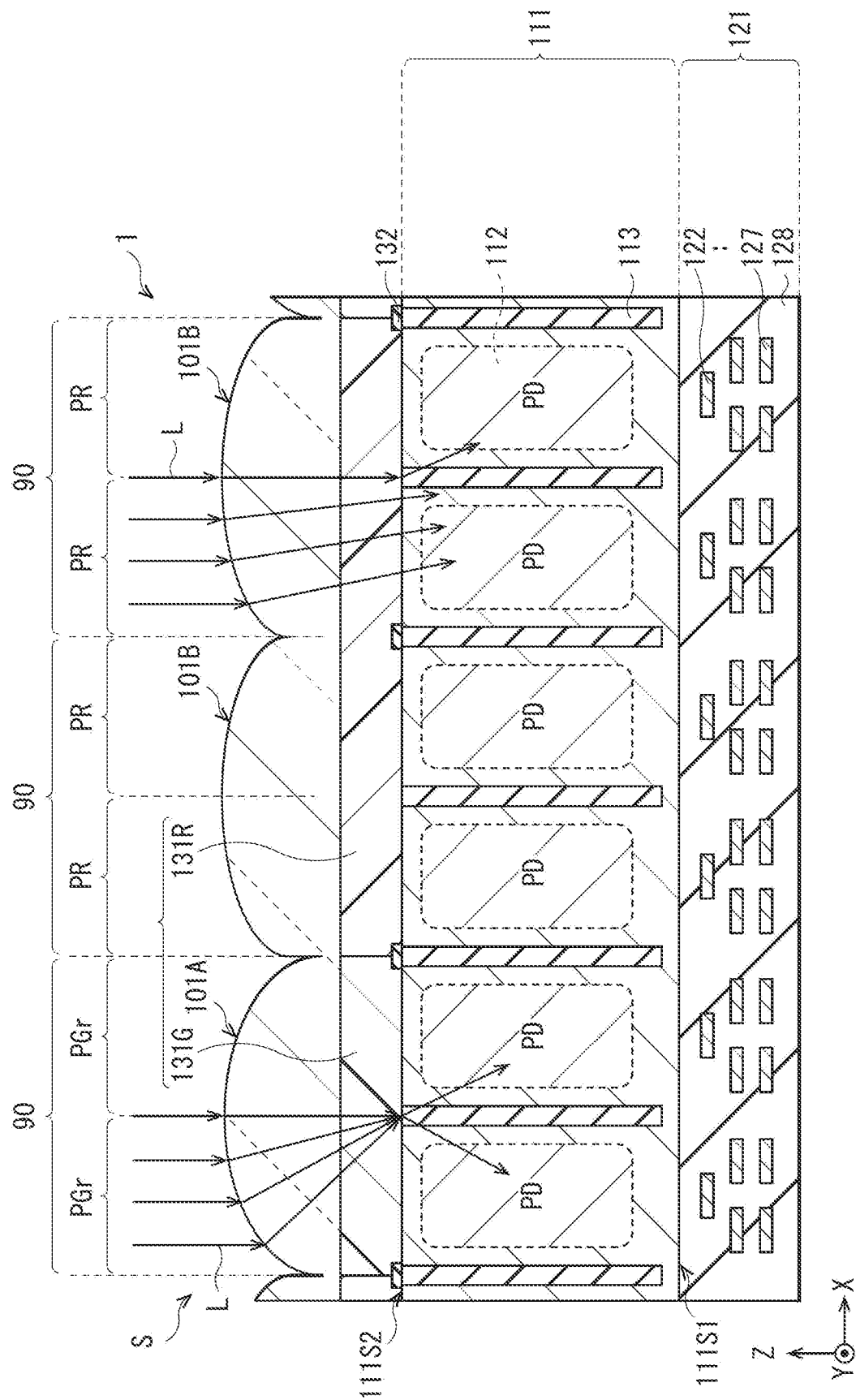
[図2]



[図3]



[図4]



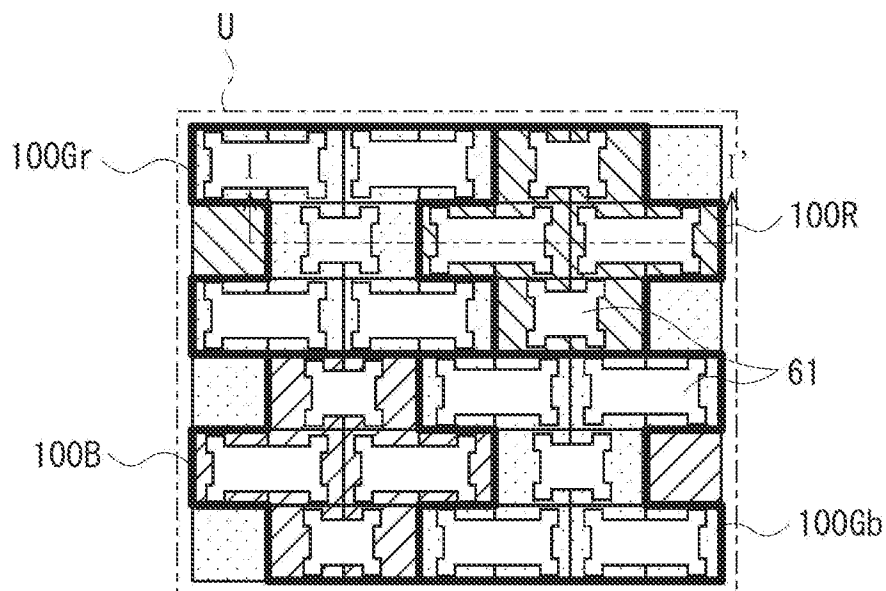
[図5A]

0	100	100
0	100	100
0	100	100
0	100	100
0	100	100
0	100	100

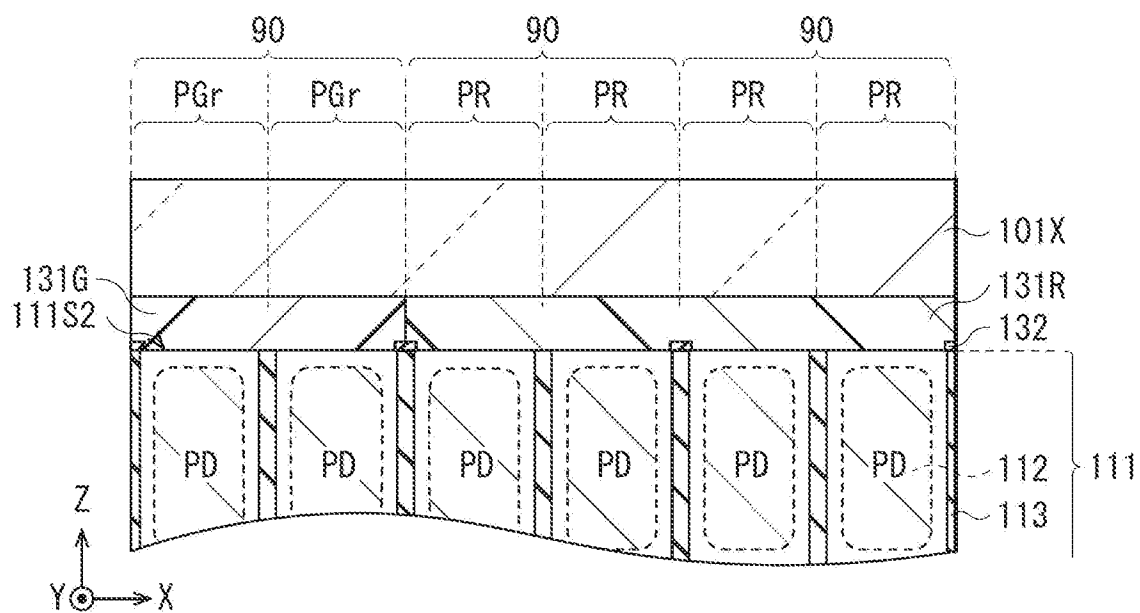
[図5B]

20	80	100
0	100	100
20	80	100
0	100	100
20	80	100
0	100	100

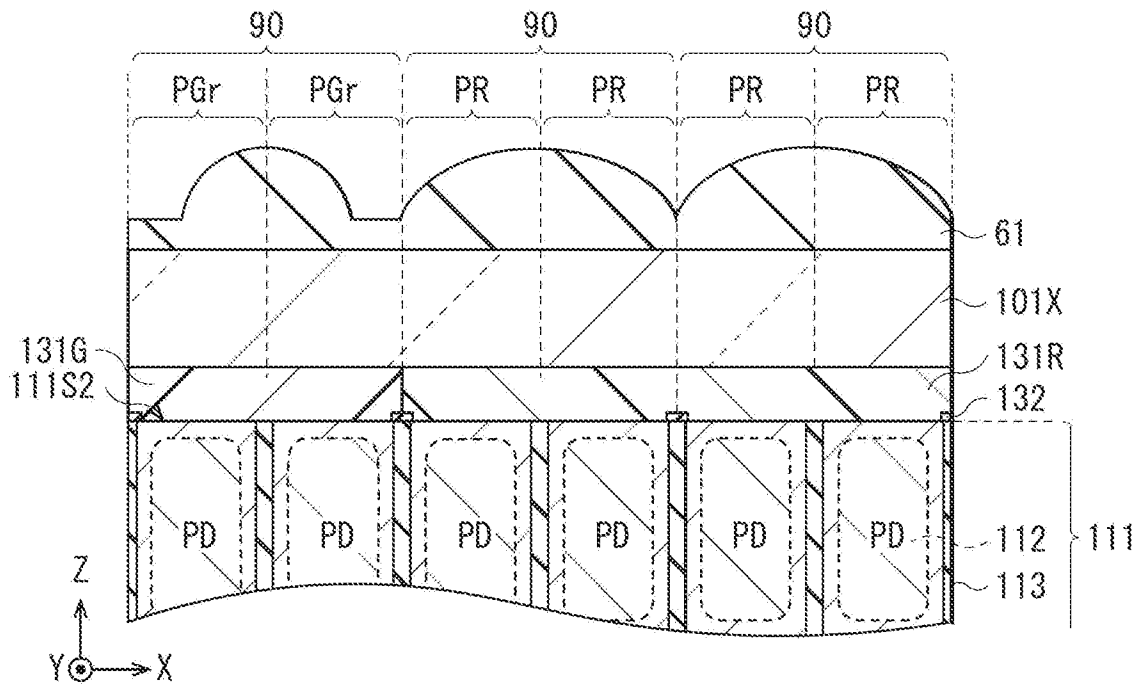
[図6]



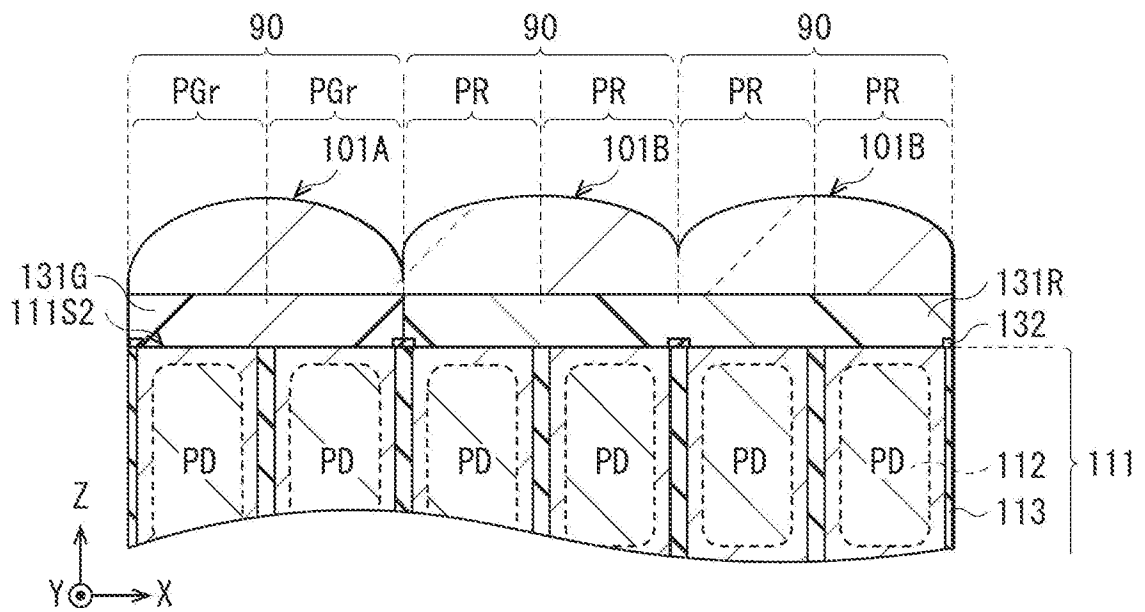
[図7A]



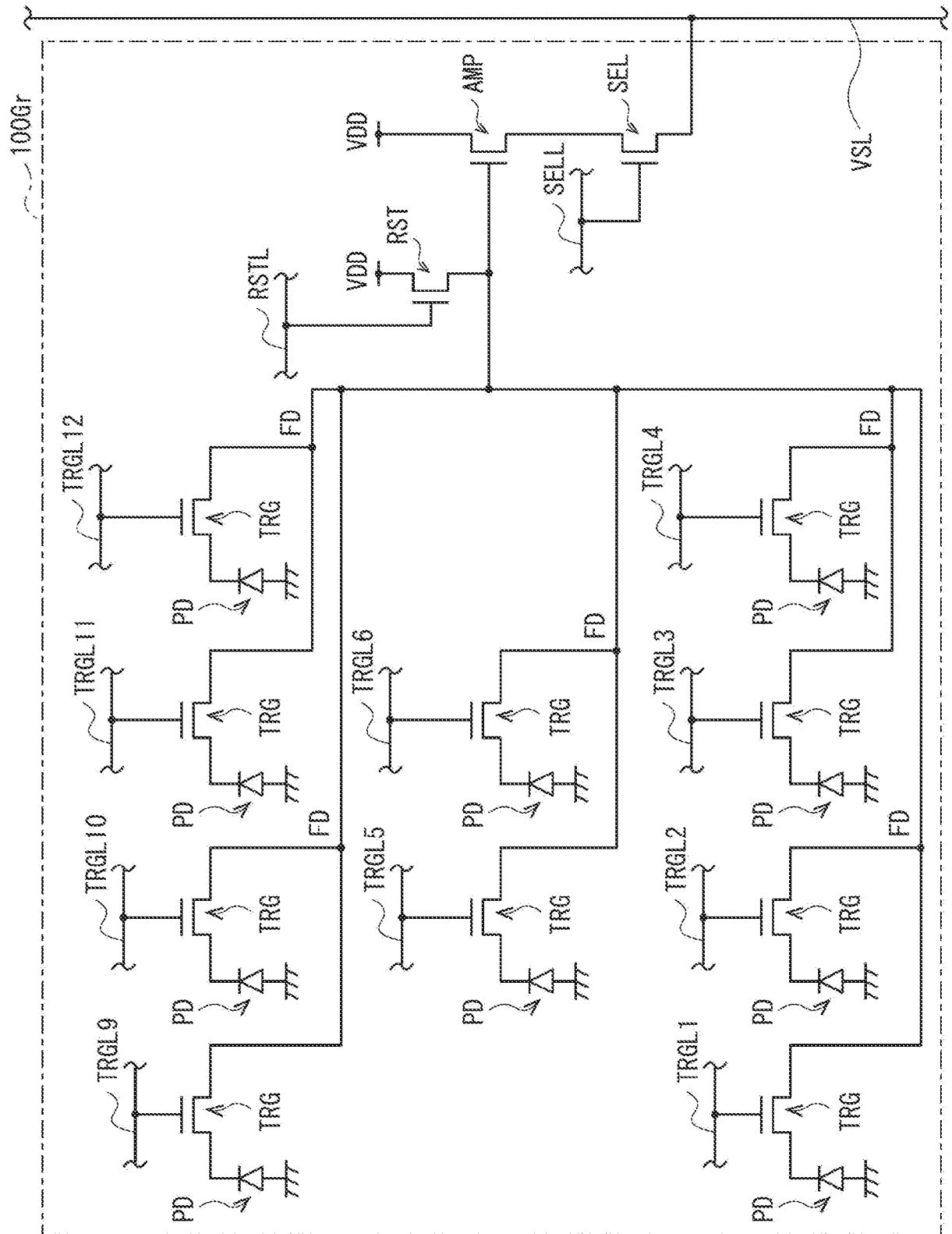
[図7B]



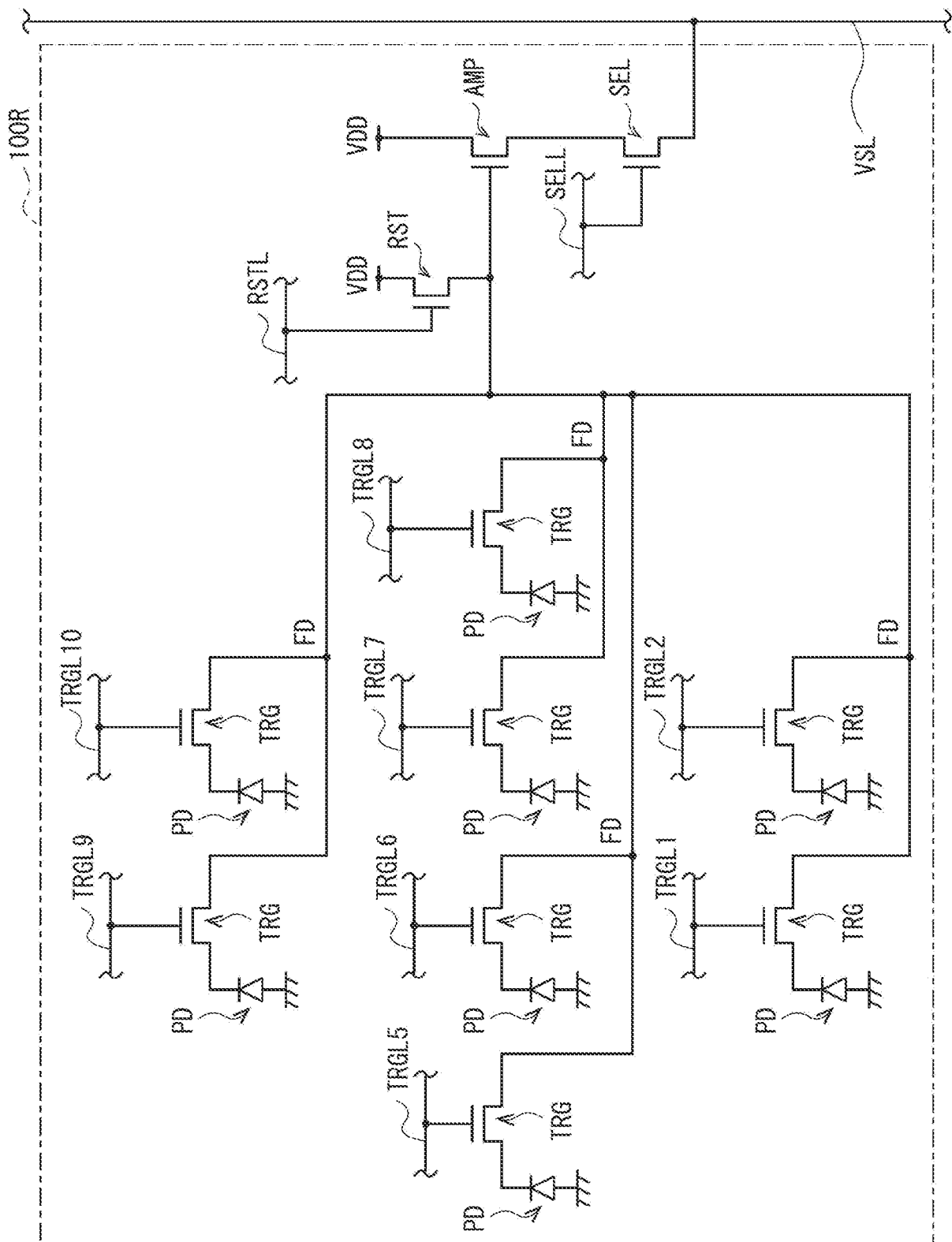
[図7C]



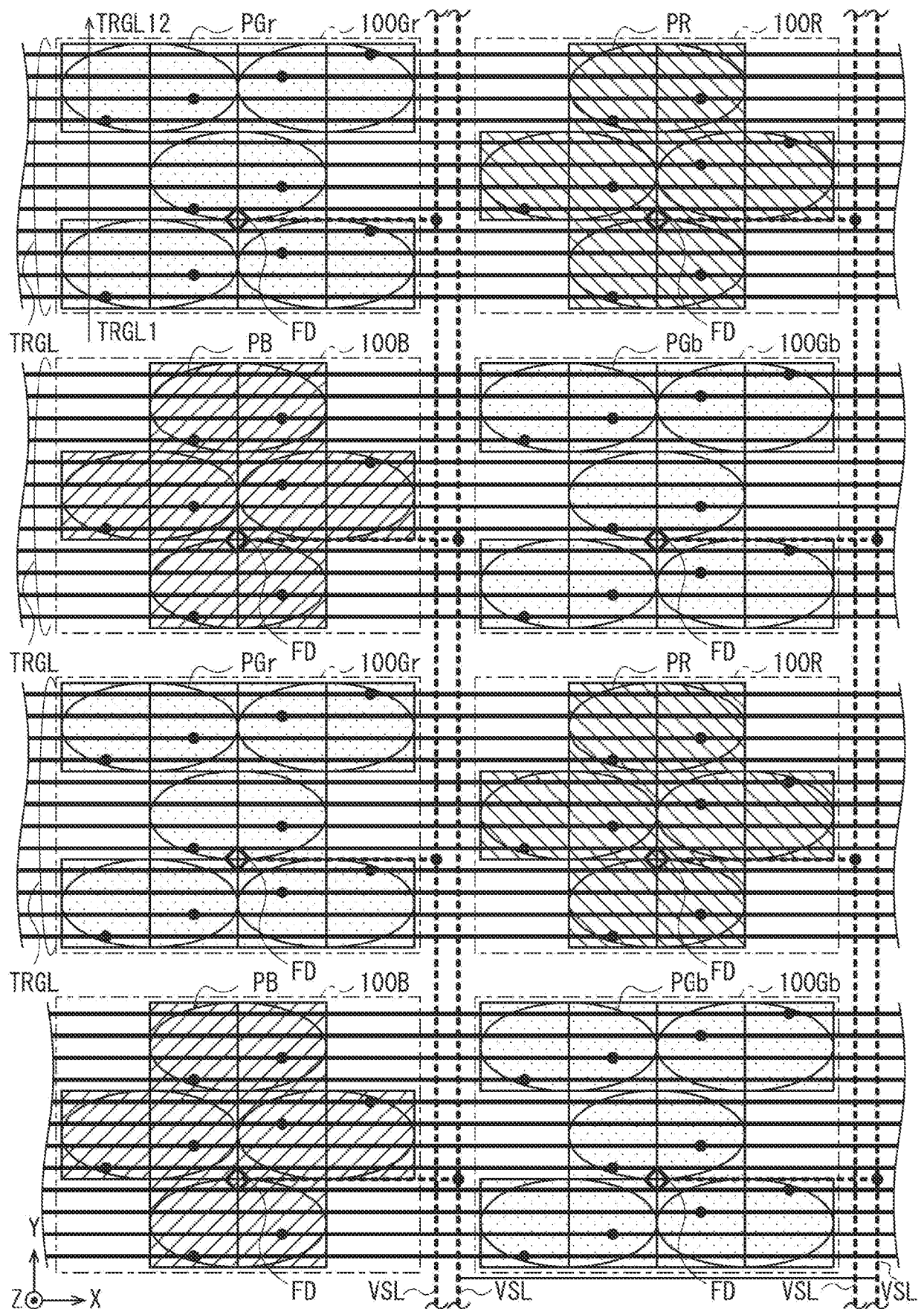
[図8]



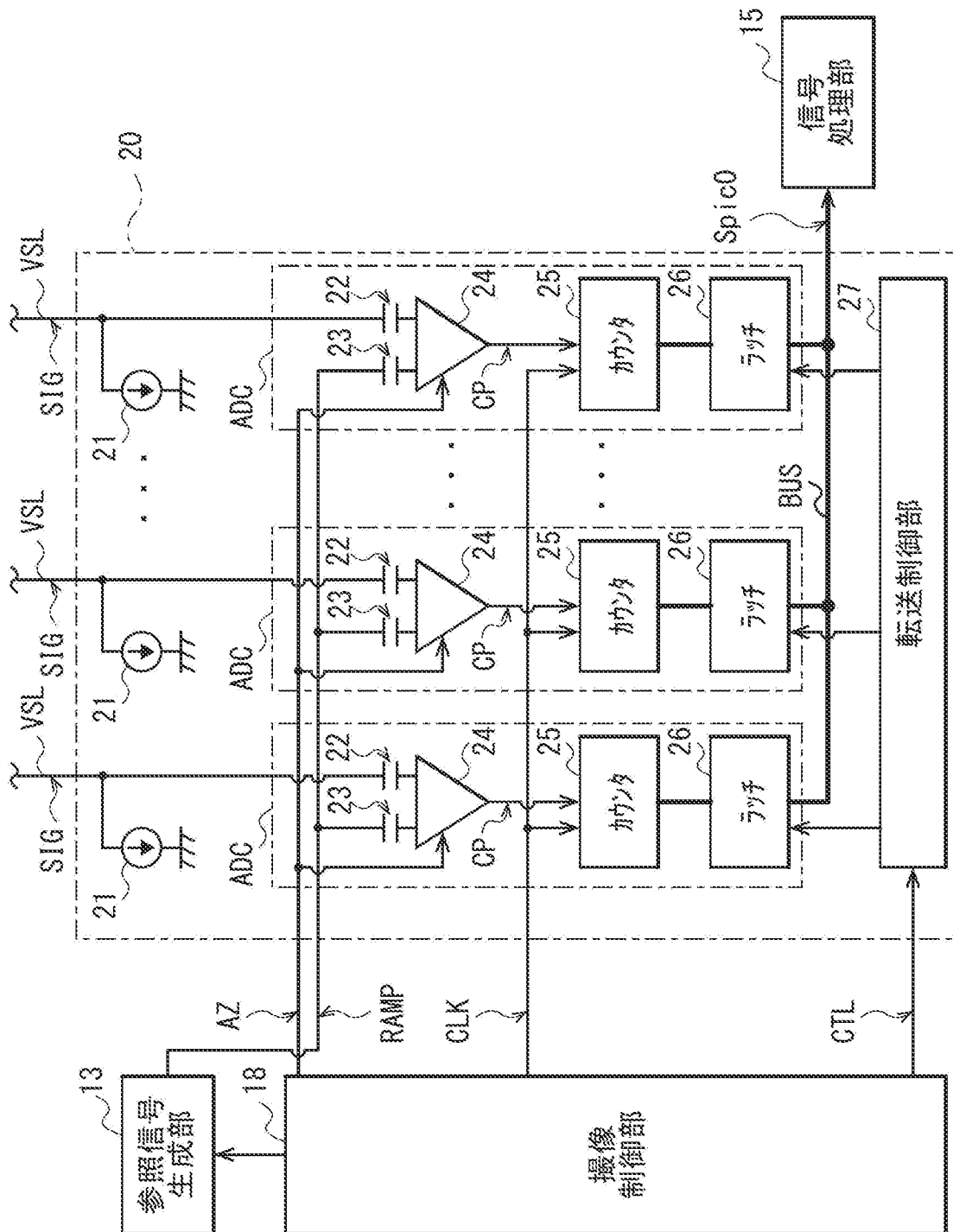
[図9]



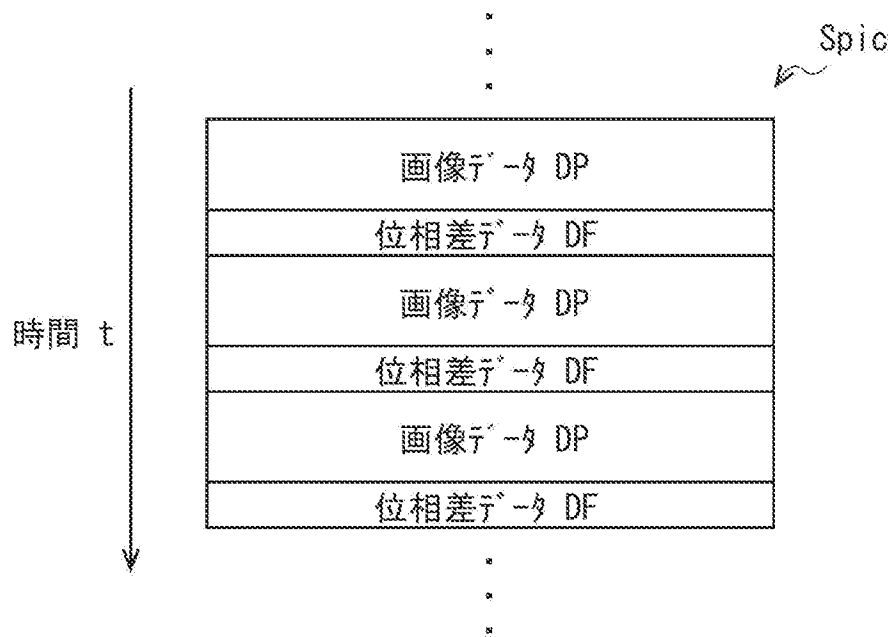
[図10]



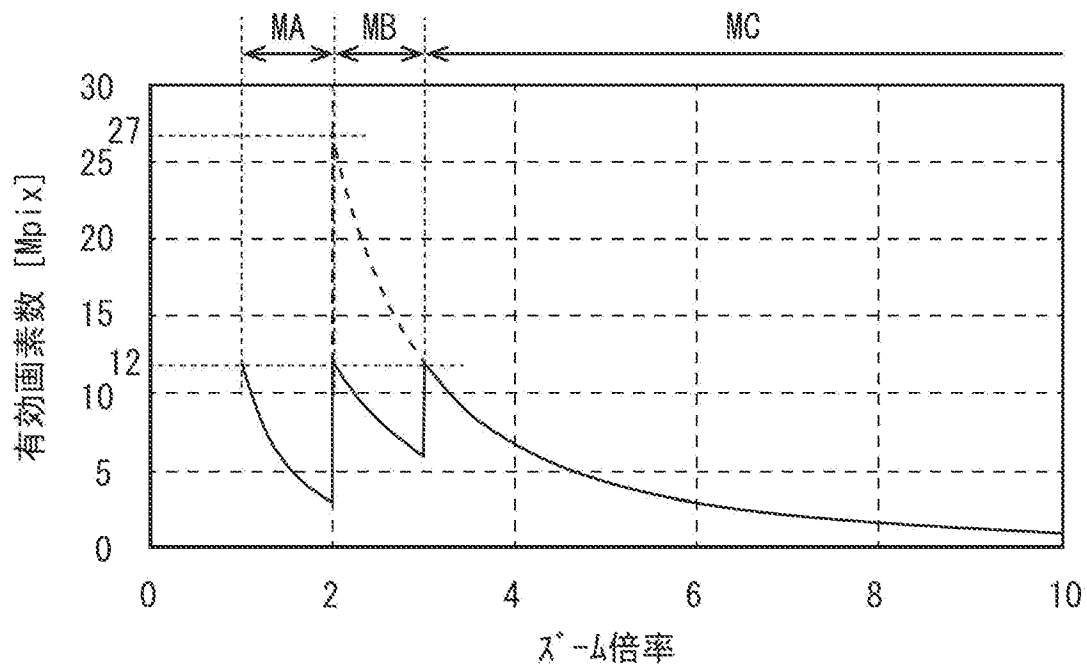
[図11]



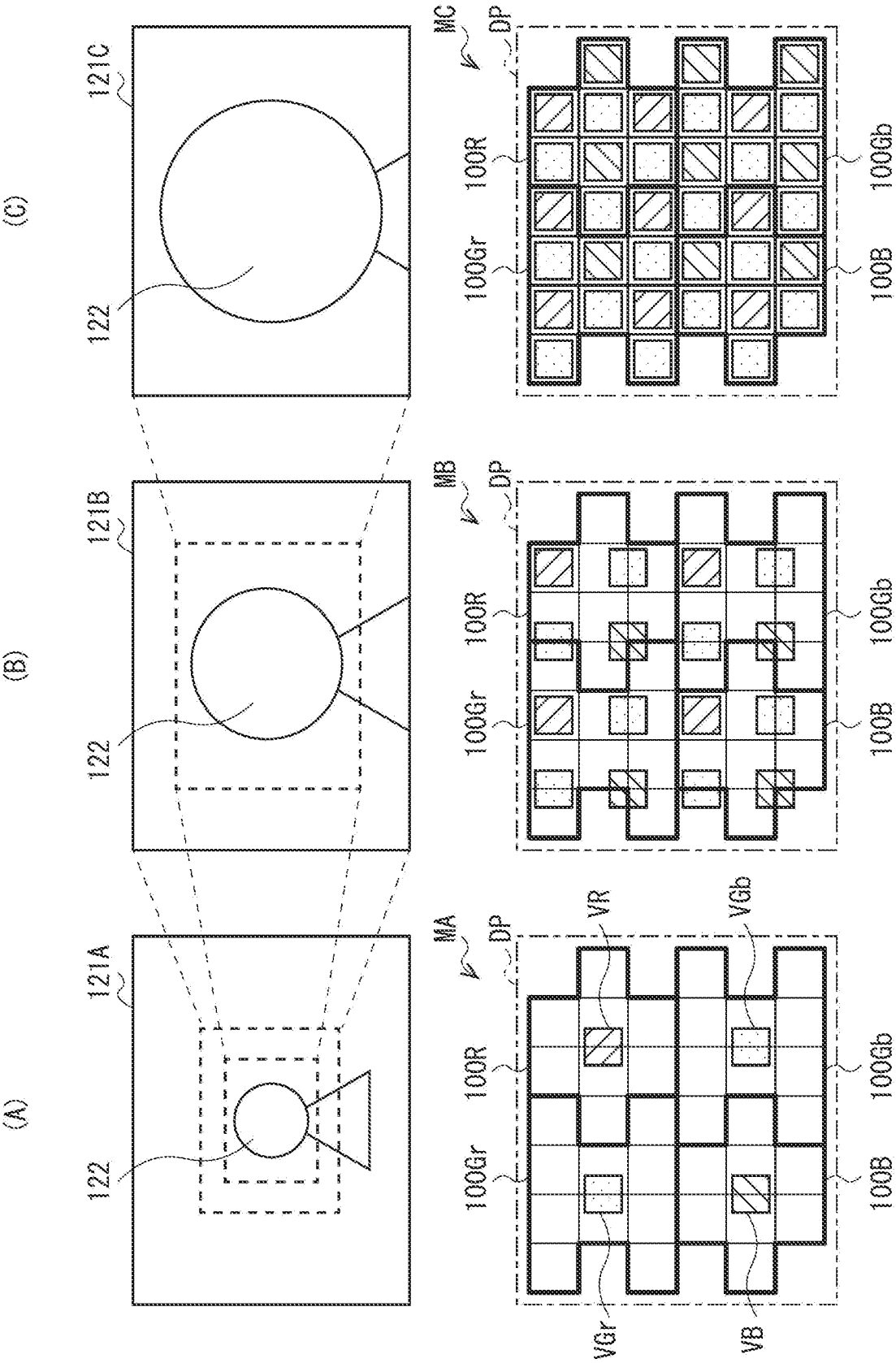
[図12]



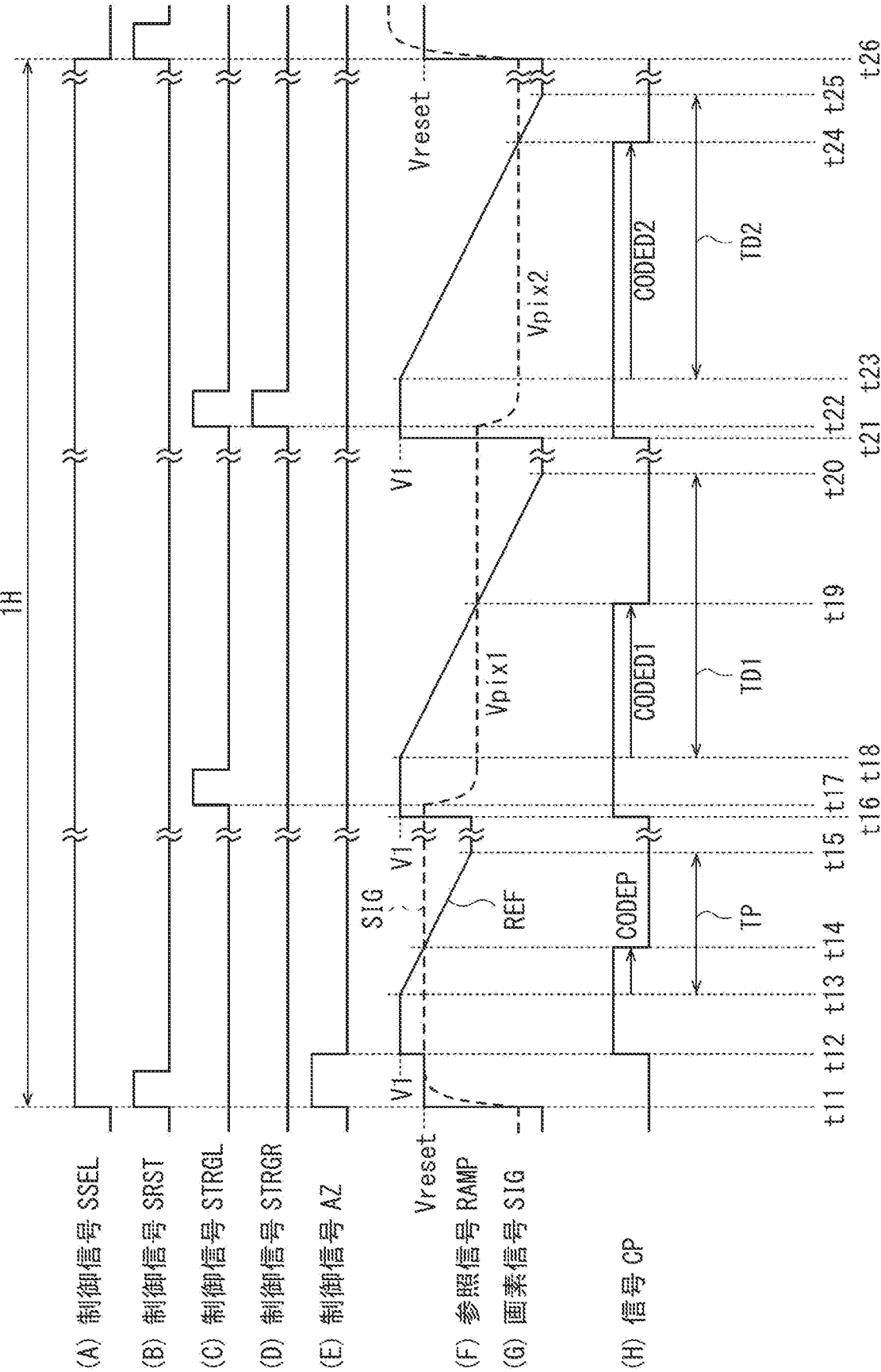
[図13]



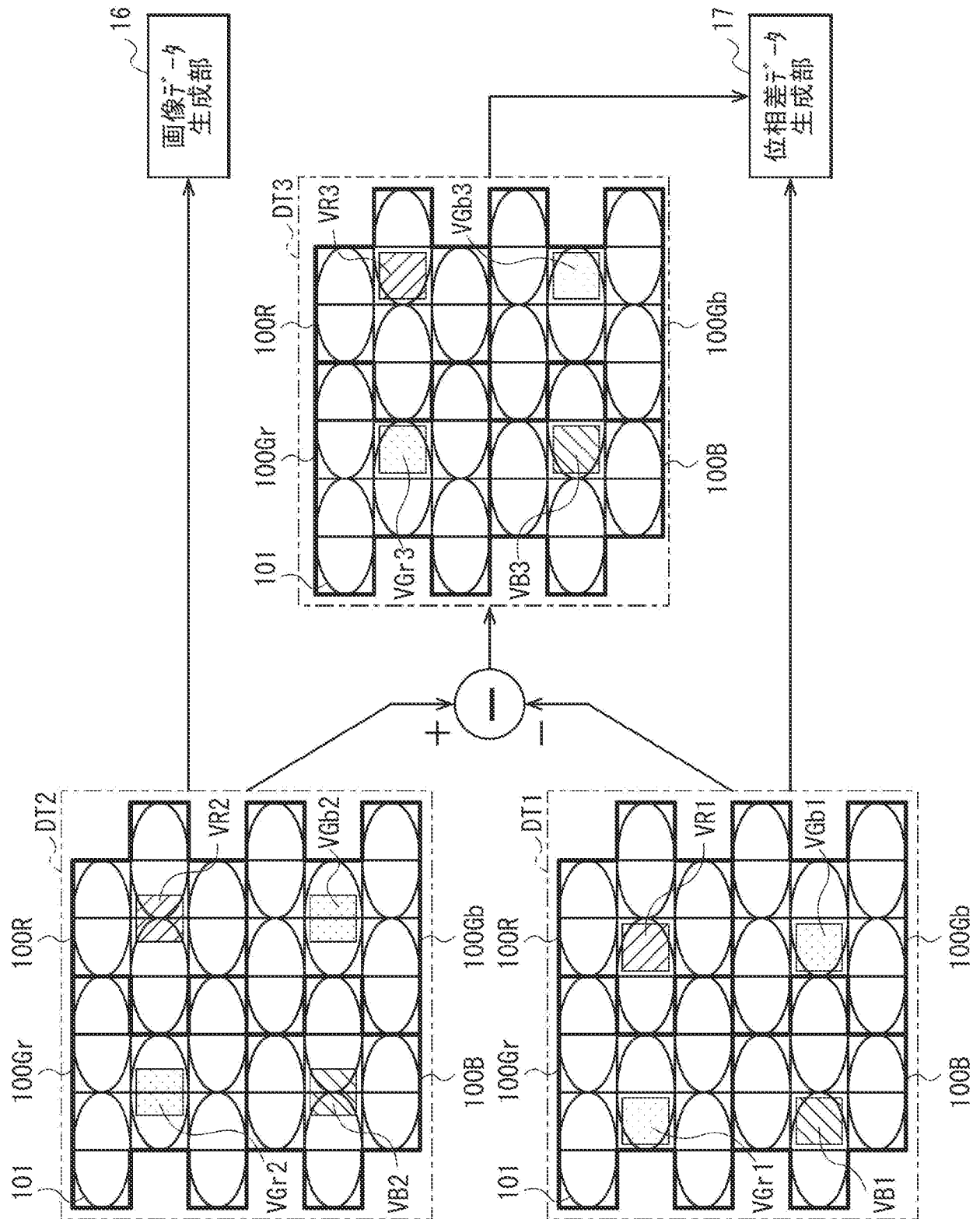
[図14]



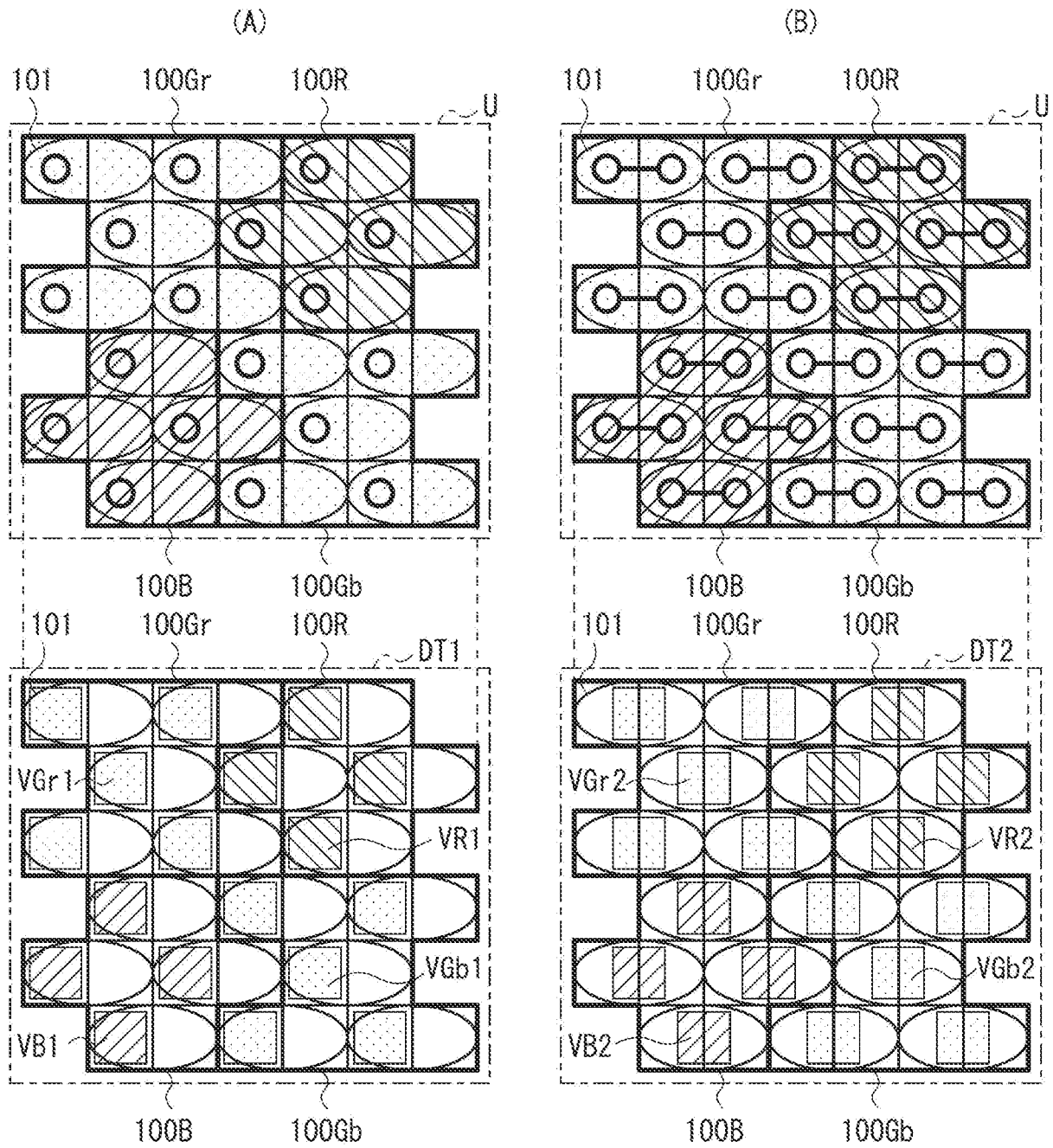
[図16]



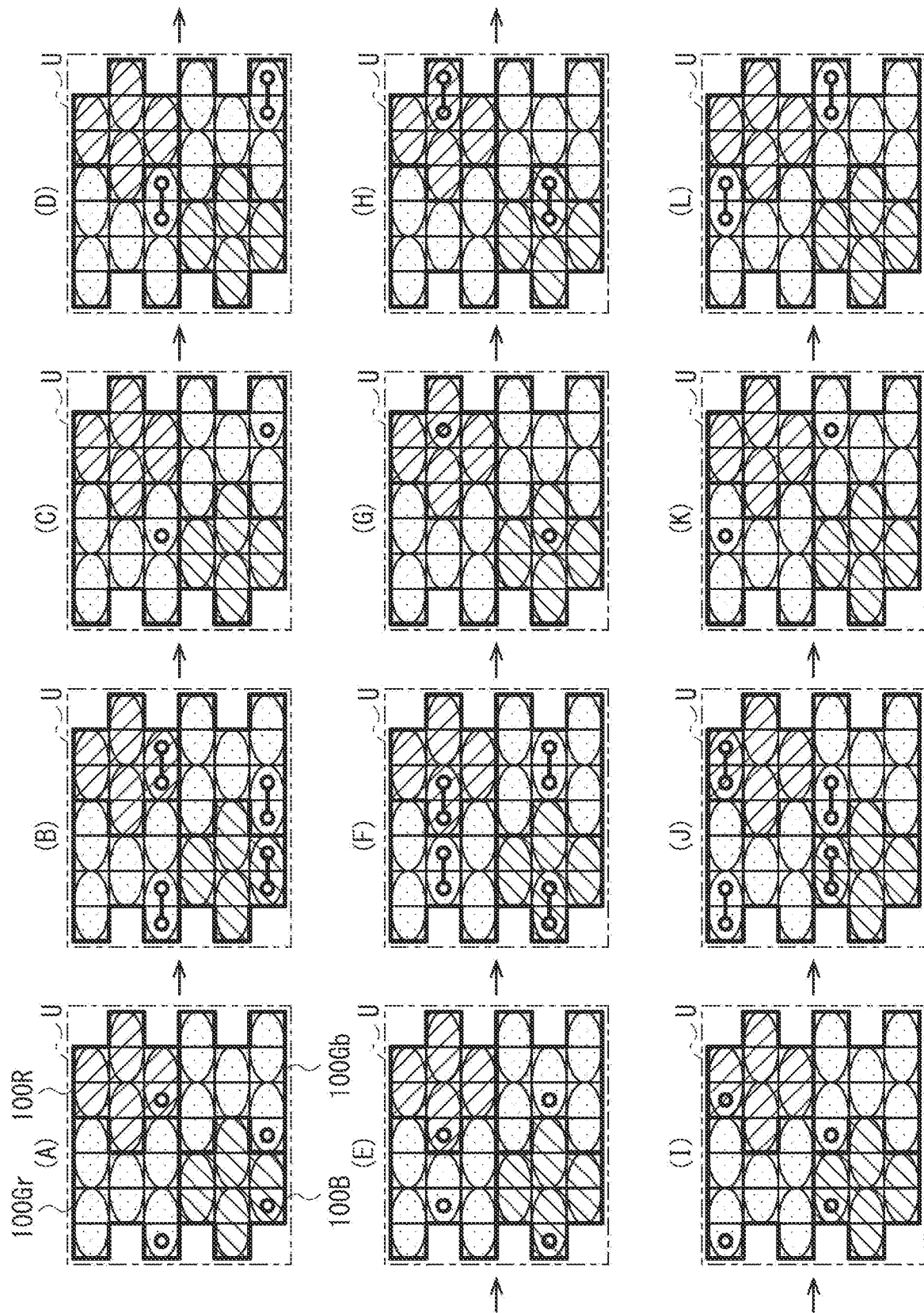
[図17]



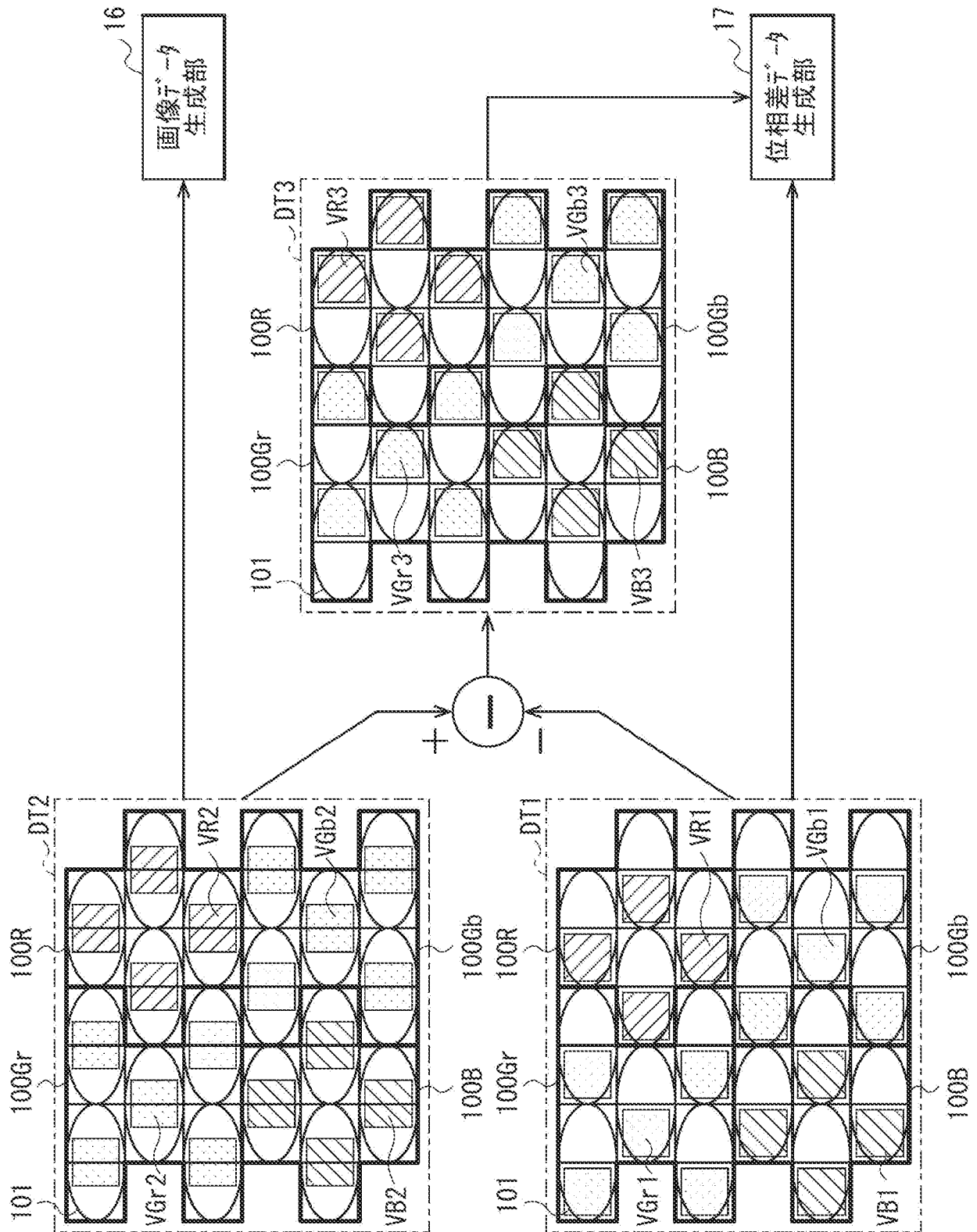
[図18]



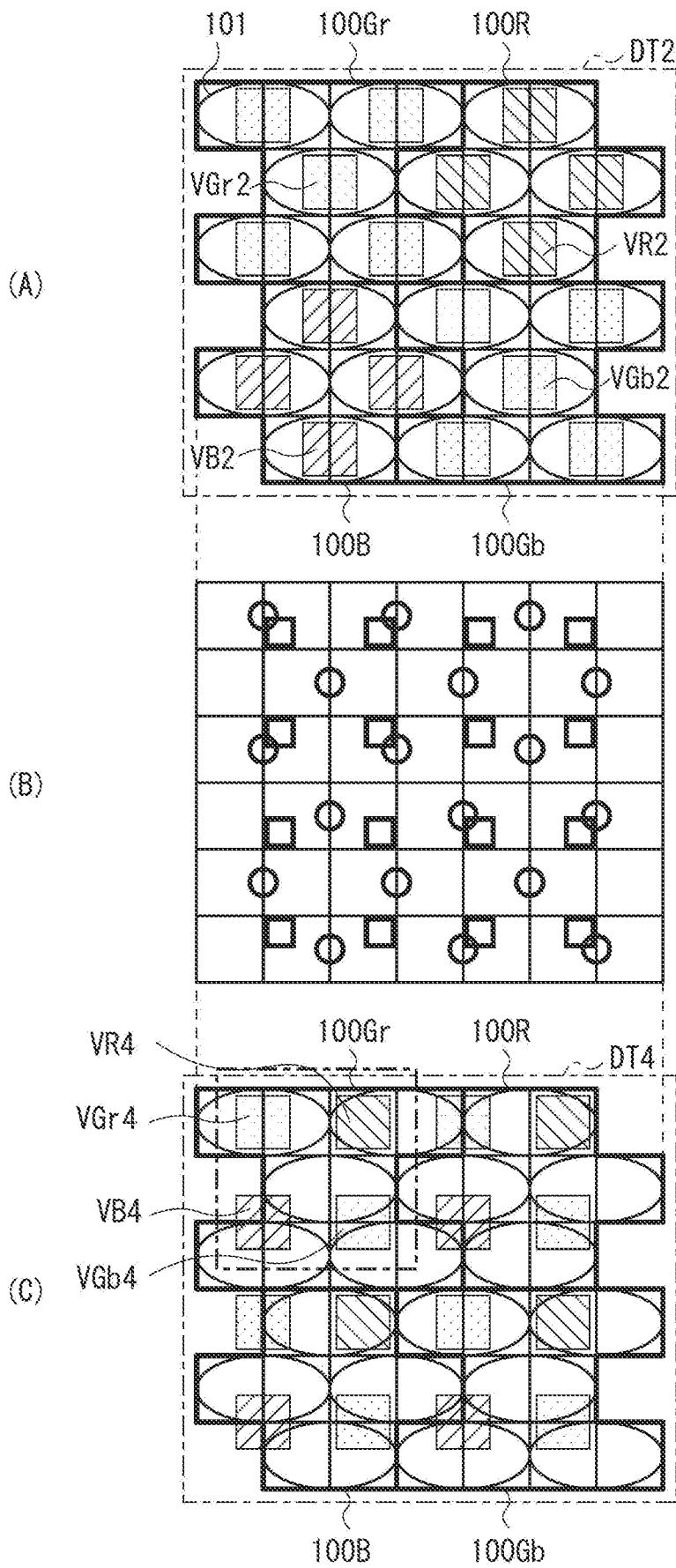
[図19]



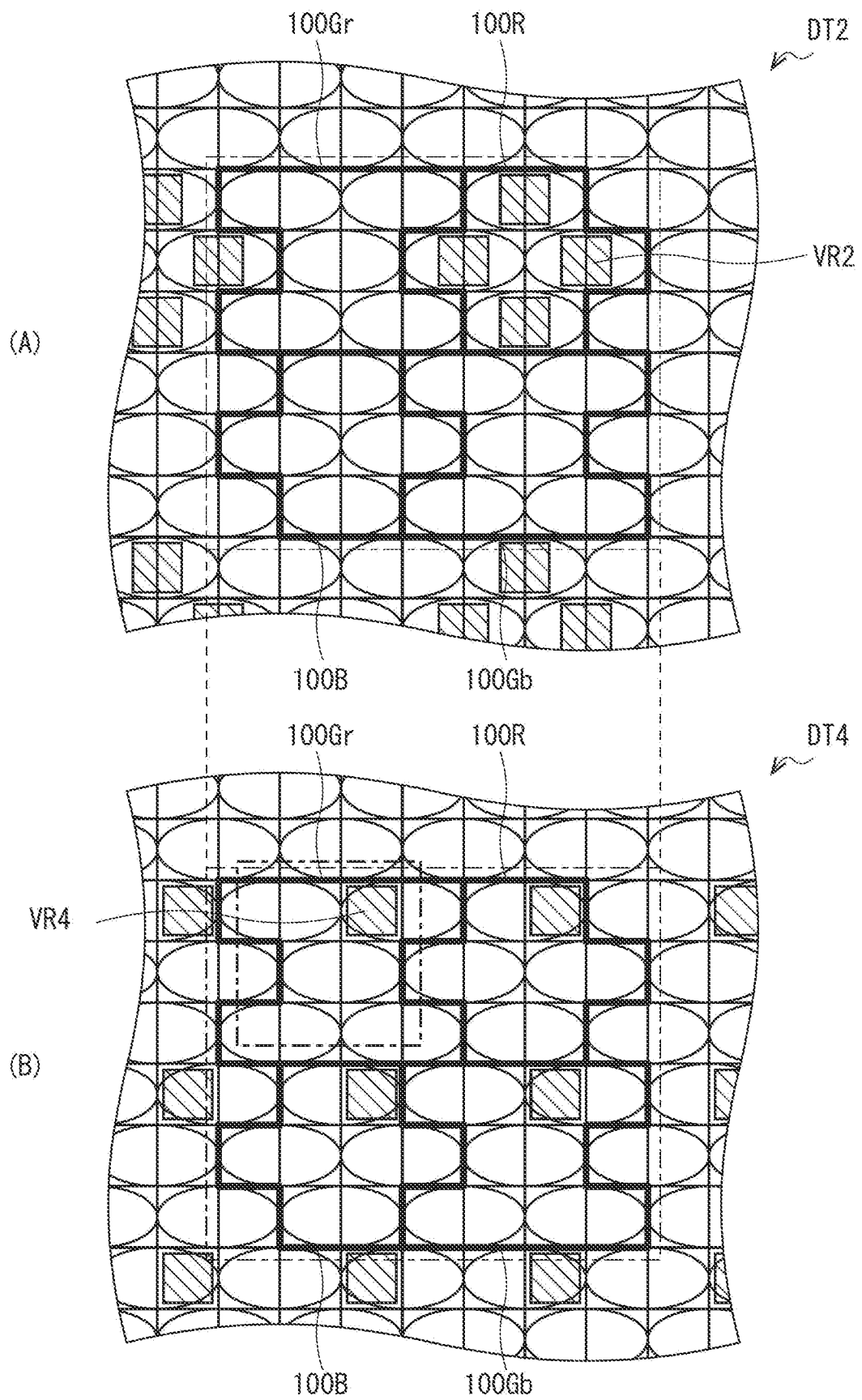
[図20]



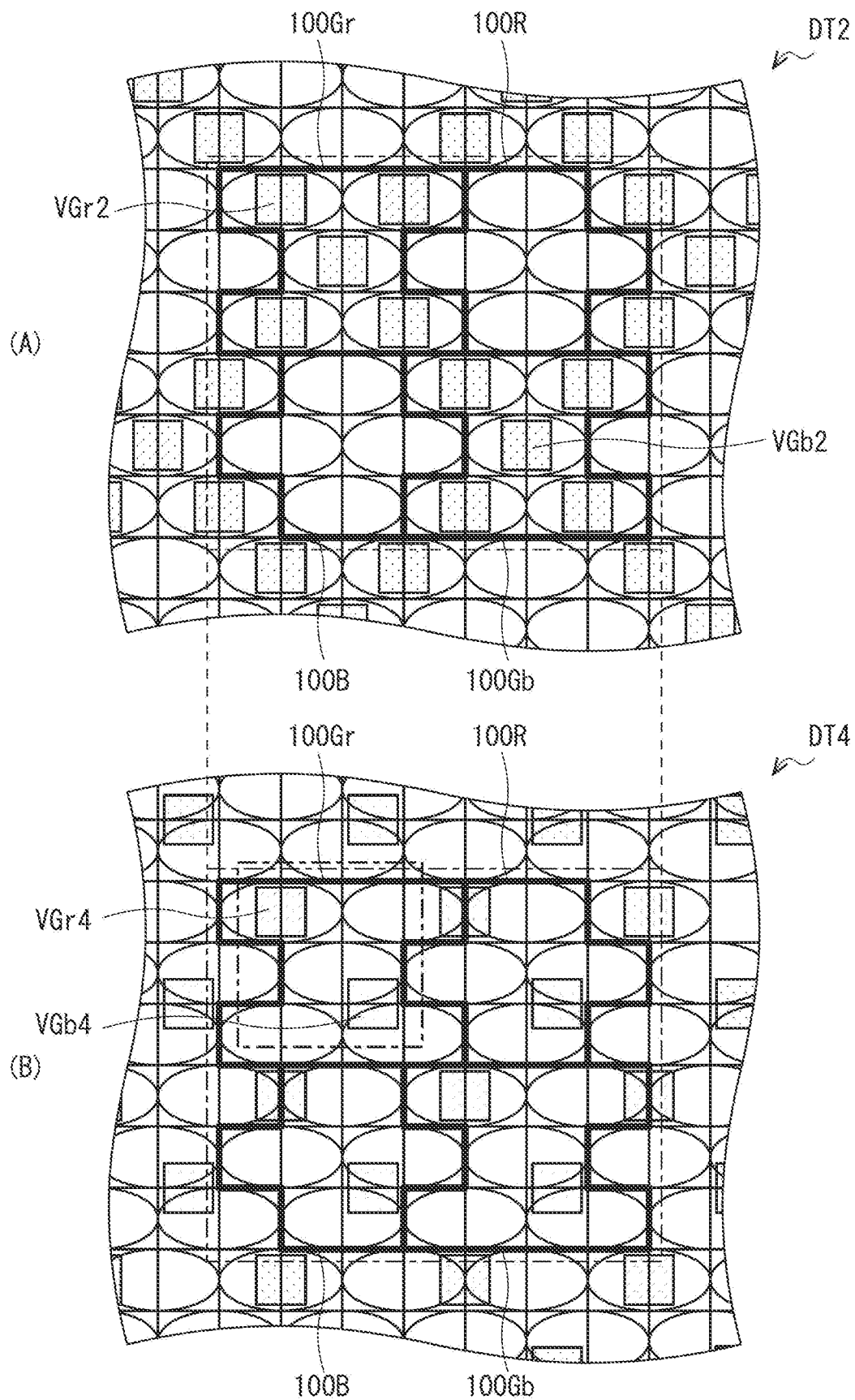
[図21]



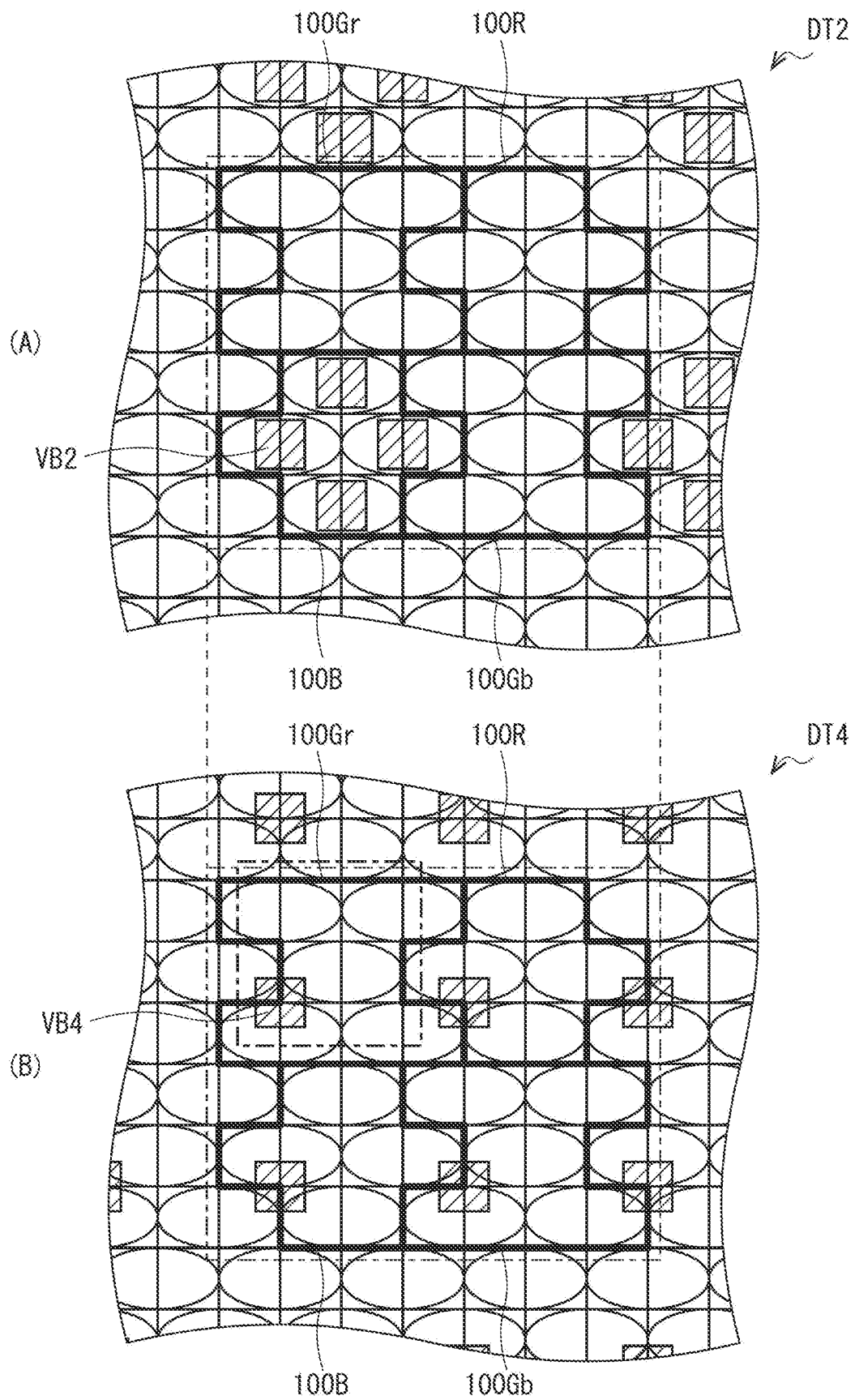
[図22A]



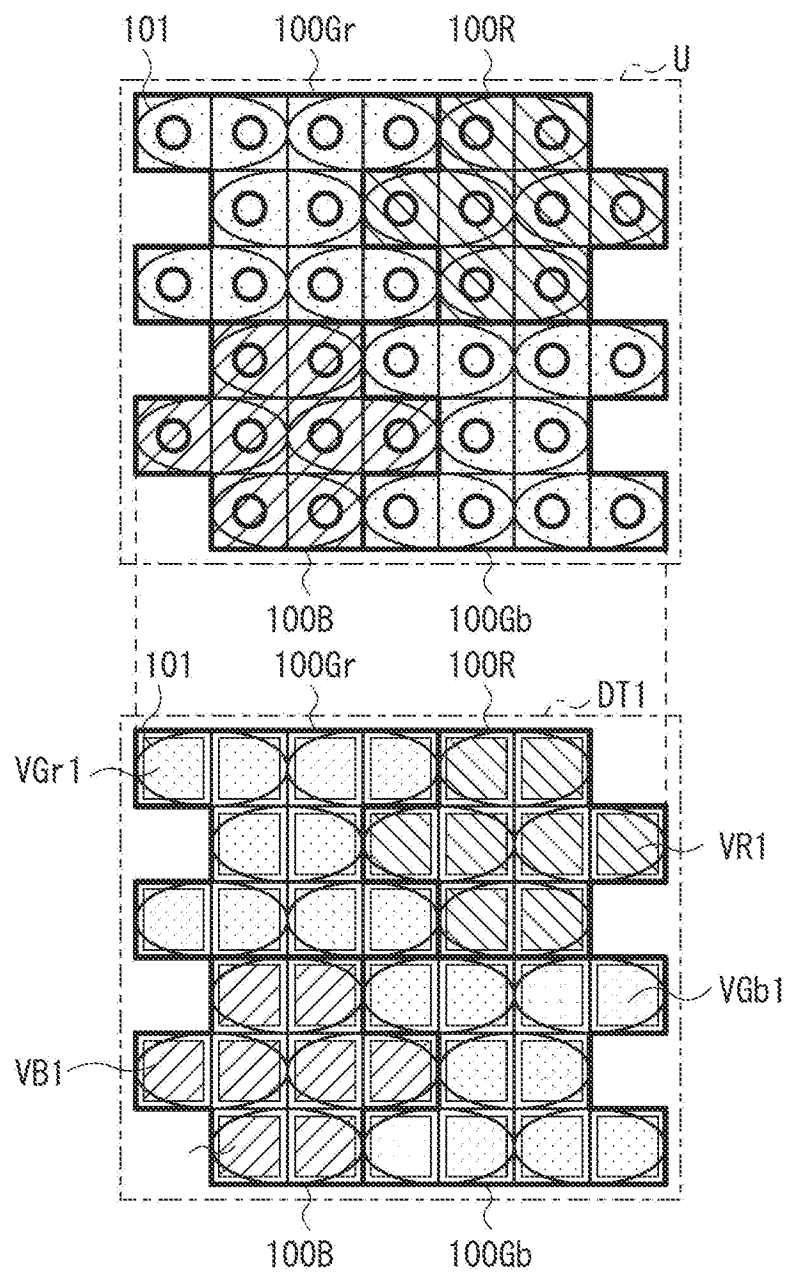
[図22B]



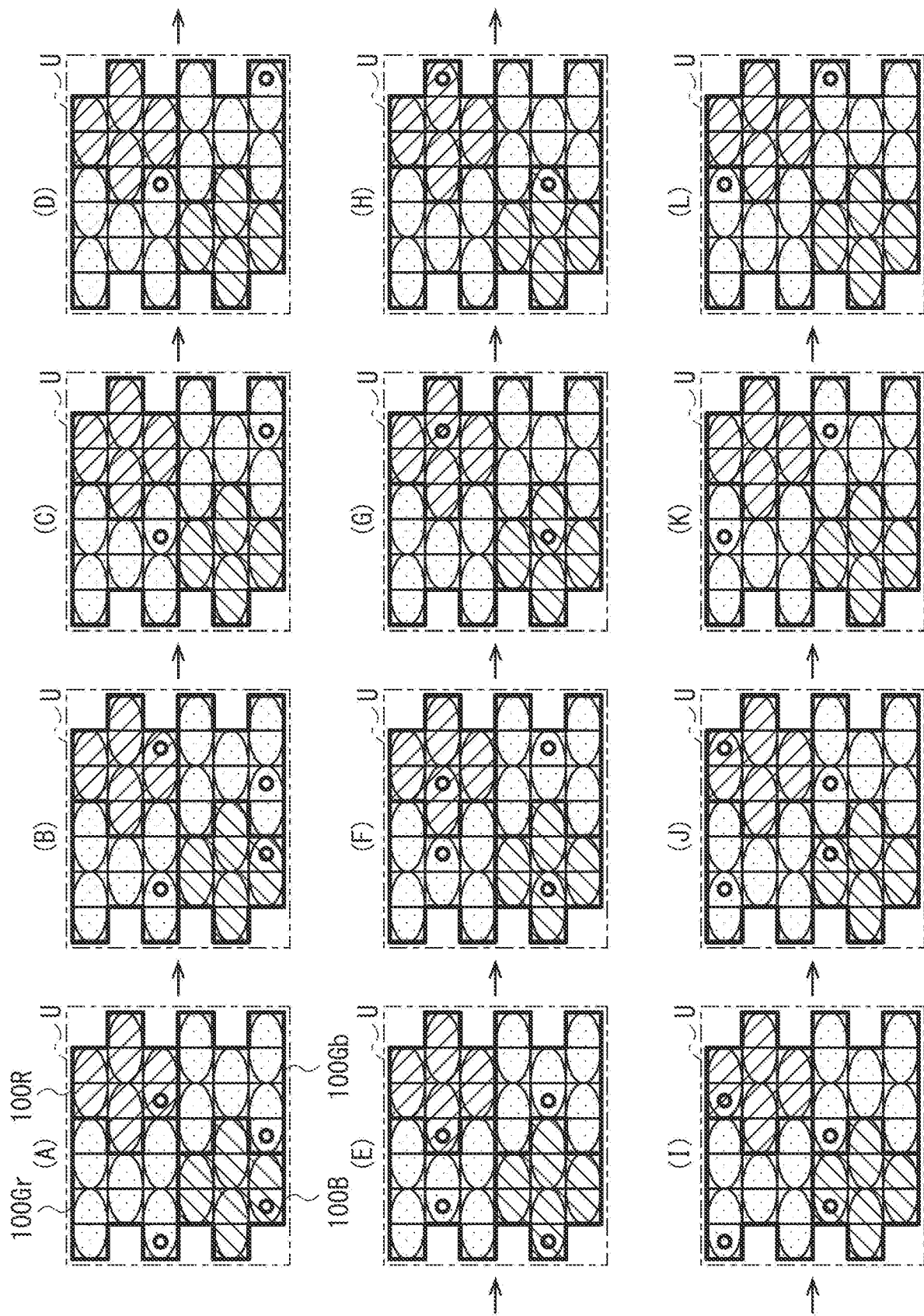
[図22C]



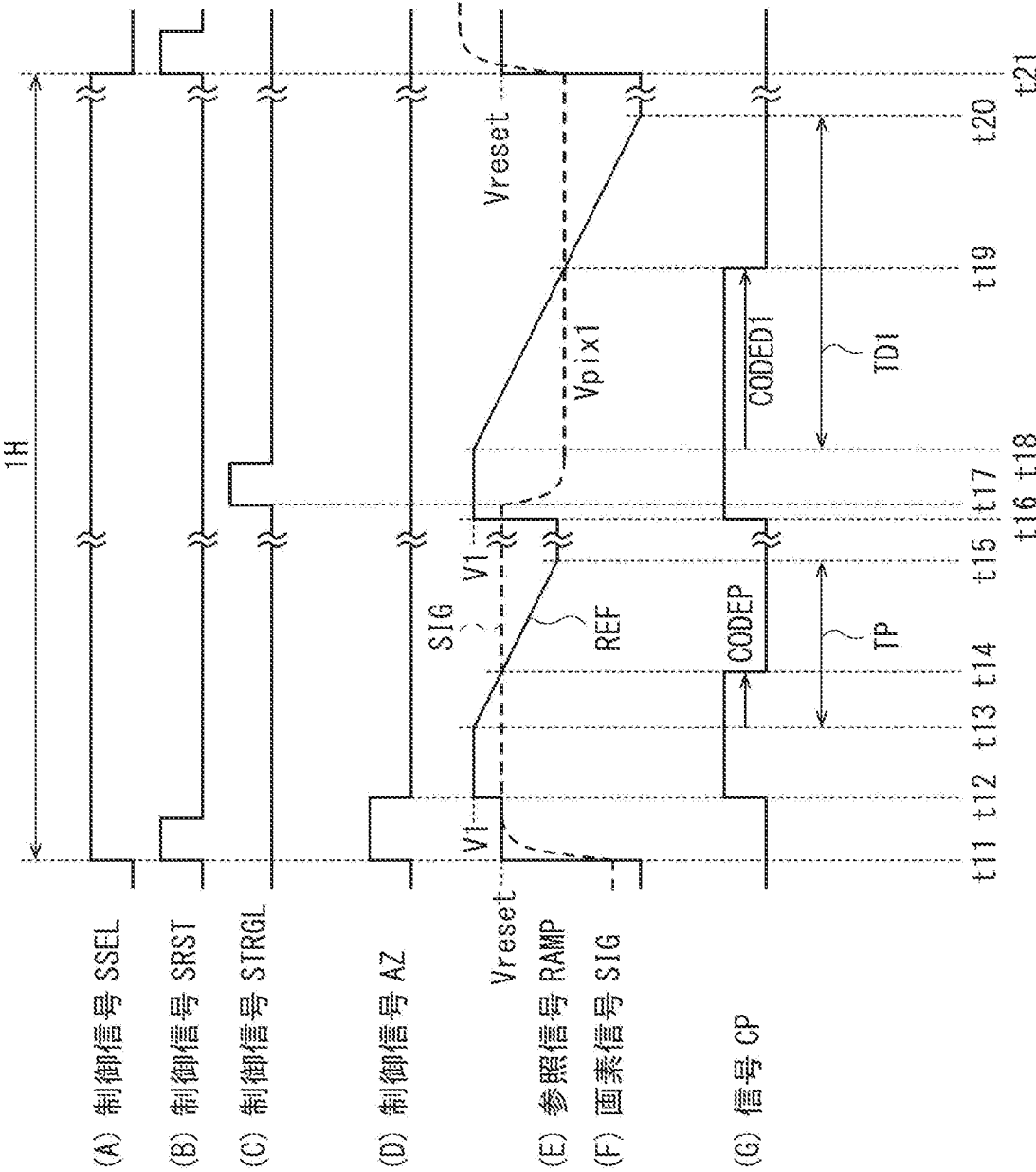
[図23]



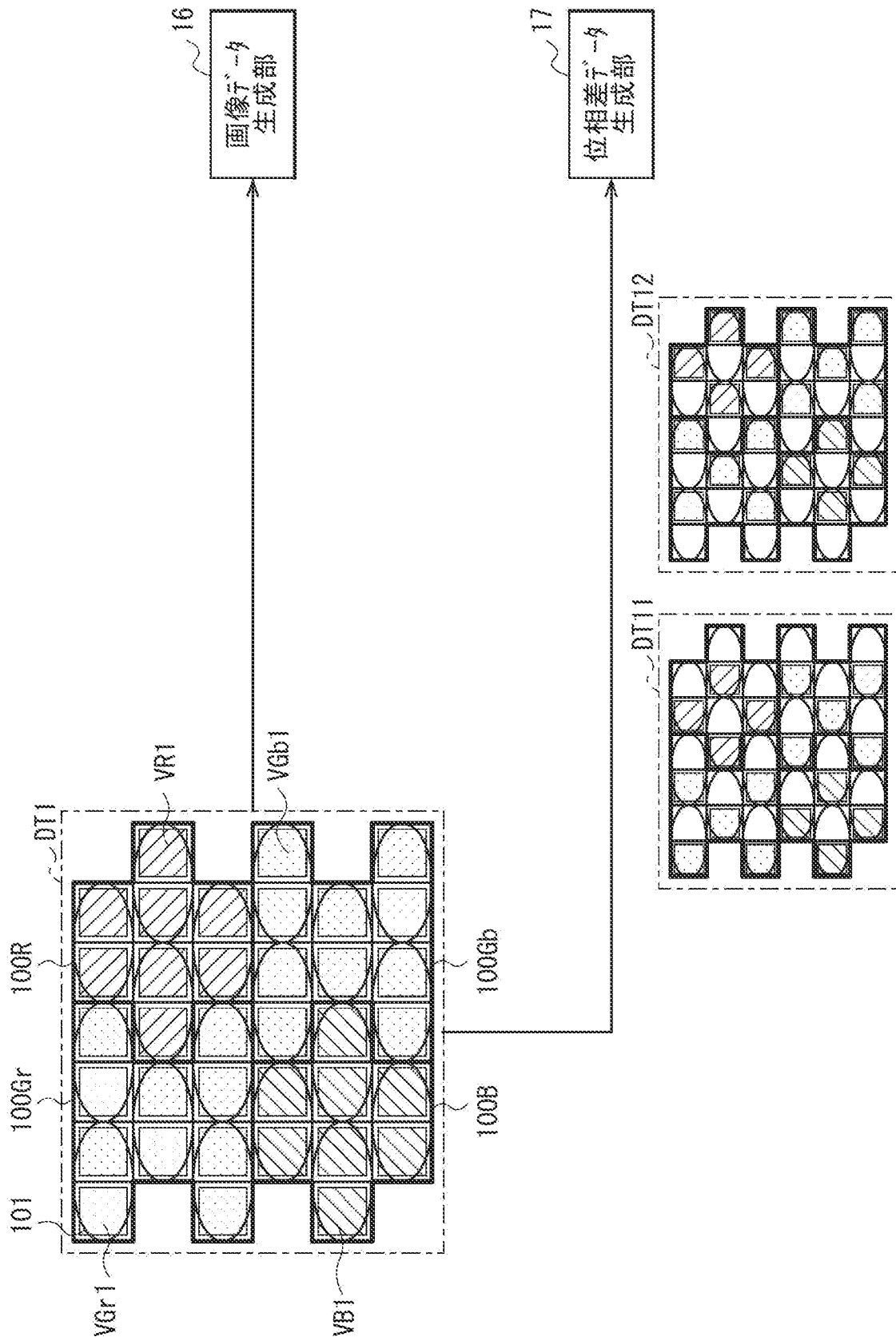
[図24]



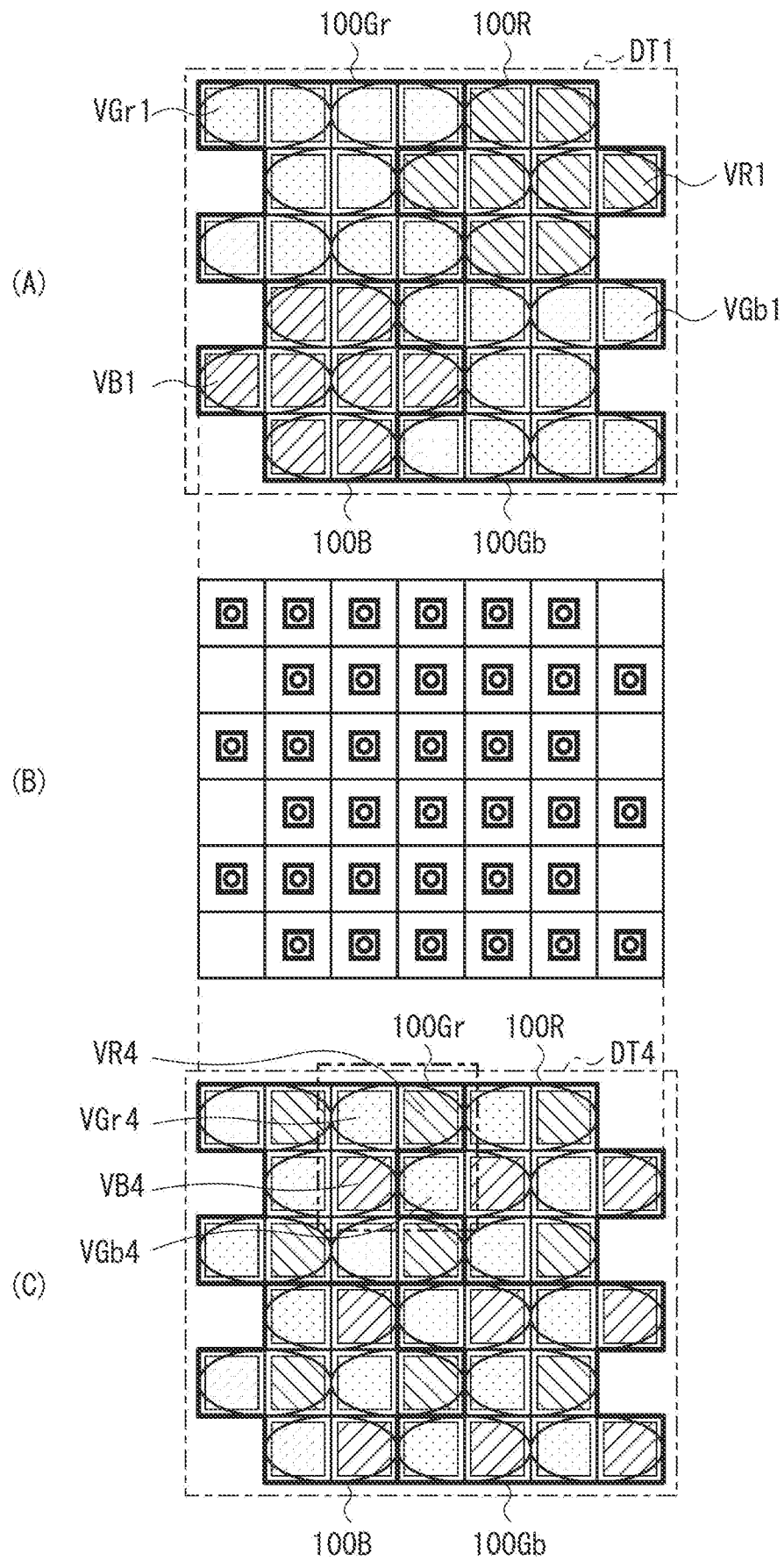
[図25]



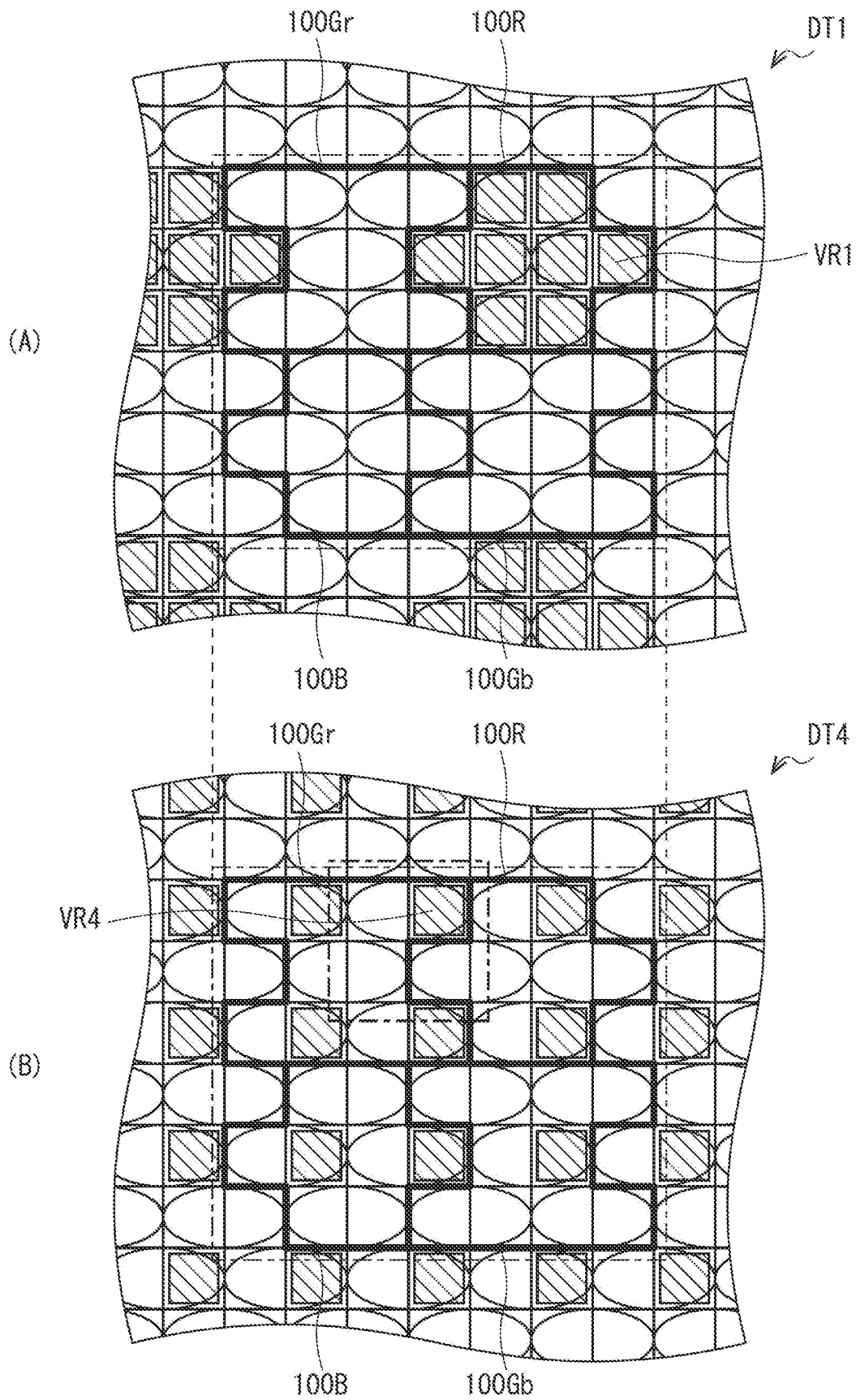
[図26]



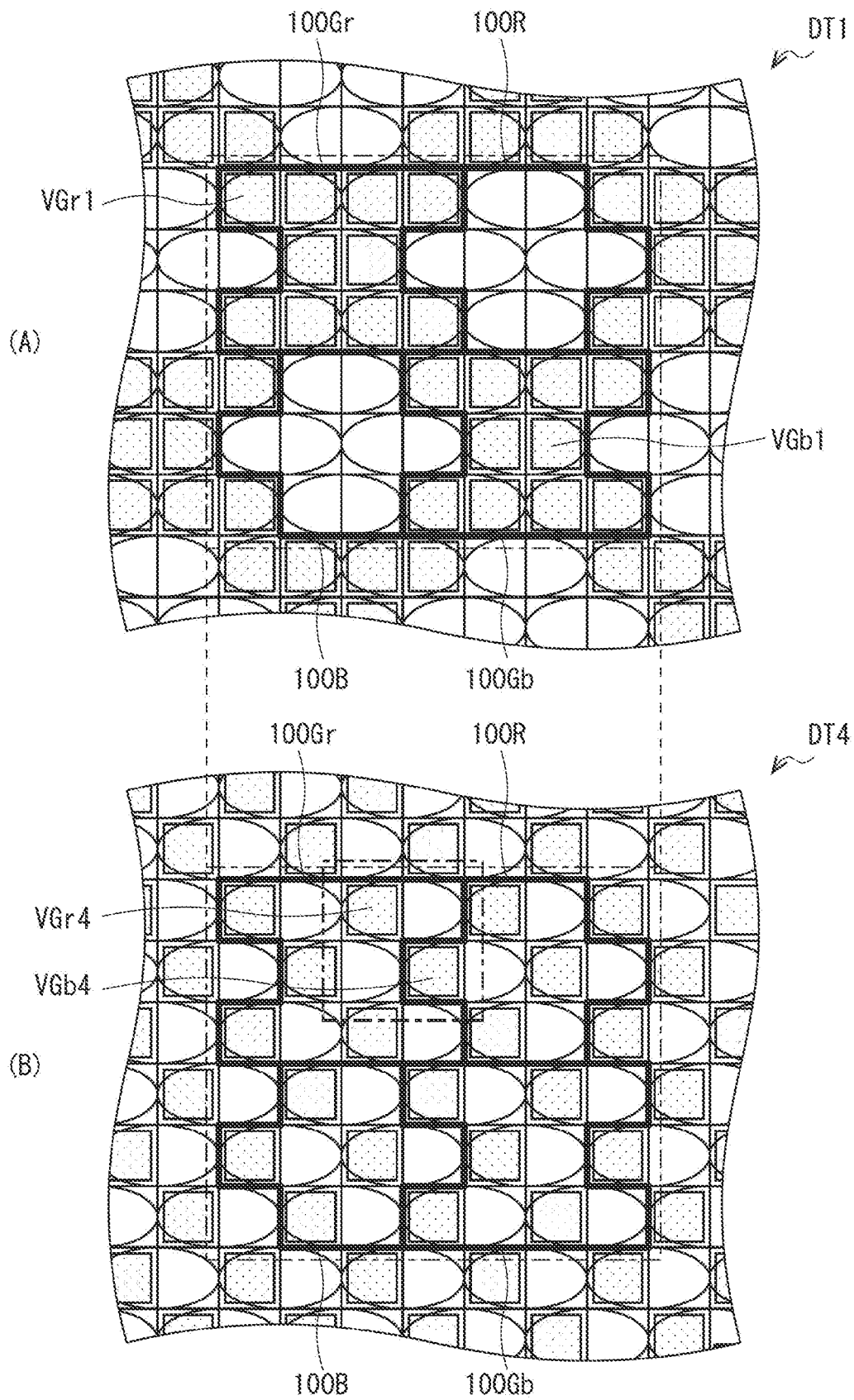
[図27]



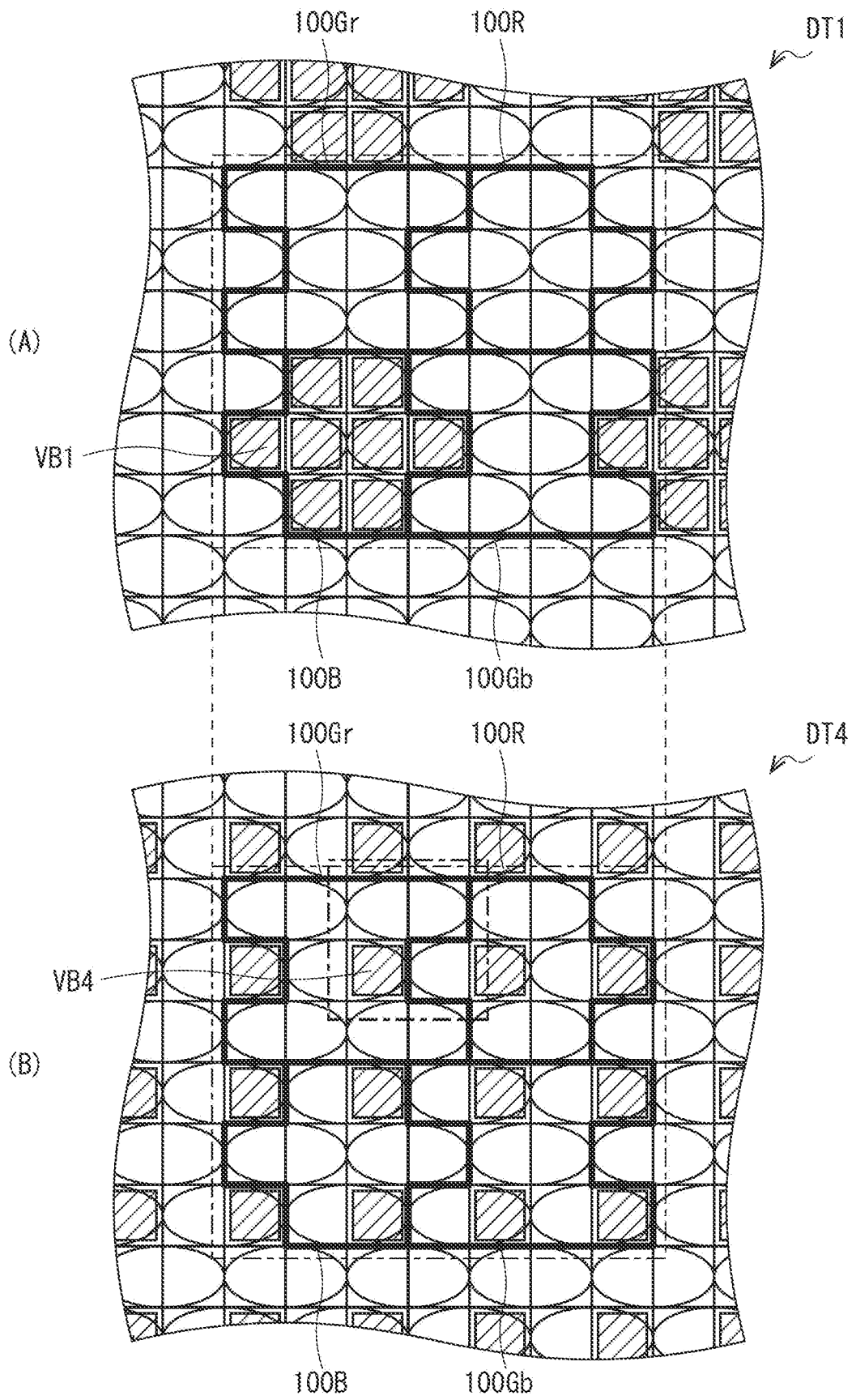
[図28A]



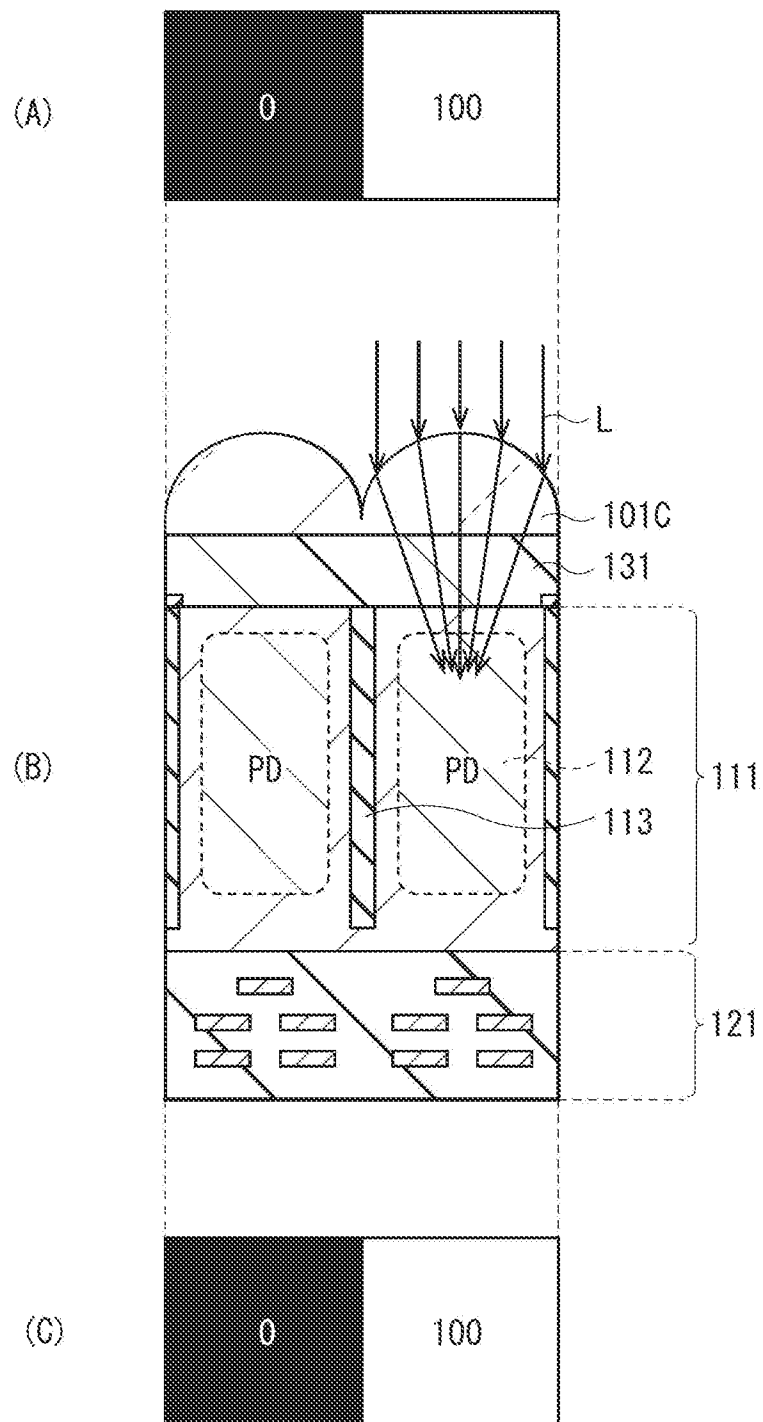
[図28B]



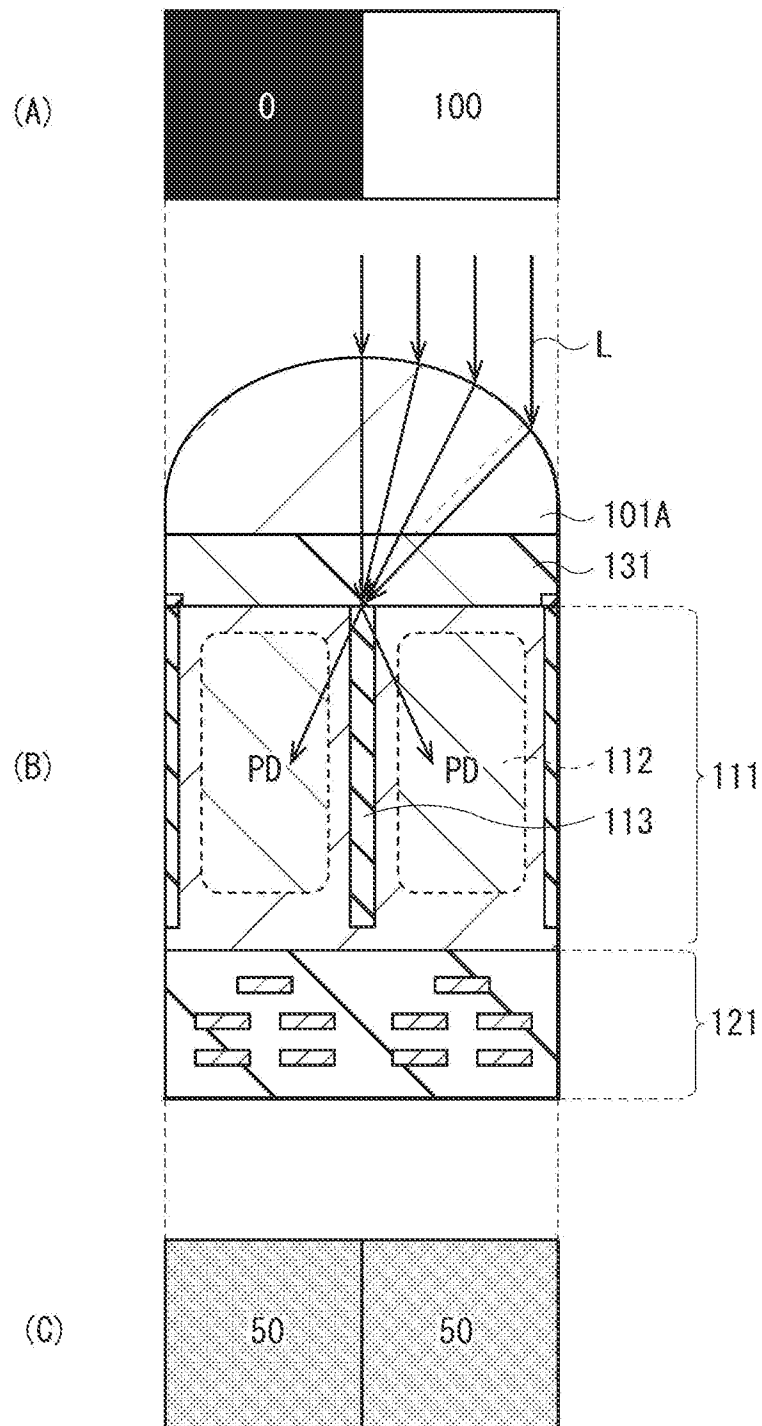
[図28C]



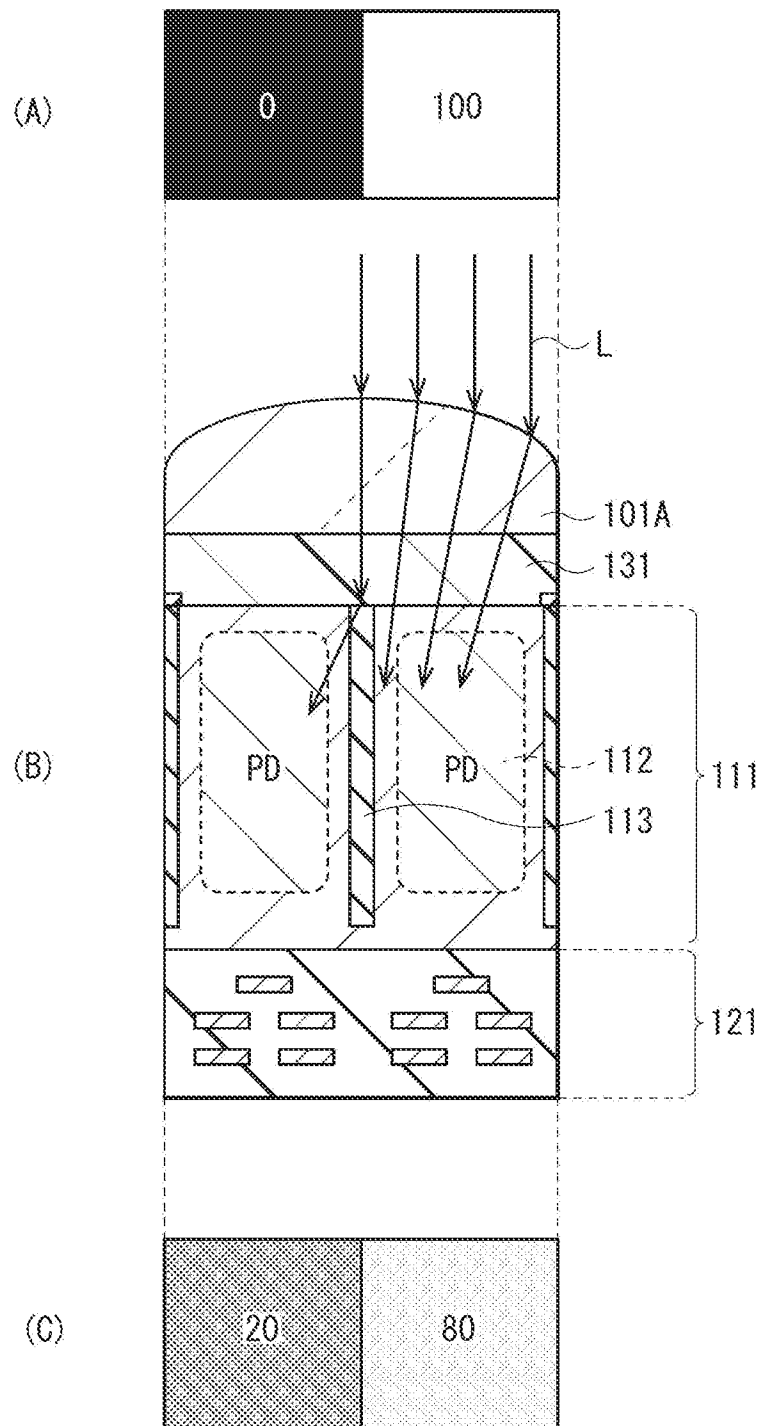
[図29]



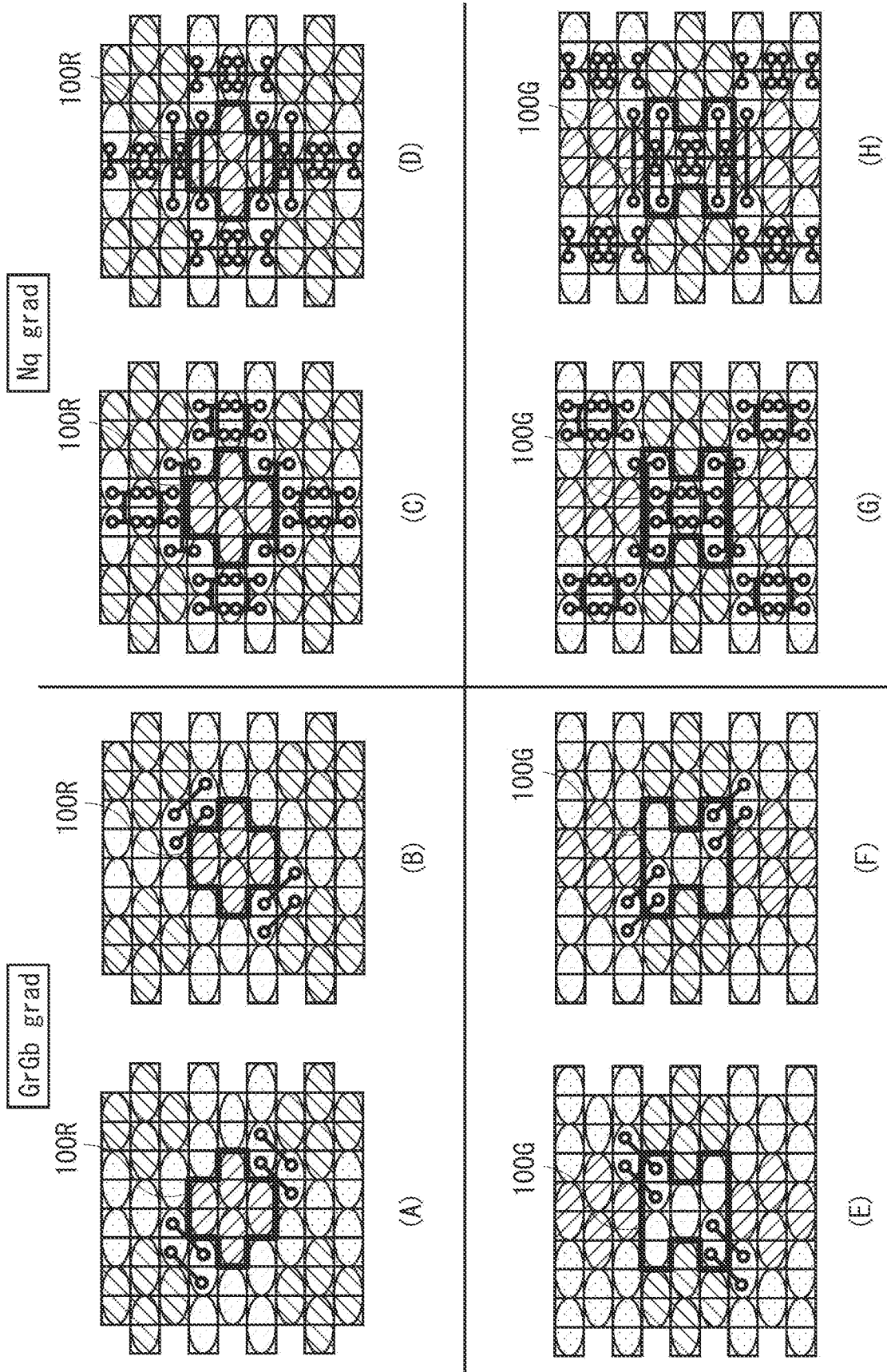
[図30]



[図31]

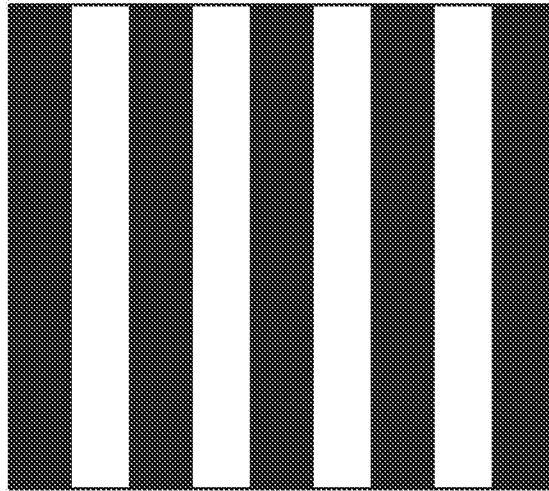


[図32]

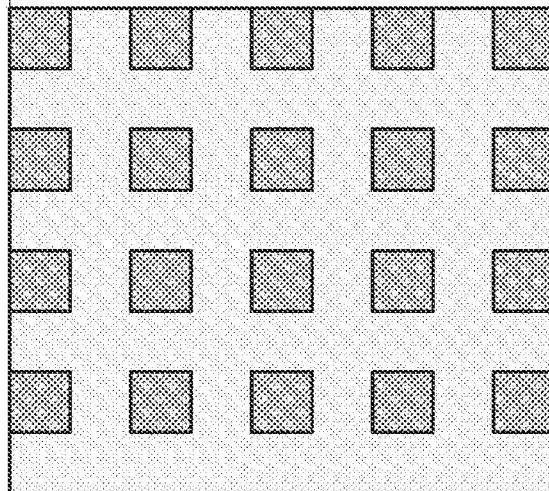


[図33]

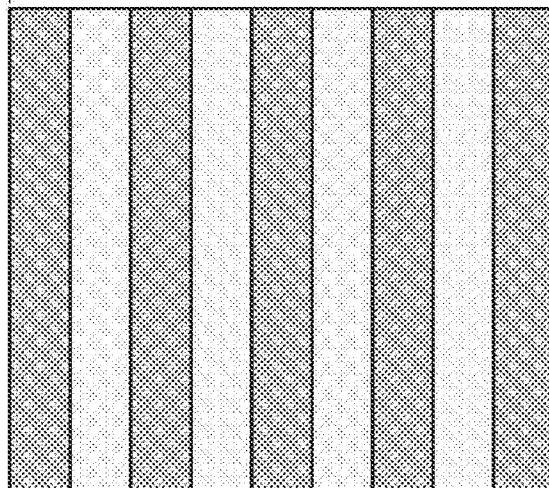
(A)



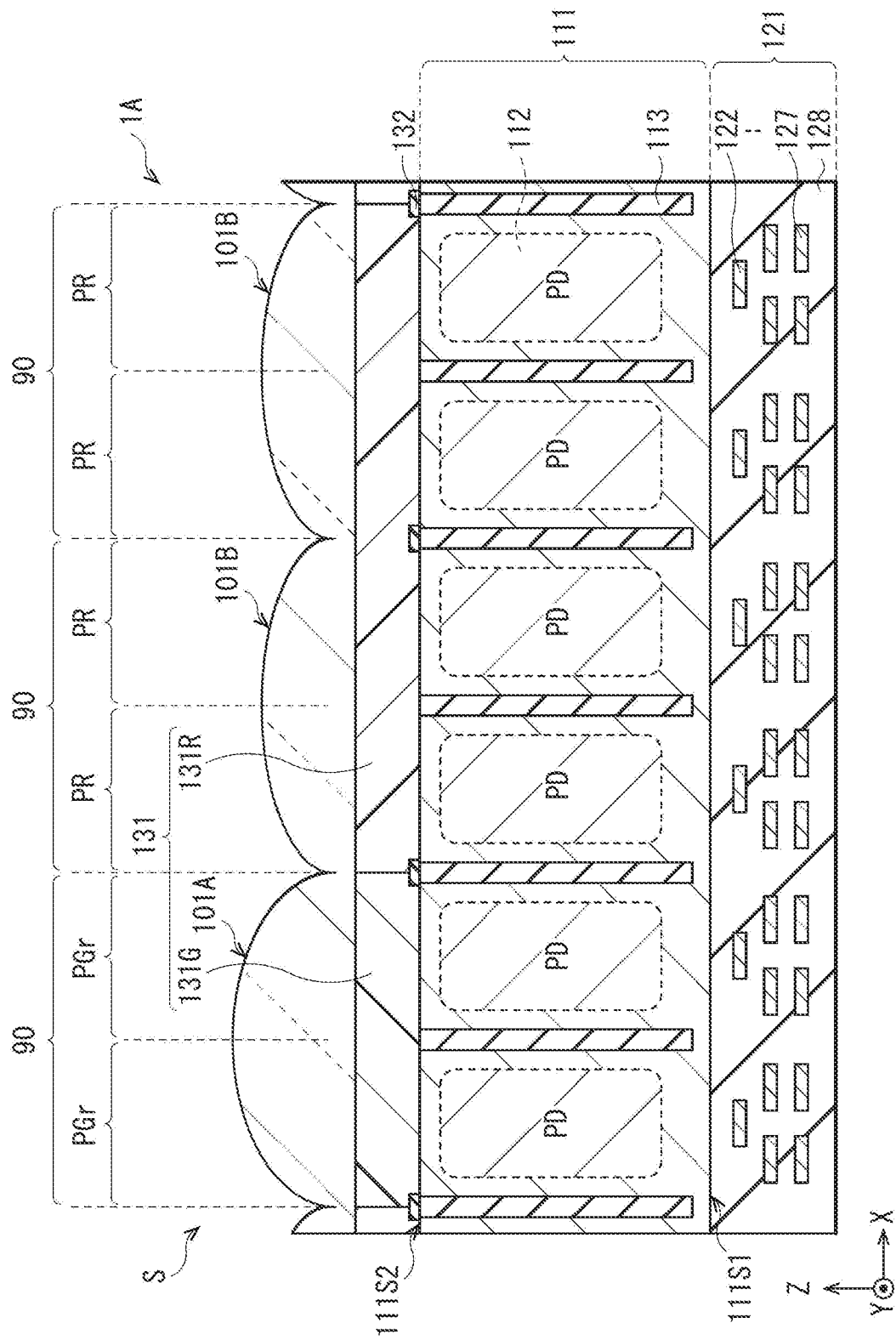
(B)

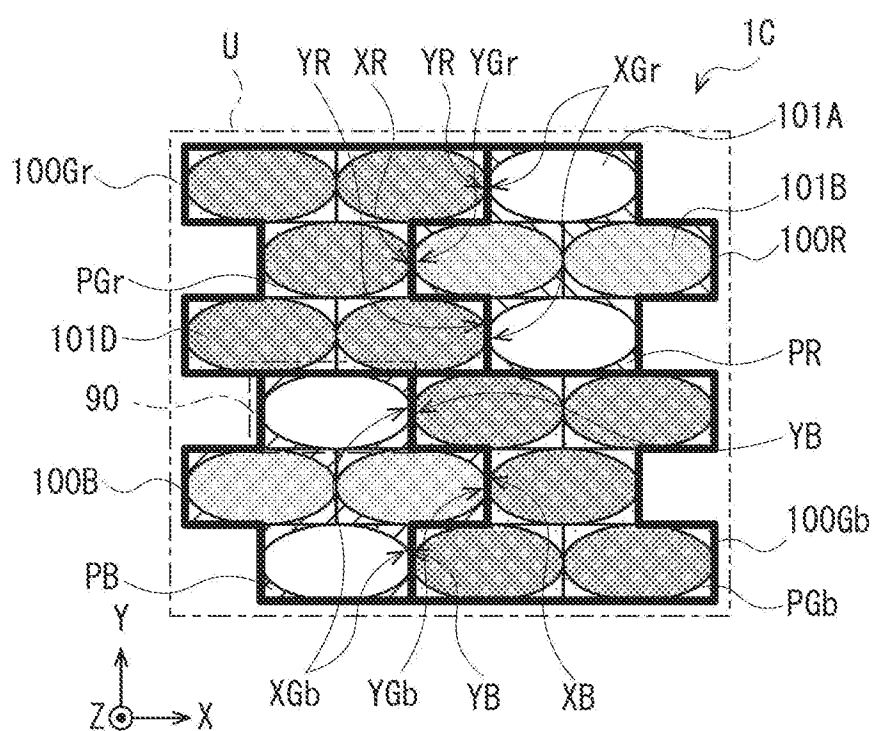
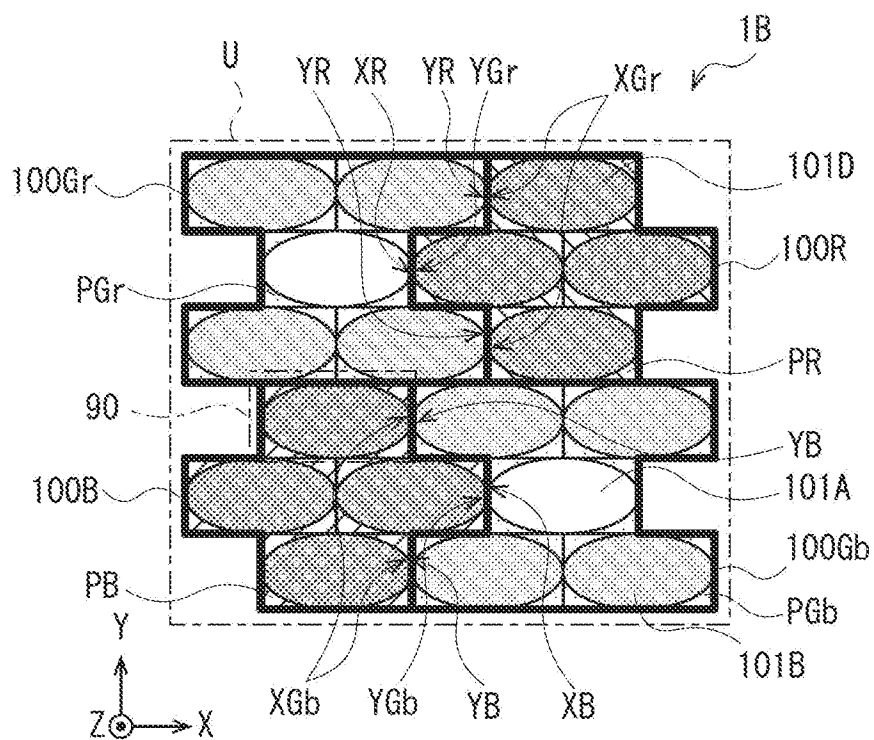


(C)

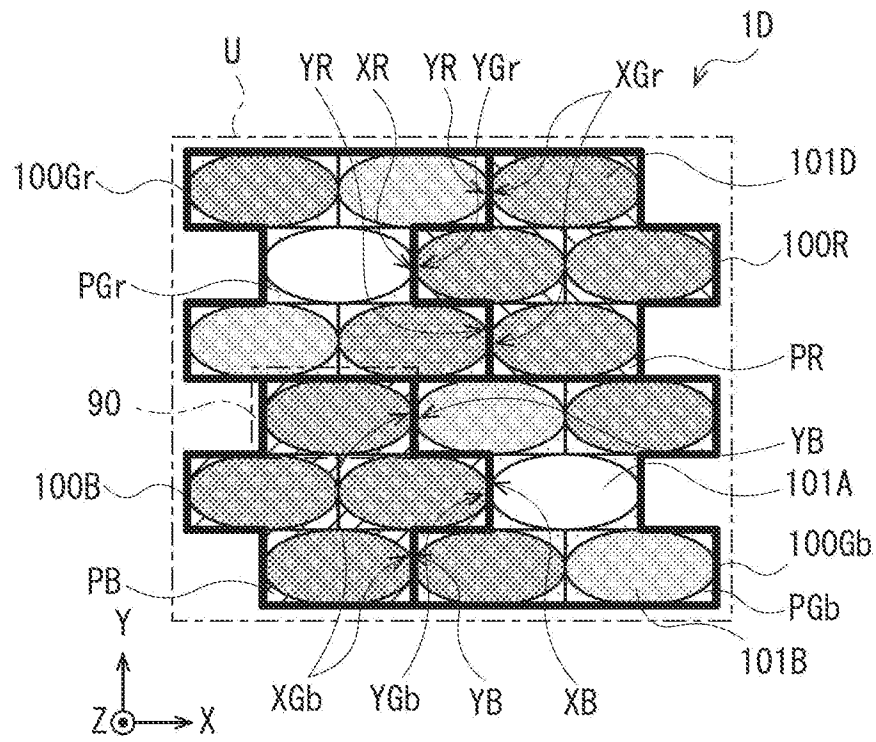


[図34]

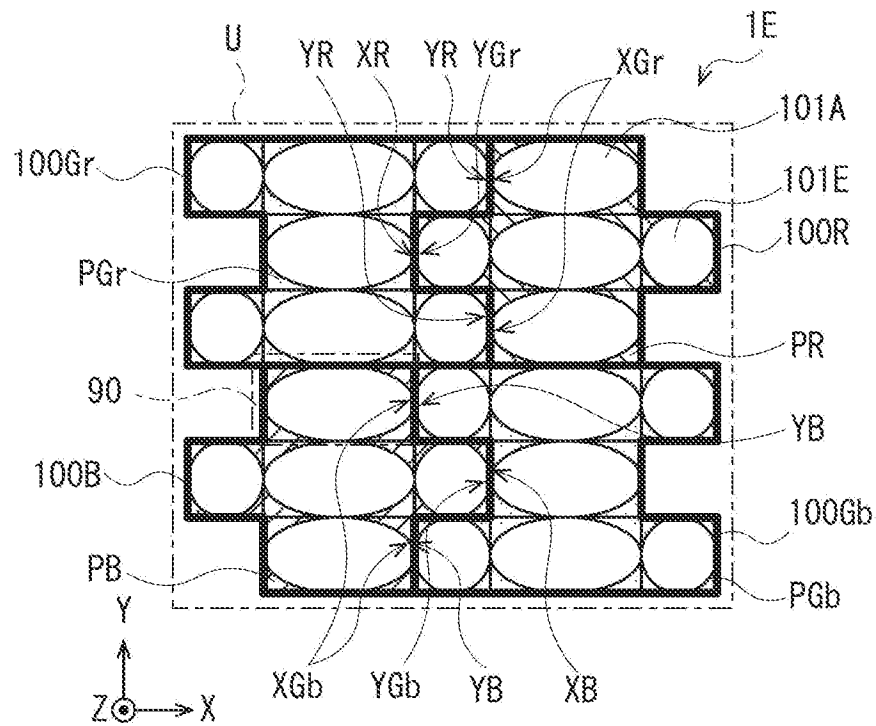




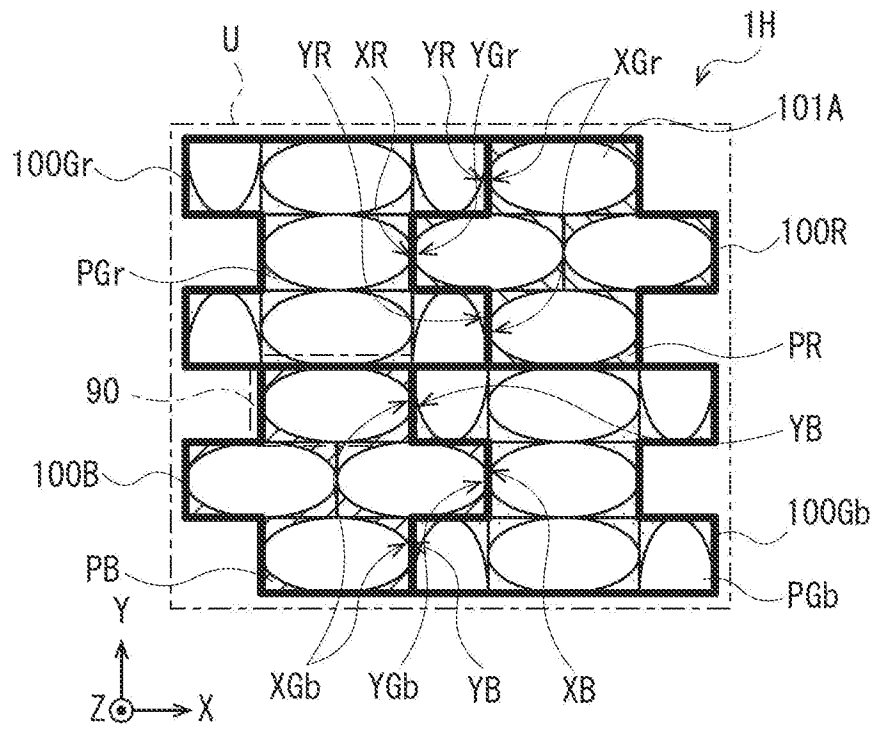
[図37]



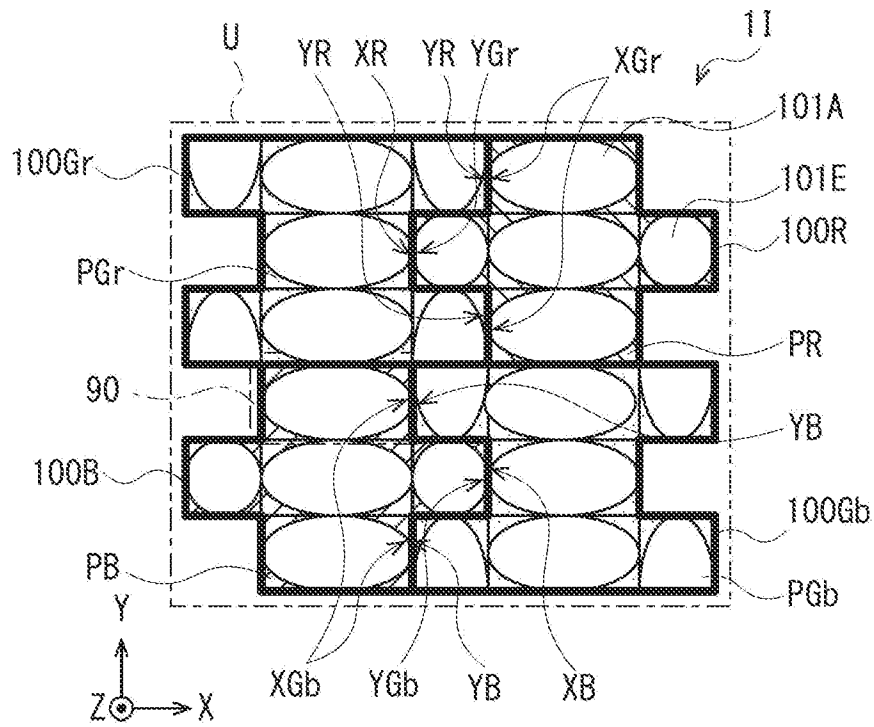
[図38]



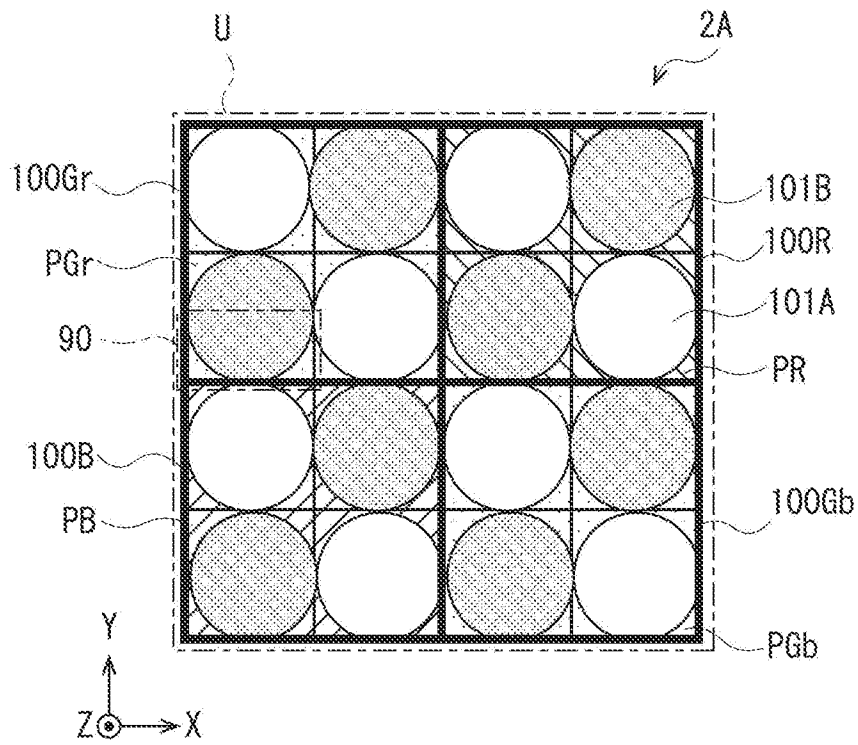
[図41]



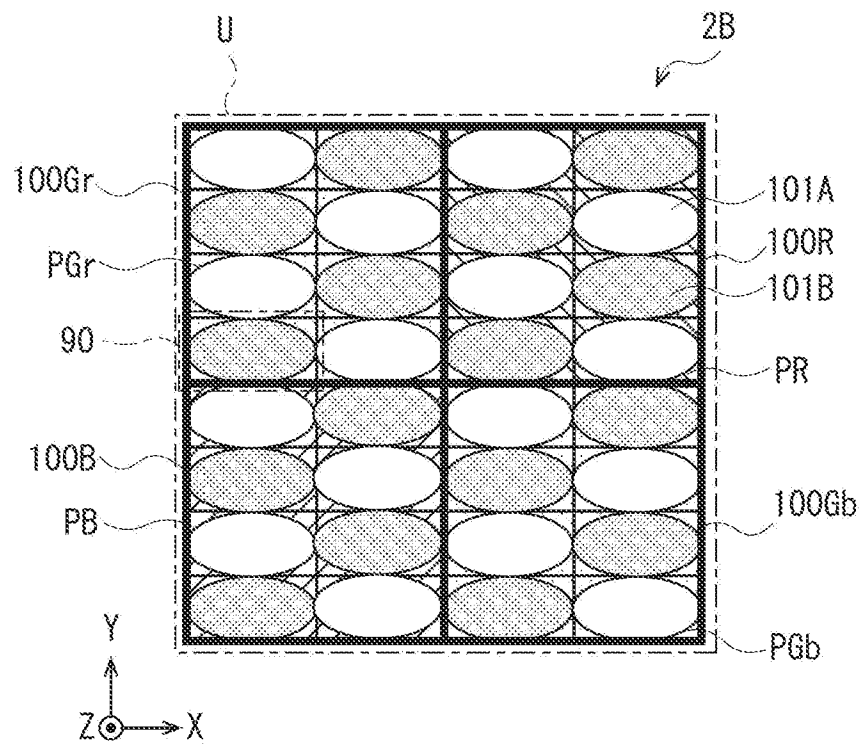
[図42]



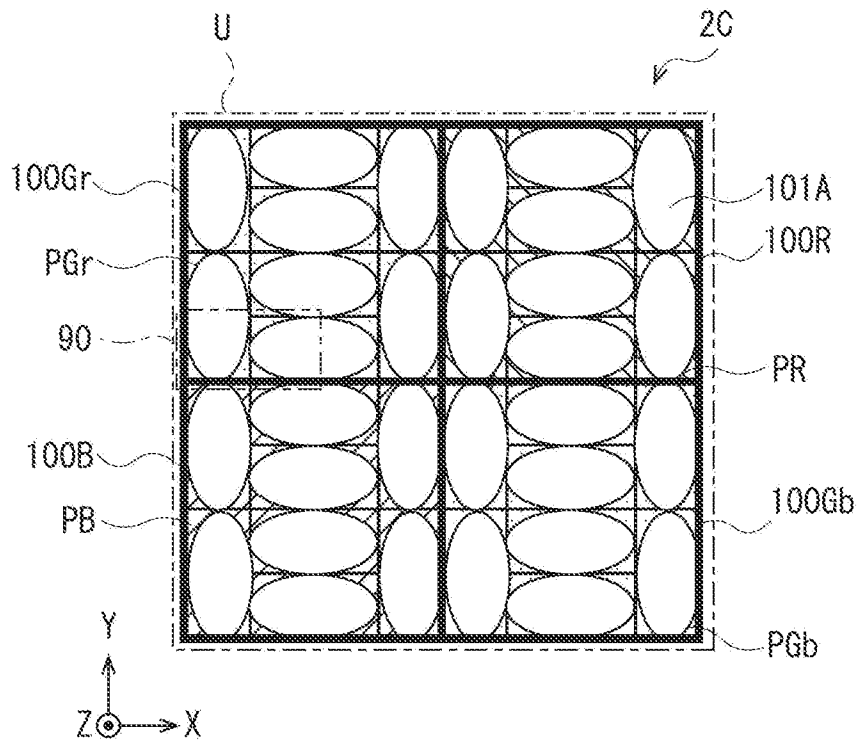
[図43]



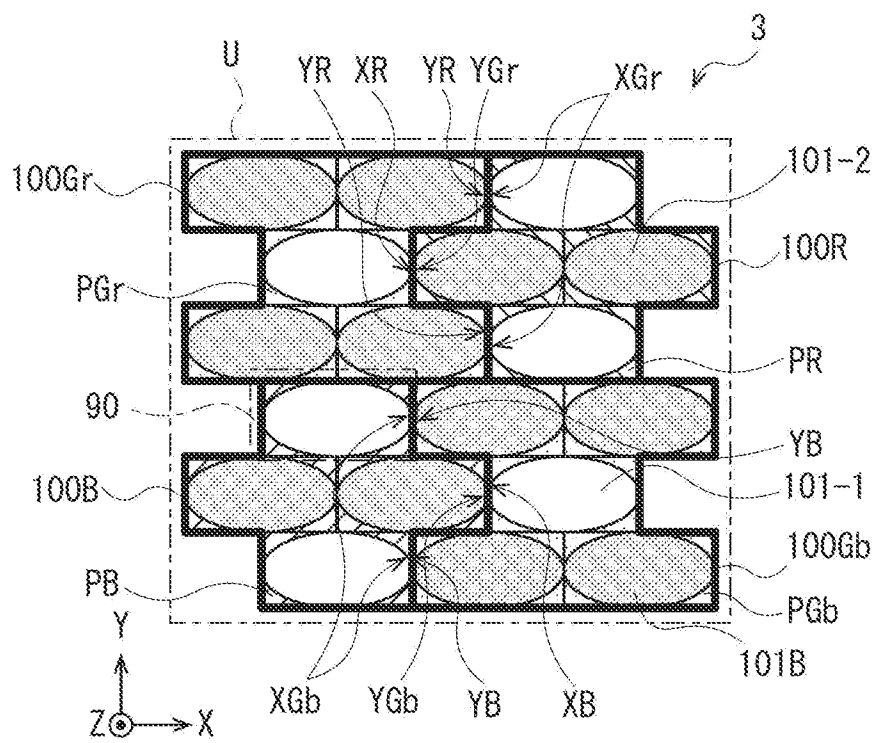
[図44]



[図45]

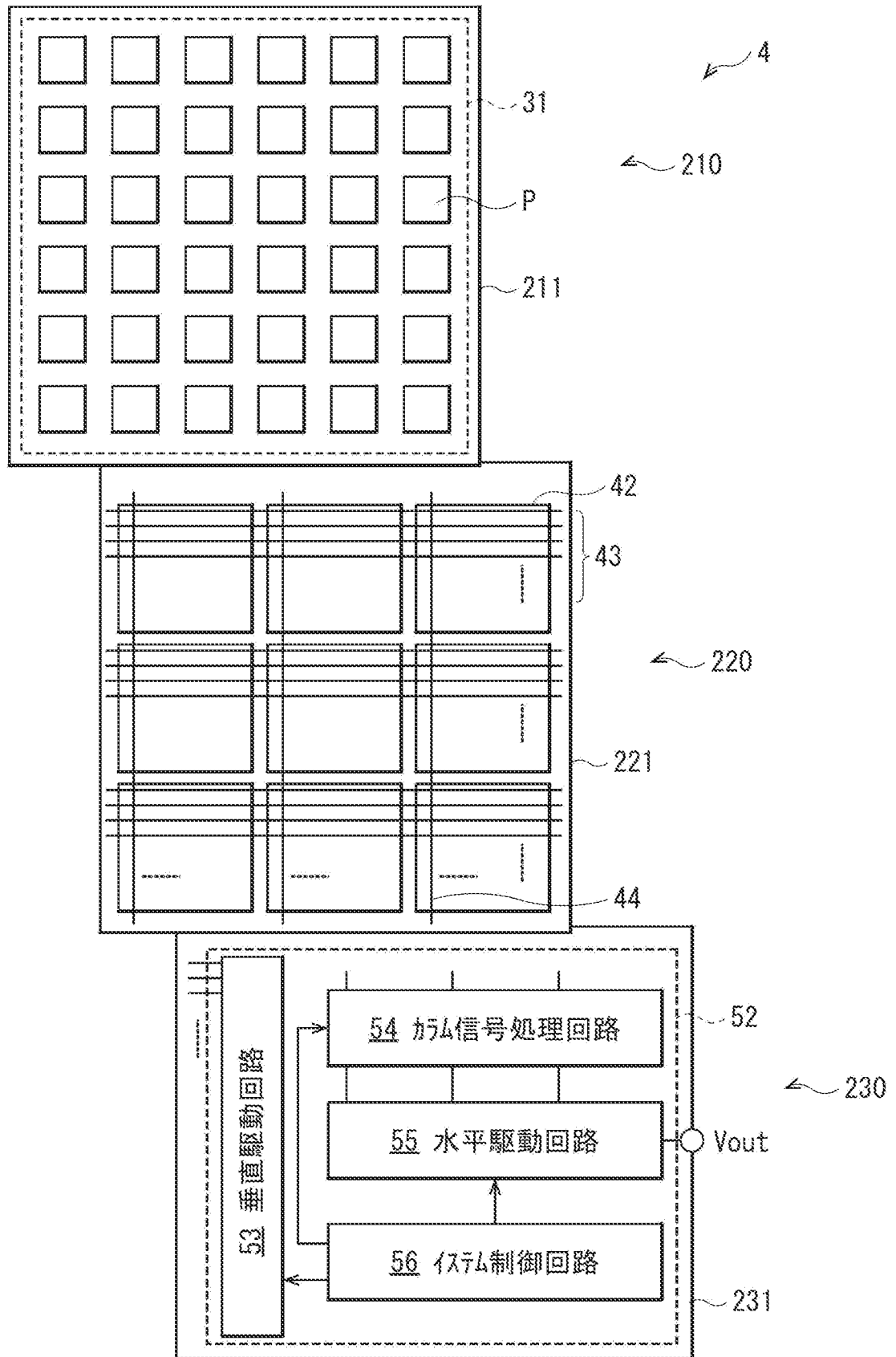


[図46]

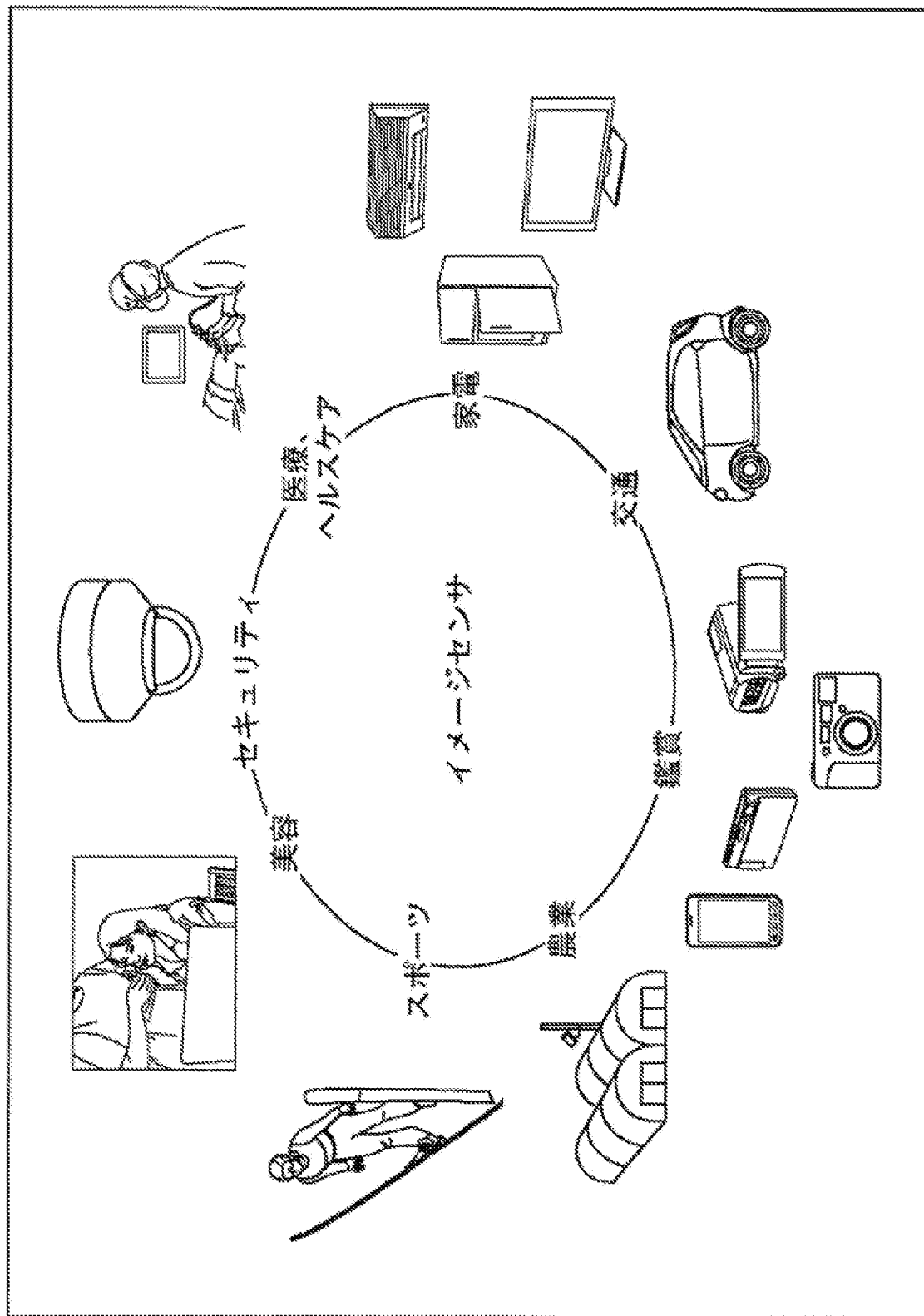


[illegible]

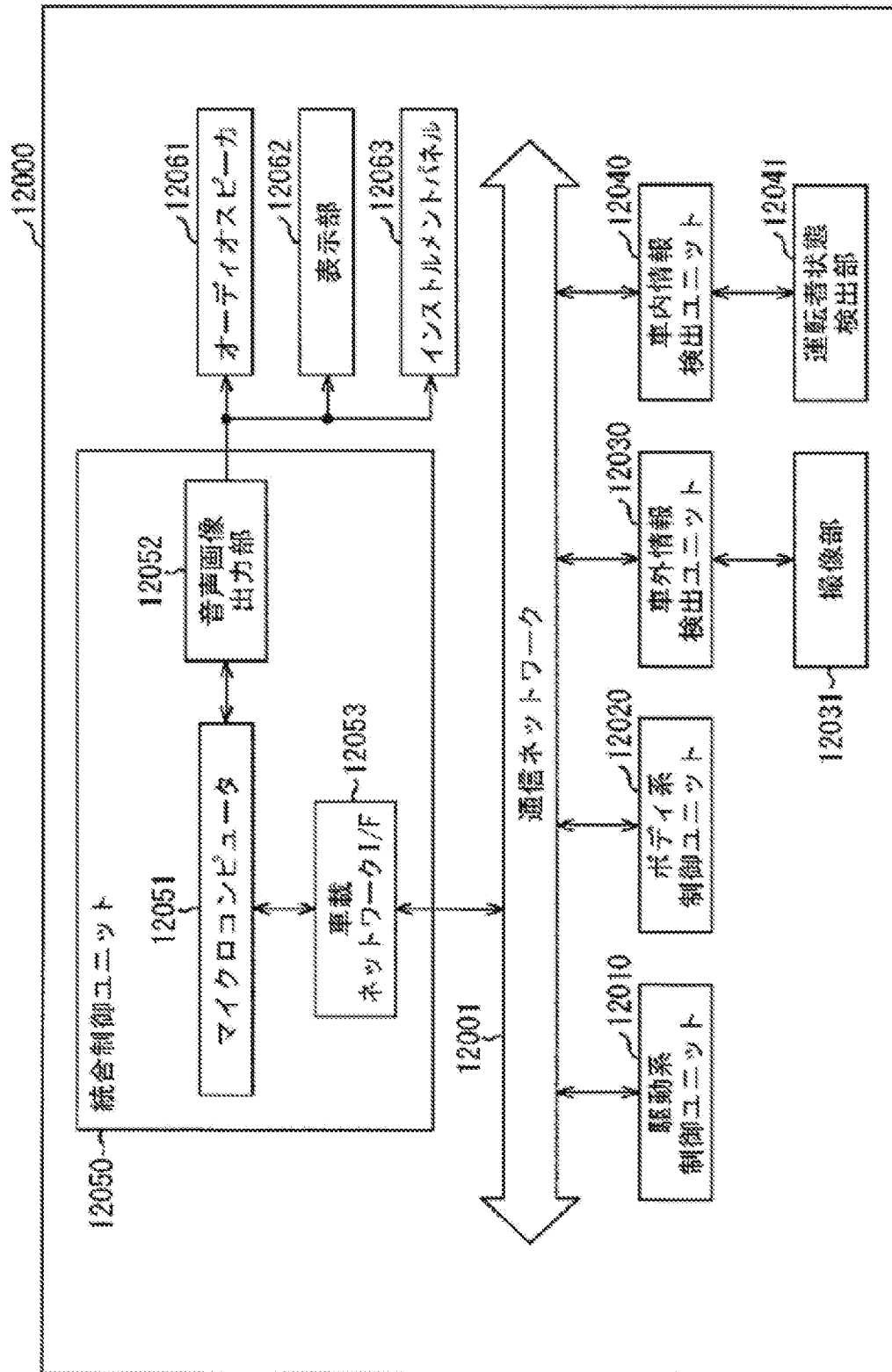
[図48]



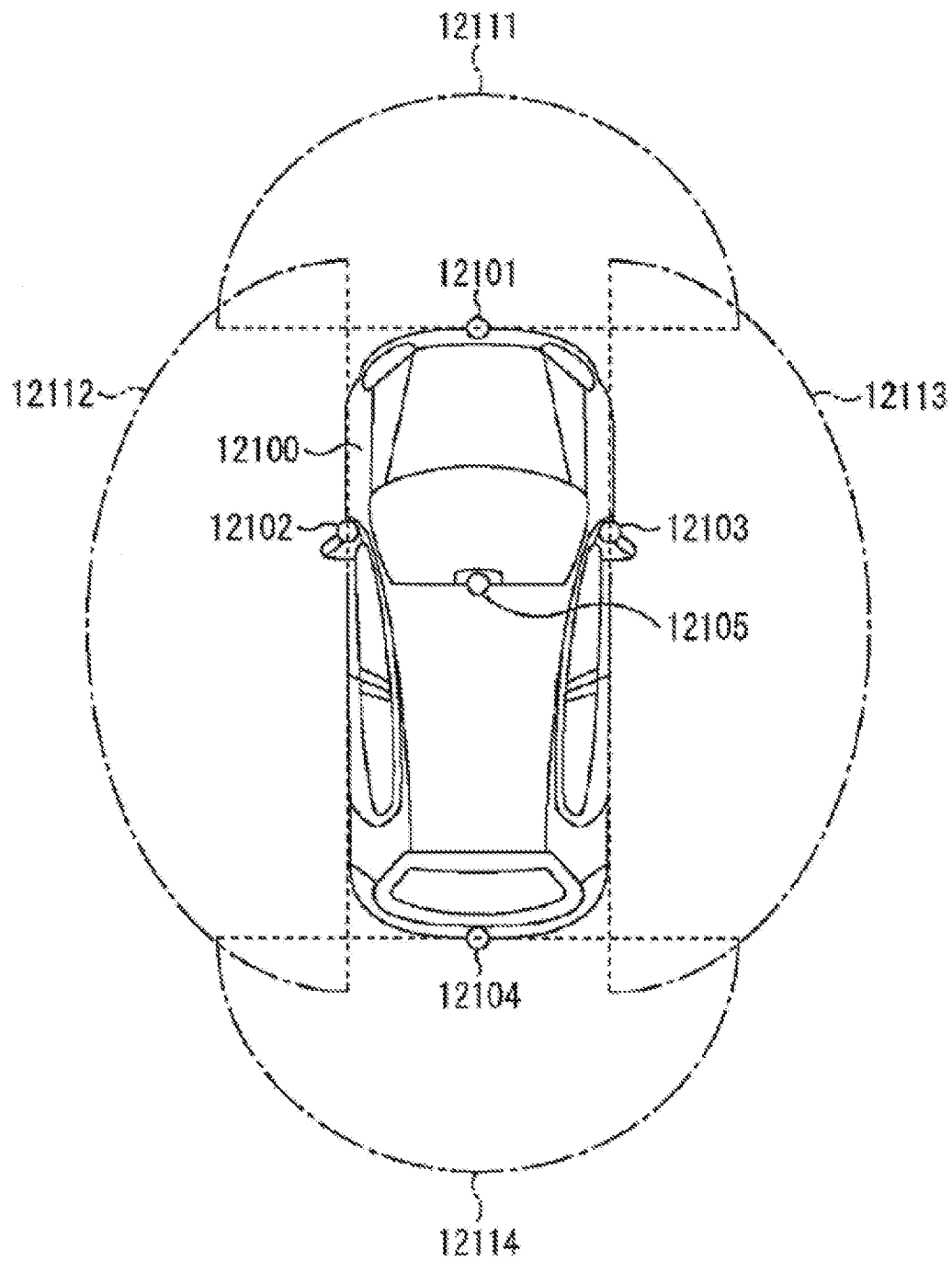
[図49]



[図50]



[図51]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/005027

A. CLASSIFICATION OF SUBJECT MATTER H01L 27/146 (2006.01)i; H04N 25/70 (2023.01)i FI: H01L27/146 D; H04N25/70 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L27/146; H04N25/70 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2022/130888 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 23 June 2022 (2022-06-23) fig. 1-3	1-13
Y	WO 2017/126326 A1 (SONY CORPORATION) 27 July 2017 (2017-07-27) paragraph [0142], fig. 23	1-13
Y	JP 2016-111184 A (TOPPAN PRINTING CO., LTD.) 20 June 2016 (2016-06-20) paragraph [0020]	1-13
Y	JP 2014-56182 A (NIPPON HOSO KYOKAI) 27 March 2014 (2014-03-27) paragraphs [0040]-[0046], fig. 5	1-13
Y	JP 2016-15430 A (SONY CORPORATION) 28 January 2016 (2016-01-28) fig. 24, 27	3-7
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 18 April 2024		Date of mailing of the international search report 07 May 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/005027

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2017/0347042 A1 (SEMICONDUCTOR COMPONENTS INDUSTRIES, LLC) 30 November 2017 (2017-11-30) fig. 1-13	1-13
A	WO 2019/188536 A1 (SONY CORPORATION) 03 October 2019 (2019-10-03) paragraphs [0169]-[0178], fig. 1, 4, 8	1-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/005027

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)
WO	2022/130888	A1	23 June 2022	US	2022/0399386	A1
				fig. 1-3		
				EP	4043955	A1
				CN	116648923	A
				KR	10-2023-0118760	A
				TW	202231056	A
WO	2017/126326	A1	27 July 2017	US	2019/0019835	A1
				paragraph [0185], fig. 23		
JP	2016-111184	A	20 June 2016	(Family: none)		
JP	2014-56182	A	27 March 2014	(Family: none)		
JP	2016-15430	A	28 January 2016	US	2017/0170222	A1
				fig. 24, 27		
				WO	2016/002574	A1
				CN	105493285	A
US	2017/0347042	A1	30 November 2017	CN	206947348	U
WO	2019/188536	A1	03 October 2019	US	2021/0014412	A1
				paragraphs [0268]-[0279], fig. 1, 4, 8		
				EP	3780576	A1
				CN	112106343	A

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 27/146(2006.01)i; H04N 25/70(2023.01)i
FI: H01L27/146 D; H04N25/70

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L27/146; H04N25/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922 - 1996年
日本国公開実用新案公報 1971 - 2024年
日本国実用新案登録公報 1996 - 2024年
日本国登録実用新案公報 1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2022/130888 A1（ソニーセミコンダクタソリューションズ株式会社）23.06.2022 (2022 - 06 - 23) 図1-3	1-13
Y	WO 2017/126326 A1（ソニー株式会社）27.07.2017（2017 - 07 - 27） 段落[0142], 図23	1-13
Y	JP 2016-111184 A（凸版印刷株式会社）20.06.2016（2016 - 06 - 20） 段落[0020]	1-13
Y	JP 2014-56182 A（日本放送協会）27.03.2014（2014 - 03 - 27） 段落[0040]-[0046], 図5	1-13
Y	JP 2016-15430 A（ソニー株式会社）28.01.2016（2016 - 01 - 28） 図24, 27	3-7
A	US 2017/0347042 A1（SEMICONDUCTOR COMPONENTS INDUSTRIES, LLC）30.11.2017 (2017 - 11 - 30) 図1-13	1-13

☒ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“I” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
18. 04. 2024

国際調査報告の発送日
07. 05. 2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

脇水 佳弘 5F 3464

電話番号 03-3581-1101 内線 3514

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2019/188536 A1 (ソニー株式会社) 03.10.2019 (2019 - 10 - 03) 段落[0169]-[0178], 図1, 4, 8	1-13

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/005027

引用文献			公表日	パテントファミリー文献			公表日
WO	2022/130888	A1	23.06.2022	US	2022/0399386	A1	
				図1-3			
				EP	4043955	A1	
				CN	116648923	A	
				KR	10-2023-0118760	A	
				TW	202231056	A	
WO	2017/126326	A1	27.07.2017	US	2019/0019835	A1	
				段落[0185], 図23			
JP	2016-111184	A	20.06.2016	(ファミリーなし)			
JP	2014-56182	A	27.03.2014	(ファミリーなし)			
JP	2016-15430	A	28.01.2016	US	2017/0170222	A1	
				図24, 27			
				WO	2016/002574	A1	
				CN	105493285	A	
US	2017/0347042	A1	30.11.2017	CN	206947348	U	
WO	2019/188536	A1	03.10.2019	US	2021/0014412	A1	
				段落[0268]-[0279], 図1, 4, 8			
				EP	3780576	A1	
				CN	112106343	A	