

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01L 29/78

H01L 27/105

[12] 发 明 专 利 说 明 书

[21] ZL 专利号 94109104. X

[45]授权公告日 2000 年 5 月 10 日

[11]授权公告号 CN 1052344C

[22]申请日 1994.8.19 [24]颁证日 2000.2.5

[21]申请号 94109104. X

[30]优先权

[32]1993.8.19 [33]JP [31]204922/1993

[32]1993.11.22 [33]JP [31]291638/1993

[73]专利权人 株式会社日立制作所

地址 日本东京

[72]发明人 矢野和男 石井智之 桥本孝司

关浩一 青木正和 阪田健

中込仪延 竹内干

[56]参考文献

US4,173,791 1979.11. 6

审查员 赵百令

[74]专利代理机构 中国国际贸易促进委员会专利商标事务所

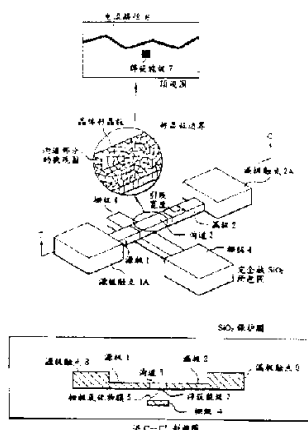
代理人 王永刚

权利要求书 6 页 说明书 52 页 附图页数 35 页

[54]发明名称 半导体元件

[57]摘要

一种场效应半导体元件,它是用少数元件实现的并
具有较小的面积且能够在不 需要进行低温冷却的情况
下通过其存储数据。栅极-沟道电容被设定得如此地
小,以致能根据该半导体场效应晶体管元件电流的改变
明确而清楚地检测出捕 获区是否俘获到了一个电子或
空穴。通过检测该半导体元件的阈值电压由于在 捕获
区中捕获电子或空穴而产生的改变,就能在室温下实现
数据存储。



ISSN 1000-8427-4

权 利 要 求 书

1. 半导体元件, 包括:

一个构成所述半导体元件的源极的源极区;

一个构成所述半导体元件的漏极的漏极区;

一个设置在所述源极区和所述漏极区之间并用于将它们连接起来的有效沟道区;

一个栅极电极, 它通过设置在所述栅极电极和所述有效沟道区之间的一个栅极绝缘膜而与所述有效沟道区相连接;

其特征在于, 该半导体元件还包括:

载流子约束区, 它形成在所述源极区和所述漏极区之间并位于所述有效沟道区中的电流路径附近并用于俘获至少一个载流子,

其中所述栅极电极和所述有效沟道区之间的有效电容被设定得如此地小, 以致满足于由以下不等式给出的条件:

$$1/C_{gc} > kT/q^2$$

其中 C_{gc} 代表所述有效电容,

k 代表玻尔兹曼常数,

T 代表以绝对温度表示的操作温度, 且 q 代表一个电子的电荷。

2. 根据权利要求 1 的半导体元件, 还包括用于使所述栅极电极和所述源极之间的导电性在室温下呈现出滞后现象的装置, 当所述栅极电极和所述源极之间的电势差反复地被增大和减小且同时使所述漏极和所

述源极之间的电压保持为常数时,所述栅极电极和所述源极之间的导电性在室温下呈现出滞后现象。

3. 根据权利要求1的半导体元件,其中所述有效沟道区是由一种多晶半导体制成的。

4. 根据权利要求2的半导体元件,其中所述有效沟道区是由一种多晶硅制成的。

5. 根据权利要求1的半导体元件,其中所述栅极电极和所述有效沟道区之间的所述有效电容被设定为一个不大于 $6aF$ 的值。

6. 根据权利要求1的半导体元件,

所述有效沟道区和所述源极区的每一个都是由一种半导体薄膜制成的,

其中所述源极区与一根引线相连接的部分的膜厚度大于所述有效沟道区的厚度。

7. 根据权利要求1的半导体元件,其中所述有效沟道区的周边部分被一种其介电常数小于所述有效沟道区的介电常数的材料所覆盖。

8. 一种半导体元件,包括:

一个构成所述半导体元件的源极的源极区;

一个构成所述半导体元件的漏极的漏极区;

所述源极区与所述漏极区通过一个设置在它们之间的有效沟道区相连接;

一个栅极电极,该栅极电极通过设置在所述栅极电极和所述有效沟道区之间的一个栅极绝缘膜与所述有效沟道区相连接;

形成在所述有效沟道区附近并用于约束载流子的至少一个载流子约束区;以及

存在于所述载流子约束区和所述有效沟道区之间的一个势垒;

其中所述栅极电极和所述有效沟道区之间的有效电容被设定得如此地小,以致满足于由以下不等式给出的条件:

$$1/C_{gc} > kT/q^2$$

其中 C_{gc} 代表所述有效电容,

k 代表玻尔兹曼常数,

T 代表以绝对温度表示的操作温度,且

q 代表一个电子的电荷。

9. 一种半导体元件,包括:

一个构成所述半导体元件的源极的源极区;

一个构成所述半导体元件的漏极的漏极区;

所述源极区与所述漏极区通过一个设置在它们之间的有效沟道区相连接;

一个栅极电极,该栅极电极通过设置在所述栅极电极和所述有效沟道区之间的一个栅极绝缘膜与所述有效沟道区相连接;

形成在所述有效沟道区附近并用于约束载流子的至少一个载

流子约束区；以及

存在于所述载流子约束区和所述有效沟道区之间的一个势垒；

其中所述有效沟道区和所述载流子约束区之间的一个电容值被设定得大于所述栅极电极和所述载流子约束区之间的电容；且

其中在所述载流子约束区周围存在的总电容被这样地设定，即使得由以下不等式表示的条件得到满足：

$$q^2/2C_u > kT$$

其中 C_u 代表所述总电容，

k 代表玻尔兹曼常数，

T 代表以绝对温度表示的操作温度，且

q 代表一个电子电荷。

10. 根据权利要求 9 的半导体元件，

其中所述栅极电极和所述有效沟道区之间的有效电容被设定得如此地小，以致满足由以下不等式给出的条件：

$$1/C_{gc} > kT/q^2$$

其中 C_{gc} 代表所述有效电容，

k 代表玻尔兹曼常数，

T 代表以绝对温度表示的操作温度，且

q 代表一个电子的电荷。

11. 根据权利要求 8 的半导体元件，其中所述有效沟道区被

设置在一个绝缘膜上。

12. 根据权利要求 9 的半导体元件, 其中所述有效沟道区被设置在一个绝缘膜上。

13. 根据权利要求 8 的半导体元件, 其中
所述栅极电极包括一个第一栅极电极和一个第二栅极电极,
其中所述有效沟道区和所述载流子约束区被设置在所述第一栅极电极和所述第二栅极电极之间。

14. 根据权利要求 9 的半导体元件, 其中
所述栅极电极包括一个第一栅极电极和一个第二栅极电极,
其中所述有效沟道区和所述载流子约束区被设置在所述第一栅极电极和所述第二栅极电极之间。

15. 根据权利要求 8 的半导体元件,
所述栅极电极包括一个第一栅极电极和一个第二栅极电极,
其中所述第二栅极电极被设置在所述第一栅极电极和所述有效沟道区之间。

16. 根据权利要求 9 的半导体元件, 其中
所述栅极电极包括一个第一栅极电极和一个第二栅极电极,
其中所述第二栅极电极被设置在所述第一栅极电极和所述有效沟道区之间。

17. 根据权利要求 8 的半导体元件,
其中一个晶体薄膜的岛被用于形成所述载流子约束区。

18. 根据权利要求 9 的半导体元件,

其中一个晶体薄膜的岛被用于形成所述载流子约束区。

19. 一种半导体元件, 包括:

一个构成所述半导体元件的源极的源极区;

一个构成所述半导体元件的漏极的漏极区;

所述源极区与所述漏极区通过设置在它们之间的一个有效沟道区相连接;

一个栅极电极, 该栅极电极通过一个设置于所述栅极电极和所述有效沟道区之间的栅极绝缘膜与所述有效沟道区相连接;

形成在所述有效沟道区附近并用于约束载流子的至少一个载流子约束区, 所述约束区被一个势垒所包围;

信息的存储是通过将载流子保持在所述载流子约束区中而实现的; 以及

一个薄膜结构, 它具有不大于 9nm 的厚度并且是由设置在所述有效沟道区和所述载流子约束区之间的一个绝缘膜中的一种半导体材料制成的。

说明书

半导体元件

本发明涉及适于进行高密度集成的半导体元件。

以前,多晶硅晶体管已经被用作构成静态随机存取存储装置(缩写为 SRAM)的元件。在 T. Yamanaka 等人在 *IEEE International Electron Device Meeting*, pp. 447—480 的论文中,描述了一种有关的现有技术。通过制作尽可能多的多晶硅晶体管,集成电路的集成密度可以得到提高,其理由可以用这样的事实来解释,即可以把多晶硅晶体管以叠置或分层的方式形成在传统的、形成在半导体衬底的表面上的整体 MOSFET(金属氧化物半导体场效应晶体管)之上,且在多晶硅晶体管和整体 MOSFET 之间设置有绝缘膜。在这种 SRAM 中,实现用于一位的存储单元需要四个整体 MOSFET 和两个多晶硅晶体管。然而,由于该多晶硅晶体管可以被叠置在这些整体 MOSFET 上,该 SRAM 的一个存储单元可以在大体对应于这些整体 MOSFET 所需的区域上实现。

作为与本发明有关的另一个现有技术,可以提到在 K. Nakazato 等人在 *Electronics Letters*, vol. 29, No. 4, pp. 384—

385(1993)中描述的单电子存储器。该存储器可通过一个一个地对电子进行控制而实现。然而,应注意的是操作温度很低,在 30mK 的量级上。

作为与本发明有关的另一个现有技术,有如 F. Fang 等人在 1990 Symposium on VLSI Technology, pp. 37—38 (1990)中公布的技术,它涉及对 MOSFET 的 RTN (随机电报噪声)的研究。更具体地说,当在恒定电压条件下在预定时间内测量 MOSFET 的漏极电流时,会出现这样的现象,即在高电流态和低电流态之间发生随机的状态转换。这种现象被称为 RTN,其原因可以用单个电子在存在于硅 (Si) 和二氧化硅 (SiO_2) 界面上的能级节中的被捕获和从其得到释放从而使漏极电流发生了变化了进行解释。然而,RTN 仍然是与 MOSFET 中有关的电流噪声的基础研究课题,且还没有得到关于在实际应用中采用 RTN 的任何尝试的正面报告。

目前,对半导体集成电路进行高精度处理的技术已经发展到了这样的水平,以致实现更高精度的任何努力都将遇到困难。即使在技术上是可能的,由于需要非常先进的技术,也会出现无法容忍的高成本的问题。在这种情况下,非常需要一种从根本上说新颖的、能增加半导体集成电路制作中的集成密度的方法,而不是依赖于只是通过增大其精度而实现构成半导体集成电路的半导体元件的方法。

另一方面,以前已知的多晶硅晶体管,在多晶硅晶体管的源极和漏极之间的电阻可受到栅极电压的控制这一方面,与可变电阻元

件是等价的。因此,SRAM 的存储单元的实现要求包括形成在硅衬底上的传统 MOSFET 在内的六个之多的半导体元件。

对比之下,在 DRAM(动态随机存取存储器)的情况下,一比特的数据或信息可被存储在由一个 MOSFET 和一个电容器构成的一个存储单元中。因此,DRAM 利用了 RAM 器件容易以最高集成密度实现这一优点。然而,由于 DRAM 是基于将电荷读出到一条数据线上的方案,而该数据线的电容又不能忽略,所以其存储单元必须有几十 fF (毫微微法)量级的电容,因而这给进一步增大存储单元的实施精度的努力造成了巨大的困难。

另外还已知的是,诸如闪烁 EEPROM(电可擦除及可编程只读存储器)的非易失存储器件,可通过采用每一个均具有浮动栅极和控制栅极的一些 MOSFET 来实现。进一步地,作为用于这种非易失存储器件的半导体元件,有一种已知的 MNOS(金属氮化物氧化物半导体)元件。该 MNOS 被用于将电荷存储在一个 SiO_2 膜和一个 Si_3N_4 膜之间的界面上,而不是闪烁 EEPROM 的浮动栅极。虽然带有浮动栅极的 MOSFET 或 MNOS 元件的使用在可以用一个晶体管长期保持或存储一比特的数据方面是有利的,但由于为此电流必须流过绝缘膜,所以需要很多时间进行重新写入操作,因而可以重新写入操作的执行次数限于约为 1 亿次,这又造成了一个问题,即该非易失存储器件的应用受到了限制。

另一方面,在上述 Nakazato 等人的文章中讨论的一电子存储

器件只能在低温下运行,从而产生了难以实施的问题。另外,这种单电子存储器的存储单元是由一个电容器和两个有源元件构成的,这意味着所需元件的数目超过了传统的 *DRAM* 的数目,从而造成了进一步的不利。

从上述可以理解到,存在着对不要求电容元件的半导体元件的巨大需要,这种半导体元件与 *DRAM* 不同且它能自己呈现出存储功能,以在不用依赖于实现具有更高精度的存储器的技术的条件下,实现具有比现有技术更高的集成密度的存储器。

考虑上述的现有技术状态,本发明的一个目的,是提供一种划时代的半导体元件,它使得能够以较少数目的半导体元件和较小的面积来实现一种半导体存储器件,它本身具有数据或信息存储能力,并且不需要在如低温级别的低温下冷却。

为了实现上述和其他将随着描述的进行而变得明了的目的,根据本发明的基本技术概念,半导体场效应晶体管元件的栅极和沟道之间的电容被设定得很小,以致于捕获电平对单个载流体(电子或空穴)的俘获都可以作为该半导体场效应晶体管元件的电流的改变而被明确而有效地检测出来。更具体地,在由于半导体场效应晶体

管元件对载流子的捕获或释放而引起的阈值改变和逻辑“1”和“0”的数字值之间,建立了对应关系,从而使该半导体场效应晶体管元件即使在室温下也具有存储数据或信息的功能或能力。

因此,从本发明最广义的意义上说,根据本发明的第一个方面,提供了一种半导体元件,它包括一个构成该半导体元件的源极的源极区、构成该半导体元件的漏极的漏极区、设置在源极区和漏极区之间并用于将它们彼此连接起来的有效沟道区、一个栅极电极—该栅极电极通过设置在该栅极电极和沟道区之间的一个栅极绝缘膜与沟道区相连接、以及一个形成在源极区和漏极区之间并处于沟道区中的电流路径附近且用于俘获至少一个载流子的能级节,其中栅极电极和有效沟道区之间的有效电容(将在后面对其进行解释)被设定得如此之小,以致于能满足以下不等式给出的条件:

$$1/C_{gc} > kT/q^2$$

其中 C_{gc} 表示有效电容, k 表示玻尔兹曼常数, T 表示以绝对温度代表的操作温度,而 q 表示一个电子的电荷(参见图 1A 至 1D)。

根据本发明的另一个方面,提供了一种半导体元件。该半导体元件包括:一个源极区和一个漏极区,该漏极区通过设置在源极区和漏极区之间的一个沟道区而与源极区相连接;一个栅极电极,它通过设置在栅极和沟道区之间的一个栅极绝缘膜与沟道区相连接;至少一个形成在沟道区附近并用于约束载流子的载流子约束区;以及,存在于载流子约束区和沟道区之间的势垒;其中栅极电极和有

效沟道区之间的有效电容被设定得足够地小以致满足以下不等式表示的条件:

$$1/C_{gc} > kT/q^2$$

其中 C_{gc} 代表有效电容, k 代表玻尔兹曼常数, T 代表用绝对温度表示的操作温度, 而 q 代表一个电子的电荷(参见图 10A 和 10B)。

根据本发明的另一个方面, 提供了一种半导体元件; 该半导体元件包括: 一个构成该半导体元件的源极的源极区; 一个构成该半导体元件的漏极的漏极区, 该源极区与该漏极区通过设置在它们之间的一个沟道区相连接; 一个栅极电极, 该栅极电极通过设置在该栅极电极与沟道区之间的一个栅极绝缘膜与沟道区相连接; 至少一个载流子约束区, 它形成于沟道区附近并用于约束载流子; 以及, 存在于该载流子约束区和沟道区之间的一个势垒; 其中沟道区和载流子约束区之间的电容值被设定得大于栅极电极和载流子约束区之间的电容, 且其中存在于载流子约束区周围的总电容得到适当的设定以满足由以下不等式表示的条件:

$$q^2/2C_u > kT$$

其中 C_u 代表总电容, k 代表玻尔兹曼常数, T 代表以绝对温度表示的操作温度, 而 q 代表一个电子的电荷(参见图 10A 和 10B)。

在此, 重要的是要注意到, “总电容(C_u)”指的是存在于载流子约束区和栅极电极以外的所有其他电极之间的电容的总和。

为了增加半导体存储元件可以再被写入的次数,需要将存在于沟道区和载流子约束区之间的势垒(绝缘膜)的可能的降低抑制到最小的程度。

因此,根据本发明的进一步的方面,提供了一种半导体元件,它包括:一个构成该半导体元件的源极的源极区;一个构成该半导体元件的漏极的漏极区,该源极区与该漏极区通过设置在它们之间的一个沟道区而相互连接;一个栅极电极,该栅极电极通过设置在该栅极电极与沟道区之间的一个栅极绝缘膜而与该沟道区相连接;至少一个形成在沟道区附近并用于约束载流子的载流子约束区,该约束区被一个势垒所包围,且信息的存储就是通过将载流子保持在该载流子约束区中而实现的;以及,一个薄膜结构,它具有不大于 9nm 的厚度并由一种绝缘膜中的半导体材料构成,该绝缘膜位于沟道区和载流子约束区之间(参见图 17A 和 17B)。

为了更好地理解本发明,下面将对其原理或概念进行更详细的说明。

在本发明的一种典型实施模式中,使一个多晶硅元件(例如见图 1A 至 1D)具有这样的特性,即当其栅极和源极之间的电势差在漏极—源极电压保持常数的同时在一预定范围内反复增大和减小时,源极和漏极之间的导电性即使在室温下也呈现出滞后现象(见图 2)。

更具体地,参见图 2,当栅极—源极电压在一个第一电压 V_{g0} (0

伏特)和一个第二电压 V_{g1} (50 伏特)之间进行垂直扫描时,多晶硅元件的漏极电流呈现出滞后特性。这种现象在以前是完全不知道的,但是本发明人首先通过实验而发现了。下面将解释为什么会出现这种滞后特性的原因。

图 4A 显示了图 1A 至 1D 所示的半导体器件的沟道区在栅极—源极电压 V_{gs} 为 0 伏特状态时的能带分布。漏极电流沿着与该图的平面垂直的方向流动。为了简化讨论,在以下的描述中假定漏极—源极电压在与栅极电压相比时足够地低,同时应理解以下所述的观测即使在漏极—源极电压高的情况下也同样有效的。

现在参见图 4A,在多晶硅的沟道(3)中形成了在一个栅极氧化膜(5)和一个周边 SiO_2 保护膜(10)之间的低能量势阱。在此情况下,在沟道区(3)—该沟道区(3)可以是带有低掺杂浓度的 p 型或 i 型(本征半导体型)或 n 型的—之中的导带的能级(11),与在具有高掺杂浓度的 n 型源极区中的导带的能级或具有高掺杂浓度的简并 n 型源极区中的费米能级(12)相比,是足够地高的。其结果,在沟道(3)中不存在电子。因而没有漏极电流。

进一步地,在沟道(3)的附近存在有一个捕获能级(7),它能俘获或捕获诸如电子的载流子。作为参予形成该捕获能级的能级,可以分为:延伸到一个籽晶粒的能级或一组籽晶粒(在多晶硅的沟道区中的晶体籽晶粒)的能级,这些籽晶粒本身被高势垒所包围;在籽晶粒内部的能级;在 $\text{Si}-\text{SiO}_2$ 界面上(即沟道区(3)和栅极氧化

膜(5)之间的界面上)的能级;在栅极氧化膜(5)内部的能级和其他的能级。然而,不用考虑这些能级中的哪些构成了捕获能级。附带说明一下,即使在本发明人进行的实验之后,目前也还不能确定上述能级中的哪一个实际上捕获了载流子或电子。在上述的能级中,在实现上述的滞后特性中起了作用的捕获能级(7)的能量,比源极区(1)中的费米能级(12)高得多。因此,在捕获能级(7)中不存在电子。在此方面,应说明的是虽然在图 4A 至 4C 中该捕获能级被显示为存在于栅极氧化膜中,但该捕获能级不一定要存在于该氧化膜之内。所必须的只是该捕获能级存在于沟道的附近。

当栅极(4)和源极(1)之间的电势差 V_{gs} 从零伏特增大到低阈值电压 V_t 时,沟道区(3)中的电势增大。因此,与其中电势差 V_{gs} 为零(参见图 4A)的状态下的沟道区(3)的初始能级相比,在电势差 V_{gs} 高于零伏特且低于低阈值电压 V_t 的条件下沟道区(3)对于电子的电势能变得更低。当栅极—源极电势差 V_{gs} 达到低阈值电压 V_t 时,源极区(1)中的费米能级达到沟道区(3)的导带中的能级(具有约为 kT 的差,其中 k 是玻尔兹曼常数而 T 是用绝对温度表示的操作温度)。因此,电子被从源极引入到沟道区(3)之中。因而在漏极和源极之间产生了电流流动。

当栅极电压进一步增大时,沟道区(3)内的电子的数目也相应地增加。然而,当电势差 V_{gs} 达到一个俘获电压 V_{gt} 时,捕获能级(7)的能量达到费米能级(12),从而由于在从源极区(1)引入的那些电

子的热能的影响下的电子分布,使捕获能级(7)俘获或捕获至少一个电子。同时,由于捕获能级(7)比栅极氧化膜(5)和周边 SiO_2 保护膜(10)的电势低很多,所以被捕获能级(7)俘获的电子无法借助电子的热能量迁移到栅极氧化膜(5)和周边 SiO_2 保护膜。另外,由于多晶硅沟道区(3)的具有高能量的籽晶粒边界存在于捕获能级(7)的附近,例如在 $\text{Si}-\text{SiO}_2$ 界面上,所以被捕获能级(7)俘获的电子不能从捕获能级中运动(参见图 4C)。然而,由于其他的电子可以运动,所以漏极电流继续流动。

以此方式,一旦捕获能级(7)捕获或俘获了单个的电子,图 1A 至 1D 中所示的多晶硅半导体元件的阈值电压从低阈值电压 V_t 变到高阈值电压 V_h ,其原因将在下面说明。

当栅极—源极电势差 V_{gs} 在 $V_h < V_{gs} < V_{gt}$ 范围之内从图 4C 所示的状态被降低时,在沟道区(3)中的电子数目被减少。然而,一般地,在捕获能级(7)的周边存在有一个高能量区。因此,被捕获能级(7)俘获的电子保持不变(参见图 5A)。

当栅极电压进一步被降低到使电势差 V_{gs} 达到高阈值电压 V_h 的值时,源极区(1)的费米能级(12)变得与沟道(3)的导带的能级相差 $ca. kT$,其结果是沟道内的几乎所有电子都消失了(见图 5B)。其结果,漏极电流无法再流动。然而,没有漏极电流流动的阈值电压 V_h 变得比低阈值电压 V_t 高出一个与在捕获能级(7)中被俘获的电子电荷相对应的电压。

进一步地,通过把栅极—源极电势差 V_{gs} 降低到使电势差 V_{gs} 变得等于零的值,捕获能级(7)的周边高能量区中的电势随着栅极电压的降低而变得更低,这使得被捕获能级(7)俘获的电子在电场的作用下借助隧道效应而被释放到低能量区(参见图 5C)。

随后,由于垂直扫描,栅极—源极电势差 V_{gs} 重新上升。通过重复这一操作,可以在漏极电流—栅极电压特性中观测到由于电子的捕获和释放而造成的滞后。

在此方面,本发明人已经发现上述的滞后特性只在栅极和沟道之间的电容很小时才出现。另外,本发明人进行的实验显示,虽然一个具有 0.1 微米的栅极长度和栅极宽度的半导体元件能呈现出上述的滞后特性,但其栅极长度和栅极宽度分别为 1 微米数量级的半导体元件就不能呈现出这种滞后特性。

因此,必须强调的是,栅极和沟道区之间的电容 C_{gc} 很小,对于上述滞后特性的出现是必不可少的,其原因将在下面说明。存储在捕获能级中的电荷量 Q_s 和阈值或阈值电压的改变 $\Delta V_t (=V_h - V_t)$ 之间存在有以下关系:

$$\Delta V_t = Q_s / C_{gc} \quad (1)$$

其中 C_{gc} 代表栅极和一个有效沟道之间的电容。术语“有效沟道”的意思是沟道的一个区域,该区域对流过它的电流的幅度有限制性的调节且该区域对应于电流路径中一个具有最高电势能的区域。因此,该区域也可被称为瓶颈区。为了将上述滞后特性用于存

储功能,有必要能作随着漏极电流的改变,明确而有区别地对阈值为高(V_h)的状态和阈值为低(V_l)的状态进行检测。换言之,阈值 V_h 和 V_l 之间的差别,必须能根据漏极电流的不同或改变而得到明确而确定的检测。为此的条件可以按照以下方式确定。一般地,一个具有阈值 V_l 的 MOS 晶体管的漏极电流 I_d , 在该阈值的附近可用以下公式表示:

$$I_d = A \cdot \exp[q(V_{gs} - V_l)/(kT)] \quad (2)$$

其中 A 代表一个电势常数, q 代表一个电子的电荷, V_{gs} 代表 MOS 晶体管的栅极—源极电压, V_l 代表阈值电压, k 代表玻尔兹曼常数而 T 代表用绝对温度表示的操作温度。因此,当 $V_l = V_h$ 时,该漏极电流由以下公式给出

$$I_{dh} = A \cdot \exp[q(V_{gs} - V_h)/(kT)] \quad (3)$$

而当 $V_l = V_l$ 时,该漏极电流由下式给出:

$$I_{dl} = A \cdot \exp[q(V_{gs} - V_l)/(kT)] \quad (4)$$

因此,在 $V_l = V_h$ 的状态和 $V_l = V_l$ 的状态下的漏极电流间的比值可被确定如下:

$$I_{dl}/I_{dh} = \exp[q(V_h - V_l)/(kT)] \quad (5)$$

因此,可以看到,为了能够根据检测到的漏极电流而将上述两种状态彼此区别开来,则必须有如表达式(5)给出的漏极电流之比 I_{dl}/I_{dh} 最小不得小于自然对数的底 $e(2.7)$, 且在实际之中,所考虑的电流比应该最好大于等于 10。在漏极电流比不小于自然对数的

底 e 的条件下,以下表达式成立:

$$\Delta V_i (=V_h - V_l) > kT/q \quad (6)$$

因此,根据表达式(1),必须满足以下条件:

$$Q_s/C_{gc} > kT/q \quad (7)$$

为了使单个电子的俘获满足上述的电流检测条件,需要满足以下条件:

$$q/C_{gc} > kT/q \quad (8)$$

从以上的表达式(8)可以看出,为了能在室温下进行操作,栅极—沟道电容 C_{gc} 不能超过 $6aF$ (其中 a 是“atto—”的缩写,意思是 10^{-18})。另外,在具有 1 微米数量级的栅极长度的半导体元件的情况下,栅极—沟道电容 C_{gc} 的量值将为约 $1fF$ (其中 f 是“femto—”的缩写,意思是 10^{-15}) 并且与上述条件偏离相当大。相反,在用本发明所教导的实施方法进行制作的情况下,栅极—沟道电容 C_{gc} 极小,在 $0.01aF$ 的数量级;而且已经可以确定,在室温下能够检测到的阈值移动可以是仅由一个电子的俘获引起的。

进一步,在本实验的过程中,本发明人已经发现,通过将栅极—源极电势差 V_{gs} 保持在零电压和电压值 V_{gt} 之间,则可以将前一个阈值稳定保持 1 小时或更长时间。图 3 显示了这种实验的结果。更具体地,图 3 显示了漏极电流的改变,且该漏极电流是在如图 2 的 a 所示的条件下,在将栅极电压保持恒定的同时测量的。如从该图中可见,在低阈值状态,可以保持一个高电流电平,而在高阈值状态下,

可以保持一个低电流电平。因此,通过利用阈值的这种移动,可以保持信息或数据,换言之,即可以存储信息或数据。进一步地,通过检测这些状态下的漏极电流,就可以读出这些数据。亦即,漏极电流小于基准值 I_3 的状态可以被读出作为逻辑“1”数据,而漏极电流大于基准值(I_3)的状态可以被读出为逻辑“0”(参见图 3)。

另一方面,数据写操作可通过控制栅极电压来进行。现在描述数据写操作。假定在初始状态,栅极电压处于低电平 V_{g0} 。通过将栅极电压沿着正方向扫描到电平 V_{g1} ,该阈值电压被设定在高电平 V_h 。借助这一操作,可在根据本发明的半导体元件中写入数字数据的逻辑“1”。随后,该栅极电压沿着负方向扫描到零电压电平,从而使阈值电压改变到低电平 V_l 。以此方式,可写入数字数据的逻辑“0”。

如现在可以从以上的描述明白的,仅借助单个的半导体元件,就可以写入、保存和读出数据或信息。这意味着,与传统存储器件相比,可以用单位面积中的数目少得多的半导体元件来实现存储器件。

根据本发明的半导体元件—其中通过仅俘获或捕获少数电子于一个存储节(它也可被称作为载流子约束区或能级节或载流子捕获或载流子约束捕获区、量子约束区等类似术语)中来实现数据存储—的优点,在于没有由于象浮动栅极 MOSFET 遇到的绝缘膜恶化而引起的对数据再写入次数的限制,或者即使有的话这种限制也

是轻度的。

然而应该注意的是,在图 1A—1D 所示的本发明实施模式的情况下,用于载流子约束的载流子捕获能级和用作电流路径的有效沟道区之间的相对位置(即相对距离)关系是很难固定的,这涉及到所制作的元件中的阈值改变特性的不可忽略的不一致性。

作为解决上述困难的一种措施,提出了如图 10A 和 10B 所示的另一实施本发明的模式,其中被势垒包围的载流子约束区(24)被独立地提供在沟道区(21)附近。借助于这种结构,可以降低上述的不一致性。

从半导体元件的性能稳定性方面看,半导体元件中的高阈值电压 V_h 和低阈值电压 V_l 之间的电压差 ΔV_t 的制作不一致性应得到尽量的抑制。

当然,表达式(1)给出的条件当栅极区和载流子约束区之间的电容 C_{gt} 和载流子约束区与沟道区之间的电容 C 足够小时也可以是有有效的。在与上述情况不同的情况下,由下式给出的条件是合用的:

$$\Delta V_t = q / (1 + C_{gt} / C) C_{gc} \quad (9)$$

其中 C_{gc} 代表栅极区(22)与沟道区(21)之间的电容, C_{gt} 代表载流子约束区(24)和沟道区(21)之间的电容。

关于图 1A 至 1D 所示的本发明的实施模式,本发明人已经发现,在表达式(9)中代表载流子约束区与沟道区之间的电容的项 C

最容易受到不一致性的影响,因为载流子约束区是为了设定载流子捕获能级而实施的。为了使上述电势差 ΔV_i 即使在载流子约束区和沟道区之间的电容 C 发生变化的情况下也几乎不出现变化,栅极与沟道区之间的电容 C_{ii} 必须足够地小于电容 C (即 $C_{ii} \ll C$)。

因此,根据本发明的另一种最佳实施模式,提出了在通过在载流子约束区(24)和沟道区(21)之间设置一个具有小厚度的绝缘膜(25)而将它们之间的电容 C 设定在大的值的同时,通过设置具有大厚度的栅极绝缘膜(23)而将栅极(22)与载流子约束区(24)之间的电容 C_{ii} 设定在一个小的值。

另一方面,关于在载流子约束区(24)中保存数据的问题,需要保证抵抗热波动的稳定性。在此方面,让我们用 C_{ii} 表示载流子约束区和所有其他区之间存在的总电容。一般地,在绝对温度(T)系统中, kT (其中 k 代表玻尔兹曼常数而 T 代表用绝对温度表示的温度)数量级的能量波动是不可避免的。因此,为了稳定地保存数据,就要求由于俘获单个电子而引起的、由 $q^2/2C_{ii}$ 给出的能量改变大于上述波动。换言之,由以下表达式给出的条件必须得到满足:

$$q^2/2C_{ii} > kT \quad (10)$$

该条件要求如上定义的总电容 C_{ii} 必须小于等于 $3aF$,以允许在室温下的操作。

在如图 17A 和 17B 所示的本发明的另一实施模式中,在设置在存储区(47)和沟道区(46)之间的一个绝缘膜(49,50)的内部,形

成了一个半导体薄膜结构(48),以减小绝缘膜(49,50)的恶化。

因此,在根据实施本发明的本模式的半导体元件中,薄膜结构(48)提供的势垒被形成在绝缘膜(49,50)的内部,从而使薄膜结构(48)有效地起到与绝缘膜相同的作用,同时使得能够在实际应用中减小绝缘膜的厚度。

如从图 17A 和 17B 可见,设置在绝缘膜(49,50)内部的半导体薄膜(48)在沿着半导体薄膜的厚度方向的量子约束效应的作用下,具有被导带移动的能级,并且对于写入/擦除操作主要起着存储区和载流子供给区之间的势垒的作用,其原因将在下面解释。

用 L 表示半导体薄膜的膜厚度,用 n 表示薄膜中的载流子的有效质量并用 h 代表普朗克常数,则由于沿着厚度方向的约束效应而引起的载流子量子波动的最低能态的能量可用以下表达式来适当表示:

$$h^2/8mL^2 \quad (11)$$

考虑到热能波动,为了能使能量由于量子约束效应而移动,由以下不等式表示的条件必须得到满足:

$$h^2/8mL^2 > kT \quad (12)$$

考虑到上述表达式(12),由硅(Si)形成的半导体薄膜(48)的厚度必须小于或等于 $9nm$,以使势垒在室温下有效。

因此,虽然在载流子经绝缘膜(49,50)而在沟道区(46)和载流子约束区(47)之间运动时载流子有在短时间内存在于半导体薄膜

中的可能性,但这些载流子长时间停留在半导体薄膜(48)中的可能性是非常小的。其结果,当载流子在沟道区(46)和载流子约束区(47)之间迁移时,半导体薄膜(48)起着它们的临时通道的作用,这意味着半导体薄膜(48)最终将由于不能进行载流子约束操作而起势垒的作用。

借助上述的结构,该半导体元件,借助与其中未采用上述结构的半导体元件相比具有较小厚度的绝缘膜,可呈现出势垒效应。因此,绝缘膜(49,50)的膜疲劳可得到抑制。对于进一步消除膜疲劳,该半导体薄膜(48)可形成在一个多层结构中。

其中在绝缘膜中提供有半导体薄膜的结构的进一步的优点,在于能够适当地设定载流子约束区与源极区之间的势垒的高度。由于因为量子约束所引起的能量移动是根据载流子约束区的大小 L 来确定的,所以除了选择薄膜材料之外,还可以通过调节膜的厚度,来调节势垒的高度。在此方面,应该注意的是,在具有已知结构的半导体元件中,势垒的高度只是根据构成绝缘膜的材料来确定的。

通过以下结合附图并以举例的方式对本发明的最佳实施例所进行的描述,将会对本发明的上述和其他的目的、特征和优点有更明确的理解。

图 1A 至 1D 显示了根据本发明的第一实施例的存储元件的结构,其中图 1A 是顶视图,图 1B 是沟道部分的显微图,图 1C 是显示该存储元件的总体结构的方案立体图,且图 1D 是沿着图 1C 的

C—C'线的剖视图；

图 2 显示了表示根据本发明的第一实施例的存储元件的栅极—源极电压与漏极电流的依赖关系的测量值曲线图；

图 3 显示了实验获得的结果，用于显示根据第一实施例的半导体元件在写入了逻辑“1”和“0”之后的数据保存；

图 4A 至 4C 显示了当栅极电压增大时在根据本发明的第一实施例的半导体元件的沟道区附近的能带形状的改变；

图 5A 至 5C 显示了当栅极电压减小时在根据本发明的第一实施例的半导体元件的沟道区附近的能带形状的改变；

图 6 是电路示意图，显示了根据本发明的存储 IC 器件的结构，其中采用了每一个都具有图 1 所示的结构存储元件；

图 7 显示了图 6 所示的存储器件预期将会呈现的滞后特性；

图 8 是分解立体图，示意地显示了根据本发明的第一实施例的半导体存储器件的结构，其中一个存储单元阵列被叠置在形成在 Si 衬底表面上的周边电路上；

图 9A 和 9B 是剖视图，用于显示根据本发明的第一实施例的半导体存储器件的制作步骤；

图 10A 和 10B 是剖视图，显示了根据本发明的第二实施例的半导体存储元件的结构；

图 11A 和 11B 是放大图，放大地显示了根据本发明的第二实施例的存储元件的沟道区、载流子约束区和栅极，其中图 11A 是立

体图而图 11B 是剖视图；

图 12 的曲线图显示了根据本发明的第二实施例的半导体存储元件中的栅极—源极电压与漏极电流的依赖关系；

图 13A 至 13C 是示意图,用于以夸大的方式显示当栅极电压增大时半导体存储元件的载流子约束区和沟道区附近的电势分布的改变情况；

图 14A 至 14C 是示意图,用于以夸大的方式显示当栅极电压减小时在半导体存储元件的载流子约束区和沟道区附近的电势分布的改变情况；

图 15A 和 15B 是剖视图,显示了根据本发明的第三实施例的半导体存储元件的结构；

图 16A 至 16C 显示了根据本发明的第四实施例的半导体存储元件,其中图 16A 是剖视图,图 16B 显示了沿着图 16A 的 $a-a'$ 线切割的截面,而图 16C 是平面顶视图；

图 17A 和 17B 显示了根据本发明的第五实施例的半导体存储元件,其中图 17A 是其剖视图而图 17B 显示了存储元件中的电势分布状态；

图 18 显示了代表根据本发明的半导体存储元件的符号；

图 18A、18B 和 18C 显示了根据本发明的第六实施例的存储单元,其中图 18A 显示了该存储单元的电路配置,图 18B 显示了在读出和写入操作时分别加到存储单元的字引线 and 数据引线上的电压,

而图 18C 用曲线的形式显示了用于该存储单元中的半导体元件的漏极电流与栅极—源极电压的依赖关系；

图 19 是电路图，显示了用于根据本发明的第六实施例的存储单元的读出电路的电路配置；

图 20 是信号波形图，用于显示在读操作中施加各种信号的时序；

图 21A 和 21B 分别显示了根据第六实施例的一个 4 比特存储单元阵列的电路配置和其设置；

图 22A 至 22C 显示了根据本发明的第七实施例的存储单元组，其中图 22A 显示了该存储单元组的电路配置，图 22B 显示了在写和读操作时加到其一个存储元件上的电压，而图 22C 以曲线图显示了该存储元件的特性；

图 23 是电路图，显示了根据本发明的第七实施例的半导体存储器件的结构；

图 24A 至 24E 是电路图，显示了根据本发明的存储单元的各种配置；

图 25A 至 25C 显示了根据本发明的第八实施例的存储单元，其中图 25A 显示了存储单元的电路配置，图 25B 分别显示了在读和写操作时加到该存储单元的字引线 and 数据引线上的电压，而图 25C 以曲线显示了用于该存储单元中的半导体元件的漏极电流对栅极—源极电压的依赖关系；

图 26 是电路图,显示了用于根据本发明的第八实施例的存储单元的读电路的电路配置;

图 27A 和 27B 是电路图,分别显示了根据第八实施例的存储单元电路的形式;

图 28A 和 28B 是电路图,分别显示了一个 4 比特存储单元的配置和其相应的掩膜布置;

图 29A 至 29C 显示了根据本发明的第九实施例的存储单元,其中图 29A 显示了该存储单元的电路配置,图 29B 显示了分别在读和写操作时加到字引线 and 数据引线的电压,且图 29C 以曲线显示了用于该存储单元中的半导体元件的漏极电流对栅极—源极电压的依赖关系;

图 30 是电路图,显示了根据本发明的第九实施例的读/写电路;

图 31A、31B 和 31C 显示了根据本发明的第十实施例的存储单元,其中图 31A 显示了该存储单元的电路配置,图 31B 显示了分别在读和写操作时加到字引线 and 数据引线上的电压,且图 31C 以曲线显示了用在该存储单元中的半导体元件的漏极电流对栅极—源极电压的依赖关系;

图 32 是电路图,显示了根据本发明的第十实施例的读电路;

图 33 显示了根据第十实施例的存储单元;

图 34 是框图,显示了一个其中根据本发明的存储器件被用作

主存储器的数据处理设备的结构。

现在,将结合附图和作为例子的最佳实施例,对本发明进行详细描述。

实施例 1

以下的描述涉及根据本发明的实施例的场效应半导体存储元件(FET 存储元件)。图 1A 至 1D 显示了根据本发明的第一实施例的半导体存储元件的结构,其中图 1C 是显示该存储元件的总体结构的方案立体图,图 1D 是沿着图 1C 中的 C—C' 线取出的剖视图,图 1B 是显示该存储元件的沟道部分的放大显微图,且图 1A 是其顶视图。参见这些附图,源极 1 和漏极 2 分别由 n 型多晶硅构成的并具有高掺杂浓度的区域构成,而沟道部分 3 由非掺杂多晶硅区构成。源极 1、漏极 2 和沟道 3 中的每一个都是以薄而且细的多晶硅连线形式实现的。在本发明人实际制作的存储器件的情况下,沟道 3 的宽度为 $0.1\mu\text{m}$,其厚度为 10nm 且最好为 3.4nm 。多晶硅触点 1A 和 2A 分别与源极 1 和漏极 2 的端部相连,这些触点的每一个的厚度均大于源极 1 和漏极 2 的厚度,其中源极 1 和漏极 2 分别经过多晶硅触点 1A 和 2A 与金属引线导体相连。在该存储元件的一个典型例子中,各个多晶硅触点 1A 和 2A 最好应该具有 $0.1\mu\text{m}$ 的厚度,这是沟道 3 的厚度的十倍,因为如果不这样,当在薄的多晶硅上直接形成接触孔时,多晶硅本身将变得不容易受蚀刻的影响。一个栅极 4 被以这样的取向设置,即它通过一个设置在其之

间的栅极绝缘膜 5 而与沟道区 3 相交。在本实施例的情况下,栅极 4 的膜厚度为 $0.1\mu\text{m}$ 。上述结构在图 1C 中看得最清楚。

另外,在本实施例的情况下,构成沟道区 3 的多晶硅膜整个地被一个 SiO_2 保护膜 10 所包围(见图 10)。由于二氧化硅(SiO_2)的介电常数约为硅的三分之一,所以沟道区 3 和栅极 4 的电容可通过如上所述地用 SiO_2 保护膜 10 将它们包围起来而得到降低。这是能在室温下实现如前所述的滞后特性的一个原因。

在根据本实施例的存储元件的情况下,多晶硅的沟道是通过在 SiO_2 —衬底上淀积厚度为 10nm 的非晶硅($\alpha\text{-Si}$)并在 750°C 的温度下进行加热处理以进行晶体化而形成的。在此方面,已经发现非晶硅($\alpha\text{-Si}$)的厚度最好应在 3.5nm 的数量级。在图 1B 中显示了沟道部分的结构。在加热处理过程中,非晶硅中的硅晶体籽晶粒逐渐地生长。然而,当籽晶粒的大小达到膜的厚度时,沿着垂直于膜平面的方向的任何进一步的生长都会受到阻止。同时,沿着与膜平行的方向的籽晶粒生长速度也被减慢。其结果,沿横向方向(即与膜表面平行的方向)的籽晶粒大小与膜厚度大体相等。由于这些原因,根据本发明的本实施例的场效应半导体存储元件的特征在于形成沟道区的多晶硅的籽晶粒大小是非常小的。

上述的小籽晶粒尺寸对于实现栅极与沟道区之间的小电容有所贡献,其原因将在下面解释。在现在考虑的场效应元件中,在接近一个阈值的低电流范围内,电流实际上只能在沟道区 3 中的少数几

个具有最低电阻的电流路径6中流过(见图1A)。更具体地说,电流流动是由于电子从一个籽晶层到另一个籽晶层的迁移或转移才发生的。在本实施例的情况下,该电流路径特别地细或薄,因为如上所述的籽晶粒非常地小。因此,其中存在有电子的区域与整个沟道区相比非常小。因此,在栅极与(如前已定义过的)有效沟道部分之间的有效电容 C_{gc} 也很小。

在根据本实施例实际制作的半导体存储元件的情况下,以最大可能的程度观测到阈值中变化的影响的观点来说,上述的栅极—沟道电容 C_{gc} 被设定在一个极其小的值,例如 $0.02aF$ (*atto—Farad* 微微微法)。其结果,操作所需的电压范围扩大到几十伏特。当然,通过将栅极—沟道电容 C_{gc} 设定成一个较大的值,例如 $0.2aF$,可以将操作电压范围设定在几伏特的范围,这是传统集成电路所采用的。为此,栅极绝缘膜5的厚度可被减小和/或栅极的长度或宽度可被增大,这可以在没有什么大的技术困难的情况下实现。

在本发明的本实施例的情况下,沟道是用多晶硅形成的。在此方面,应提到的是如果上述栅极—沟道电容可以被制作得足够地小以致前面所述的条件得到满足的话,则即使在形成在一块晶体硅衬底上的整体 MOSFET 中也能实现滞后特性。在此情况下,该整体 MOSFET 可被用作一个存储元件。然而在此方面应该注意的是,在这种整体 MOSFET 的情况下,上述籽晶粒的作用是不存在的。另外,该整体 MOSFET 的下侧覆盖有具有高介电常数的 Si 膜。因

此,当与具有由多晶硅形成的沟道的元件相比时,该整体 MOSFET 元件的尺寸必须得到减小。这又意味着在制作这种整体 MOSFET 存储元件时的困难将被加大。然而,由于该整体 MOSFET 具有较大的载流子迁移率,它能处理大的电流并适合于高速度操作,这是它的一个优点。作为另一种形式,前述的滞后特性也可通过采用具有 SOI(绝缘体上的硅)结构的 MOSFET 来实现。该 SOI 结构可通过在一个绝缘膜上生长单晶硅并通过在其中形成一个 MOSFET 来实现。由于该 SOI MOSFET 的栅极—沟道电容可被作得比整体 MOSFET 的小,与整体 MOSFET 相比,滞后特性可在较大的尺寸下实现。

以上的描述是在假定用于电子迁移的沟道是 n 型的情况下进行的。但应该指出的是,通过采用空穴也可实现类似的操作。另外,硅以外的半导体材料也可被用于形成沟道区。

另外,在前述描述中还假定栅极 4 位于沟道区 3 之下。然而,借助其中栅极位于沟道区之上的结构也同样能实现类似的操作。另外,可在沟道之上和之下分别设置栅极,以实现与前述的类似的操作和效果。另外,栅极可被横向设置在沟道区的一个侧面。再有,栅极可分别被设置在沟道的两侧。

现在,结合图 6 对由具有上述结构的半导体元件组成的集成存储电路进行描述。图 6 显示了存储 IC 器件的结构,在该存储 IC 器件中采用了每一个均具有图 1 所示的结构的多晶硅存储元件。在此

方面,假定各个半导体元件或多晶硅存储元件具有如图 7 所示的滞后特性。更具体地,假定当在栅极和源极之间加上了一个电压 V_w 时,该存储元件取逻辑“1”状态(具有由 V_h 代表的高阈值的状态),且当在栅极和源极之间加上了电压 $-V_w$ 时,该存储元件取逻辑“0”状态(低阈值状态 V_l)。另一方面,当在栅极和源极之间或在栅极与漏极之间加上了一个在 $-V_w/2$ 至 $V_w/2$ 之间的范围内的电压时,阈值电压没有改变。图 7 所示的特性与图 2 所示的类似,只是阈值在总体上被降低了,且该特性可通过在制作存储元件时在其沟道区中引入施主杂质来实现。

参见图 6,半导体存储元件 $MP1$ 至 $MP4$ 中的每一个都是由根据本发明的、具有图 1 所示的结构和图 7 所示的滞后特性的半导体元件构成的。这些半导体存储元件中的每一个都具有与一条字引线相连的栅极端、一个与一条数据引线相连的漏极端和与地电势相连的源极端。

在集成存储电路中写入数字数据的操作,是通过图 6 所示的数据引线驱动电路和字引线驱动电路以如下所述方式进行配合而实现的。对于在存储元件 $MP1$ 中写入逻辑“1”,字引线 1 上的电势被设定为电压电平 $V_w/2$,而数据引线 1 上的电势被设定为 $-V_w/2$,同时其他的一些字引线和数据引线被设定在零电压。其结果,一个电压 V_w 被加到存储元件 $MP1$ 的栅极和漏极之间,后者因而取逻辑“1”状态(高阈值状态 V_h)。在此时刻,除了存储元件 $MP1$ 以外的

所有其他存储元件都被加有不高于 $V_{\omega}/2$ 的电压。因此,这些其他存储元件中的阈值电压没有发生改变。另一方面,对于在存储元件 MP1 中写入逻辑“0”,字引线 1 的电势被设定为 $-V_{\omega}/2$,而数据引线 1 的电势被设定为 $V_{\omega}/2$ 。因此,电压 $-V_{\omega}$ 被加在存储元件 MP1 的栅极和漏极之间,从而使存储元件 MP1 被设定在逻辑“0”状态(低阈值状态 V_l)。在此时刻,除了存储元件 MP1 以外的所有其他存储元件都被加有不高于 $-V_{\omega}/2$ 的电压。因此,这些其他存储元件的阈值未发生改变。

另一方面,按照以下方式进行信息或数据的读出(见图 6)。在数据引线驱动电路中,数据引线经过一个负载元件而与一个电压源相连。另一方面,数据引线的另一端与一个检测放大器相连。现在,考虑从存储元件 MP1 读出数据所涉及的操作。为此,所选择的字引线 1 的电势被设定到零伏特的电平,同时未被选择的其他字引线 2 上的电势被设定在 $-V_{\omega}/2$ 的电压。当存储元件 MP1 保持于逻辑“1”状态时,这意味着存储元件 MP1 处于关断状态(即非导通状态)且数据引线仍然处于逻辑高状态。即使当存储元件 MP2 处于逻辑“0”状态时,由于未被选择的字引线处于电势 $-V_{\omega}/2$,故而没有电流能流过存储元件 MP1。当存储元件 MP1 处于逻辑“0”状态时,电流从数据引线 1 经过存储元件 MP1 流程向地线,造成数据引线 1 处的电势的降低。这种电势下降被检测放大器放大,至此数据读出操作结束。该存储器件可以以这种方式实施。

在目前所考虑的存储器件中,其周边电路,诸如解码器、检测放大器、输出电路等等,是通过采用以诸如图 8 所示的排列形成在硅衬底的表面上的传统整体 MOSFET 而实现的,且在上述周边电路上通过插入一个绝缘膜来制作一个存储单元阵列,后者包括每一个均具有图 1 所示的结构存储元件 MP1 至 MP4。这是由于用于存储元件 MP1 至 MP4 的多晶硅可被制作在整体 MOSFET 上。借助这种结构,可省下在其他情况周边电路必须占据的空间或面积,从而使该存储器件能以大约两倍于传统动态 RAM 的集成密度来实现。另外,应该指出的是在实际上存在于整体 MOSFET 和多晶硅晶体管层之间的引线层在图 8 中被省略了。

如同从上述描述可以理解到的,借助根据本发明的本实施例的存储器件的结构,由于用单个存储元件存储单个比特信息的能力,可以实现具有高集成密度的集成存储电路。另外,通过以一种分层成叠置结构将存储单元阵列叠置在周边电路层上,可以进一步提高集成密度。另外,不需要象在传统的动态 RAM 的情况下所需要的那样读出大量电荷,但能以静态方式在数据引线上产生信号。由于这种特征,可以进一步改善精细结构,而不会造成信/噪比(S/N 比)的下降。另外,存储的信息可被保持更长的时间,这意味着不再需要动态 RAM 情况下所要求的更新操作。所以,功率消耗可被降低到最小。此外,周边电路可以以更简单的配置实现。由于上述的特征,根据在本实施例中体现的本发明的教导,可以实现其集成密

度至少为传统的动态 RAM 的两倍之高的半导体存储器件,同时每一位的成本可至少被降低到传统动态 RAM 所需的一半。当然,保持或保存信息(数据)所需的电功率可被大大降低。

在前述描述中,已经假定低阈值电压 V_l 具有负极性且高阈值 V_h 具有正极性,如图 7 所示。然而,即使当存储元件的这些阈值电压 V_l 和 V_h 被分别设定在更高的电平时,通过简单地将栅极控制信号电平设定在相应的更高电平,也能保证类似的操作。

随后,参见图 9A 至 9B,将对制作根据本发明的本实施例的存储单元和存储器件的方法进行描述。首先,在一个 p 型硅衬底 14 的表面上制作出一个 n 沟道 MOS15 和一个 p 沟道 MOS16(即一个 CMOS(互补金属氧化物半导体器件)),随后在 CMOS 器件上形成一个绝缘膜并形成金属引线 17(参见图 9A)。随后淀积一个中间层绝缘膜 18,且其表面得到平整以降低粗糙度。然后,在绝缘层 18 的该平整表面上形成将被用作存储元件的栅极 4 的多晶硅区。为此,该多晶硅区被掺杂有高浓度的 n 型杂质,以使它呈现低电阻。然后,在具有该栅极的绝缘层 18 上,借助化学汽相淀积方法(即缩写为 CVD 的方法),淀积出厚度在 $50nm$ 数量级的 SiO_2 膜,该膜将被用作栅极绝缘膜 5,随后淀积一个非晶硅层。在非晶硅层上形成图案之后,借助离子注入将诸如 As、P 或类似物的 n 型杂质掺杂到源极区 1 和漏极区 2 中,并以约 $750^{\circ}C$ 的温度进行退火,从而形成多晶硅沟道 3。最后,形成一个 SiO_2 的保护或钝化膜 10。因此,可

以制作出根据本发明的、具有高集成密度的存储器件(参见图9B)。在此方面,应该补充的是在存储器件的顶表面上可提供一个导电层,以达到对该存储器件进行噪声屏蔽的目的,从而改善其可靠性。

实施例2

图10A和10B是剖视图,显示了根据本发明的第二实施例的存储元件。一个SOI(在绝缘体上的硅)衬底被用作衬底,其中图10B显示了沿图10A的 $a-a'$ 线的剖视图。一个源极区19和一个漏极区20均由具有高掺杂浓度和低电阻的 n 型硅区域构成,其中一个由硅制成并在源极区19和漏极区20之间延伸的沟道21由细或薄引线构成。在沟道21上形成有 SiO_2 薄膜25。另外,在沟道区21上形成有一个用于借助硅籽晶粒约束载流子的存储节24。在沟道区21的上面设置有一个栅极22,在栅极22和沟道区21之间设置有一个栅极绝缘膜23。

借助根据本实施例的该存储元件的结构,可降低沟道区21和栅极22之间的电容 C_{gc} ,因为沟道21的引线宽度非常小。写入和擦除操作可通过改变电势电平来进行。更具体地说,写入可通过清除绝缘膜25提供的势垒从而将电子从沟道区注入到存储节24之中而进行,而对于擦除存储的信息,则把电子从存储节24中抽出。因此,在根据本实施例的存储元件中,把数据信息写入存储节24和从中擦除数据信息的操作可通过借助沟道输送电子来实现。然而应该指出的是,这些操作也可通过借助沟道区以外的其他区域的电子

输送来实现。这对以下将要描述的本发明实施例也是适用的。另外，虽然在根据本实施例的存储元件中采用了硅来形成源极、漏极和沟道并用 SiO_2 形成绝缘膜，但应该理解的是源极和漏极也能用其他半导体材料或金属来形成，且绝缘膜也可用其他化合物来形成，只要能实现满足上述必要条件的电容 C_{gc} 。

另外，重要的是要指出，虽然在根据本实施例的存储元件中存储节 24 被设置在沟道 21 之上，但存储节 24 也可被设置在沟道区之下或与沟道区成横向的位置。另外，虽然已经描述用 SOI 衬底和单晶硅来形成源极、漏极和沟道，但应该理解的是它们也可以象在第一实施例中那样通过采用多晶硅来制成。在此情况下，可以看到与第一实施例的不同在于存储节 24 是独立设置的。还应该进一步指出，用于沟道区和存储节之间的绝缘膜的材料不一定是与设置在栅极和存储节之间的绝缘膜相同的材料。

虽然在根据本实施例的存储元件和存储器件中假定载流子是电子，但也可利用空穴作为基本等效的载流子来达到相同的效果。这对于以下将描述的实施例也是正确的。

根据体现在本实施例中的本发明的教导，存储节 24 是利用具有小尺寸的晶体籽晶粒形成的，其中硅籽晶粒的存储节 24 被栅极绝缘膜 23 和 SiO_2 构成的绝缘膜 25 所包围或围绕，以降低周围的寄生电容。由于构成存储节 24 的籽晶粒的尺寸很小，其围绕或总电容 C_{ii} 可根据本征电容确定。在半径为 r 并被具有介电常数 ϵ 的材

料所包围的球面体的情况下,其本征电容为 $4\pi\epsilon r$ 。例如,对于由具有 10nm 的籽晶粒尺寸的硅晶体籽晶粒构成的存储节,该存储节的环绕或总电容 C_u 为大约 1aF 。

图 11A 和 11B 分别以立体图和剖视图示意并夸大地显示了沟道区、载流子约束区和栅极。

参见图 12,当栅极—源极电压(即加在栅极和源极之间的电压)如图 12 所示地在一个第一电压 V_{g0} (零电压)和一个第二电压 V_{g1} (5 伏特)之间沿垂直方向进行扫描时,漏极电流呈现出滞后特性。在此方面,在图 13A 至 13C 和图 14A 至 14C 中显示了在图 11B 中的平面 $b-b'$ 和沿着该平面的有关电势分布。之所以能够使如图 12 所示的滞后特性得以出现的原因将在下面给予解释。

在图 10 所示的半导体存储元件中,当栅极和源极之间的电势差 V_{gs} 为零时出现在沟道区 21 中的电势分布被示意性地显示在图 13A 中。这对应于图 12 所示的状态 25。另外,假定漏极电流沿着与图 13A 所在的平面垂直的方向流动。在以下的描述中,假定漏极—源极电压与栅极电压相比足够地低,但应该理解的是即使当漏极和源极之间的电压高时,以下的描述也是适合的。

现在参见图 13A,在被形成在沟道区 21 和存储节 24 之间的势垒 25 和周边 SiO_2 膜 23 所包围的沟道区 21 中,有一个低能量电势。因此,由硅籽晶粒构成并被绝缘膜 23 和 25 所包围的存储节 24 (载流子约束区)能够俘获或捕获载流子或电子。另一方面,在沟道

区 21 中没有电子存在,因为在具有低掺杂浓度的 p 型或 n 型或 i 型(本征半导体)的沟道区 21 中的导带的能级,比具有高掺杂浓度的 n 型源极 19 中的导带能级或具有高掺杂浓度的 n 型简并源极区 19 中的费米能级高很多。因此,没有漏极电流的流动。

此外,载流子约束区或存储节 24 中的能量比源极区 19 中的费米能级高很多。因此,在区 24 中也不存在有电子。

当栅极 22 和源极 19 之间的电势差 V_{gs} 从零伏特增加到低阈值电压 V_t 时,沟道区 21 中的电势增大,其结果,沟道区 21 中的电子电势能变低,如从图 13B 可见,因而电子从源极 19 被引入到沟道区 21 中。因此,在源极和漏极之间出现了电流。

当栅极电压进一步增大时,存在于沟道区 21 中的电子的数目也相应地增大。然而,当栅极—源极电压 V_{gs} 达到一个写入电压 V_{g1} 时,存储节 24 中的能量变低,同时沟道 21 和存储节 24 之间的电势梯度相应增大。其结果,由于电子的热能量分布和/或隧道现象(隧道效应),通过清除势垒 25,在存储节 24 中将捕获至少一个电子。这对应于从状态 27 至状态 28 的转变,如图 12 所示。

因此,由于捕获在存储节 24 中的一个电子以及电势的增加,出现了一种库仑禁运,从而阻止了另一个电子被注入到存储节 24 中,如图 14A 所示。

以此方式,每次在存储节 24 中捕获一个电子,图 10 所示的半导体存储元件的阈值电压就从低阈值电压 V_t 改变到高阈值电压

V_h ，其原因将在下面进行解释。

当栅极—源极电压 V_{gs} 从图 14A 所示的状态开始在范围 V_h (高阈值电压) $< V_{gs} < V_l$ (低阈值电压 V) 中被降低时, 沟道区 21 中的电子的数目减少。然而, 由于在存储节 24 和沟道 21 之间存在有势垒 25, 在存储节 24 中被俘获或捕获的电子仍然保持不变。

当栅极 22 的电压降低到一个使电势差 V_{gs} 等于高阈值电压 V_h 的电平时, 源极 19 中的费米能级变得与沟道 21 中的导带能级相差 kT 数量级的幅度, 其结果是沟道区中的几乎所有电子都消失了(参见图 14B)。这对应于图 12 所示的状态 29。在此方面, 应该指出的是, 不能再有漏极电流流动的阈值 V_h 变得比低阈值电压 V_l 高出被俘获在存储节 24 中的电子的电荷那么多。

当栅极—源极电压 V_{gs} 进一步降低到一个其变为等于零伏特的电平时, 存储节 24 和沟道区 21 之间的电势梯度相应地变得更陡, 其结果是, 被俘获在存储节 24 中的电子由于隧道效应和场效应而被释放—这种隧道效应是由于电子的热能量分布而造成的(参见图 14C)。电子被驱逐的状态下的电势情况与图 13A 所示的初始电势情况相同。这意味着半导体存储元件恢复到了图 12 所示的状态 25。

随后, 当栅极—源极电压 V_{gs} 随着沿垂直方向进行的重复扫描再次增大时, 可以观测到伴随电子的俘获/释放的滞后现象。

在现在所考虑的存储元件的结构中, 表达式(8)所给出的条件

必须得到满足,以根据电流来检测单个电子的出现/消失。

下面,将描述根据本发明的本实施例的存储元件或存储器件的制作方法。如图 10A 和 10B 所示,利用照相蚀刻方法在 SOI 衬底上形成源极区 19、漏极区 20 和沟道区 21。该沟道区是以细或薄引线的方式实现的。该源极和漏极区掺杂有高浓度的 n 型杂质。相反,沟道区掺杂有低掺杂浓度的 n 型或 i 型杂质或是 p 型的。然后,借助 CVD(化学汽相淀积)方法淀积出 SiO_2 膜 25,随后借助 CVD 方法形成晶体硅籽晶粒或存储节 24。

为了形成具有非常小的半径 r 的硅晶体籽晶粒 24(它将被用作存储节 24),利用了 CVD 淀积过程中初始形成的晶核,以形成晶体硅籽晶粒 24。为此,利用 CVD 方法的晶体硅籽晶粒 24 的形成,应该在低温下进行并在短时间内完成。

实施例 3

图 15A 和 15B 分别以截面的形式显示了根据本发明的第三实施例的存储元件,其中图 15B 是沿着图 15A 的 $a-a'$ 线的剖视图。根据本实施例的存储元件或存储器件与第二实施例的不同之处,在于第三实施例是以这样的方式实现的,即其中沟道区 33 和载流子约束区或存储节 34 被夹在一对栅极 31 和 32 之间。因此,在根据本实施例的存储元件或存储器件中,写入和擦除操作不仅可以从第一栅极 31 进行,而且可以通过第二栅极 32 的中介来进行。

在根据本发明的第二实施例的存储元件或存储器件的情况下,

可以期望载流子约束区中和沟道区及其附近的电势情况在外部电势改变的影响下会发生变化。对比之下,根据本实施例的存储元件或存储器件则不容易受这种外部电势改变的影响,这是由于设置在两侧的栅极的屏蔽效应而带来的,从而提供了另一个优点。

实施例 4

图 16A 至 16C 显示了根据本发明的第四实施例的存储元件,其中图 16A 是剖视图,图 16B 显示了沿着图 16A 的 $a-a'$ 线取出的剖视图,且图 16C 是顶视平面图。参见这些附图,在其中在一个硅半导体晶体衬底中形成有源极 35 和漏极 36 的整体 MOSFET 的沟道区 39 的上方,形成有一个绝缘膜 40,在后者上形成有多个硅晶体籽晶粒 41。另外,在绝缘膜 40 和籽晶粒 41 上形成有一个绝缘膜 42。另外,在绝缘膜 42 上淀积有一个第二栅极 38。该栅极 38 具有这样的形状,即沿着连接源极 35 和漏极 36 的方向存在有一个间隙。在第二栅极 38 上方设置有一个第一栅极 37,且在它们之间设置有一个绝缘膜 43。源极 35 和漏极 36 均由具有高掺杂浓度的 n 型整体硅块形成的区域构成,其中在源极区 35 和漏极 36 之间夹有一个 p 型区 44。

通过将一个具有正或十极性的电压加到第一栅极 37 上,可在 p 型区 44 的表面部分中感生出电子,从而形成沟道 39。在此情况下,第二栅极 38 的电势被设定在低于第一栅极 37 的电平上,以使第二栅极 38 也作为一个静电屏蔽电极而操作。其结果,只在位于与

第二栅极 38 的细间隙相对的位置的区域中形成了沟道区 45,从而使第一栅极 37 和沟道区 39 之间的有效电容 C_{gc} 能够被作得更小。写入和擦除操作,可通过按照与第三实施例中基本相同的方式改变第一栅极 37 或第二栅极 38 或衬底 37 的电势来实现。

实施例 5

图 17A 显示了根据本发明的第五实施例的存储元件的横截面。电流流动的方向与该图所在的平面垂直。沟道区和载流子约束区(存储节)以及其位于附近的区域被夸大地显示出。源极和漏极是与根据本发明的第二实施例的存储元件相同的配置实现的。本实施例与第二实施例的不同之处,在于硅薄膜 48 被形成在位于硅沟道区 46 和硅晶体籽晶粒构成的存储节(载流子约束节)47 之间的 SiO_2 绝缘膜 49 和 50 中。

沟道 46 中的载流子可经过硅薄膜 48 而达到存储节(载流子约束区)47。图 17B 显示了在具有上述结构的存储元件中的电势情况。参见图 17B,由于沿厚度方向的量子约束效应,在硅薄膜 48 中发生能量移动 52。硅薄膜 48 作为电子从硅沟道区 46 向载流子约束区(存储节)47 迁移的势垒,起着重要的作用。其结果,为了实现相同的势垒效果,存在于沟道和载流子约束区之间的 SiO_2 膜 49 和 50 的膜厚度之和,与其中采用了根据本实施例的结构的存储元件的沟道区和载流子约束区之间的 SiO_2 膜的膜厚度相比,可以得到减小(参见诸如图 10A 和 10B)。因此,可基本减轻绝缘膜的疲劳,从

而增加存储器的能够被再次写入的次数。

还应该进一步指出的是,上述利用量子约束效应而实现的势垒 25,即使在载流子约束区所要处理的载流子的数目较大的情况下,对于防止绝缘膜的疲劳也是有效的。

实施例 6

下面结合图 18A 至 18C 和图 19,描述根据本发明的半导体存储器件的存储器读取电路的结构。在以下的描述中,根据本发明的半导体存储元件可以是前面结合图 1A 至 1D、图 6、图 10A 和 10B、图 15A 和 15B、图 16A 至 16C 和图 17A 与 17B 中所分别描述的元件中的一种,并通过象在图 18 中那样用实线表示载流子捕获节(载流子约束区)来标明,以区别于传统的场效应晶体管。在图 18A 至 18C 中,图 18A 显示了单 一个比特存储单元的电路配置,图 18B 显示了在读和写操作中分别加到字引线 *W* 和数据引线 *D* 上的电压,且图 18C 用曲线图显示了用于实现存储单元的半导体元件 MM7 中的漏极电流对栅极电压(栅极—源极电压)的依赖关系。该电路配置本身与前面结合图 6 所描述的第一实施例的相同。

图 19 显示了用于读出存储在存储单元 MM1 中的数据或信息的电路配置。不用说,在本发明所涉及的存储器件中,大量的与存储单元 MM1 类似的存储单元被排列成一个阵列,虽然省略了对其的显示,但这是不言而喻的。用于存储信息的存储单元 MM1 与已知的传统 MOSFET 的不同,在于该存储单元所能处理的电流值

与该 MOSFET 的相比较要小。这是由于在根据本发明的存储单元的情况下,栅极—沟道电容被设定得小的缘故。下面将描述一种用于高速而稳定地读出这种小电流值的结构。由半导体存储元件 MM1 构成的存储单元与数据引线 D 相连,后者又经过一个数据引线选择开关 M5 而与构成一对差分放大器的输入晶体管 M9 相连。与数据引线 D 成对设置的另一数据引线 Dn 相连的,是分别由半导体存储元件 MM5 和 MM6 构成的虚设单元。数据引线 Dn 通过数据引线选择开关 M6 与构成差分放大器的另一部分的输入晶体管相连。

现在,描述用于从存储单元 MM1 读出数据的操作。图 20 显示了该读出操作所涉及的信号的时序。假定在存储单元 MM1 中写入了逻辑“0”,因而存储单元 MM1 处于低阈值电压状态。各个虚设单元 MM5 和 MM6 事先总是被写入逻辑“0”。在读取操作中,一个信号 S2 被设定在一个低电平,以将数据引线 D 和 Dn 都预充电到源极电压 V_r 。同时信号 S3 和 S4 被设定在一个高电平,以使数据引线 D 和 Dn 分别与差分放大器的输入晶体管 M9 和 M10 相连。另外,在同一时序,信号 S5 和 S6 被设定到该高电平,以启动差分放大器,以使输出 OUT 和 OUTn 彼此相等。通过将字引线 W1 和 WD 的充电电势从低电平改变到高电平,存储单元 MM1 和虚设单元 MM5 和 MM6 得到选择。然后,存储单元 MM1 取 on 状态(导通状态),使得数据引线 D 的电势变低。同时,虚设单元 MM5 和

MM6 被设定到导通状态,从而使数据引线 D_n 的电势变低。然而,由于虚设单元 MM5 和 MM6 是相串联的,其电流驱动能力与存储单元 MM1 相比是很低的。因此,数据引线 D_n 的电势改变比数据引线 D 的要平缓。当数据引线 D 和 D_n 的数据被固定时,一个信号 S_6 被设定在低电平,从而使差分放大器能采取准备操作的状态。数据引线 D 和 D_n 之间的电势差被差分放大器所放大,其输出 OUT 因而具有高电平,而其他的输出 OUT_n 则变成低的。在此时间点,从存储单元 MM1 读取逻辑“0”的操作完成。

当存储单元 MM1 处于逻辑“1”状态(即,处于阈值为高且只有小电流流过的状态)时,数据引线 D 保持于预充电状态,其结果,数据引线 D_n 的电势降低得比数据引线 D 的快。所产生的差随后被差分放大器放大,至此读取操作完成。

对于从由半导体存储元件 MM2 构成的存储单元读出信息,半导体存储元件 MM3 和 MM4 则起着虚设单元的作用。只要为各个数据引线提供单个的虚设单元就足够了。因此,面积的要求可被降到最低。

借助上述电路布置,即使在数据引线 D 和 D_n 之间只出现有小的电势差时,也能实现信息读取操作。这意味着从数据引线 D 经存储单元 MM1 放电的电荷的量可以很小。借助于这些特征,可以实现高速操作。

在上述实施例的情况下,提供了虚设单元 MM5 和 MM6 的串

联连接,以作为使虚设单元电流大体等于存储单元电流的一半的手段。然而,该基准电势,可通过将沟道的宽度减小一半或降低所施加的栅极电压,而不是依赖于提供虚设单元的串联连接,来得以实现。

图 21A 和 21B 分别显示了半导体存储器件中的存储单元的电路配置和其布置。更具体地,图 21A 是电路图,显示了彼此相邻地设置的四个存储单元,而图 21B 显示了与图 21A 所示的电路配置对应的掩膜设置。与字引线 W91 相连的两个存储单元 MM91 和 MM92 共用同一个栅极,从而节省了所需的引线。另一方面,对于连接到同一数据引线 D91 的其他存储单元 MM93 和 MM91,其扩散层彼此直接相连,以使存储单元 MM93 和 MM91 都能共用一个触点(CT),从而相应地减小了引线区域。

实施例 7

下面结合图 22A 至 22C 和图 23,描述根据本发明的半导体存储器件的另一实施例。借助该实施例的结构,读取操作可以以比根据第六实施例的半导体存储器件更快的速度进行。

在这些附图中,图 22A 显示了包括由与同一子数据引线 D 相连的多个存储单元 MM51、MM52 和 MM53 构成的组件组成的存储单元组的电路图,图 22B 显示了在写入和读取操作中加在存储元件 MM51 上的电压,图 22C 用曲线图显示了存储元件 MM51 的特性,而图 23 显示了用每一个均具有图 22A 所示的结构存储单元组实现的半导体存储器件的结构。本实施例与第六实施例的不

同,主要在于数据引线被分成主数据引线 $MD51$ 和子数据引线 D ,以便以更高速度进行读取操作。如从图 22A 可见,存储单元 $MM51$ 、 $MM52$ 和 $MM53$ 的源极端与子数据引线 D 相连,而后者又与一个包括晶体管 $M53$ 和 $M52$ 并用 $PA51$ 总体地表示的前置放大器相连。该前置放大器 $PA51$ 具有与主数据引线 $MD51$ 相连的输出端(见图 23)。经过相应的前置放大器而与主数据引线 $MD51$ 相连的是多个存储单元组,这些存储单元组中的每一个都具有上述的结构。主数据引线 $MD51$ 与由一个差分放大器构成的主放大器 $MA51$ 的一个输入端相连。一系列虚设单元由设置在一个阵列中的存储单元组构成。虚设单元(例如 $MM54$)经过前置放大器 $PA52$ 而与另一主数据引线 $MD52$ 相连。主数据引线 $MD52$ 又与主放大器 $MA51$ 的另一输入端相连。用于虚设单元的前置放大器 $PA52$ 是这样设计的,即使得其电流驱动能力大约等于前置放大器 $PA51$ 的一半。这可通过诸如将晶体管的沟道宽度减小一半来实现。

下面,将描述从存储单元 $MM51$ 读出信息的操作。信息逻辑“0”事先被写入虚设单元 $MM54$ 中。首先假定信息逻辑“0”被存储在存储单元 $MM51$ 中。首先,高电平电势 V_r 被加到晶体管 $M51$ 的栅极端 $S52$,从而将源极端 $S51$ 设定在到电势,从而把子数据引线 D 设定在地电势。随后,为了选择存储单元组,高电平电势被加到栅极端 $S53$ 上,以将前置放大器 $PA51$ 的晶体管 $M52$ 设定在导通状态。同时,将主数据引线 $MD51$ 和 $MD52$ 预充电到高电势电平 V_r 。

当字引线 W 的电势从低电平改变到高电平 V_r 时, 存储单元 $MM51$ 变为导通, 从而使子数据引线 D 经存储单元 $MM51$ 从源极端 $P(=V_r)$ 充电。其结果, 晶体管 $M53$ 被导通, 这造成主数据引线 $MD51$ 通过存储单元 $MM52$ 和 $MM53$ 放电, 使主数据引线 $MD51$ 的电势降低。通过类似的操作, 与同一字引线相连的虚设单元 $MM54$ 处于导通状态。作为响应, 前置放大器 $PA52$ 操作, 以使主数据引线 $MD52$ 被放电。因此, 主数据引线 $MD52$ 的电势被降低。然而, 由于前置放大器 $PA52$ 的电流驱动能力与前置放大器 $PA51$ 的相比要差些, 所以主数据引线 $MD52$ 的电势下降的速率比主数据引线 $MD51$ 的慢。因此, 在主数据引线 $MD51$ 和 $MD52$ 之间出现了一个电势差, 后者从主放大器 $MA51$ 进行检测, 从而由主放大器 $MA51$ 导出相应的输出信息。读出逻辑“1”的操作也以类似的方式进行。

在本实施例的情况下, 存储单元 $MM51$ 仅驱动子数据引线 D 就足够了。该子数据引线的特征在于寄生电容小, 因为与子数据引线相连的存储单元的数目少—在 8 个至 22 个的范围内, 且因为子数据引线的长度短。因此, 该子数据引线可由存储单元或存储元件 $MM51$ 以高速驱动。同样, 也能实现主数据引线 $MD51$ 的高速运行, 因为它可被前置放大器 $PA51$ 以高速进行驱动。

根据本实施例体现的本发明的教导, 前置放大器 $PA51$ 和 $PA52$ 是这样实施的, 即它们在电流驱动能力方面有所不同, 以便为差分放大器 $PA51$ 产生一个基准电压。与其中电流被存储单元本

身降低了一半的第六实施例相比,其中电流电平在晶体管构成的前置放大器中以更高的速率得到改变的本实施例的优点,在于是更不容易受前述不一致性的影响。

另外,主放大器 MA51 可利用现有技术中已知的各种电路中的适当一种来实现,诸如用在第六实施例的器件中的差分放大器、电流镜式差分放大器电路等等。

在上述第六和七实施例的情况下,已经假定存储单元是由单个晶体管构成的。然而应该指出的是,该存储单元也能以其他的配置实现,诸如图 24A 至 24E 中所示的。更具体地说,图 24A 显示了一种存储单元,其中设置了一个与栅极相对的后栅极,而沟道则位于后栅极和栅极之间。这种存储单元结构的优点,在于当多个存储单元与同一个后栅极端相连时,通过把一个具有负极性的电压加到后栅极上,就可以把这些存储单元中包含的信息或数据同时设定成逻辑“0”。当然,通过将具有十或正极性的电压加到该后栅极上,也同样可以把逻辑“1”写入到这些存储单元中。

在此方面,该后栅极端可通过利用半导体衬底本身、一个势阱或类似装置来实现。

图 24B 显示了一个存储单元,其中端引线 *P* 平行于字引线延伸以使对存储器件的控制能在一行一行的基础上独立地进行。另一方面,图 24C 显示了一种存储单元,其中端引线 *P* 与数据引线平行地延伸。另外,图 24D 显示了一种存储单元,其中存储元件 MM73

的栅极与数据引线相连接。在此情况下,端 P 可被省略,这有利于减小用于实现半导体存储器件所用的面积。最后,图 24E 显示了一种存储单元,其中存储元件 $MM74$ 的栅极与字引线相连接,且该存储单元因而能保证与图 24D 所示的存储单元类似的优点。

实施例 8

图 25A 至 25C 和图 26 显示了根据本发明的第八实施例的半导体存储器件。如图 25A 所示,根据本实施例的存储器件的存储单元由一个电路构成,该电路包括根据本发明的存储元件 $MM21$ 和与它串联的开关 FET (场效应晶体管) $M25$ 。更具体地,字引线与该开关 FET $M25$ 的栅极相连,以使从数据引线 D 加到存储元件 $MM21$ 上的电压能被开关 FET $M25$ 所中断。因此,避免了将电压加到与选定的存储单元共用字引线或数据引线的非选定存储单元上的必要。这又意味着根据本实施例的器件在数据保存特性方面比第六和七实施例更优越,从而提供了又一个优点。

根据本实施例的存储单元的写入操作是以如下方式进行的。首先,考虑与写入逻辑“0”有关的操作。一个电压($V_{cc}+V_i$)被加到所要选定的字引线上,同时零伏特的电势电平被加到所要选定的数据引线上。其结果,开关 FET $M25$ 被导通,从而使节点 $N21$ 取大约为地电势的电平。由于源极端 P 处于 $V_{cc}/2$ 的电压电平,一个电压— $V_{cc}/2$ 被跨接到存储元件 $MM21$ 的栅极和源极之间,从而使信息逻辑“0”被写入存储单元(参见图 25C)。随后,考虑用于写入逻辑“1”

的操作。还是在这种情况下,电压($V_{cc}+V_i$)被加到字引线上,同时将电压 V_{cc} 加到数据引线上,因此,电压 $V_{cc}/2$ 被加在存储元件 MM21 的栅极和源极之间,从而将逻辑“1”写入到存储单元中(参见图 25C)。

用于从根据本实施例的存储单元读出数据或信息的操作,可以借助于与第六和七实施例中所用的相类似的方式进行。然而,在本实施例中,本发明教导了一种布置,它使得读/写操作能在更低的源极电压下进行。参见图 26,对于从包括存储元件 MM25 和开关 FET MM21 的存储单元中读出信息,字引线 W21 的电势电平从地电势电平被改变到了源极电压 V_{cc} ,并且同时包括开关 FET M27 和存储元件 MM25 和 MM26 的虚设单元的字引线 WD22 的电势,被从低电平改变到了高电平。随后的操作与第六实施例的相同,只是除了在输出被固定之后,对于存储单元的再写入是由与检测放大器的输出端相连的写入驱动器进行的。例如,当要把逻辑“1”写入存储元件 MM21 时,电压 V_{cc} 被加到数据引线 D 上。在此情况下,一个大体等于 V_{cc} 的电压被加到存储元件 MM21 的栅极和源极之间,从而能将逻辑“1”写入到存储元件 MM21 中。另一方面,当要写入逻辑“0”时,数据引线被设定到地电势电平。因此,电压 $-V_{cc}/2$ 被加到存储元件 MM21 的栅极和源极之间,从而将逻辑“0”写入到该存储单元中。

在根据本实施例的存储器件中,每次进行数据读取操作时,都

依次进行再写入操作。借助这种布置,存储元件 MM21 中保存的信息的数据从逻辑“0”到逻辑“1”的转换将不会产生问题,只要这种转换仅在出现了这样的电势差之后发生,即这种电势差的幅度能够使数据引线 D 和虚设数据引线 D_n 之间产生读取操作。因此,读出电压 V_r 和写入电压 $V_{cc}/2$ 可被设定在彼此较为接近的值或电平。这又意味着写入电压可被设定在一个低电平。在一个具体的例子中,读出电压 V_r 可被设定为 3 伏特,而写入电压 $V_{cc}/2$ 可被设定在 4 伏特。对比之下,为了保证在前面结合第七实施例(见图 22C)描述的读取操作中有效地防止信息或数据的倒相的发生,写入电压 V_p 必须被设定在大约为读取电压 V_r 的三倍之高。这需要将高电压应用到写入操作。

图 27A 和 27B 是电路图,分别显示了根据本实施例的存储单元电路的类型。图 27A 中显示的存储单元与图 25A 中所示的不同之处,在于源极端 P 与存储元件 MM81 的栅极相连。另一方面,在图 27B 所示的存储单元中,存储元件 MM82 的栅极由从存储单元外部施加的控制信号 C 控制。

图 28A 和 28B 显示了一个半导体存储器件的电路配置和布置,该半导体存储器件包括若干存储单元,每一个存储单元都具有如图 27A 所示的、对应于四比特的结构。在这些图中,存储单元 MM101 至 104 均由前面结合第一实施例描述过的多晶硅存储元件构成。如从图 28B 可见,相邻的存储单元的字引线由同一电极构

成,而一个触点被两个相邻的存储单元所共用并与数据引线相连。由此可以理解到,实现该存储单元所需要的面积可大大地减小。

实施例 9

图 29A 至 29C 显示了根据本发明的第九实施例的存储单元电路和读取电路。更具体地,图 29A 显示了根据本实施例的存储单元的电路图,图 29B 显示了该存储单元进行的读出和写入操作中施加的电压,而图 29C 以曲线图形式显示了存储单元中采用的存储元件 MM31 和 MM32 的特性。根据本实施例的存储单元的一个特征在于,在存储元件 MM31 和 MM32 中写入了补码信息或数据。更具体地,对于写入逻辑“1”,一个电压 V_{cc} 被加到字引线 W 上,同时一个电压 V_s (具有负极性)被加到数据引线 D 上,其结果一个开关 FET M33 导通,从而将数据引线 D 的电势加到节点 $N31$ 上,后者因而取得电势电平 V_s 。由于电压 V_s 被加到存储元件 MM32 的栅极和源极之间,该源极被设定到低阈值状态。对比之下,电压 $(V_{cc} - V_s)$ 被加到存储元件 MM31 的栅极和源极之间,后者因而取高阈值状态。对于在存储单元中写入逻辑“0”,数据引线 D 被设定在写入电压电平 V_p 。其结果,存储元件 MM31 取低阈值状态,且存储元件 MM32 取高阈值状态。在该写入操作之后,数据引线的电势电平被设定到 $V_{cc}/2$,这使得大约为 $V_{cc}/2$ 的电压被分别加到存储元件 MM31 和 MM32 的栅极和源极之间。在逻辑“1”状态,数据引线 D 倾向于放电,而在逻辑“0”状态,数据引线 D 被充电。这种趋势或

状态由差分放大器检测,以读取数据或信息,如图 30 所示。

在根据本发明的本实施例的存储单元中,数据引线的电势电平根据所要读出的存储单元信息或数据是逻辑“1”还是“0”而下降或上升。因此,可以将基准电压($V_{cc}/2$)直接加到差分放大器的输入端之一上。因此,不需要虚设单元,从而提供了一个优点。在此方面,应该注意的是在根据前述实施例的电路配置的情况下,虚设单元是必须提供的,因为数据引线的电势电平根据存储单元数据是逻辑“1”还是“0”而得到保持还是被降低,是不确定的。

实施例 10

现在结合图 31A 至 31C 描述根据本发明的进一步的实施例的存储单元电路,其中图 31A 显示了根据本发明的本实施例的用于单个比特的存储单元电路,图 31B 分别显示了用于读出和写入操作的电压,且图 31C 以曲线图显示了存储元件 MM41 和 MM42 的特性。在根据本实施例的存储单元中,采用了这样的布置,即每一个均具有图 27A 所示的结构的一对存储单元可借助同一条字引线而得到选择。为此,存储元件 MM41 和 MM42 适于存储互补的数据或信息。即,当存储元件 MM41 被设定在低阈值状态时,存储元件 MM42 被设定在高阈值状态,反之也是一样。因此,当字引线在写入操作之后被设定在高电势电平时,在数据引线 D 和 D_n 之间出现了一个反映存储元件 MM41 和 MM42 之间的电流驱动能力之差的电势差。因此,通过将数据引线 D 和 D_n 连接到一个差分放大

器的一对输入端,就可以读出存储在该存储单元中的信息或数据。

在根据本发明的本实施例的存储单元或存储器件中,可在不需要提供虚设单元且不需要产生用于差分放大器的基准电势电平的情况下,就保证稳定的运行。因此,电路设计可得到简化。另外,通过采用图 33 所示的存储单元电路,可得到类似的优点。

在实施例的前述描述中,假定采用了一个 n 沟道栅极绝缘场效应晶体管作为开关元件。然而,显然它可用其他类型的开关元件来代替。例如,可采用一个 p 沟道场效应晶体管。在此情况下,加在栅极上的电压的极性当然必须被相反。

另外,在前述描述中,假定半导体存储元件是 n 沟道类型的。然而显然该存储元件以及存储器件可以用 p 沟道存储元件(即能够借助空穴操作的元件)来实现。

实施例 11

以上结合第六至第十实施例描述的半导体存储器件或简言之存储器的特征,在于信息或数据能够得到保存而没有被易失化。因此,与传统的非易失存储器相比,数据写入操作所需的时间极其短,且对于再写入操作的次数没有限制。另外,由于该写入操作是通过仅注入几个电子来进行的,所以能实现极其高速的写入操作。对读取操作的次数没有限制的原因,可以用写入是通过少数电子的运动而实现的这一事实来解释。

根据本发明的存储器件可以非常有益地被用作数据处理系统

中的微处理器的一个主存储器,如图 34 所示。由于根据本实施例的存储器件是非易失的,信息一旦被存储在该存储器件中,即使在电源被中断的情况下也能得到保存。由于这种特征,以硬盘或软盘的形式实现的外部存储器,可以由根据本发明的教导制成的存储芯片来实现。另外,由于该主存储器的非易失性,包含这种类型的主存储器的计算机可立即恢复到电源中断之前的状态。

另外,通过用结合第六至第十实施例描述的半导体存储器件作为微处理器中的高速缓冲存储器存储器,不仅该高速缓冲存储器存储器可被作成非易失的,而且该微处理器的功率消耗也能大大地得到降低。

如从前述描述中可见,根据本发明,提供了一种半导体存储器件,它能在不需要低温冷却的情况下,以少量的存储元件实现,这些存储元件本身具有信息或数据存储能力并同时降低了对实施面积的要求。因此,通过采用根据本发明的半导体存储器件,可以实现具有高速再写入操作的非易失存储器件。

说明书附图

图 1A

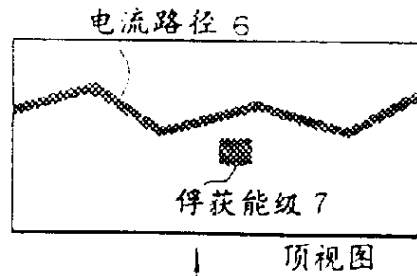


图 1B

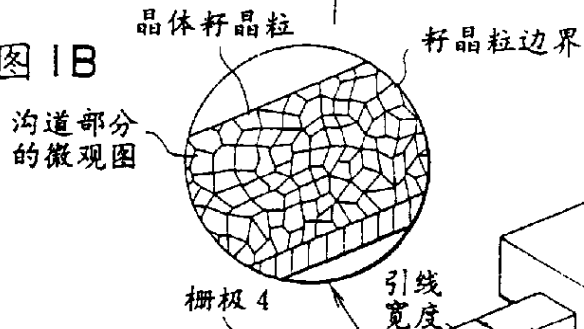


图 1C

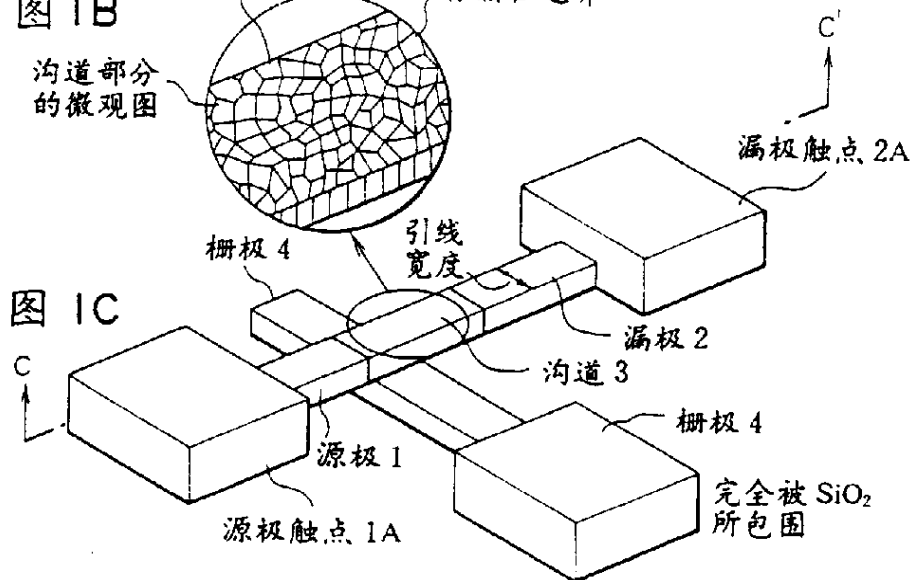
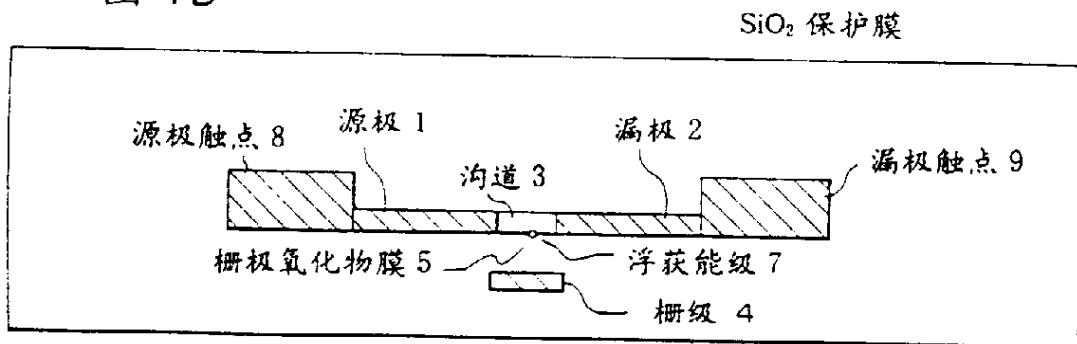


图 1D



沿 C-C' 剖视图

图 2

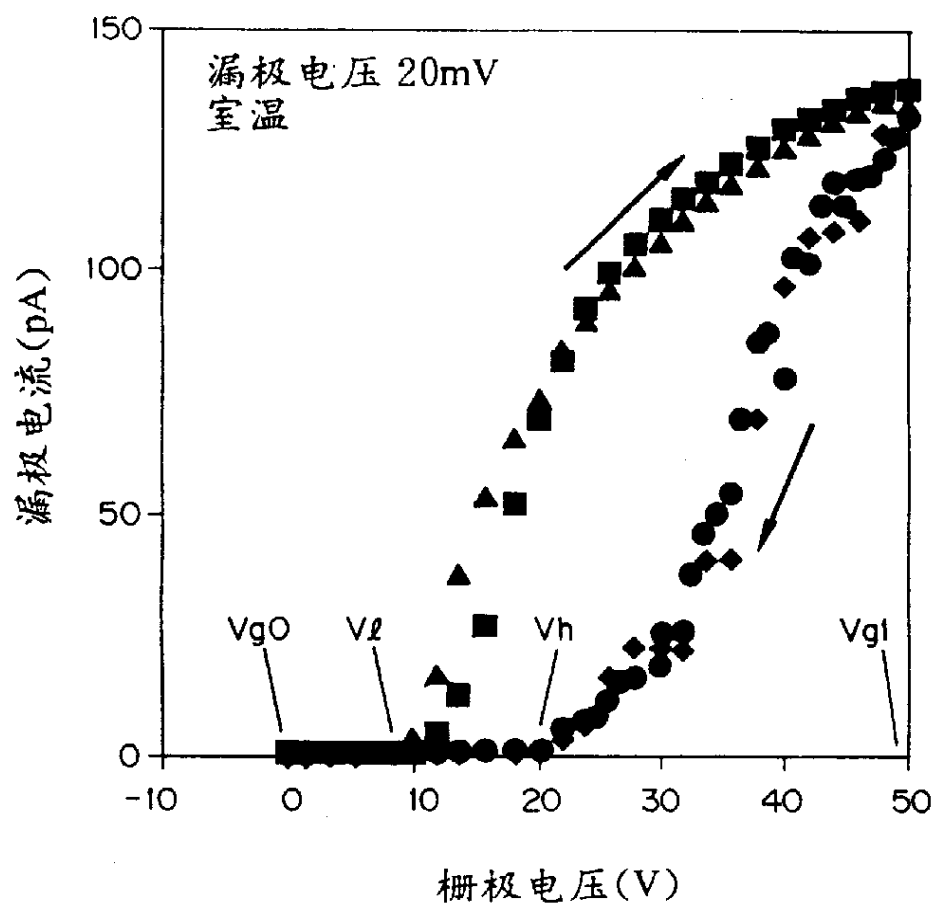
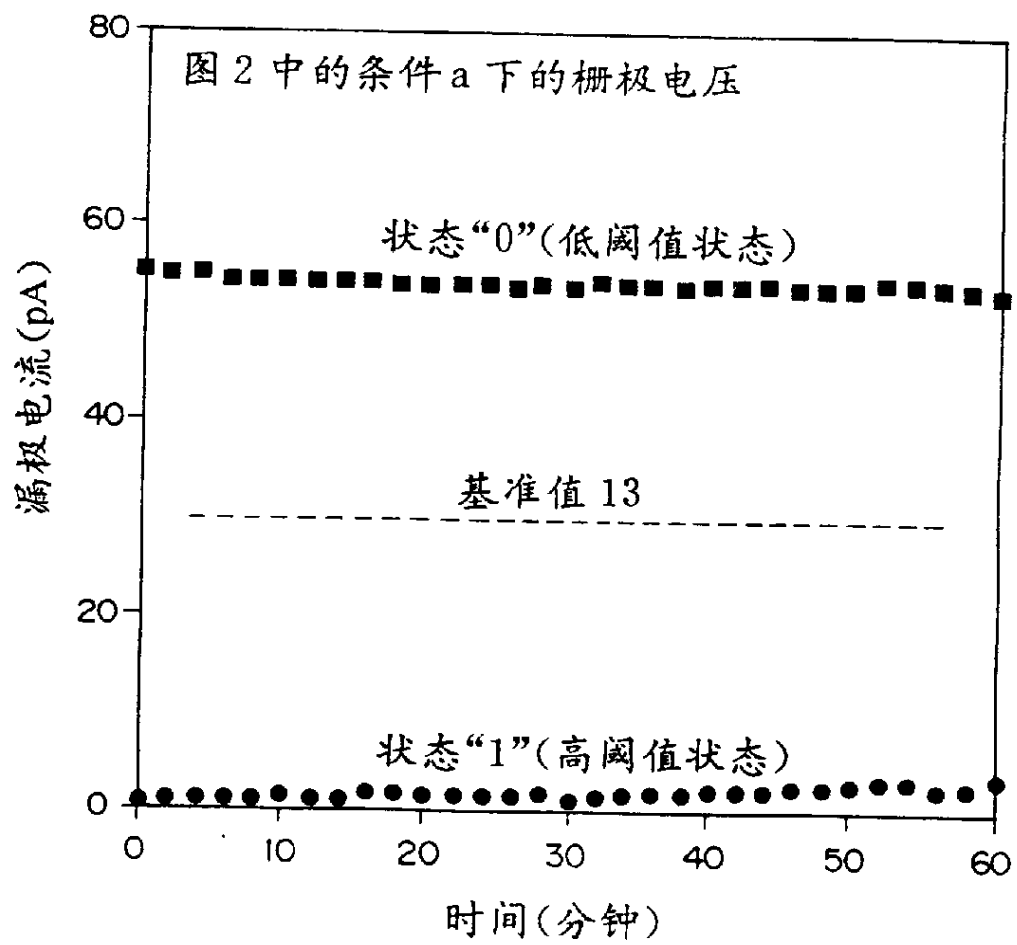
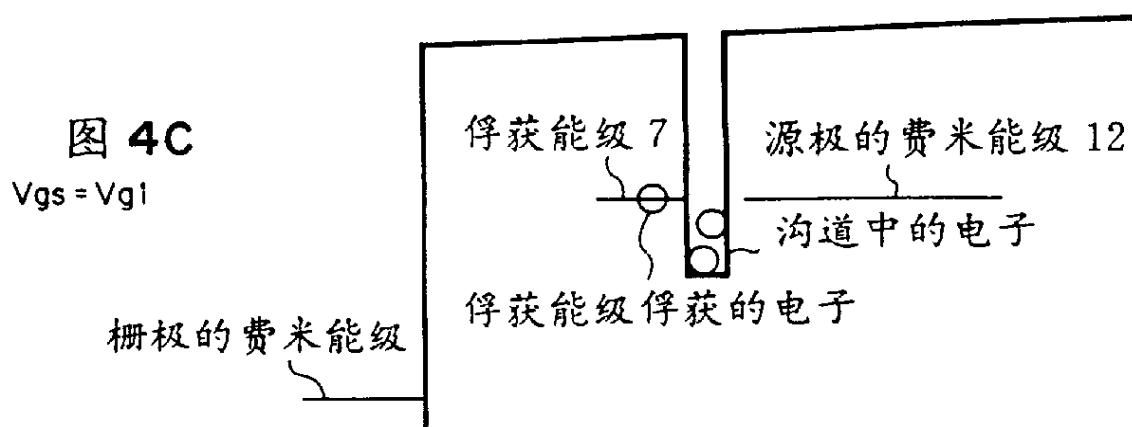
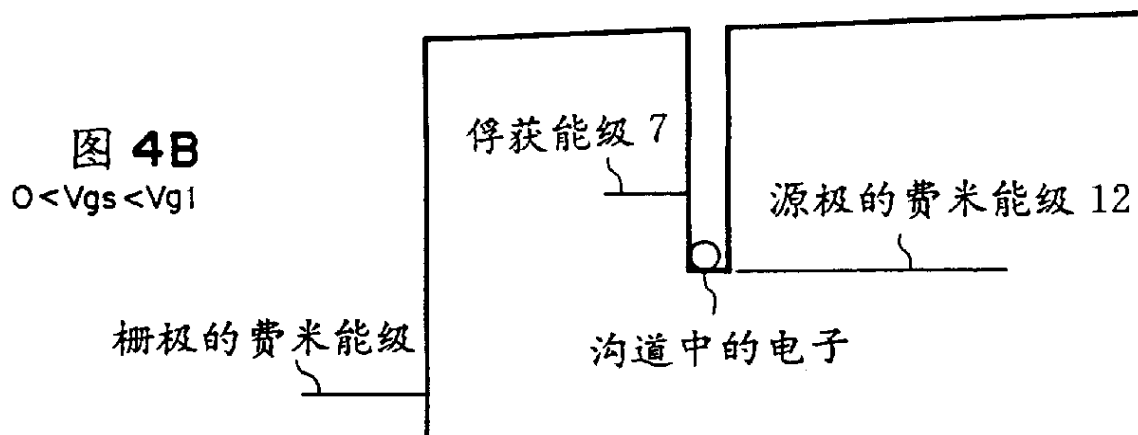
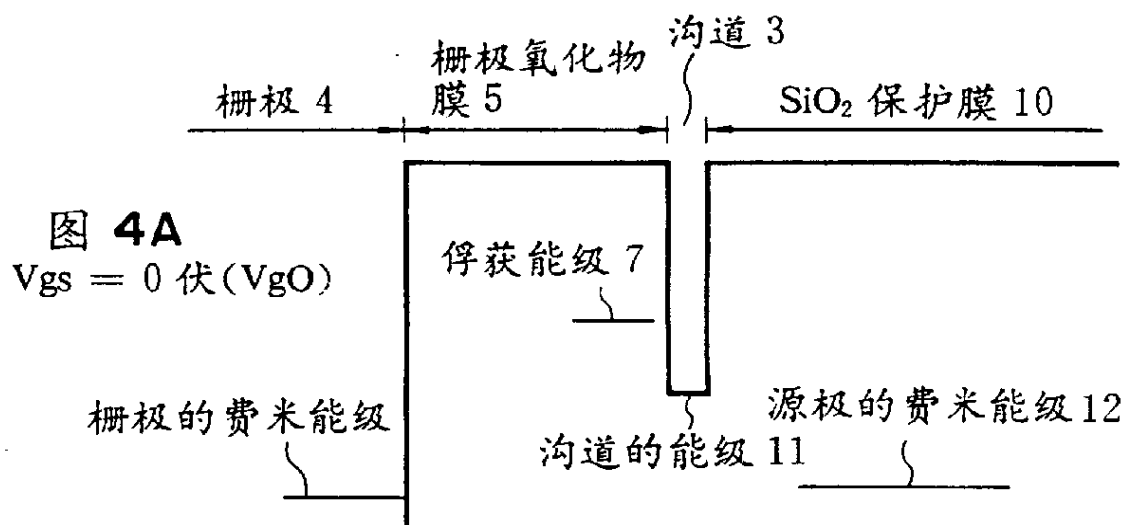


图 3





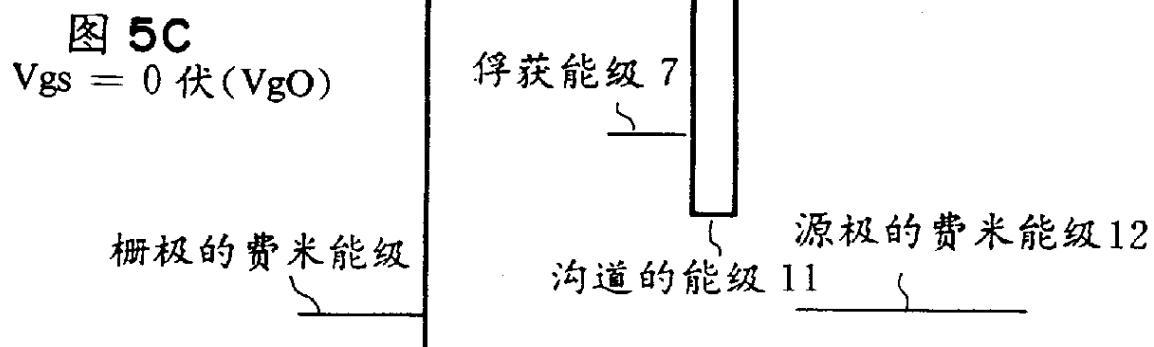
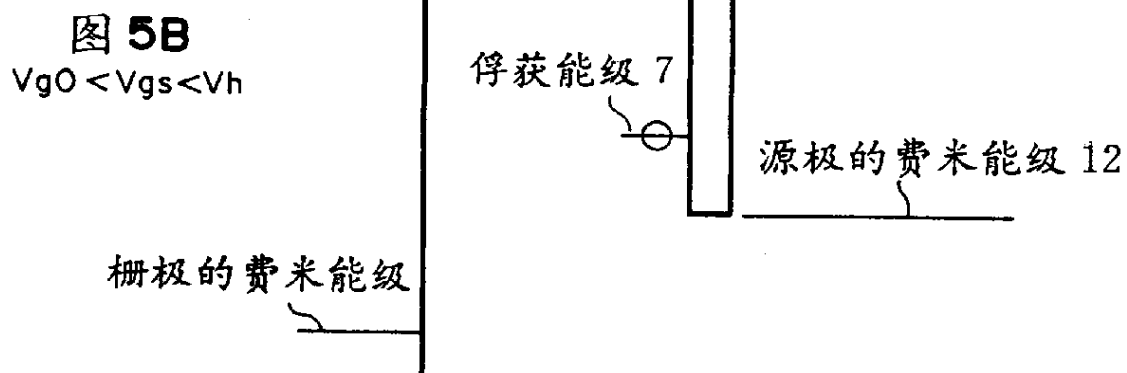
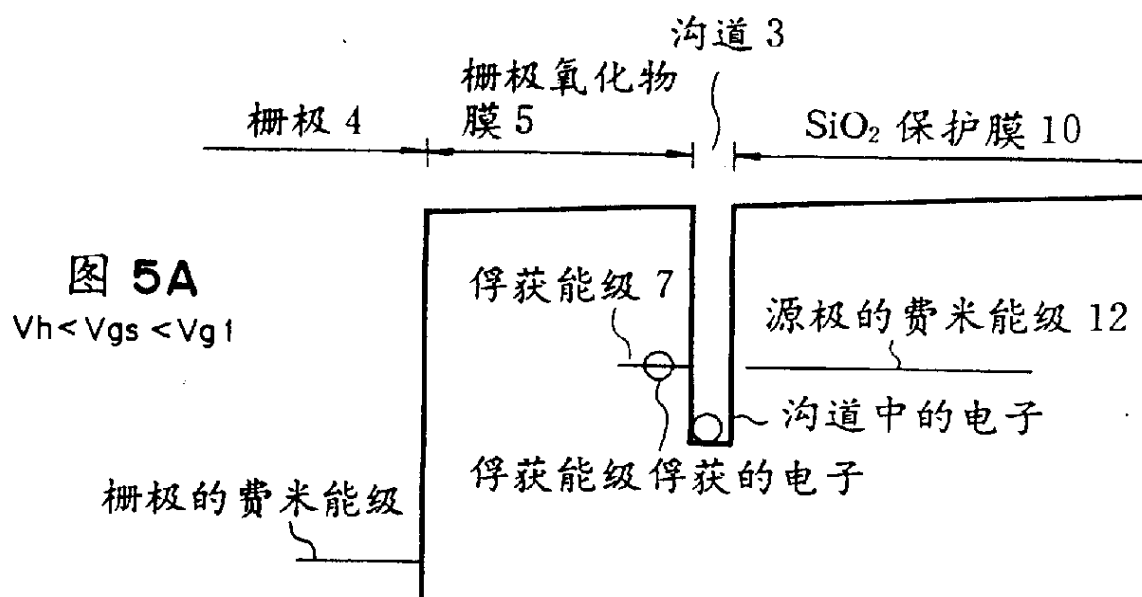


图 6

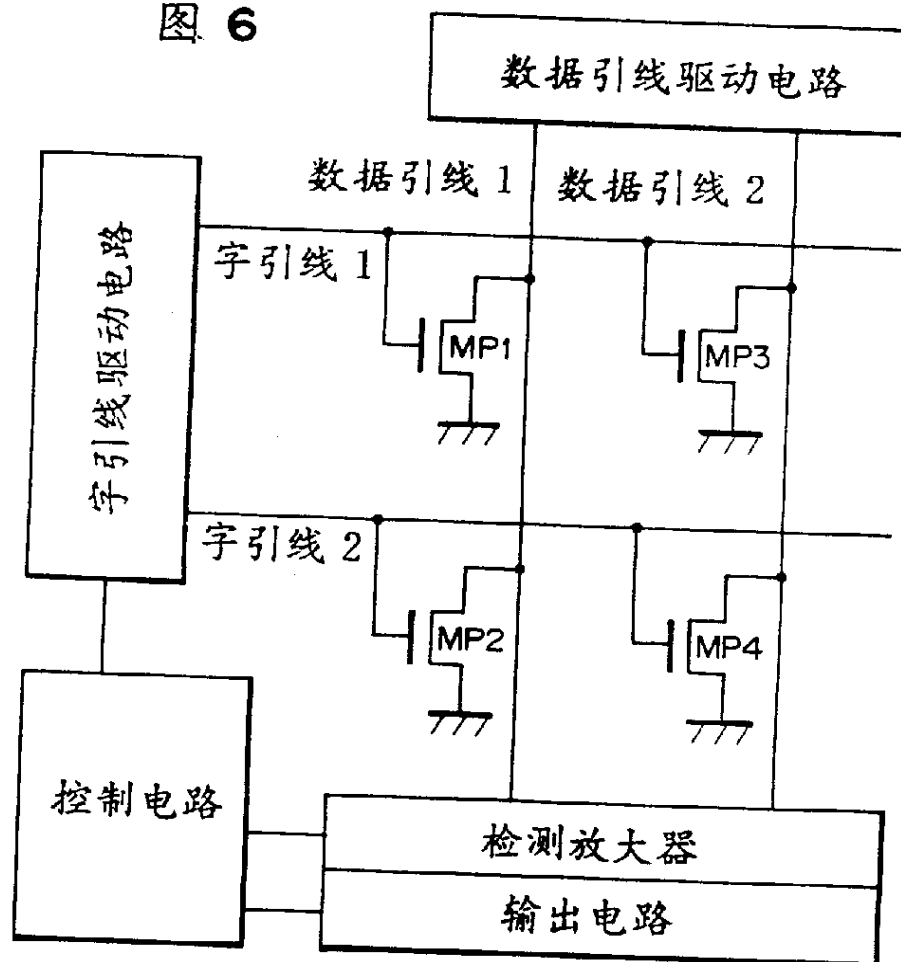


图 7

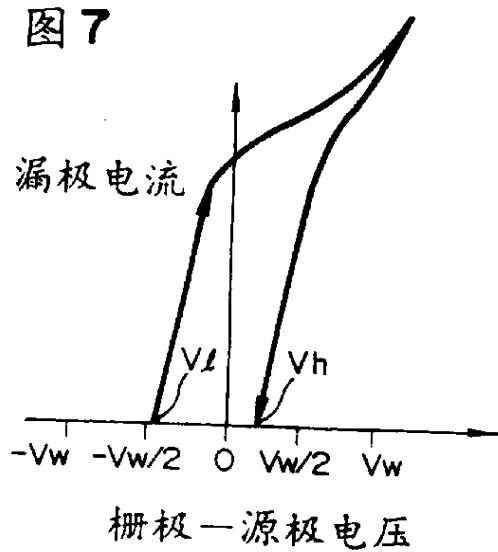
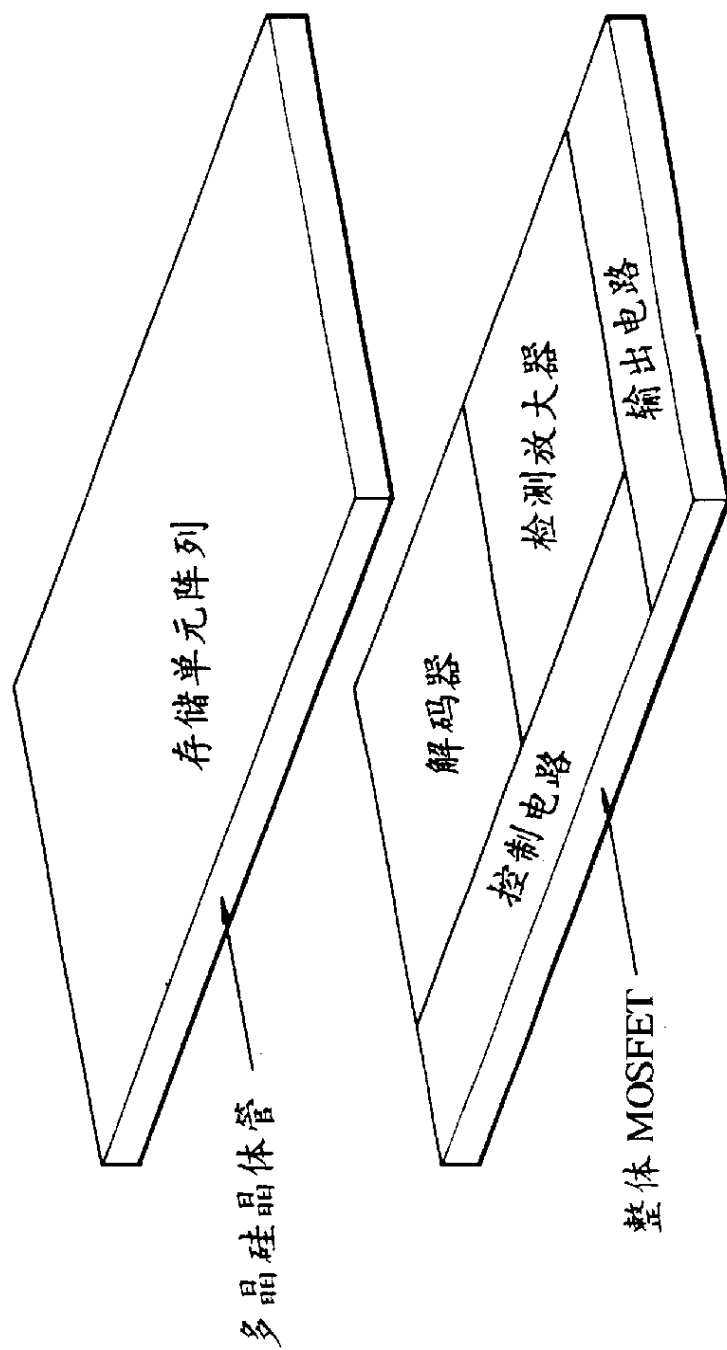


图 8



整体 MOSFET 和多晶硅之间引线层在本图中被省略了

图 9A

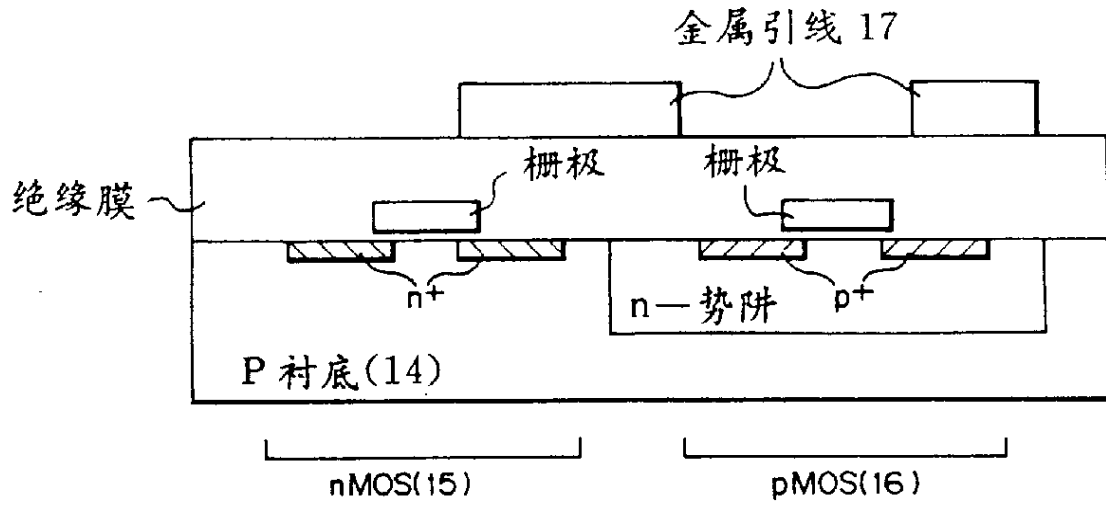


图 9B

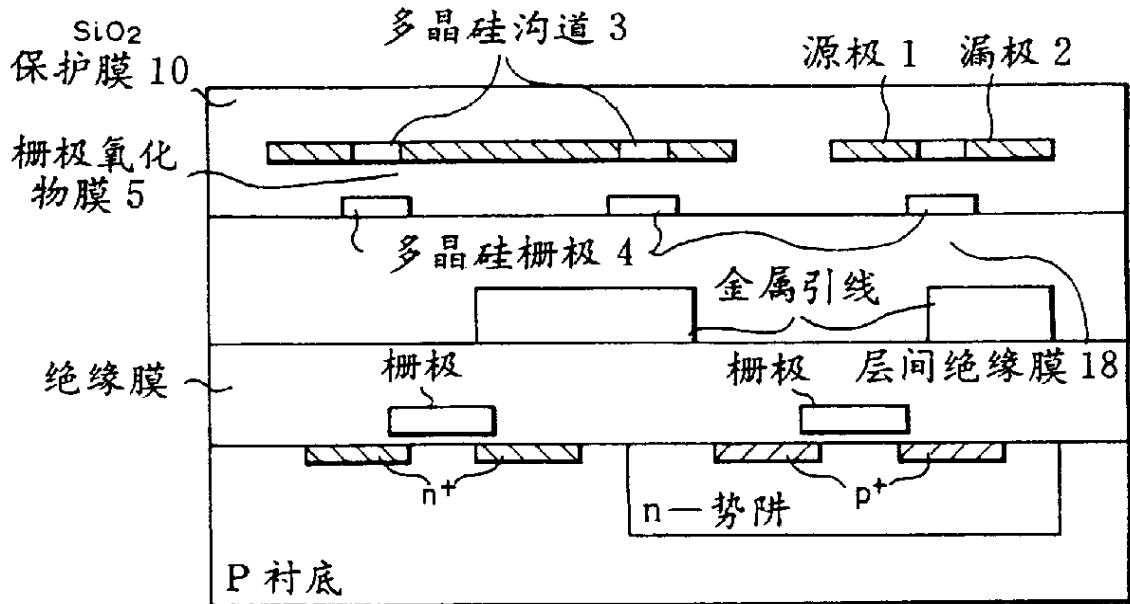


图 10A

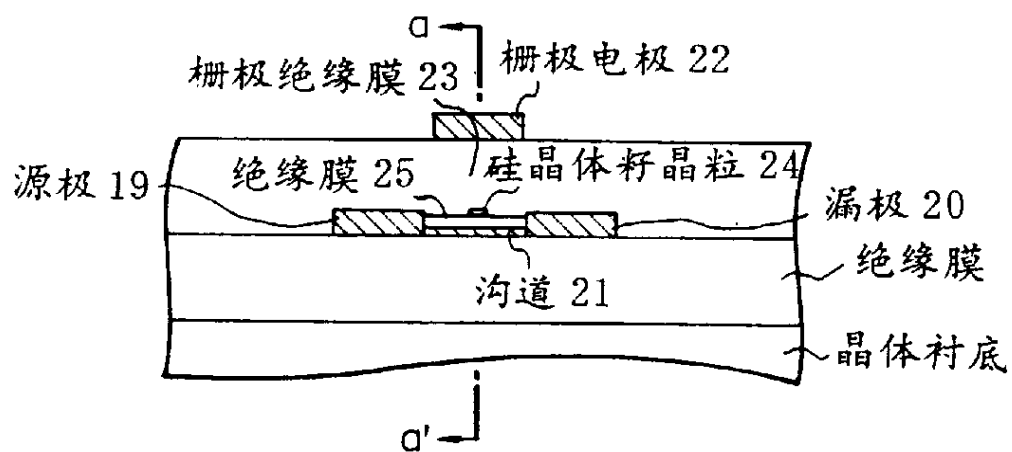
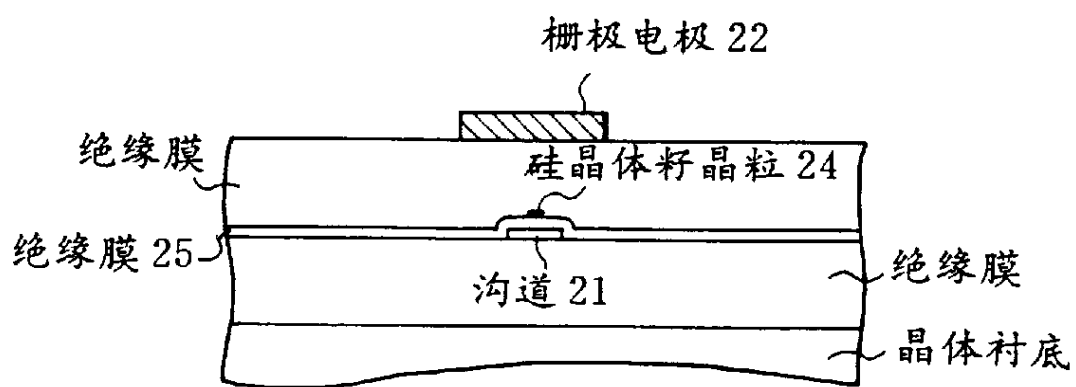
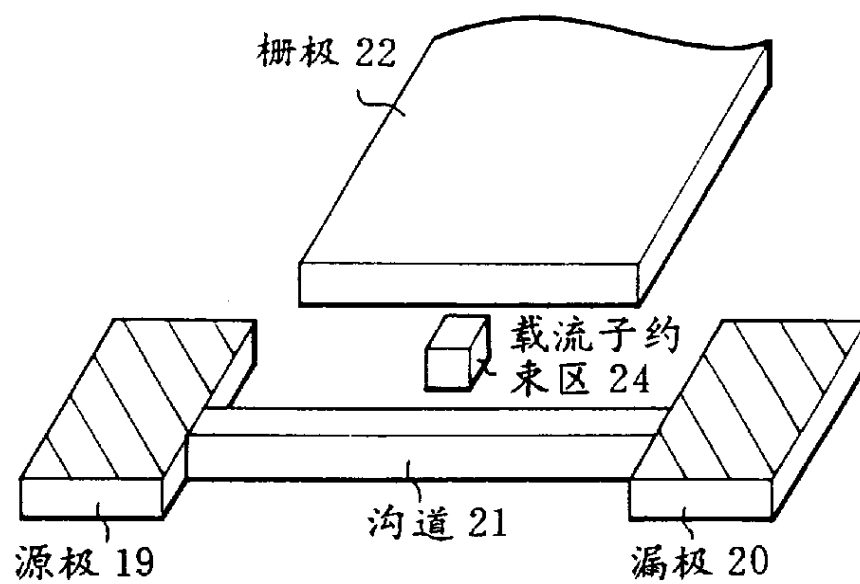


图 10B



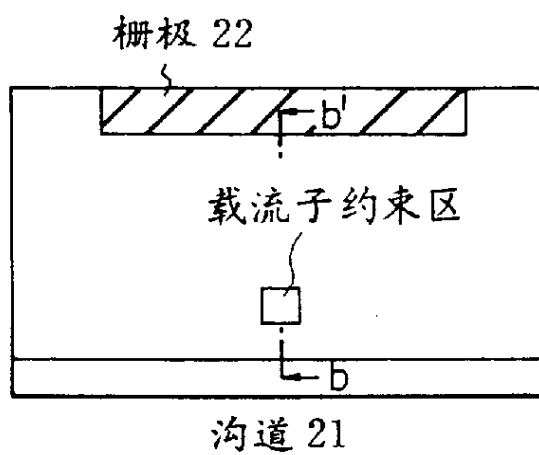
沿 a— a' 取出的截面

图 11A



立体图

图 11B



剖视图

图 12

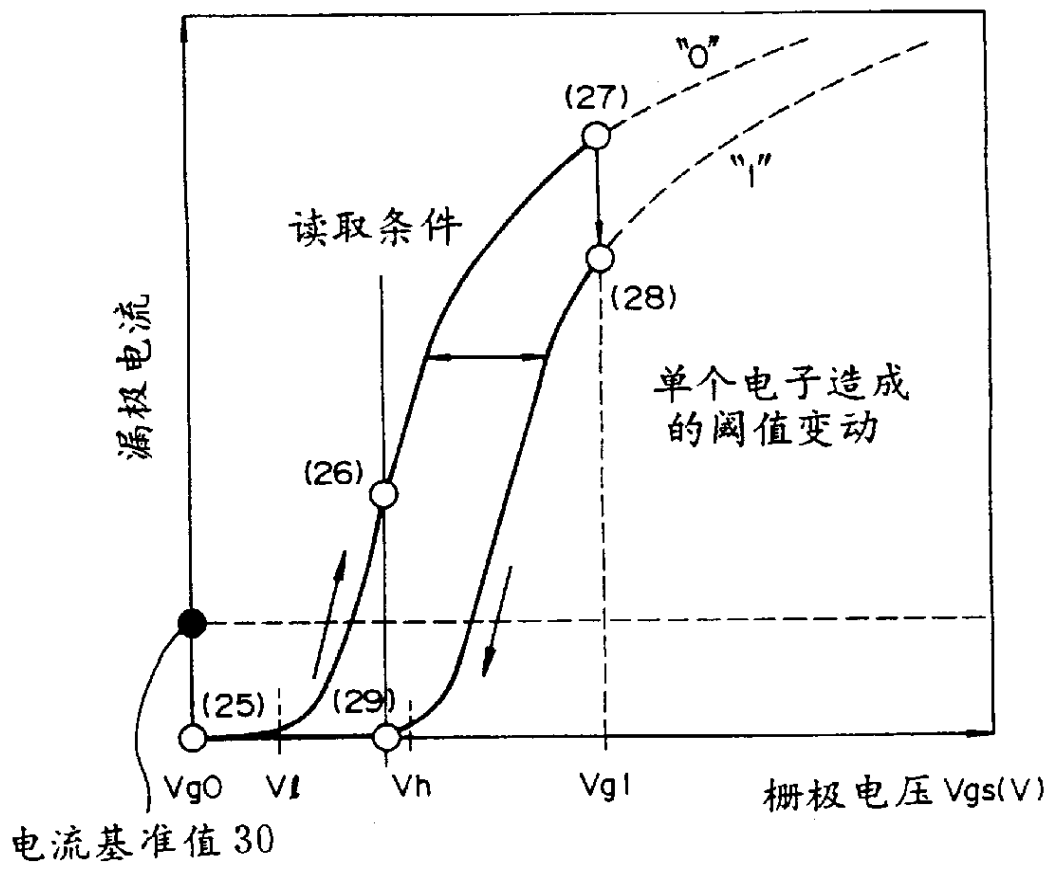


图 13A

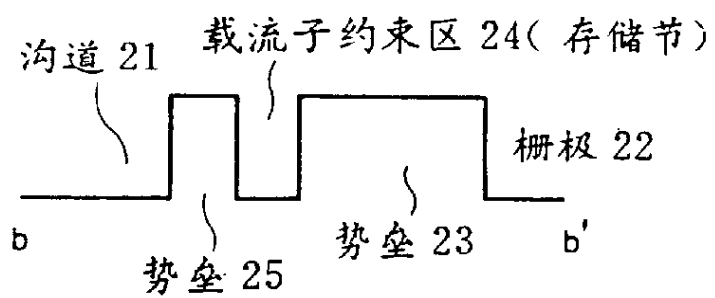


图 13B

保持在“0”

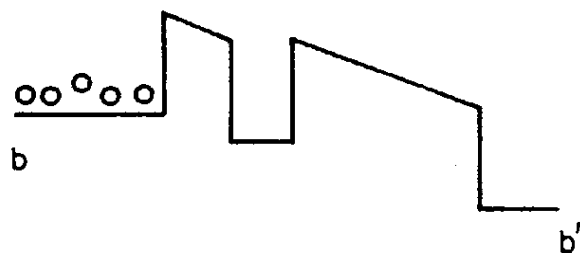


图 13C

写

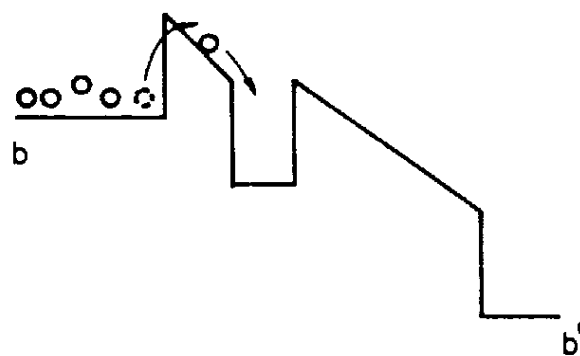
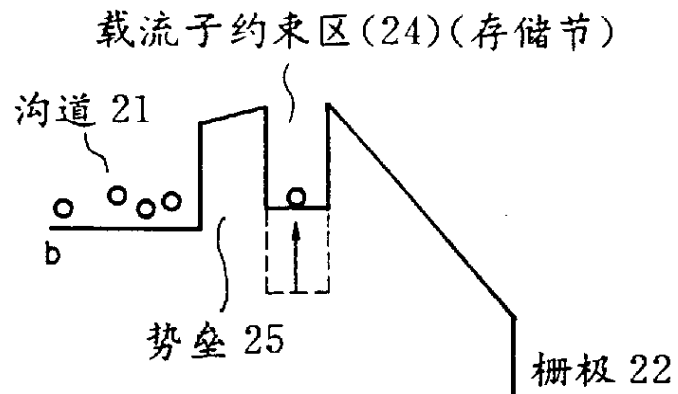


图 14A

写



前一电子的电势阻止了后一电子被俘获 b'

图 14B

保持在“1”

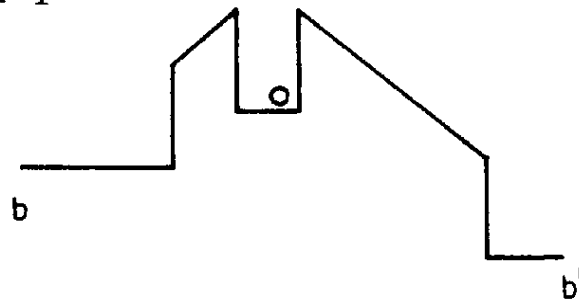


图 14C

擦除

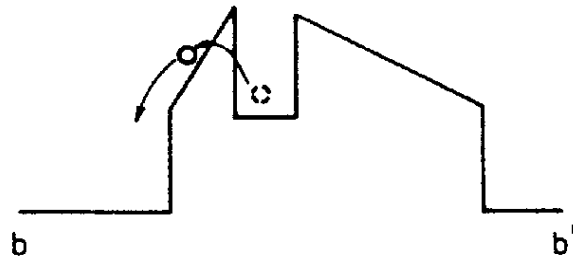


图 15A

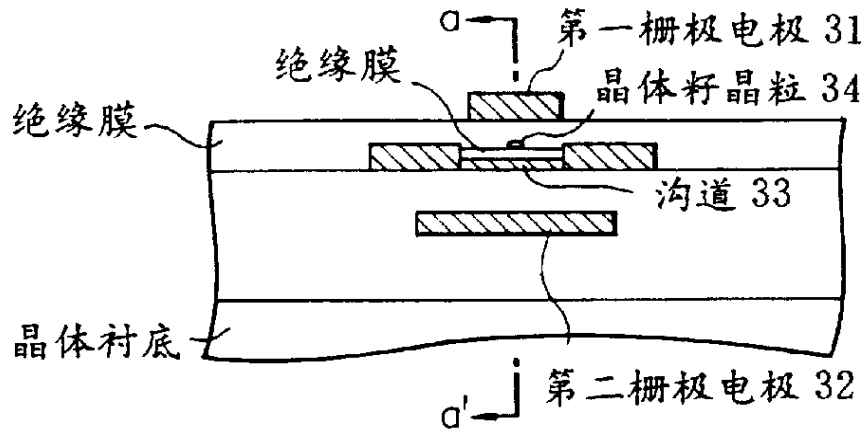
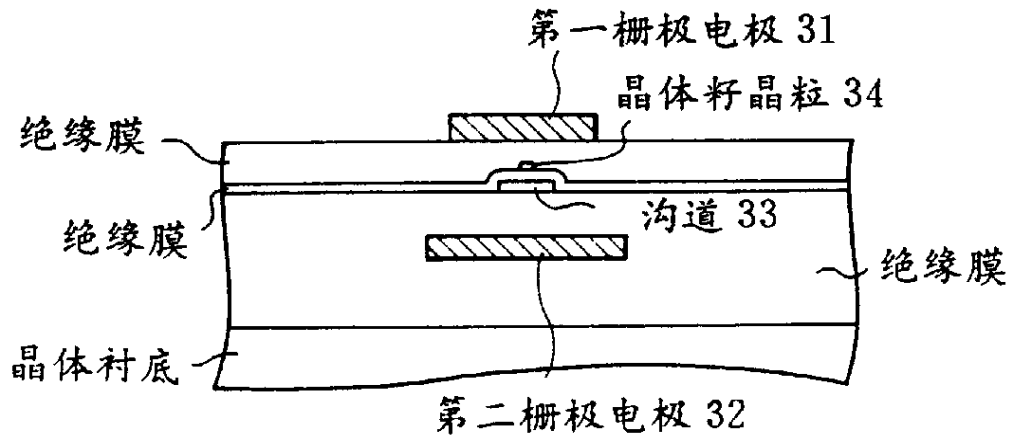


图 15B



沿 a-a' 取出的截面

图 16A

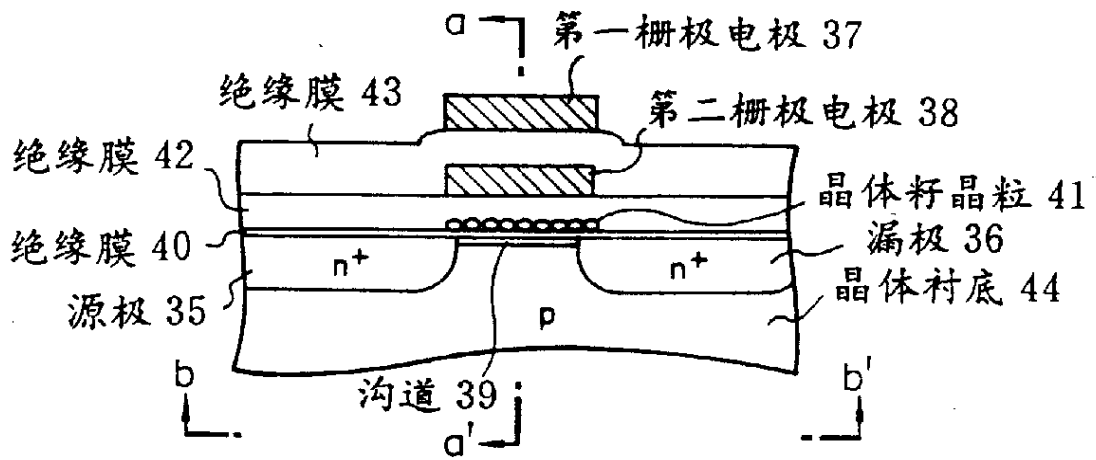
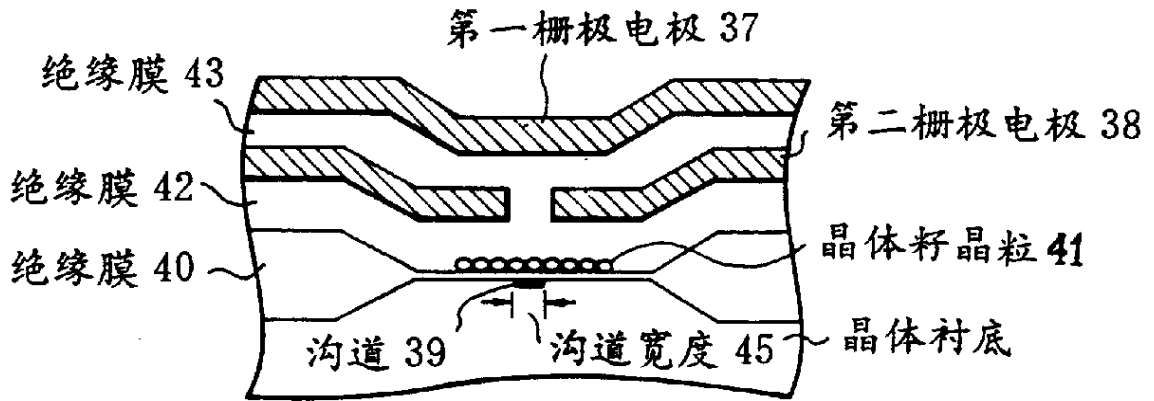
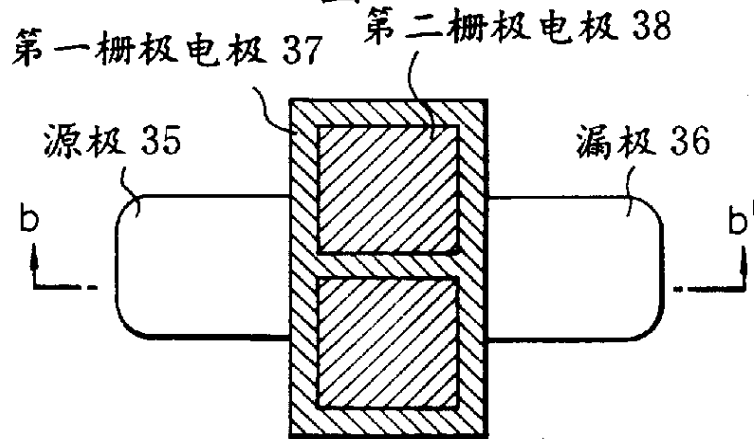


图 16B



沿 a— a' 的截面

图 16C



顶视平面图

图 17A

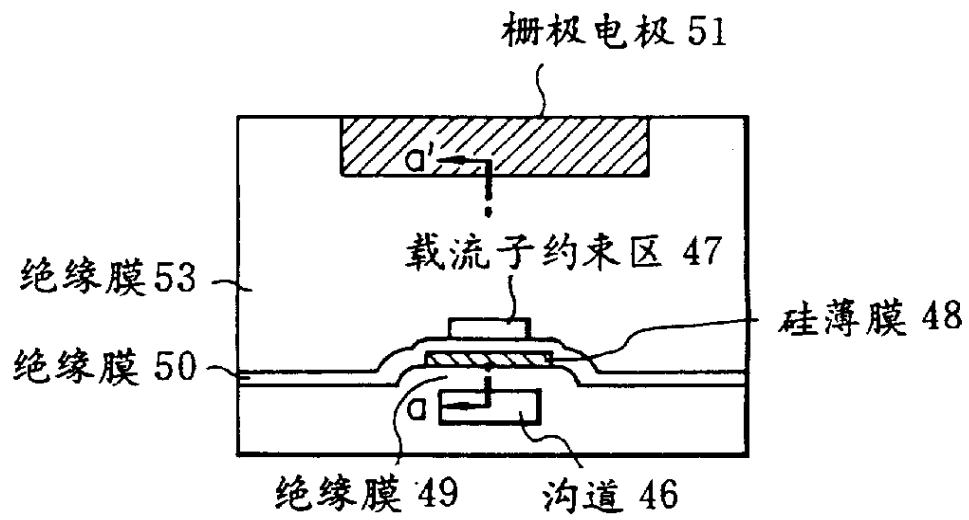
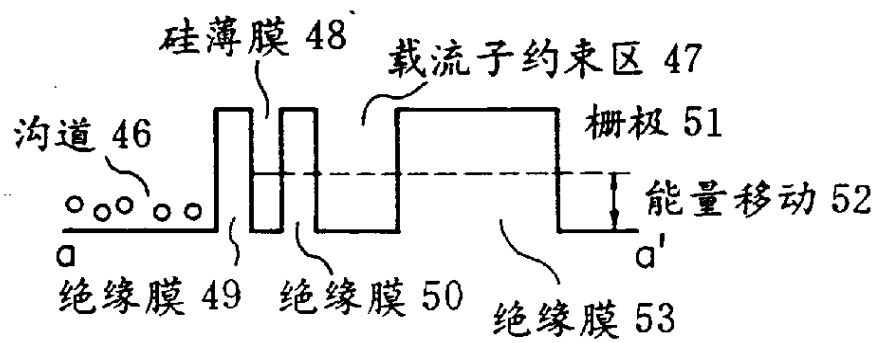


图 17B



沿 $a-a'$ 的电势分布

图 18

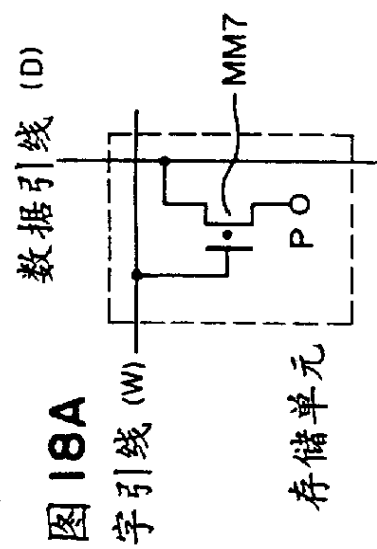
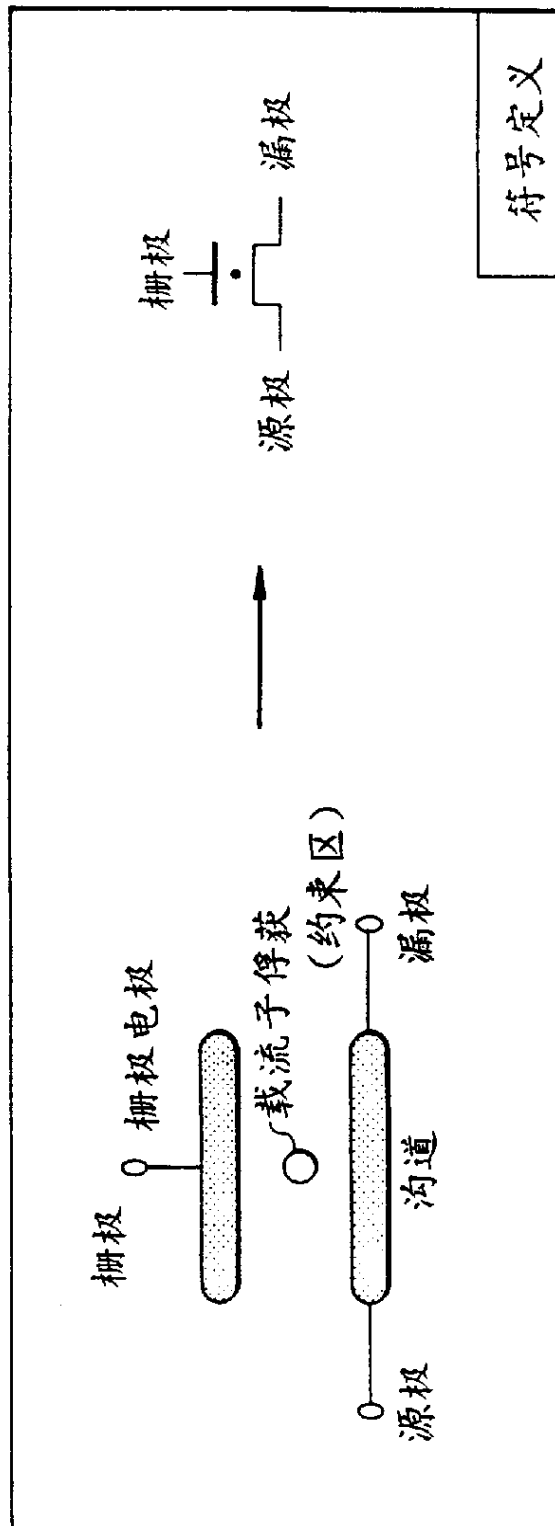


图 18A

图 18B

$P = 0$

		W		D	
		选择	不选择	选择	不选择
读	1	V_r	0	V_r	—
	0			$V_r - \Delta$	
写	1	V_r	0	$-V_r$	0
	0	$-V_r$	0	V_r	0

图 18C

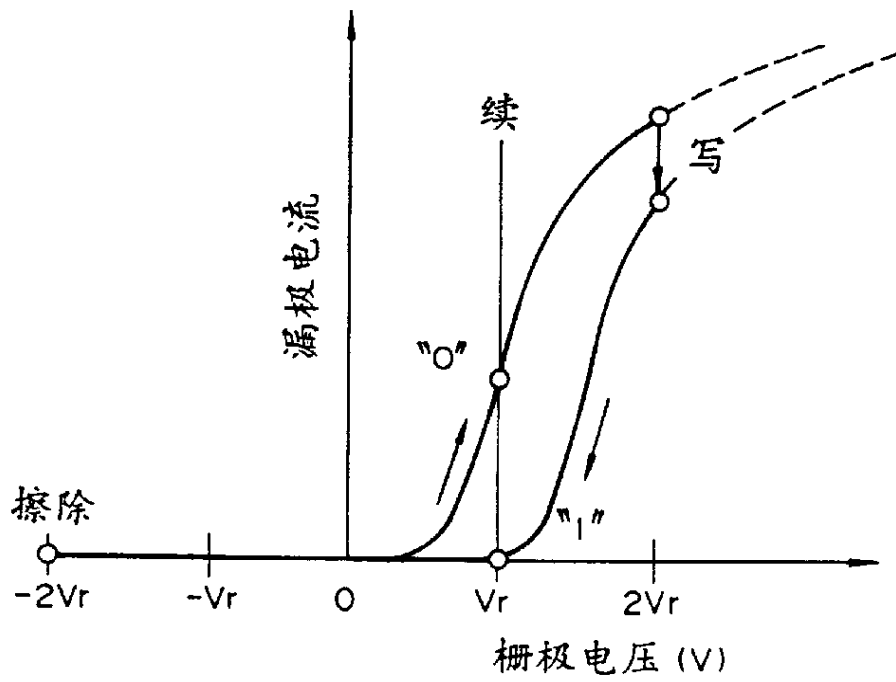


图 19

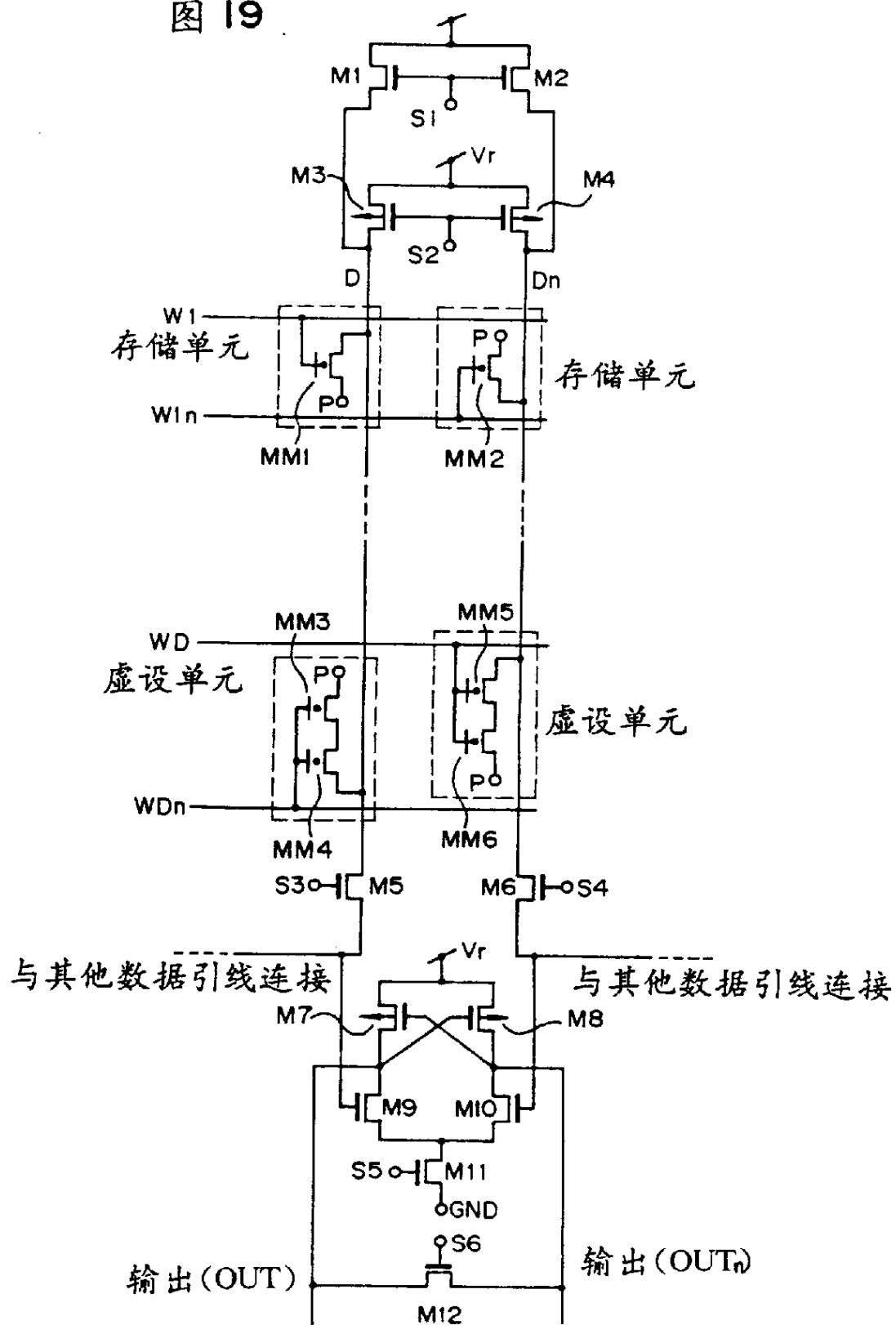


图 20

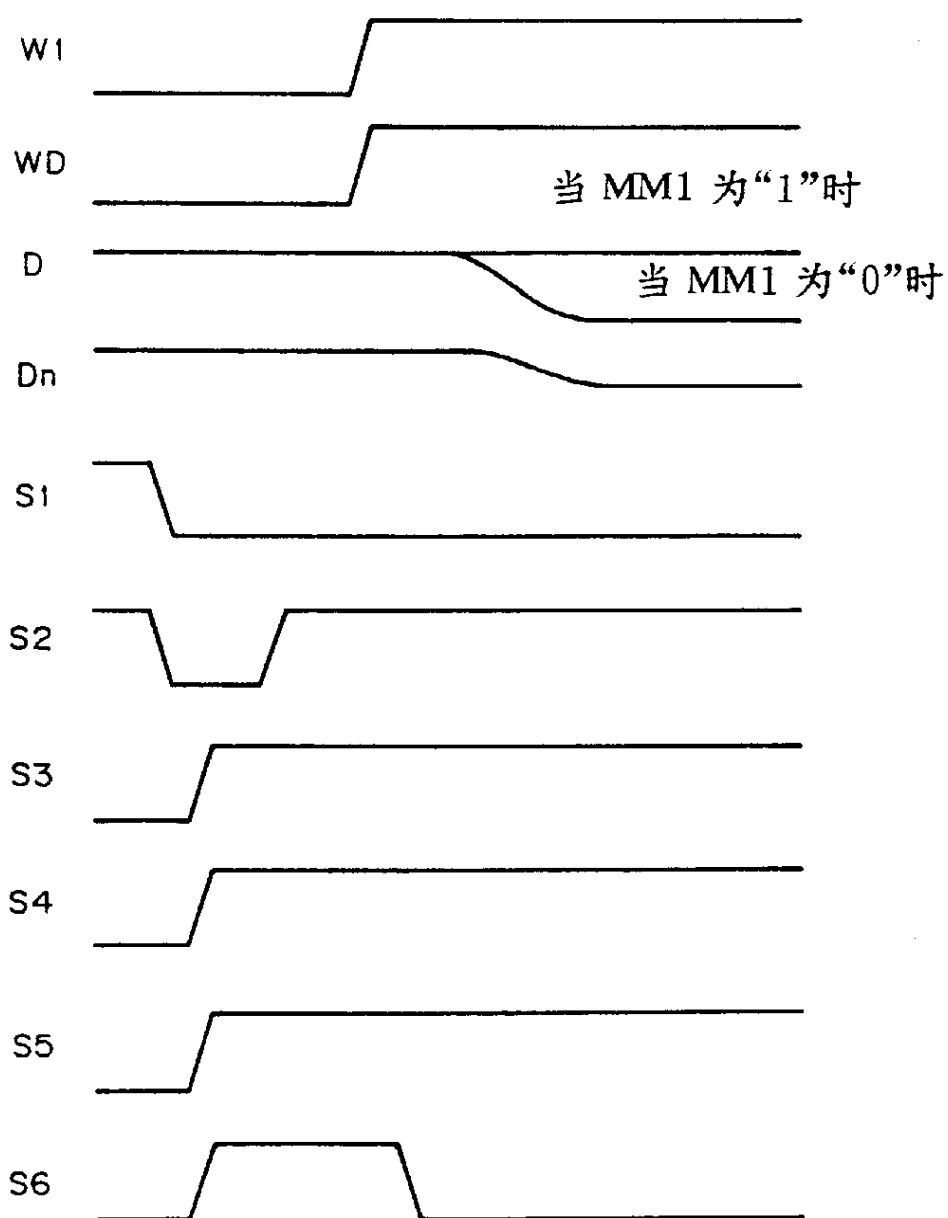


图 21A

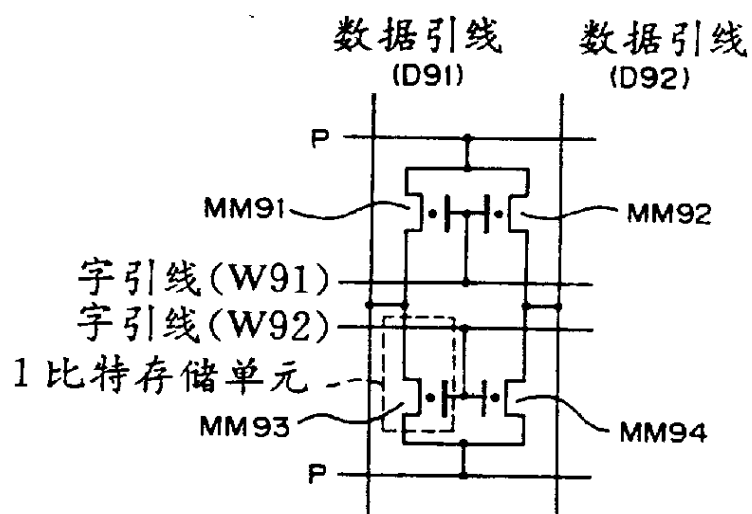
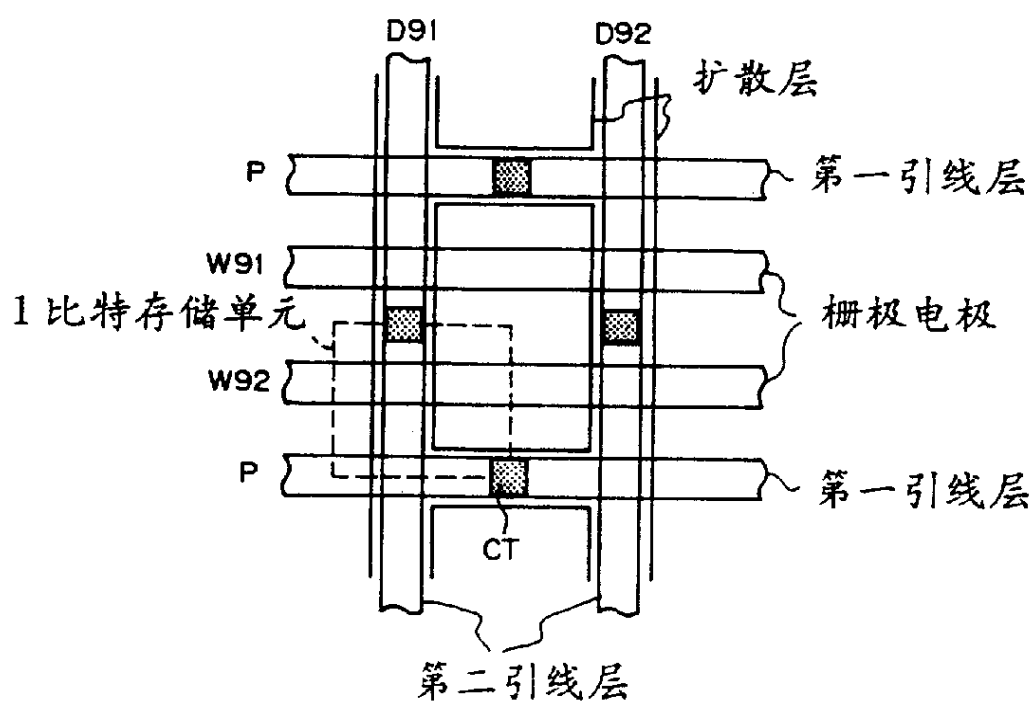


图 21B



CT: 与扩散层的触点

图 22A

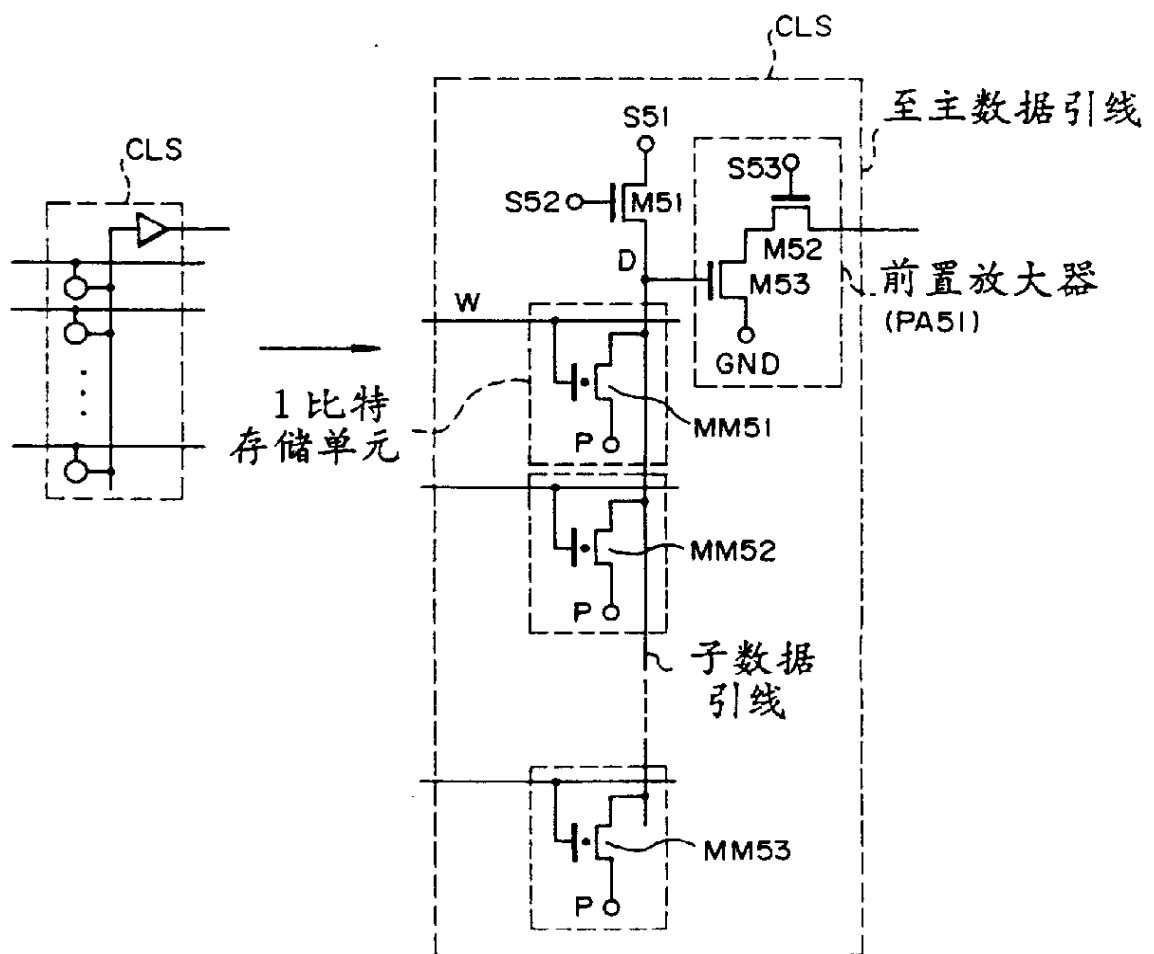


图 22B

		W		D	
		选择	不选择	选择	不选择
读	1	V_r	0	0	-
	0			Δ	
写	1	V_p	0	V_c	0
	0	V_e	0	V_p	0

$$P = V_r$$

图 22C

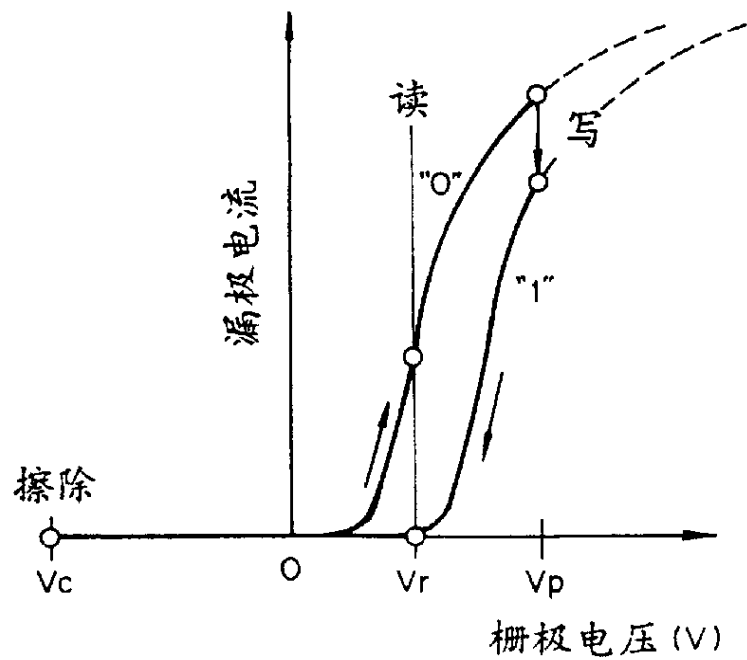


图 23

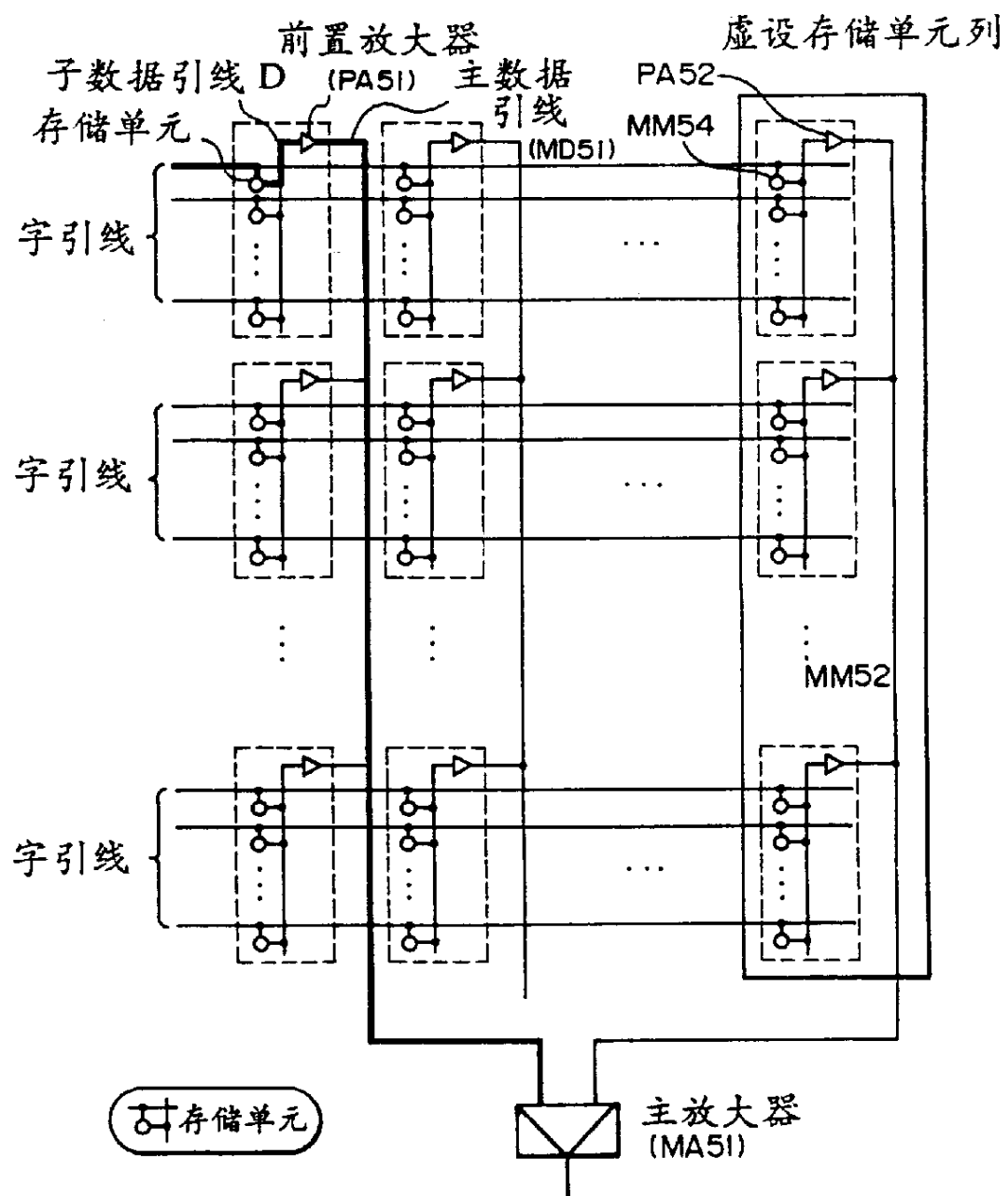


图 24A

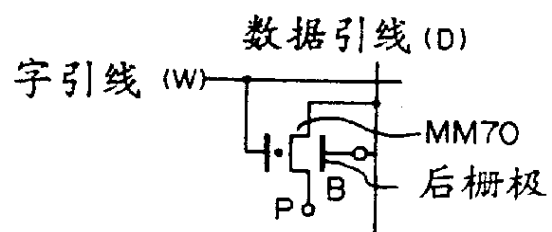


图 24B

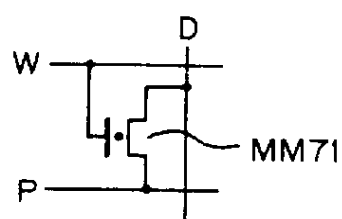


图 24C

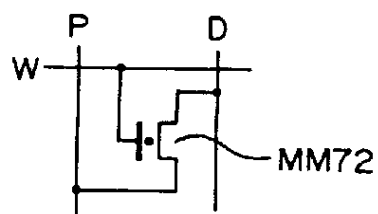


图 24D

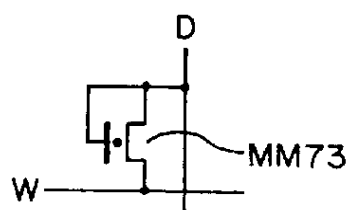
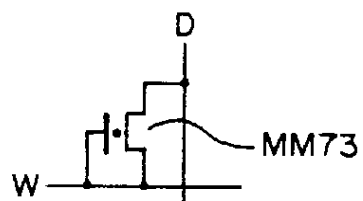


图 24E



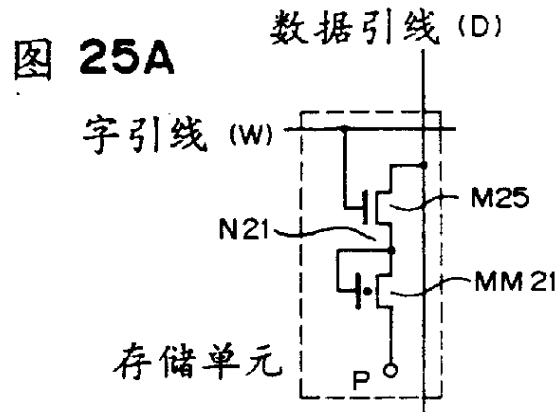


图 25B

$P = V_{cc}/2$

		W		D	
		选择	不选择	选择	不选择
读	1	$V_{cc} + V_t$	0	$V_{cc}/2 + V_r$	$V_{cc}/2$
	0			$V_{cc}/2 + V_r - \Delta$	
写	1	$V_{cc} + V_t$	0	0	0
	0	$V_{cc} + V_t$	0	V_{cc}	0

图 25C

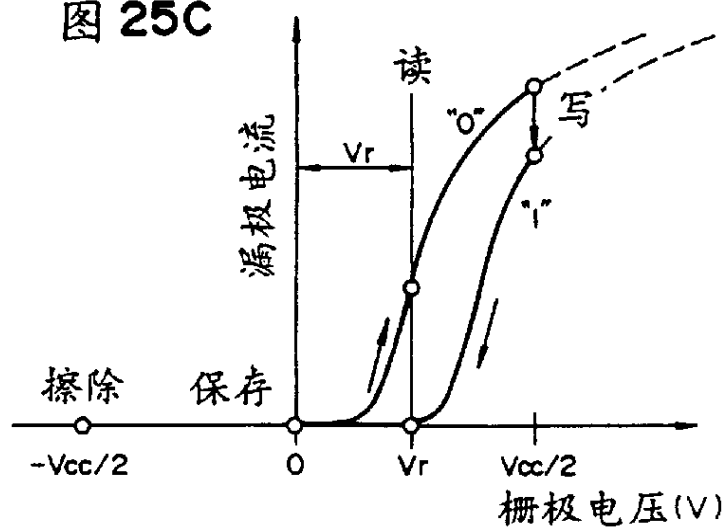


图 26

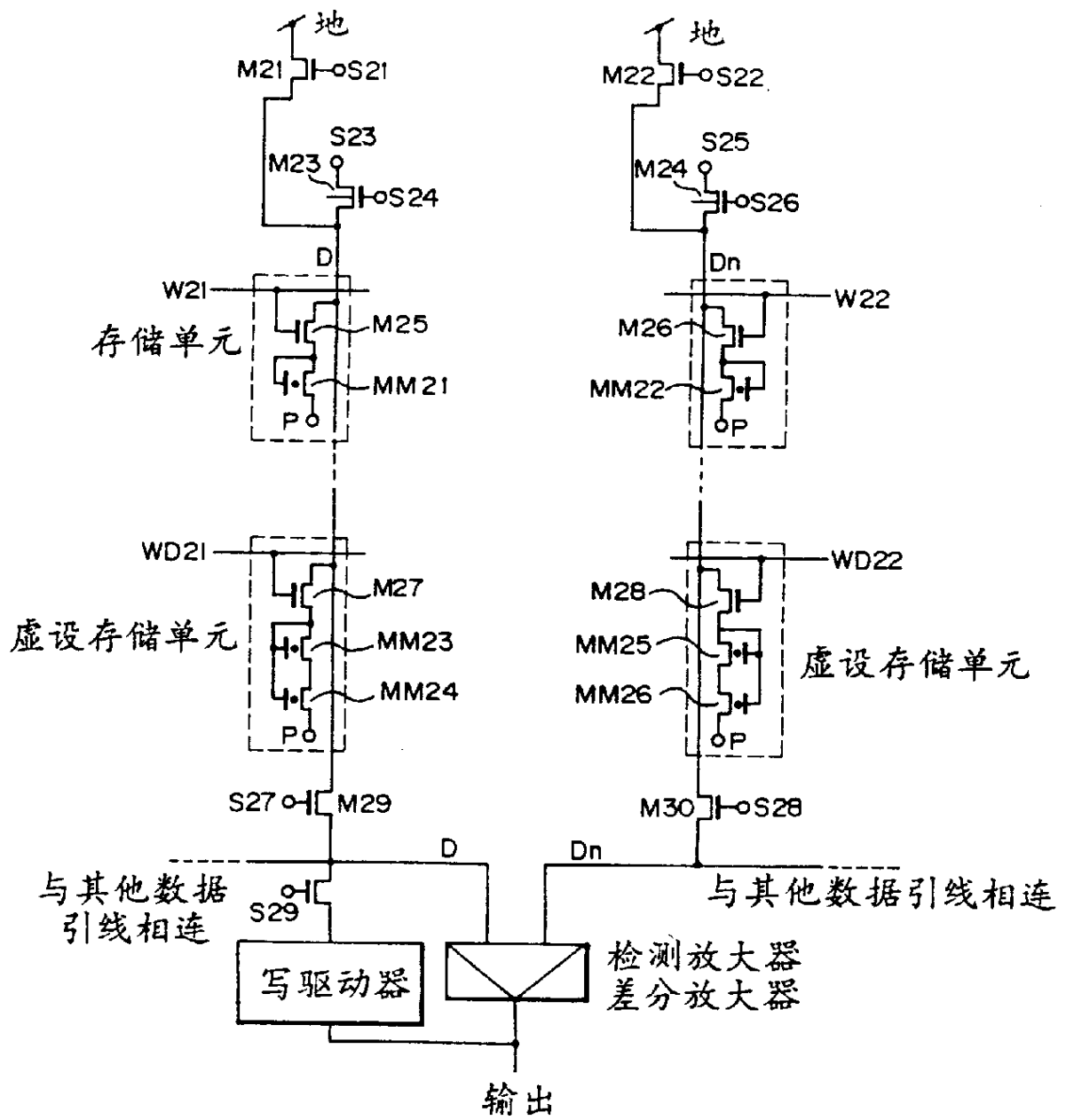


图 27A

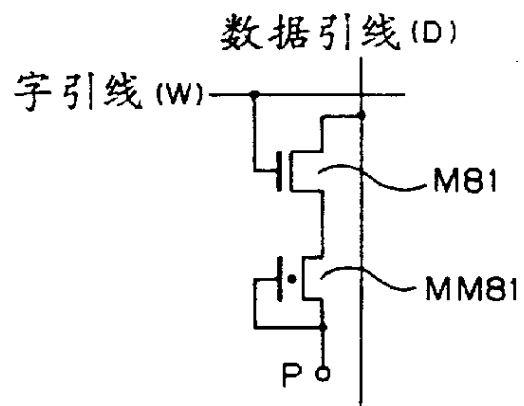
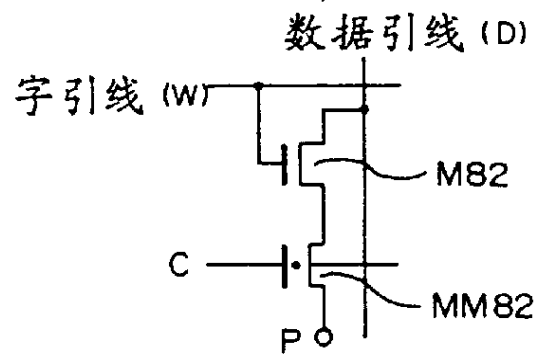


图 27B



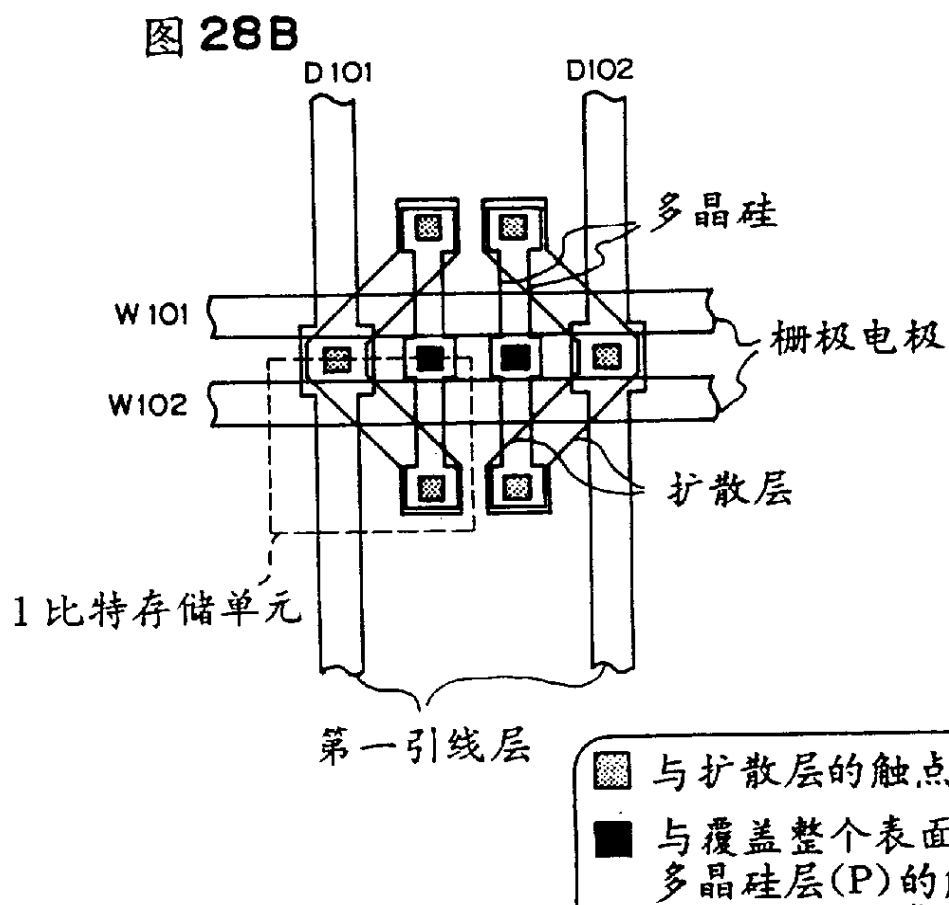
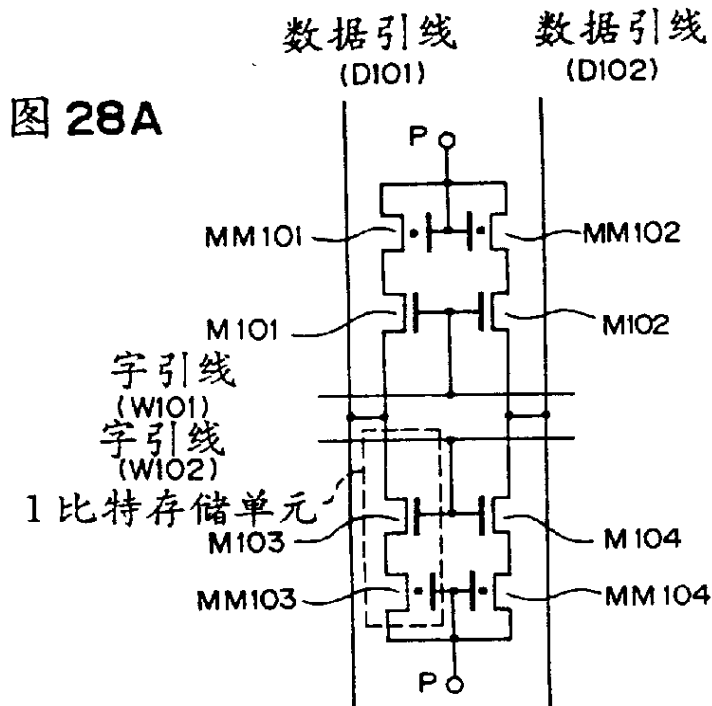


图 29A

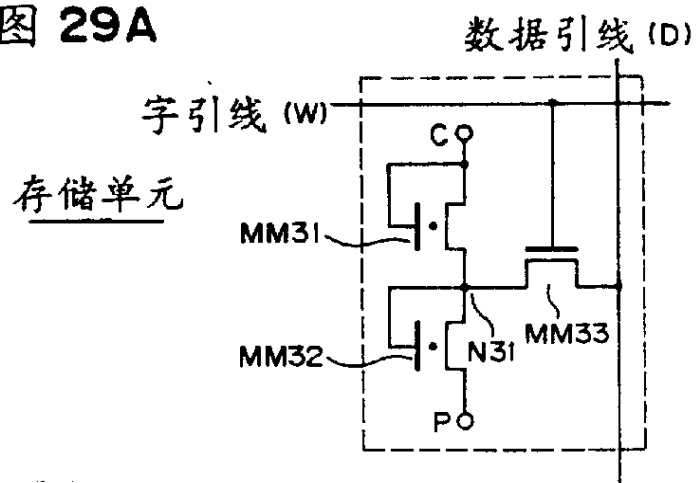


图 29B

		C = V _{cc} P = 0					
		W		D		C	
		选择	不选择	选择	不选择	选择	不选择
读	1	V _{cc}	0	V _{cc} /2 + Δ	0	V _{cc}	0
	0			V _{cc} /2 - Δ			
写	1	V _{cc}	V _e	V _e	0	V _{cc}	0
	0	V _p	0	V _p	0	0	0

图 29C

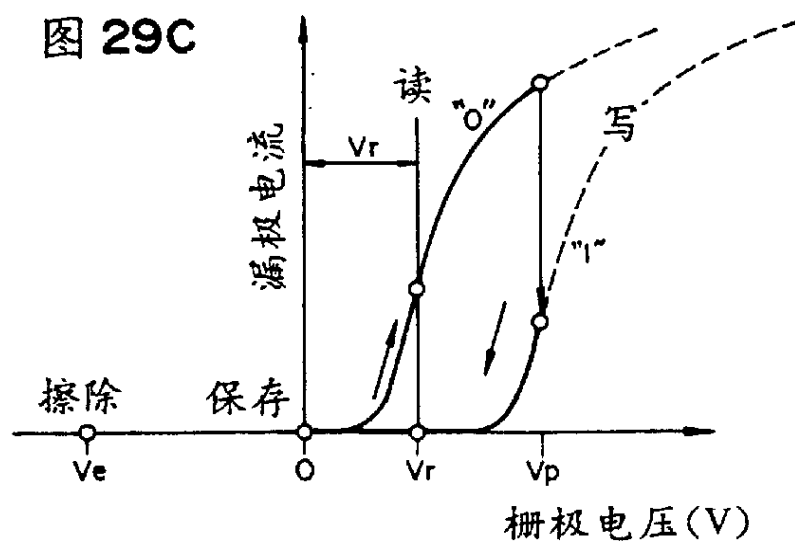


图 30

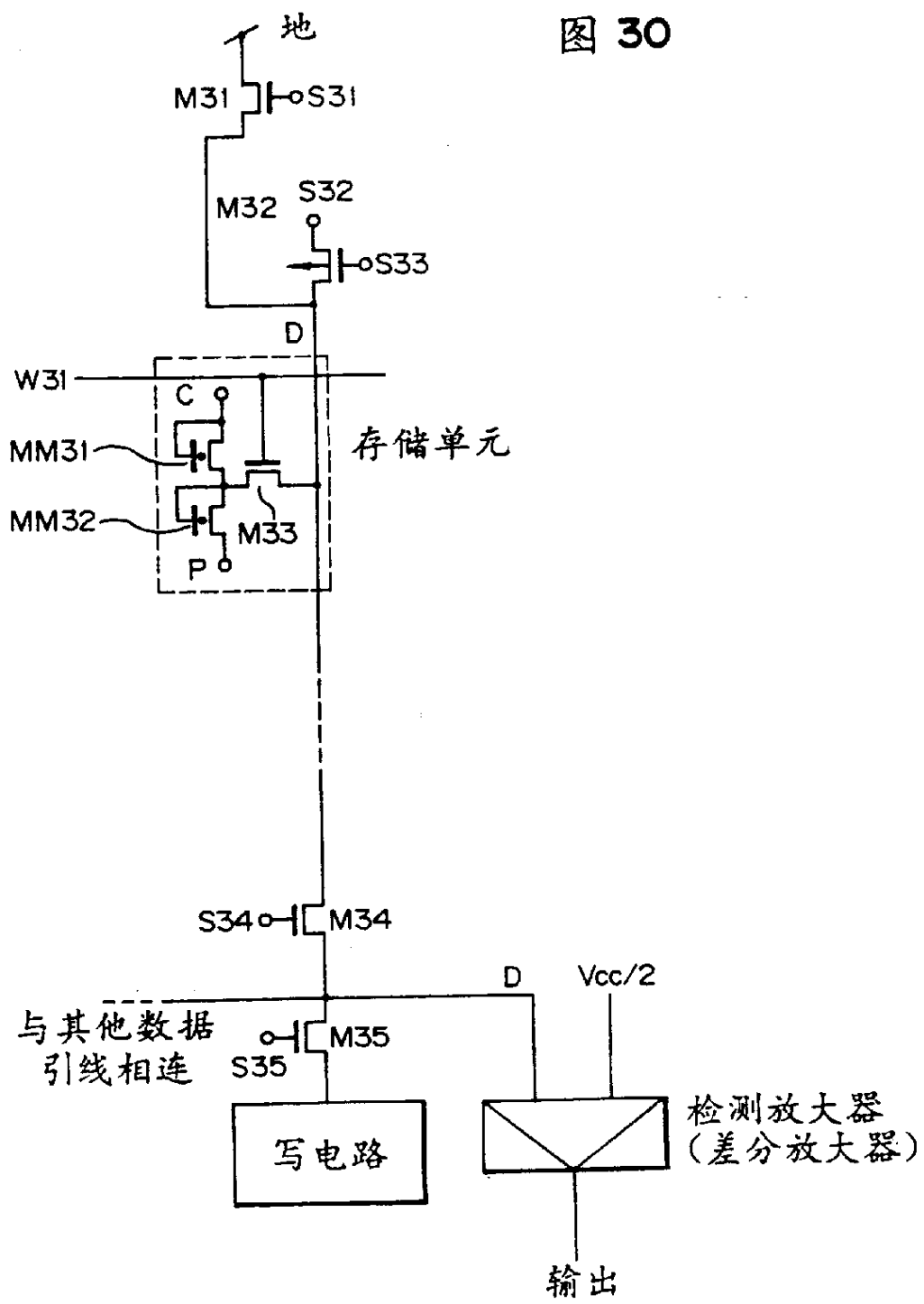


图 31A

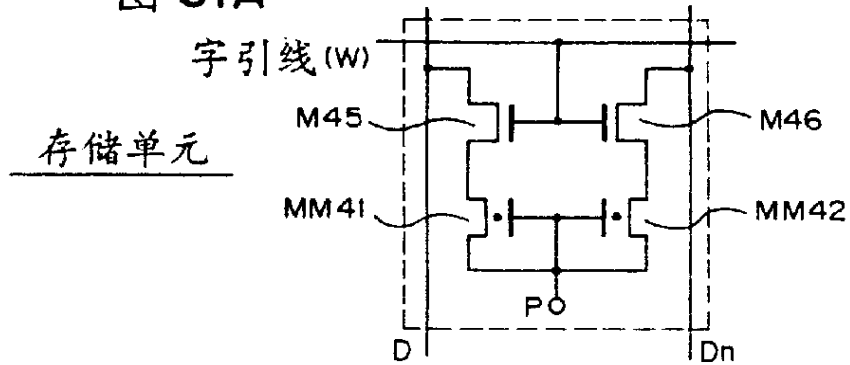


图 31B

P=0

		W		D		Dn	
		选择	不选择	选择	不选择	选择	不选择
读	1	V_{cc}	0	V_{cc}	-	$V_{cc}-\Delta$	-
	0			$V_{cc}-\Delta$		V_{cc}	
写	1	V_p	V_e	V_e	0	V_p	0
	0	V_p	0	V_p	0	V_e	0

图 31C

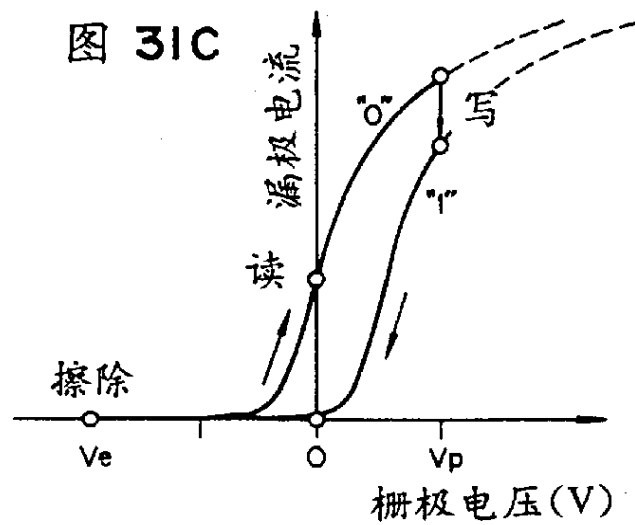


图 32

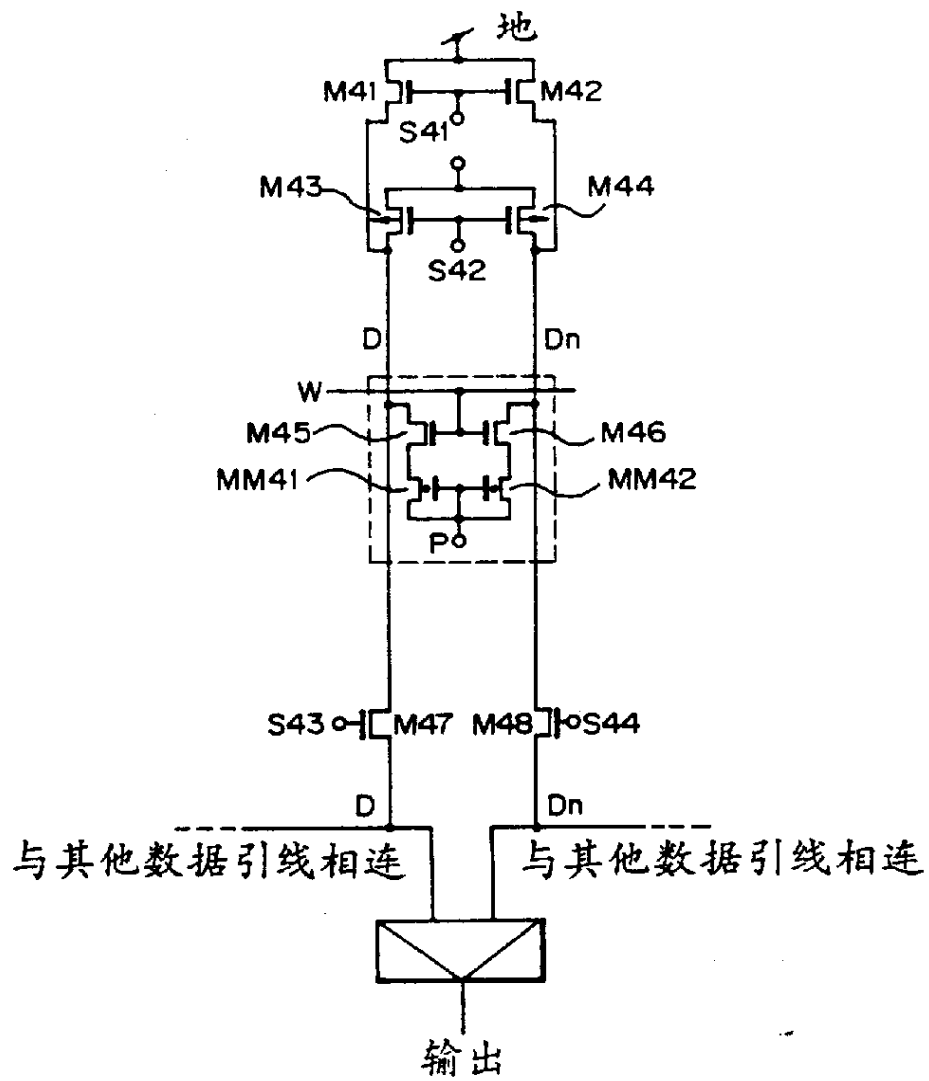


图 33

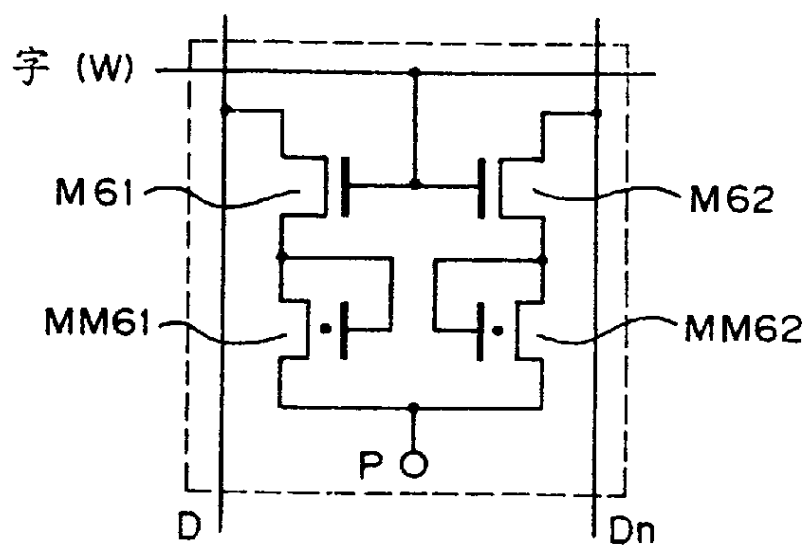


图 34

