(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 117397019 A
(43)申请公布日 2024.01.12

(21)申请号 202280038973.7

(22)申请日 2022.03.30

(30)优先权数据
63/168,988 2021.03.31 US

(85)PCT国际申请进入国家阶段日
2023.11.29

(86)PCT国际申请的申请数据
PCT/US2022/022677 2022.03.30

(87)PCT国际申请的公布数据
WO2022/212596 EN 2022.10.06

(71)申请人 美商艾德亚半导体接合科技有限公司
地址 美国加利福尼亚州

(72)发明人 C·E·尤佐 T·沃克曼

(74)专利代理机构 北京市金杜律师事务所 11256
专利代理师 李春杰

(51)Int.Cl.
H01L 23/00(2006.01)

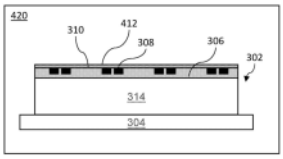
权利要求书5页 说明书12页 附图8页

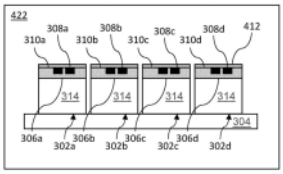
(54)发明名称

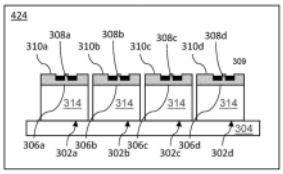
直接结合方法和结构

(57)摘要

本文公开了用于直接结合的方法。在一些实施例中,直接结合方法包括:制备第一元件的第一结合表面,以用于直接结合到第二元件的第二结合表面;以及在制备之后,在第一元件的制备的第一结合表面之上提供保护层,该保护层具有小于3微米的厚度。







CN 117397019 A

1.一种结合方法,包括:

制备第一元件的第一结合表面,以用于直接结合到第二元件的第二结合表面;以及

在所述制备之后,在所述第一元件的制备的所述第一结合表面的至少一部分之上提供保护层,所述保护层具有小于3微米的厚度。

2.根据权利要求1所述的结合方法,其中制备所述第一结合表面包括:活化所述第一结合表面。

3.根据权利要求2所述的结合方法,其中活化所述第一结合表面包括:等离子体活化所述第一结合表面。

4.根据权利要求3所述的结合方法,其中等离子体活化所述第一结合表面包括:将所述第一结合表面暴露于含氮等离子体。

5.根据权利要求1至4中任一项所述的结合方法,其中所述保护层的所述厚度小于2微米。

6.根据权利要求5所述的结合方法,其中所述保护层的所述厚度小于0.25微米。

7.根据权利要求5所述的结合方法,其中所述保护层的所述厚度在0.05微米至2微米的范围内。

8.根据权利要求5所述的结合方法,其中所述保护层的所述厚度在0.1微米至0.25微米的范围内。

9.根据权利要求1至8中任一项所述的结合方法,其中所述保护层包括有机层。

10.根据权利要求1至9中任一项所述的结合方法,其中所述保护层包括疏水涂层和/或亲水涂层。

11.根据权利要求1至10中任一项所述的结合方法,其中所述保护层包括光致抗蚀剂。

12.根据权利要求1至10中任一项所述的结合方法,其中提供所述保护层包括:在所述第一结合表面之上毯式沉积所述保护层。

13.根据权利要求12所述的结合方法,还包括:使用反应离子蚀刻(RIE)过程,去除所述毯式沉积的保护层。

14.根据权利要求13所述的结合方法,还包括:在所述去除之前,从所述第一元件中清洁颗粒。

15.根据权利要求1至14中任一项所述的结合方法,还包括:在提供所述保护层之前,在多个接触焊盘之上选择性地提供钝化层,并且其中提供所述保护层包括:在所述钝化层之上提供所述保护层。

16.根据权利要求1至10中任一项所述的结合方法,其中提供所述保护层包括:在所述第一结合表面的导电接触焊盘之上选择性地提供所述保护层。

17.根据权利要求1至16中任一项所述的结合方法,其中所述第一结合表面包括多个接触焊盘,所述接触焊盘突出在所述第一结合表面的第一非导电区域上方,其中提供所述保护层包括:至少在突出的所述接触焊盘之上提供所述保护层。

18.根据权利要求17所述的结合方法,其中提供所述保护层包括:在所述第一结合表面之上毯式沉积所述保护层。

19.根据权利要求17或18所述的结合方法,还包括:平坦化所述第一元件,使得所述多个接触焊盘与所述第一非导电区域齐平或凹陷到所述第一非导电区域下方。

20.根据权利要求1至19中任一项所述的结合方法,其中所述第一结合表面包括第一多个导电接触焊盘和第一非导电结合区域,所述第一多个导电接触焊盘凹陷到所述第一非导电结合区域下方。

21.根据权利要求20所述的结合方法,其中所述第一多个导电接触焊盘在所述第一非导电结合区域下方凹陷不超过10nm。

22.根据权利要求20或21所述的结合方法,其中所述第一多个接触焊盘的、跨所述第一元件的凹陷深度的变化小于25%。

23.根据权利要求22所述的结合方法,其中所述第一多个接触焊盘的、跨所述第一元件的凹陷深度的所述变化小于10%。

24.根据权利要求1至19中任一项所述的结合方法,还包括:去除所述保护层。

25.根据权利要求24所述的结合方法,其中所述第一元件包括晶片,所述方法还包括:在去除所述保护层之前,单切所述晶片以形成多个单切的元件。

26.根据权利要求24或25所述的结合方法,还包括:在去除所述保护层之后,在没有中介粘合剂的情况下,将所述第一元件的所述第一结合表面直接结合到所述第二元件的所述第二结合表面。

27.根据权利要求26所述的结合方法,其中所述第一结合表面包括第一多个导电接触焊盘和第一非导电结合区域,其中所述第二结合表面包括第二多个导电接触焊盘和第二非导电结合区域,并且其中直接结合包括混合直接结合,包括:在没有粘合剂的情况下,将所述第一多个导电接触焊盘和所述第二多个导电接触焊盘直接彼此结合,以及在没有粘合剂的情况下,将所述第一非导电结合区域和所述第二非导电结合区域直接彼此结合。

28.根据权利要求27所述的结合方法,其中所述第一非导电结合区域包括含硅电介质层。

29.根据权利要求26至28中任一项所述的结合方法,还包括:在直接结合之前,活化所述第二结合表面。

30.根据权利要求26至29中任一项所述的结合方法,其中制备所述第一结合表面和提供所述保护层在第一设施中被执行,并且其中直接结合在第二设施处被执行,所述第二设施在与所述第一设施不同的位置中。

31.根据权利要求26至30中任一项所述的结合方法,其中直接结合在活化所述第一结合层之后超过二十四(24)小时被执行。

32.一种结合方法,包括:

制备第一元件的第一结合表面,以用于直接结合到第二元件的第二结合表面;

在制备所述第一元件的所述第一结合表面之后,在所述第一结合表面的第一多个接触焊盘之上选择性地提供钝化层;以及

在提供所述钝化层之后,在所述钝化层之上提供保护层。

33.根据权利要求32所述的结合方法,其中提供所述保护层包括:在所述第一结合表面之上毯式沉积所述保护层。

34.根据权利要求32或33所述的结合方法,其中所述保护层具有小于3微米的厚度。

35.根据权利要求34所述的结合方法,其中所述保护层的所述厚度小于2微米。

36.根据权利要求35所述的结合方法,其中所述保护层的所述厚度小于0.25微米。

37.根据权利要求35所述的结合方法,其中所述保护层的所述厚度在0.05微米至2微米的范围内。

38.根据权利要求35所述的结合方法,其中所述保护层的所述厚度在0.1微米至0.25微米的范围内。

39.根据权利要求32至38中任一项所述的结合方法,其中所述保护层包括有机层。

40.根据权利要求32至39中任一项所述的结合方法,其中所述保护层包括疏水涂层和/或亲水涂层。

41.根据权利要求32至40中任一项所述的结合方法,还包括去除所述保护层。

42.根据权利要求41所述的结合方法,其中所述第一元件包括晶片,所述方法还包括:在去除所述保护层之前,单切所述晶片以形成多个单切的元件。

43.根据权利要求41或42所述的结合方法,还包括:在去除所述保护层之后,在没有中介粘合剂的情况下,将所述第一元件的所述第一结合表面直接结合到所述第二元件的所述第二结合表面。

44.根据权利要求32至43中任一项所述的结合方法,其中所述第一多个接触焊盘凹陷到所述第一结合表面的第一非导电结合区域下方。

45.根据权利要求44所述的结合方法,其中所述第一多个接触焊盘在所述第一非导电结合区域下方凹陷不超过10nm。

46.根据权利要求44或45所述的结合方法,其中所述第一多个接触焊盘的凹陷深度的变化小于25%。

47.根据权利要求46所述的结合方法,其中所述第一多个接触焊盘的凹陷深度的所述变化小于10%。

48.一种结合方法,包括:

制备第一元件的第一结合表面,以用于直接结合到第二元件的第二结合表面;以及

在所述制备之后,在所述第一结合表面的多个接触焊盘之上选择性地提供保护层。

49.根据权利要求48所述的结合方法,其中所述第一结合表面还包括第一非导电材料,其中没有保护层被提供在整个所述第一非导电材料之上。

50.根据权利要求48或49所述的结合方法,其中所述保护层具有小于3微米的厚度。

51.根据权利要求50所述的结合方法,其中所述保护层的所述厚度小于2微米。

52.根据权利要求50所述的结合方法,其中所述保护层的所述厚度小于0.25微米。

53.根据权利要求50所述的结合方法,其中所述保护层的所述厚度在0.05微米至2微米的范围内。

54.根据权利要求50所述的结合方法,其中所述保护层的所述厚度在0.1微米至0.25微米的范围内。

55.根据权利要求48至54中任一项所述的结合方法,其中所述保护层包括有机层。

56.根据权利要求48至55中任一项所述的结合方法,其中所述保护层包括疏水涂层和/或亲水涂层。

57.根据权利要求48至56中任一项所述的结合方法,还包括提供钝化层,所述钝化层包括所述接触焊盘的氧化表面。

58.根据权利要求48至57中任一项所述的结合方法,还包括去除所述保护层。

59.根据权利要求58所述的结合方法,其中所述第一元件包括晶片,所述方法还包括:在去除所述保护层之前,单切所述晶片以形成多个单切的元件。

60.根据权利要求58或59所述的结合方法,还包括:在去除所述保护层之后,在没有中介粘合剂的情况下,将所述第一元件的所述第一结合表面直接结合到所述第二元件的所述第二结合表面。

61.一种结合方法,包括:

制备第一元件的第一结合表面,以用于直接结合到第二元件的第二结合表面,所述第一结合表面包括第一非导电区域和突出在所述第一非导电区域上方的第一多个接触焊盘;以及

在所述制备之后,在至少所述第一多个接触焊盘之上提供保护层。

62.根据权利要求61所述的结合方法,其中提供所述保护层包括:在所述第一结合表面之上毯式沉积所述保护层。

63.根据权利要求61或62所述的结合方法,还包括:平坦化所述第一元件,使得所述第一多个接触焊盘凹陷到所述第一非导电区域下方。

64.根据权利要求61至63中任一项所述的结合方法,还包括去除所述保护层。

65.一种结合方法,包括:

制备第一元件的第一结合表面,以用于直接结合到第二元件的第二结合表面;以及

在所述制备之后,在所述第一结合表面的多个接触焊盘之上选择性地提供钝化层。

66.根据权利要求65所述的结合方法,其中提供所述钝化层包括:氧化所述接触焊盘的表面。

67.根据权利要求65所述的结合方法,还包括:在所述钝化层在所述多个接触焊盘之上的情况下,单切所述第一元件,其中在所述单切期间,所述钝化层被暴露在所述元件的上表面处。

68.一种半导体元件,包括:

器件区域;

结合层,在所述器件区域之上,所述结合层具有第一结合表面,所述第一结合表面被制备用于直接混合结合到第二元件;以及

保护层,在制备的所述第一结合表面的至少一部分之上,所述保护层具有小于3微米的厚度。

69.根据权利要求68所述的半导体元件,其中所述保护层包括光致抗蚀剂。

70.根据权利要求68所述的半导体元件,其中所述半导体元件是晶片形式。

71.根据权利要求68所述的半导体元件,其中所述保护层的所述厚度在0.05微米至2微米的范围内。

72.根据权利要求68所述的半导体元件,其中所述结合层包括非导电结合区域和多个导电接触焊盘。

73.根据权利要求72所述的半导体元件,还包括钝化层,所述钝化层在所述多个接触焊盘与所述保护层之间、在所述多个导电接触焊盘之上。

74.根据权利要求72所述的半导体元件,其中所述保护层被选择性地提供在所述多个导电接触焊盘之上。

75.根据权利要求72所述的半导体元件,其中所述多个导电接触焊盘突出在所述结合层上方。

76.根据权利要求72所述的半导体元件,其中所述多个导电接触焊盘凹陷到所述结合层的上表面下方。

77.根据权利要求68所述的半导体元件,其中所述保护层被毯式沉积在所述结合表面之上。

78.一种半导体元件,包括:

器件区域;

结合层,在所述器件区域之上,所述结合层具有结合表面,所述结合表面被制备用于直接混合结合到第二元件,并且所述结合层包括非导电结合区域和多个导电接触焊盘,所述多个导电接触焊盘各自具有凹陷深度,所述导电接触焊盘在所述结合表面下方凹陷所述凹陷深度,

其中所述多个接触焊盘的凹陷深度的变化小于25%。

79.根据权利要求78所述的半导体元件,其中所述多个导电接触焊盘的凹陷深度的所述变化小于10%。

80.根据权利要求78所述的半导体元件,其中所述多个导电接触焊盘的凹陷深度的所述变化在0.5%至10%的范围内。

81.一种半导体元件,包括:

器件区域;以及

结合层,在所述器件区域之上,所述结合层具有结合表面,所述结合表面被制备用于直接混合结合,并且所述结合层包括在制备的所述结合表面的一部分处暴露的导电层,所述导电层在所述器件的所述结合表面内具有小于5nm的凹陷变化。

82.根据权利要求81所述的半导体元件,其中在所述器件的所述结合表面内,所述凹陷变化小于3nm。

83.根据权利要求81所述的半导体元件,其中在所述器件的所述结合表面内,所述凹陷变化小于2nm。

84.根据权利要求83所述的半导体元件,其中在所述器件的所述结合表面内,所述凹陷变化小于1nm。

85.根据权利要求81所述的半导体元件,其中在所述器件的所述结合表面内,所述凹陷变化在0.5nm与5nm之间。

86.根据权利要求81所述的半导体元件,其中所述导电层包括多个导电接触焊盘,所述多个导电接触焊盘各自具有凹陷深度,所述多个导电接触焊盘在所述结合表面下方凹陷所述凹陷深度,所述凹陷变化包括所述多个导电接触焊盘的凹陷深度之间的最大差异。

87.根据权利要求81所述的半导体元件,其中所述结合层包括非导电层,所述导电层至少部分地被嵌入在所述非导电层中。

88.根据权利要求87所述的半导体元件,其中所述非导电层被抛光。

直接结合方法和结构

[0001] 通过引用对任何优先权申请的并入

[0002] 本申请要求于2021年03月31日提交的、题目为“DIRECT BONDING METHODS AND STRUCTURES”的美国临时申请号63/168988的权益,该申请的全部内容在此通过引用并入本文。

技术领域

[0003] 本领域涉及直接结合方法和结构。

背景技术

[0004] 诸如半导体晶片或集成器件裸片的半导体元件可以被堆叠,并且可以在没有粘合剂的情况下直接彼此结合。例如,在一些混合直接结合结构中,元件的非导电场区域可以直接彼此结合,并且对应的导电接触结构可以直接彼此结合。在一些应用中,在结合之前保护接触焊盘可能具有挑战性。因此,仍然持续需要改进的接触结构以进行直接结合。

发明内容

[0005] 在一个实施例中,一种结合方法可以包括:制备第一元件的第一结合表面,以用于直接结合到第二元件的第二结合表面;以及在制备之后,在第一元件的制备的第一结合表面之上提供保护层,保护层具有小于3微米的厚度。

[0006] 在一些实施例中,制备第一结合表面包括:活化第一结合表面。在一些实施例中,活化第一结合表面包括:等离子体活化第一结合表面。在一些实施例中,等离子体活化第一结合表面包括:将第一结合表面暴露于含氮等离子体。在一些实施例中,保护层的厚度小于2微米。在一些实施例中,保护层的厚度小于0.25微米。在一些实施例中,保护层的厚度在0.05微米至2微米的范围内。在一些实施例中,保护层的厚度在0.1微米至0.25微米的范围内。在一些实施例中,保护层包括有机层。在一些实施例中,保护层包括疏水涂层和/或亲水涂层。在一些实施例中,保护层包括光致抗蚀剂。在一些实施例中,提供保护层包括:在第一结合表面之上毯式沉积保护层。在一些实施例中,结合方法包括:使用反应离子蚀刻(RIE)过程,去除毯式沉积的保护层。在一些实施例中,结合方法包括:在去除之前,从第一元件中清洁颗粒。在一些实施例中,结合方法包括:在提供保护层之前,在多个接触焊盘之上选择性地提供钝化层,并且其中提供保护层包括:在钝化层之上提供保护层。在一些实施例中,提供保护层包括:在第一结合表面的导电接触焊盘之上选择性地提供保护层。在一些实施例中,第一结合表面包括多个接触焊盘,接触焊盘突出在第一结合表面的第一非导电区域上方,其中提供保护层包括:至少在突出的接触焊盘之上提供保护层。在一些实施例中,提供保护层包括:在第一结合表面之上毯式沉积保护层。在一些实施例中,结合方法包括:平坦化第一元件,使得多个接触焊盘与第一非导电区域齐平或凹陷到第一非导电区域下方。在一些实施例中,第一结合表面包括第一多个导电接触焊盘和第一非导电结合区域,第一多个导电接触焊盘凹陷到第一非导电结合区域下方。在一些实施例中,第一多个导电接触

焊盘在第一非导电结合区域下方凹陷不超过10nm。在一些实施例中,第一多个接触焊盘的、跨第一元件的凹陷深度的变化小于25%。在一些实施例中,第一多个接触焊盘的、跨第一元件的凹陷深度的变化小于10%。在一些实施例中,第一多个接触焊盘的、跨第一元件的凹陷深度的变化小于5%。在一些实施例中,结合方法包括去除保护层。在一些实施例中,第一元件包括晶片,方法还包括:在去除保护层之前,单切(singulate)晶片以形成多个单切的元件。在一些实施例中,结合方法包括:在去除保护层之后,在没有中介粘合剂的情况下,将第一元件的第一结合表面直接结合到第二元件的第二结合表面。在一些实施例中,第一结合表面包括第一多个导电接触焊盘和第一非导电结合区域,其中第二结合表面包括第二多个导电接触焊盘和第二非导电结合区域,并且其中直接结合包括混合直接结合,包括在没有粘合剂的情况下将第一多个导电接触焊盘和第二多个导电接触焊盘直接彼此结合,并且包括在没有粘合剂的情况下将第一非导电结合区域和第二非导电结合区域直接彼此结合。在一些实施例中,第一非导电结合区域包括含硅电介质层。在一些实施例中,结合方法包括:在直接结合之前,活化第二结合表面。在一些实施例中,制备第一结合表面和提供保护层在第一设施中被执行,并且其中直接结合在第二设施处被执行,第二设施在与第一设施不同的位置中。在一些实施例中,在活化第一结合层之后超过二十四(24)小时直接结合被执行。

[0007] 在另一个实施例中,一种结合方法包括:制备第一元件的第一结合表面,以用于直接结合到第二元件的第二结合表面;在制备之后,在第一结合表面的多个接触焊盘之上选择性地提供钝化层;以及在提供钝化层之后,在钝化层之上提供保护层。

[0008] 在一些实施例中,提供保护层包括:在第一结合表面之上毯式沉积保护层。在一些实施例中,保护层具有小于3微米的厚度。在一些实施例中,保护层的厚度小于2微米。在一些实施例中,保护层的厚度小于0.25微米。在一些实施例中,保护层的厚度在0.05微米至2微米的范围内。在一些实施例中,保护层的厚度在0.1微米至0.25微米的范围内。在一些实施例中,保护层包括有机层。在一些实施例中,保护层包括疏水涂层和/或亲水涂层。在一些实施例中,方法可以包括去除保护层。在一些实施例中,第一元件包括晶片,方法还包括:在去除保护层之前,单切晶片以形成多个单切的元件。在一些实施例中,方法可以包括:在去除保护层之后,在没有中介粘合剂的情况下,将第一元件的第一结合表面直接结合到第二元件的第二结合表面。在一些实施例中,第一多个导电接触焊盘凹陷到第一结合表面的第一非导电结合区域下方。在一些实施例中,第一多个导电接触焊盘在第一非导电结合区域下方凹陷不超过10nm。在一些实施例中,第一多个接触焊盘的凹陷深度的变化小于25%。在一些实施例中,第一多个接触焊盘的凹陷深度的变化小于10%,例如小于5%。

[0009] 在另一实施例中,一种结合方法可以包括:制备第一元件的第一结合表面,以用于直接结合到第二元件的第二结合表面;以及在制备之后,在第一结合表面的多个接触焊盘之上选择性地提供保护层。

[0010] 在一些实施例中,第一结合表面还包括第一非导电材料,其中没有保护层被提供在整个第一非导电材料之上。在一些实施例中,保护层具有小于3微米的厚度。在一些实施例中,保护层的厚度小于2微米。在一些实施例中,保护层的厚度小于0.25微米。在一些实施例中,保护层的厚度在0.05微米至2微米的范围内。在一些实施例中,保护层的厚度在0.1微米至0.25微米的范围内。在一些实施例中,保护层包括有机层。在一些实施例中,保护层包括疏水涂层和/或亲水涂层。在一些实施例中,方法可以包括提供钝化层,钝化层包括接触

焊盘的氧化表面。在一些实施例中,方法可以包括去除保护层。在一些实施例中,第一元件包括晶片,方法还包括:在去除保护层之前,单切晶片以形成多个单切的元件。在一些实施例中,方法可以包括:在去除保护层之后,在没有中介粘合剂的情况下,将第一元件的第一结合表面直接结合到第二元件的第二结合表面。

[0011] 在另一实施例中,一种结合方法可以包括:制备第一元件的第一结合表面,以用于直接结合到第二元件的第二结合表面,第一结合表面包括第一非导电区域和第一多个接触焊盘,第一多个接触焊盘突出在第一非导电区域上方;以及在制备之后,至少在第一多个接触焊盘之上提供保护层。

[0012] 在一些实施例中,提供保护层包括:在第一结合表面之上毯式沉积保护层。在一些实施例中,方法可以包括:平坦化第一元件,使得第一多个接触焊盘凹陷到第一非导电区域下方。在一些实施例中,方法可以包括去除保护材料。

[0013] 在另一实施例中,一种结合方法可以包括:制备第一元件的第一结合表面,以用于直接结合到第二元件的第二结合表面;以及在制备之后,在第一结合表面的多个接触焊盘之上选择性地提供钝化层。

[0014] 在一些实施例中,提供钝化层包括:氧化接触焊盘的表面。在一些实施例中,方法可以包括:在钝化层在多个接触焊盘之上的情况下,单切第一元件,其中在单切期间,钝化层暴露在元件的上表面处。

[0015] 在一些实施例中,一种半导体元件包括:器件区域;在器件区域之上的结合层,结合层具有被制备用于直接混合结合到第二元件的结合表面;以及保护层,保护层在制备的第一结合表面的至少一部分之上,保护层具有小于3微米的厚度。在一些实施例中,保护层包括光致抗蚀剂。在一些实施例中,半导体元件是晶片形式。在一些实施例中,保护层的厚度在0.05微米至2微米的范围内。在一些实施例中,结合层包括非导电结合区域和多个导电接触焊盘。在一些实施例中,半导体元件还包括在多个接触焊盘与保护层之间、在多个导电接触焊盘之上的钝化层。在一些实施例中,保护层被选择性地提供在多个导电接触焊盘之上。在一些实施例中,多个导电接触焊盘突出在结合层上方。在一些实施例中,多个导电接触焊盘凹陷到结合层的上表面下方。在一些实施例中,保护层被毯式沉积在结合表面之上。

[0016] 在一些实施例中,一种半导体元件包括:器件区域;在器件区域之上的结合层,结合层具有被制备用于直接混合结合到第二元件的结合表面,并且包括非导电结合区域和多个导电接触焊盘,多个导电接触焊盘各自具有凹陷深度,导电接触焊盘在结合表面下方凹陷该凹陷深度,其中多个接触焊盘的凹陷深度的变化小于25%。在一些实施例中,多个导电接触焊盘的凹陷深度的变化小于10%。在一些实施例中,多个导电接触焊盘的凹陷深度的变化在0.5%至10%的范围内,或者在0.1%至5%的范围内。

[0017] 在一些实施例中,一种半导体元件包括:器件区域;在器件区域之上的结合层,结合层具有被制备用于直接混合结合的结合表面;以及在制备的结合表面的一部分处暴露的导电层,导电层在器件的结合表面内具有小于5nm的凹陷变化。在一些实施例中,在器件的结合表面内,凹陷变化小于3nm。在一些实施例中,在器件的结合表面内,凹陷变化小于2nm。在一些实施例中,在器件的结合表面内,凹陷变化小于1nm。在一些实施例中,在器件的结合表面内,凹陷变化在0.5nm与5nm之间。在一些实施例中,导电层包括多个导电接触焊盘,多个导电接触焊盘各自具有凹陷深度,多个导电接触焊盘在结合表面下方凹陷该凹陷深度。

在一些实施例中,结合层包括非导电层,导电层至少部分地被嵌入在该非导电层中。在一些实施例中,非导电层被抛光。

附图说明

[0018] 参考某些实施例的附图描述了本公开的这些和其他特征、方面和优点,这些实施例旨在说明而不是限制本公开。应当理解,并入本说明书并且构成本说明书的一部分的附图是为了说明本文公开的概念的目的,并且可能未按比例绘制。

[0019] 图1a-图1b示意性地图示了根据一些实施例的直接结合过程。

[0020] 图2是针对热膨胀金属接触的不同厚度、绘制了距结合平面的最大凹陷距离与温度的关系的图。

[0021] 图3是示出根据一些实施例的、用于在处理期间保护半导体元件的表面的示例过程的图。

[0022] 图4是示出根据一些实施例的、用于在处理期间保护半导体元件的表面的示例过程的图。

[0023] 图5是示出根据一些实施例的、用于在处理期间保护半导体元件的表面的示例过程的图。

[0024] 图6是示出根据一些实施例的、用于在处理期间保护半导体元件的表面的示例过程的图。

[0025] 图7是示出根据一些实施例的、用于在处理期间保护半导体元件的表面的示例过程的图。

具体实施方式

[0026] 本文公开的各种实施例涉及直接结合的结构,其中两个元件可以在没有中介粘合剂的情况下直接彼此结合。图1a和图1b示意性地图示了根据一些实施例的、用于在没有中介粘合剂的情况下形成直接结合结构的过程。在图1a和图1b中,直接结合结构100包括两个元件102和104,这两个元件可以在没有中介粘合剂的情况下直接彼此结合。两个或两个以上半导体元件(诸如集成器件裸片、晶片等)102和104可以彼此堆叠或结合,以形成结合结构100。第一元件102的导电接触焊盘106a可以电连接到第二元件104的对应导电接触焊盘106b。可以在结合结构100中堆叠任何适当数目的元件。例如,可以在第二元件104上堆叠第三元件(未示出),可以在第三元件上堆叠第四元件(未示出),等等。附加地或备选地,一个或多个附加元件(未示出)可以沿着第一元件102彼此相邻地横向堆叠。在一些实施例中,横向堆叠的附加元件可以小于第二元件。在一些实施例中,横向堆叠的附加元件可以比第二元件小两倍。

[0027] 在一些实施例中,元件102和元件104在没有粘合剂的情况下直接彼此结合。在各种实施例中,非导电或电介质材料可以用作第一元件102的第一结合层108a,第一结合层108a可以在没有粘合剂的情况下,被直接结合到用作第二元件104的第二结合层108b的对应非导电或电介质场区域。非导电结合层108a和108b可以被布置在器件部分110a和110b(诸如元件2、3的半导体(例如,硅)部分)的相应正面114a和114b上。有源器件和/或电路装置可以被图案化,和/或以其他方式被布置在器件部分110a和110b中或器件部分110a和

110b上。有源器件和/或电路装置可以被布置在器件部分110a和110b的正面114a和114b处或附近,和/或被布置在器件部分110a和110b的相对的背面116a和116b处或附近。非导电材料可以被称为第一元件102的非导电结合区域或结合层108a。在一些实施例中,使用电介质到电介质结合技术,第一元件102的非导电结合层108a可以被直接结合到第二元件104的对应的非导电结合层108b。例如,可以使用至少在美国专利号9564414、9391143和10434749(这些专利中的每个专利的全部内容通过引用以其整体并入本文并且用于所有目的)中公开的直接结合技术,来在没有粘合剂的情况下形成非导电结合或电介质到电介质结合。应当理解,在各种实施例中,结合层108a和/或108b可以包括非导电材料(诸如电介质材料,诸如氧化硅)或未掺杂的半导体材料(诸如未掺杂的硅)。

[0028] 在各种实施例中,可以在没有中介粘合剂的情况下形成直接混合结合。例如,电介质结合表面112a和112b可以被抛光至高光滑程度。结合表面112a和112b可以被清洁并且暴露于等离子体和/或蚀刻剂以活化表面112a和112b。在一些实施例中,可以在活化之后或在活化期间(例如,在等离子体和/或蚀刻过程期间)用物质(species)来封端(terminate)表面112a和112b。不受理论的限制,在一些实施例中,可以执行活化过程以破坏结合表面112a和112b处的化学键,并且封端过程可以在结合表面112a和112b处提供附加的化学物质,该附加的化学物质在直接结合期间改进结合能。在一些实施例中,在相同步骤(例如,等离子体)中提供活化和封端,以对表面112a和112b进行活化和封端。在其他实施例中,结合表面112a和112b可以在分开的处理中被封端,以提供用于直接结合的附加物质。在各种实施例中,封端物质可以包括氮。此外,在一些实施例中,结合表面112a和112b可以暴露于氟。例如,在层和/或结合界面118附近可能存在一个或多个氟峰。因此,在直接结合结构100中,两个非导电材料(例如,结合层108a和结合层108b)之间的结合界面118可以包括在结合界面118处具有较高氮含量和/或氟峰的非常光滑界面。活化和/或封端处理的附加示例可以在美国专利号9564414、9391143和10434749(这些专利中的每个专利的全部内容通过引用以其整体并入本文并且用于所有目的)中找到。

[0029] 在各种实施例中,第一元件102的导电接触焊盘106a也可以被直接结合到第二元件104的对应导电接触焊盘106b。例如,混合结合技术可以用于沿结合界面118提供导体到导体直接结合,结合界面118包括共价直接结合的非导电到非导电(例如,电介质到电介质)表面,如上面描述的那样制备的。在各种实施例中,可以使用至少在美国专利号9716033和9852988(这些专利中的每个专利的全部内容通过引用以其整体并入本文并且用于所有目的)中公开的直接结合技术来形成导体到导体(例如,接触焊盘106a到接触焊盘106b)直接结合和电介质到电介质混合结合。

[0030] 例如,非导电(例如,电介质)结合表面112a、112b可以被制备,并且在没有中介粘合剂的情况下直接彼此结合,如上所述。导电接触焊盘106a和106b(其可以被结合层108a、108b内的非导电电介质场区域围绕)也可以在没有中介粘合剂的情况下直接彼此结合。在一些实施例中,相应的接触焊盘106a和106b可以凹陷到电介质场或非导电结合层108a和108b的外(例如,上)表面112a和112b下方,例如,凹陷小于30nm、小于20nm、小于15nm,或小于10nm,例如,凹陷在2nm至20nm的范围内,或者凹陷在4nm至10nm的范围内。在各种实施例中,在直接结合之前,相对的元件中的凹陷可以被调整大小,使得相对的接触焊盘之间的总间隙小于15nm或小于10nm。在一些实施例中,非导电结合层108a和108b可以在室温在没有

粘合剂的情况下直接彼此结合,并且随后可以对结合结构100进行退火。在退火时,接触焊盘106a和106b可以膨胀,并且彼此接触以形成金属到金属直接结合。有利地,使用可从加利福尼亚州圣何塞市的Xperi购买的直接结合互连(Direct Bond Interconnect)或DBI®技术,可以使得高密度的焊盘106a和106b能够跨直接结合界面118(例如,常规阵列的小节距或细节距)连接。在一些实施例中,结合焊盘106a和106b的节距或嵌入在结合元件中的一个结合元件的结合表面中的导电迹线的节距可以小于40微米或小于10微米或甚至小于2微米。对于一些应用,结合焊盘106a和106b的节距与结合焊盘的尺寸中的一个尺寸(例如,直径)的比率小于5,或小于3,并且有时期望小于2。在其他应用中,嵌入在结合元件中的一个结合元件的结合表面中的导电迹线的宽度可以在0.3微米至20微米之间的范围内,例如在0.3微米至3微米的范围内。在各种实施例中,接触焊盘106a和106b和/或迹线可以包括铜,但其他金属也可以是适当的。

[0031] 因此,在直接结合过程中,第一元件102可以在没有中介粘合剂的情况下被直接结合到第二元件104。在一些布置中,第一元件102可以包括单切的(singulated)元件,诸如单切的集成器件裸片。在其他布置中,如图1a-图1b中所示,第一元件102可以包括载体或衬底(例如,晶片),该载体或衬底包括多个(例如,数十、数百或更多)器件区域,这些器件区域在被单切时,形成多个集成器件裸片。类似地,第二元件104可以包括单切的元件,诸如单切的的集成器件裸片,如图1a-图1a中所示。在其他布置中,第二元件104可以包括载体或衬底(例如,晶片)。因此,本文公开的实施例可以应用于晶片到晶片、裸片到裸片或裸片到晶片结合过程。

[0032] 如本文说明的,第一元件102和第二元件104可以在没有粘合剂的情况下直接彼此结合,这与沉积过程不同。在一个应用中,结合结构中的第一元件102的宽度与第二元件104的宽度相似。在一些其他实施例中,结合结构100中的第一元件102的宽度不同于第二元件104的宽度。类似地,结合结构中的较大元件的宽度或面积可以比较小元件的宽度或面积大至少10%。第一元件102和第二元件104因此可以包括非沉积元件。此外,与沉积层不同,直接结合结构100可以包括沿着结合界面118的缺陷区域,在缺陷区域中,存在纳米级空隙(纳米空隙)。纳米空隙可以由于结合表面112a和112b的活化(例如,暴露于等离子体)而形成。如上所述,结合界面118可以包括来自活化和/或最后化学处理过程的材料浓度。例如,在利用氮等离子体进行活化的实施例中,可以在结合界面118处形成氮峰。在利用氧等离子体进行活化的实施例中,可以在结合界面118处形成氧峰。在一些实施例中,结合界面118可以包括氮氧化硅、碳氮氧化硅或碳氮化硅。如本文说明的,直接键可以包括比范德华键更强的共价键。结合层108a和108b还可以包括被平坦化至高光滑程度的抛光表面。

[0033] 在各种实施例中,接触焊盘106a与106b之间的金属到金属结合可以被接合,使得铜颗粒跨结合界面118生长到彼此中。在一些实施例中,铜可以具有沿着111晶面定向的颗粒,以改进跨结合界面118的铜扩散。结合界面118可以基本完全延伸到结合接触焊盘106a和106b的至少一部分,使得在结合的接触焊盘106a和106b处或附近的非导电结合层108a与非导电结合层108b之间基本没有间隙。在一些实施例中,屏障层可以被提供在接触焊盘106a和106b(例如,其可以包括铜)下方。然而,在其他实施例中,接触焊盘106a和106b下方可以不存在屏障层,例如,如美国专利号11195748中描述的,该专利通过引用以其整体并入本文并且用于所有目的。

[0034] 有利地,本文描述的混合结合技术的使用可以使能相邻的接触焊盘106a与106b之间的极细节距和/或小焊盘大小。例如,在各种实施例中,相邻焊盘106a(或106b)之间的节距p(即,从边缘到边缘或从中心到中心的距离,如图1a中所示)可以在0.5微米至50微米的范围内、在0.75微米至25微米的范围内、在1微米至25微米的范围内、在1微米至10微米的范围内,或在1微米至5微米的范围内。此外,主要横向尺寸(例如,焊盘直径)也可以较小,例如在0.25微米至30微米的范围内、在0.25微米至5微米的范围内,或在0.5微米至5微米的范围内。

[0035] 在各种实施例中,第二元件104可以包括单切的器件裸片,并且第一元件102可以包括晶片。在其他实施例中,元件102和元件104两者可以包括单切的器件裸片。在这种实施例中,第二元件104最初可以以晶片形式或较大衬底被提供,并且被单切以形成单切的第一元件104。然而,单切过程和/或其他处理步骤可能产生碎片,碎片可能污染平坦的结合表面,当两个元件被结合时,这可能留下空隙和/或缺陷。因此,在单切之前,可以在活化和直接结合之前在结合表面之上提供保护层,以防止碎片污染结合表面。保护层可以包括被沉积到结合表面上(例如,通过旋涂、原子层沉积、气相涂覆等)的有机层或无机层(例如,光致抗蚀剂)。保护层的附加细节可以在美国专利第10714449号中找到,该专利的全部内容通过引用以其整体并入本文并且用于所有目的。可以使用任何适当的方法,来单切包含第一元件的晶片。结合表面之上的保护层可以有利地保护结合表面免受碎屑的影响。在直接结合之前,可以利用清洁剂(例如,利用适当的溶剂(诸如,碱性溶液或保护层的供应商推荐的其他适当清洁剂)),将保护层从结合表面去除。可以选择保护层清洁剂,使得它基本上不会使结合层的光滑结合表面变得粗糙,并且基本上不会蚀刻或污染接触焊盘的金属而在后续清洁操作之后增加焊盘金属的凹陷。过量的焊盘凹陷可能形成太深的凹陷,这可能妨碍在适当退火条件(例如,退火温度和时间)下焊盘到焊盘的结合(或减少其强度)。可以通过液体清洁剂的扇形喷雾或其他已知的方法来施加清洁剂。例如,可以对经清洁的结合表面进行灰化(例如,使用氧等离子体)并且利用去离子水(DIW)进行清洁。在一些实施例中,可以在直接结合之前活化经清洁的元件。

[0036] 对金属接触焊盘进行保护,使得焊盘不会过度凹陷在非导电结合区域下方可以是重要的。过量的焊盘凹陷对于混合结合器件的制造来说可能是个问题。例如,增加的焊盘凹陷可以在相对的焊盘之间形成大的间隙,使得退火温度升高以便在焊盘之间形成电接触。凹陷越大,用于使相对的导电特征接触并且形成电连接的结合温度就越高。本文公开的各种实施例可以在低于大约200℃、优选低于大约180℃,甚至更优选低于大约150℃,形成可靠的金属到金属直接结合界面。在各种实施例中,对于宽度小于大约4μm的金属结构,预结合金属凹陷可以小于10nm,例如,在1nm/μm至5nm/μm的范围内。对于穿硅过孔(TSV),预结合金属凹陷可以在15nm至4100nm之间,例如在大约0.2nm/μm至4nm/μm深度的范围内,这取决于TSV的深度和结合温度。通常,化学机械抛光可以产生具有大约0.5nm至大约100nm的凹陷的焊盘。在一些实施例中,在CMP步骤之后,焊盘106a或焊盘106b可以突出。突出的焊盘106a或106b相对于结合表面112a或112b的高度可以在大约0.5nm至大约20nm的范围内,这取决于过程规范。

[0037] 因此,本文公开的各种实施例可以有利地减少要被混合直接结合的结构的凹陷深度。此外,各种实施例可以减少凹陷的晶片内与晶片到晶片之间的变化性。对于微米级和亚

微米特征,提供减少的和/或一致的凹陷可以使得能够以相对较低的退火温度(例如,小于275℃,优选小于200℃,更优选低于大约180℃,甚至更优选低于大约150℃),形成非常可靠的金属到金属直接结合。对于直接混合结合器件的制造,还可以减少热预算和/或制造成本。

[0038] 图2图示了示出针对具有不同厚度的焊盘的、铜焊盘凹陷的退火温度的图表。如所示的,增加的凹陷深度利用更高的退火温度,这会增加直接结合过程的热预算。此外,铜焊盘的劣化可能增加凹陷,并且因此,增加相对的铜焊盘彼此部分或完全接触以形成冶金结合的退火温度。例如,可以根据美国专利号11011494中公开的方法、结构和装置来形成冶金结合,该专利通过引用以其整体并入本文并且用于所有目的。

[0039] 例如,在单切或切割过程期间,本文公开的各种实施例可以利用结合表面之上的薄保护层来保护结合表面和半导体元件。图3示出了使用厚保护涂层或层(例如,大于3微米厚)的通常过程。在框320处,将保护涂层312施加在半导体元件302的结合表面310之上,半导体元件302具有非导电区域306和导电接触区域308,非导电区域306和导电接触区域308在半导体区域314(例如,器件部分)的顶部上,并且被固定在切割带304上。半导体区域314可以包括其中具有图案化的有源电路装置的器件部分。例如,可以通过旋涂来施加保护涂层312。在一些实施例中,保护涂层312可以包括例如诸如光致抗蚀剂的聚合物。在一些实施例中,用于保护涂层312的材料可以包括溶剂。为了去除保护涂层312中的溶剂,通常将半导体元件302在135℃烘烤大约180秒,以硬化保护涂层312(例如,光致抗蚀剂)并且确保保护涂层312与下面的半导体元件302之间良好的粘附性。保护涂层312可以被沉积在半导体元件302之上,并且在框322处,半导体元件302可以被单切,以形成具有非导电区域306a-306d和导电接触区域308a-308d的单切的元件302a-302d。在框324处,可以去除保护涂层312。

[0040] 图3中描绘的过程可以很好地适用于使用球栅阵列、受控塌陷芯片连接(C4)等的互连过程,这些过程使用具有相对较大形貌特征的表面(例如,通常的C4过程可以使用直径几微米到几十微米的焊球)。然而,当被用在直接结合过程时,用于去除保护层312的清洁流体可能会不可接受地增加在直接结合中使用的铜焊盘的凹陷309。例如,相对较厚的涂层可以具有较长的涂层去除时间(例如,从大约300秒至大约1200秒)和较长时间暴露于清洁介质,这可能导致更高程度的凹陷309。跨衬底的保护涂层312的不均匀去除也会引起跨半导体元件302的凹陷不均匀性的增加。在清洁衬底中还可能存在中心到边缘的变化,以及更大的晶片到晶片的变化。在一些过程(例如,直接结合)中,重要的是裸片中的所有焊盘的凹陷基本上是均匀的。例如,本文公开的各种实施例(例如,图4-图7的实施例)可以有利地确保裸片的焊盘当中的凹陷变化小于25%、小于10%、小于5%、小于2%,或小于1%,或小于大约0.5%。在各种实施例中,裸片的焊盘当中的凹陷变化可以在0.1%至10%的范围内、在0.1%至5%的范围内,或在0.5%至5%的范围内。凹陷变化可以小于5nm、小于3nm、小于2nm或小于1nm,例如,在一些实施例中,在0.5nm至5nm的范围内。在一些布置中,凹陷变化可以包括多个导电接触特征当中的凹陷深度之间的最大差异。在一些布置中,凹陷变化可以包括多个导电接触特征当中的凹陷深度之间的平均差异。残留物管理也可能具有挑战性,因为厚保护涂层312可以导致相对大量的残留物,该残留物可能难以从半导体元件302a-302d中完全去除。此外,较高的烘烤温度可以使得更难以从半导体元件302a-302d中剥离保护层312。此外,在较高温度处,保护层312可能与金属焊盘308a-308d进行反应,并且这种反应可

能趋向于使金属结合焊盘308a-308d变粗糙,并且增加金属结合焊盘308a-308d的凹陷。

[0041] 在一些实施例中,对于常规的厚抗蚀剂和高烘烤温度方法,对于例如2微米厚的金属焊盘,焊盘308a-308d的凹陷范围可以从大约60nm至大约200nm或更大。在去除保护层312的溶剂清洗步骤之后(例如,在180s之后),布置在结合表面310的各个部分处的焊盘308a-308d中的一些焊盘可以是洁净的,而在结合表面310的其他部分处的焊盘可能仍然被硬烘烤的保护层312污染。可以使用例如180s或更长的附加清洁时间,来从焊盘308a-308d的表面或结合表面310剥离中保护层。因此,一些清洁焊盘可能暴露于溶剂作用相当长的附加时间。取决于焊盘材料在保护层312去除期间的溶解或损失,可能在给定裸片内和/或在位于衬底314的不同部分处的裸片(例如,位于衬底314的中心处的裸片和靠近衬底314的边缘布置的那些裸片)之间形成凹陷的较大变化。任何给定裸片内的焊盘中的凹陷变化(即,对于任意两个焊盘,距结合表面310的凹陷深度之间的最大差异)可以变化大于10nm的量,例如15nm或更多。给定裸片内和跨衬底314的凹陷309上的这些较大变化可能是有问题的,因为对于具有较深凹陷的焊盘,可能需要较高的结合温度,来在图1b的结合衬底100中形成充分的金属到金属结合,如图2中所示。

[0042] 因此,在各种实施例中,如图4中所示,在框420中,可以替代地将薄保护涂层412施加在半导体元件302的结合表面310之上,例如通过旋涂、原子层沉积或气相涂覆。薄保护涂层可以具有小于3微米、小于2微米、小于0.25微米或小于0.1微米的厚度。例如,在各种实施例中,保护涂层的厚度可以在0.05微米至2微米的范围内,或者在0.1微米至0.25微米的范围内。在一些实施例中,薄保护涂层可以包括例如有机层。可以在低于130℃的温度并且优选地在低于110℃,甚至低于70℃的温度,烘烤薄保护层。例如,保护层可以包括疏水涂层和/或亲水涂层或两者的组合。在一些实施例中,保护层可以包括光致抗蚀剂。在图4的实施例中,可以跨半导体元件(包括在接触焊盘308之上并且在(多个)非导电结合区域306之上)毯式沉积保护层。有利地,与较厚的层相比,较薄的保护层在涂层厚度方面可以具有较小的变化。

[0043] 在各种实施例中,在提供保护层312之前,可以制备用于直接结合的结合表面。例如,在提供保护层312之前,可以对结合表面进行平坦化。在一些实施例中,在提供保护层312之前,可以对结合表面进行活化。对第一结合表面进行活化可以包括:对第一结合表面进行等离子体活化。对第一结合表面进行等离子体活化可以包括:将第一结合表面暴露于含氮等离子体。在其他实施例中,在施加保护层312之前,要被单切的半导体元件302的结合表面可以短暂地暴露于氧等离子体(灰化),以在焊盘308的表面上形成非常薄的氧化物(例如,几纳米厚)。

[0044] 半导体元件302可以针对任何适当的时间段保持被保护层312覆盖。例如,在一些实施例中,半导体元件302可以被制备用于直接结合,并且涂覆有保护层312,并且后续被存储和/或运输到不同的位置或设施。在一些情况下,受保护的半导体元件302可以针对大于24小时的时段,或针对一周或一周以上的时段,或针对一个月或一个月以上的时段,保持被保护层312保护。如框422中所示,在去除保护层312之前,半导体元件可以被单切成具有结合表面310a-310d、非导电区域306a-306d和导电接触区域308a-308d的多个半导体元件。在框424处,在直接结合之前,可以以任何适当的方式去除保护层312。例如,可以利用任何适当的清洁过程来去除保护层312。在一些实施例中,第一清洁过程可以利用高碱性溶液(例

如,稀释的氢氧化四甲基铵)或由保护层的供应商推荐的其他适当的溶剂(例如,诸如聚乙二醇的混合物,或改性酮),来剥离保护涂层412。改性酮可以与切割带和/或接触焊盘306a和306b的金属具有最小的相互作用(与可能容易侵蚀切割带的丙酮不同)。在一个实施例中,当保护层是光致抗蚀剂材料时,可以将涂覆的光致抗蚀剂保护层暴露于UV光,以降解光致抗蚀剂层,从而减少从半导体元件的结合表面剥离保护层的清洁时间。有利地,与如图3中描绘的厚保护层相比,可以更快地去除保护层312(例如,在大约60秒或更短的时间内)。过剥离时间也可以显著更短,例如小于30秒、小于20秒或小于15秒,而较厚层的过剥离时间通常可能超过1分钟、2分钟或更多。此外,可以留下更少的碎片。

[0045] 在一些实施例中,可以附加地或备选地使用第二清洁过程。例如,第二清洁过程可以用于清洁来自裸片和切割片的切割颗粒和其他碎片。在该示例中,第一清洁步骤可以从半导体元件的结合表面剥离保护层312,并且第二清洁步骤可以包括清洁溶液,该清洁溶液被定制为从多个半导体元件和切割带的切割道去除不需要的有机材料和不需要的颗粒。在该实施例中,第一清洁步骤可以包括干法过程,例如施加氧等离子体以从单切的半导体元件的表面剥离非常薄的有机保护层。在一些实施例中,第二清洁步骤可以包括湿法清洁溶液。在这种清洁步骤中,可以使用包含适当的表面活性剂或颗粒去除剂的适当溶剂,来清洁半导体元件的经灰化表面。清洁步骤通常跟随有去离子(DI)水冲洗和干燥步骤。

[0046] 有利地,薄保护涂层可以利用清洁流体,如上所述,该清洁流体更适合半导体元件中使用的材料。与使用较厚的保护层和较长的清洁过程的过程相比,去除过程的较短持续时间和总的清洁时间可以有利地降低铜焊盘因清洁过程而劣化的程度。因此,图4的实施例可以提供较浅的凹陷309和更一致的凹陷深度(即,较少的凹陷变化),这可以改进混合结合结构中的直接结合可靠性。在一些实施例中,没有两个焊盘可以在凹陷深度上具有大于5nm、大于3nm、大于1nm或大于0.5nm的差异。裸片的焊盘当中的凹陷变化小于25%、小于10%、小于5%、小于2%,或小于1%,或小于大约0.5%。在各种实施例中,裸片的焊盘当中的凹陷变化可以在0.1%至10%的范围内、在0.1%至5%的范围内,或在0.5%至5%的范围内。凹陷变化可以小于5nm、小于3nm、小于2nm,或小于1nm,例如,在一些实施例中,在0.5nm至5nm的范围内。在一些布置中,凹陷变化可以包括多个导电接触特征当中的凹陷深度之间的最大差异。在一些布置中,凹陷变化可以包括多个导电接触特征当中的凹陷深度之间的平均差异。

[0047] 图5图示了根据一些实施例的另一个示例过程500,在过程500中,在钝化层514之上提供薄保护层512。在步骤520处,可以选择性地在接触焊盘308之上提供钝化层514。例如,可以使用湿法化学过程和/或等离子体过程来选择性地氧化接触焊盘308。在一些实施例中,可以通过已知方法,将金属络合剂(诸如,苯并三唑或类似化合物)的一些单层选择性地涂覆在接触焊盘308上。

[0048] 在步骤522处,可以将薄保护层512(例如,小于大约2μm厚,并且优选地小于大约0.2μm厚的保护层)提供在元件的焊盘308和非导电结合区域306之上。在所示实施例中,保护层512被毯式沉积在元件之上。在步骤524处,可以将元件302单切,并且在步骤526处,可以如上所解释的那样去除保护层512。在一些实施例中,可以在少于大约三分钟内剥离保护层。在步骤528处,可以通过湿法蚀刻、发泡气体或其他适当的方式,从接触焊盘308选择性地去除钝化层514。可以执行附加的清洁,以进行颗粒管理。

[0049] 图6图示了根据一些实施例的另一个示例过程600,在过程600中,在施加保护层612之前,接触焊盘308突出到非导电结合材料306上方。如框620中所示,接触焊盘308可以突出到非导电结合材料306的结合表面310上方(例如,如果非导电结合材料306先前已被蚀刻,或作为化学机械抛光或CMP过程的结果)。在框622处,可以在突出接触焊盘308和非导电结合材料306之上提供保护层612(其可以与保护层412相同),并且可以将元件302单切。在框624处,可以去除保护层612。在一些实施例中,在框624处,去除保护层612还引起接触焊盘308的表面的一些去除,这减少了接触焊盘308在非导电结合材料306的表面上方的突出。在框626处,可以将结合表面平坦化(例如,通过化学机械抛光或CMP过程),使得接触焊盘308相对于非导电结合材料306的表面凹陷。焊盘凹陷也可以通过管理铜/氧相互作用来进行控制。在其他实施例中,在剥离保护层612之后,可以通过利用稀释的焊盘清洁剂来清洁结合表面310和焊盘308,以在焊盘308中形成已知的或期望的凹陷,来去除焊盘308上的不需要的突出。清洁可以形成已知的凹陷,而不会使结合表面310或凹陷焊盘的结合表面劣化。例如,清洁剂不会导致结合表面310或焊盘308的明显粗糙,并且不会导致在结合表面上形成不需要的颗粒,这些颗粒可能会损害在没有粘合剂材料的情况下、相对的衬底之间的直接结合。

[0050] 图7图示了根据一些实施例的示例过程700,在过程700中,保护涂层被选择性地提供在接触焊盘之上,而不是被沉积为毯式涂层。在框720处,可以在焊盘308上施加钝化层714(其可以与钝化层514相似或相同),并且可以在钝化层714之上施加保护层712。在一些实施例中,可以选择性地施加仅钝化层714来保护焊盘,而不使用保护层712,这可以减少由于保护层712的去除而导致的凹陷变化和凹陷增加。因此,在半导体元件的整个表面之上可以不提供有机毯式层。因此,在一些实施例中,钝化层714可以用作保护层,以在单切期间保护焊盘,使得可以不施加单独的保护层712。可以提供钝化层714来氧化焊盘,钝化层714可以比铜更好地抵抗清洁化学品。在框722处,可以在维持湿润表面时,对元件302进行切割。在切割之后,可以例如使用水和表面活性剂来清洁元件302。可以使用任何适当的方法来去除焊盘上的钝化层。例如,可以使用稀释的酸或碱溶液和/或通过氧化剂/苛性碱来去除钝化层,以去除疏水性涂覆区域而基本上不侵蚀铜焊盘。

[0051] 在一些实施例中,可以使用反应离子蚀刻(RIE)来去除薄保护涂层。

[0052] 在一些实施例中,可以使用锯来对元件进行单切。在其他实施例中,可以使用RIE来将半导体元件单切成多个单切的器件裸片。在这种实施例中,保护层可以被提供为大约1微米的厚度,例如在1微米至3微米的范围内。可以使用RIE过程来对元件进行单切,并且保护层可以在RIE期间对焊盘进行保护。然而,RIE过程可以充分地减小保护层的厚度,使得可以使用后续的清洁过程来去除剩余的薄保护层,而不会引起过大的凹陷。在框724处,可以去除保护层712(如果存在),并且在框726处,可以去除钝化层714,以暴露导电接触区域308a-308d的表面。

[0053] 在一些实施例中,具有不同尺寸的导电焊盘308可以形成在电介质层306中,并且导电焊盘308可以具有暴露的结合表面。例如,裸片内的各种导电特征可以包括宽度为2微米至4微米、5微米至8微米或10微米至15微米的焊盘。导电焊盘可以被布置成具有限定节距的阵列。在一些实施例中,较小焊盘的节距可以小于较大焊盘的节距。有利地,本文描述的方法可以导致在各种焊盘上形成凹陷,该些凹陷具有不同宽度,并且节距相同或类似。例

如,由保护层涂覆、单切、保护层剥离和其他表面制备步骤引起的凹陷上的变化跨给定裸片可以小于大约3nm,例如,跨裸片小于2nm或小于1nm。在一些实施例中,跨裸片的凹陷变化可以在0.3nm至3nm的范围内、在0.5nm至3nm的范围内,或在1nm至3nm的范围内。随着较浅的凹陷和凹陷跨裸片的较小变化,与具有较深凹陷和/或凹陷在给定裸片中具有较大变化的裸片相比,可以在相对较低的温度形成结合结构(诸如结合结构100)。利用较低温度的结合操作,热膨胀差异较大的裸片可以在没有粘合剂层的情况下被直接结合。例如,半导体元件104的热膨胀可以不同于半导体元件102的热膨胀。仅作为一个示例,在一些实施例中,结合的半导体元件102和104的热膨胀之间的差异可以是至少10%。

[0054] 除非上下文另有明确要求,否则贯穿描述和权利要求,词语“包括”、“包含”、“具有”等应当以包容性的含义进行解释,而不是排他性或穷举性含义,也就是说,“包括但不限于”的含义。如本文通常使用的词语“耦合”指代可以直接连接或者通过一个或多个中间元件连接的两个以上元件。同样地,如本文通常使用的词语“连接”指代可以直接连接或者通过一个或多个中间元件连接的两个以上元件。此外,词语“本文”、“上文”、“下文”以及类似含义的词语当在本申请中使用时,应当指代本申请作为一个整体,而不是指代本申请的任何特定部分。此外,如本文中使用的,当第一元件被描述为在第二元件“上”或“之上”时,第一元件可以直接在第二元件上或之上,使得第一元件和第二元件直接接触,或者第一元件可以间接地在第二元件上或之上,使得一个或多个元件中介在第一元件与第二元件之间。在上下文允许的情况下,上面具体实施方式中使用单数或复数的词语也可以分别包括复数或单数。词语“或”涉及两个或两个以上项的列表,该词语涵盖词语的所有以下解释:列表中的项中的任何项、列表中的所有项以及列表中的项的任意组合。

[0055] 此外,除非另有特别说明,或者在所使用的上下文中以其他方式理解,否则本文使用的条件语言(诸如“能够”、“可能”、“可以”、“例如”、“诸如”等)通常旨在传达某些实施例包括而其他实施例不包括某些特征、元素和/或状态。因此,这种条件语言通常不旨在暗示一个或多个实施例以任何方式需要特征、元素和/或状态。

[0056] 虽然已经描述了某些实施例,但是这些实施例仅通过示例的方式被呈现,并且不旨在限制本公开的范围。事实上,本文描述的新颖的装置、方法和系统可以以各种其他形式来体现;此外,在不脱离本公开的精神的情况下,可以对本文描述的方法和系统的形式进行各种省略、替换和改变。例如,虽然以给定布置来呈现块,但是备选实施例可以利用不同的组件和/或电路拓扑来执行类似的功能,并且可以删除、移动、添加、细分、组合和/或修改一些块。这些块中的每个块可以以各种不同的方式来实现。上述各种实施例的元件和动作的任何适当组合可以被组合以提供另外的实施例。所附权利要求及其等同物旨在覆盖落入本公开的范围和精神内的这种形式或修改。

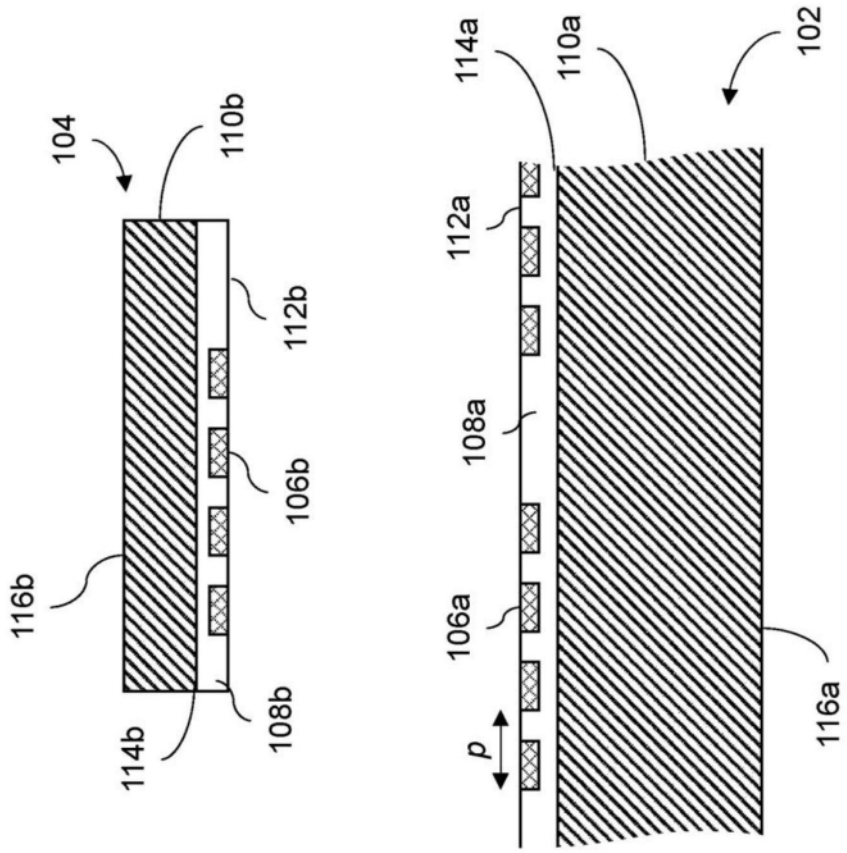

104
110b
112b
106b
116b
108b
114b
114a
110a
102
112a
108a
106a
116a
p

图1a

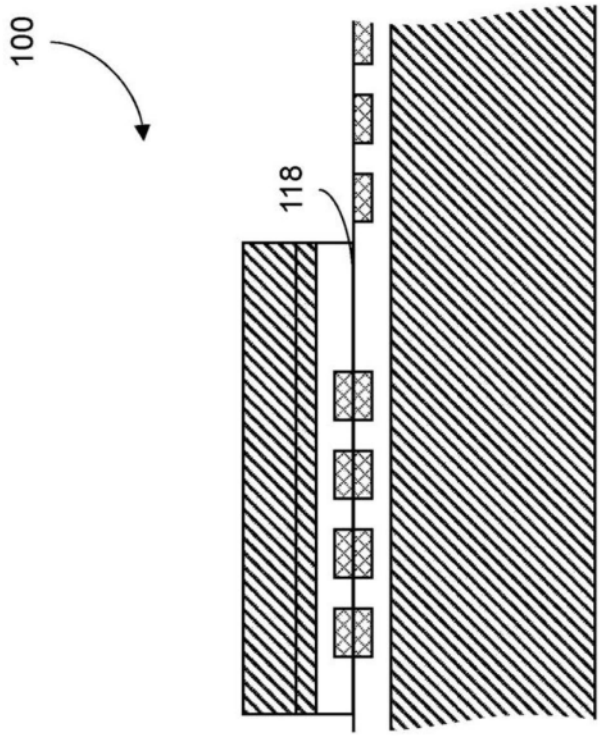


图1b

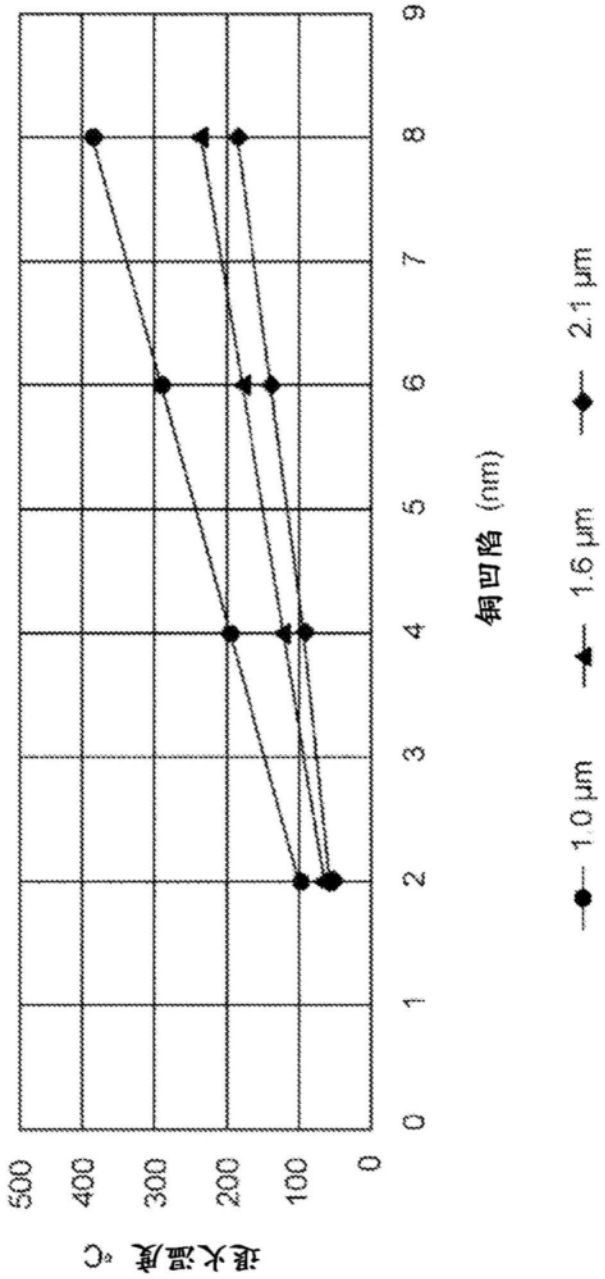
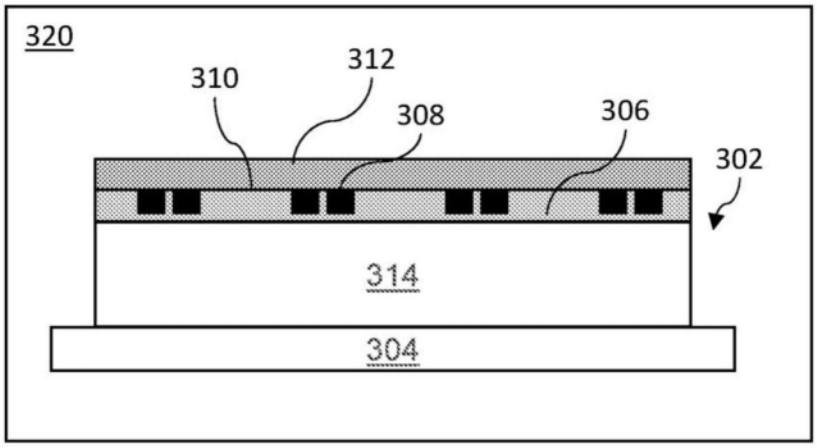
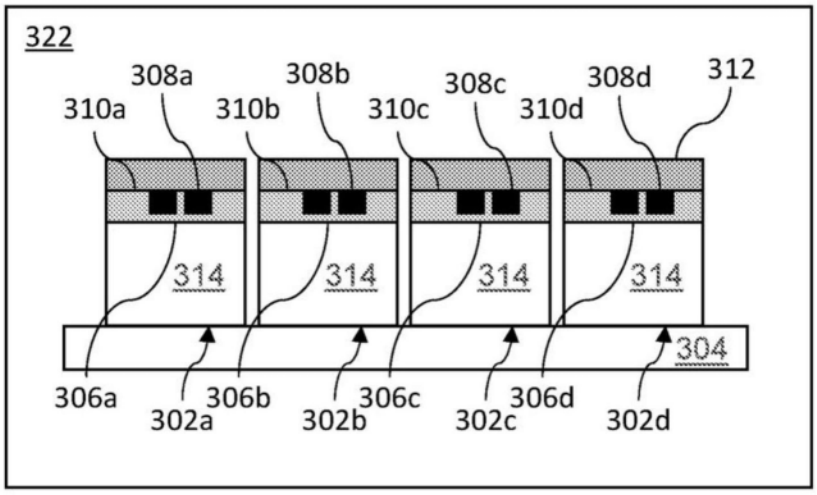


图2


320
310
312
308
306
302
314
304


322
308a
308b
308c
308d
312
310a
310b
310c
310d
314
314
314
314
304
306a
302a
306b
302b
306c
302c
306d
302d

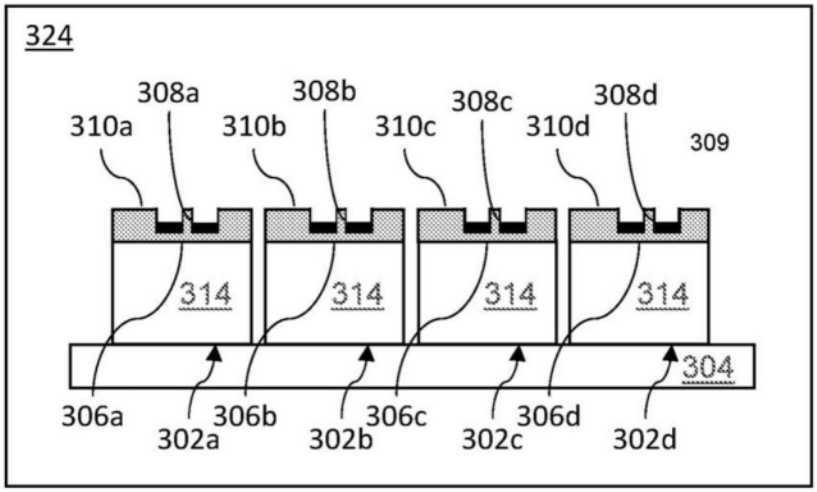

324
308a
308b
308c
308d
310a
310b
310c
310d
309
314
314
314
314
304
306a
302a
306b
302b
306c
302c
306d
302d

图3

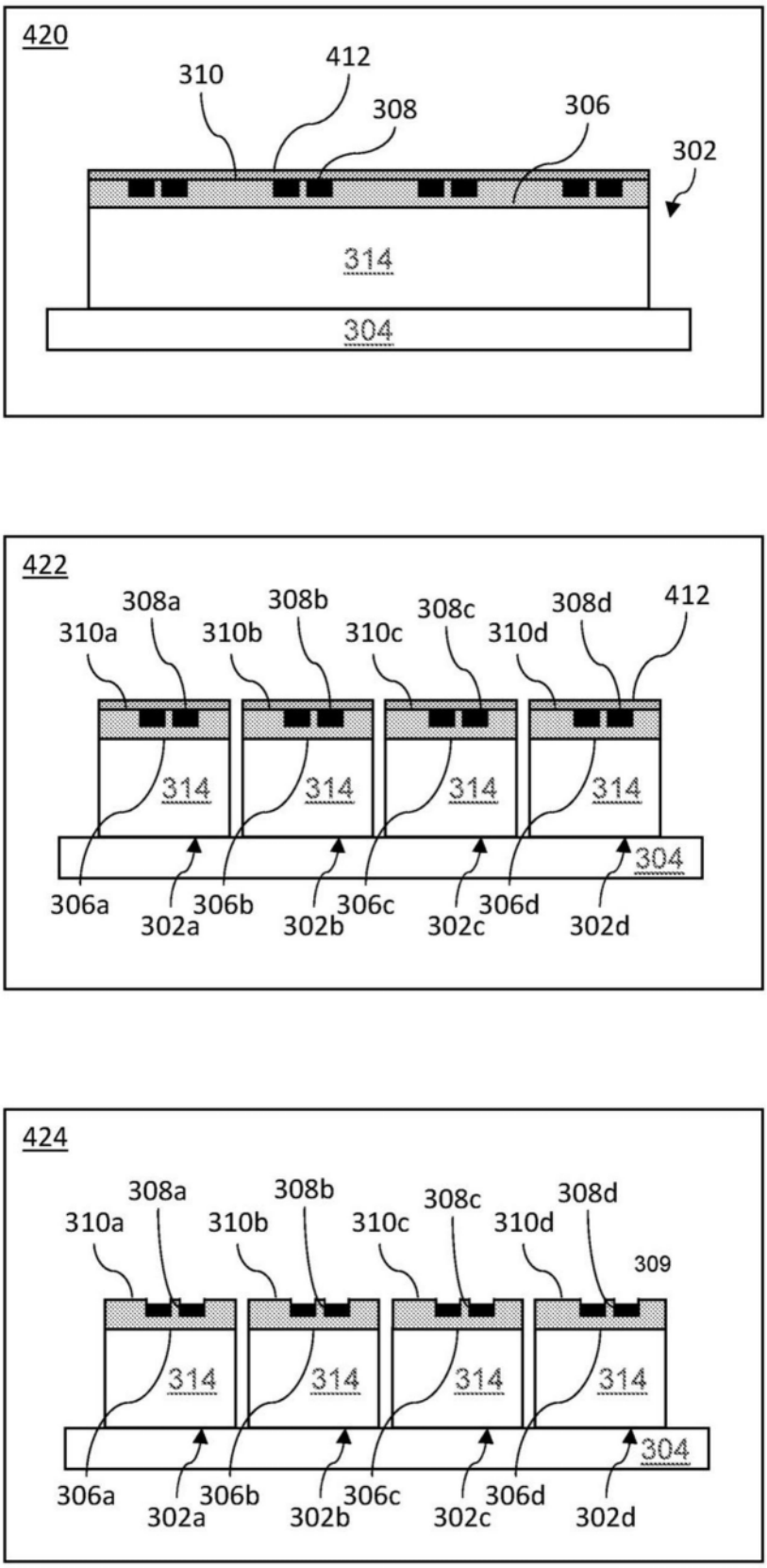

420
310
412
308
306
302
314
304
422
308a
308b
308c
308d
412
310a
310b
310c
310d
314
304
306a
302a
306b
302b
306c
302c
306d
302d
424
309

图4

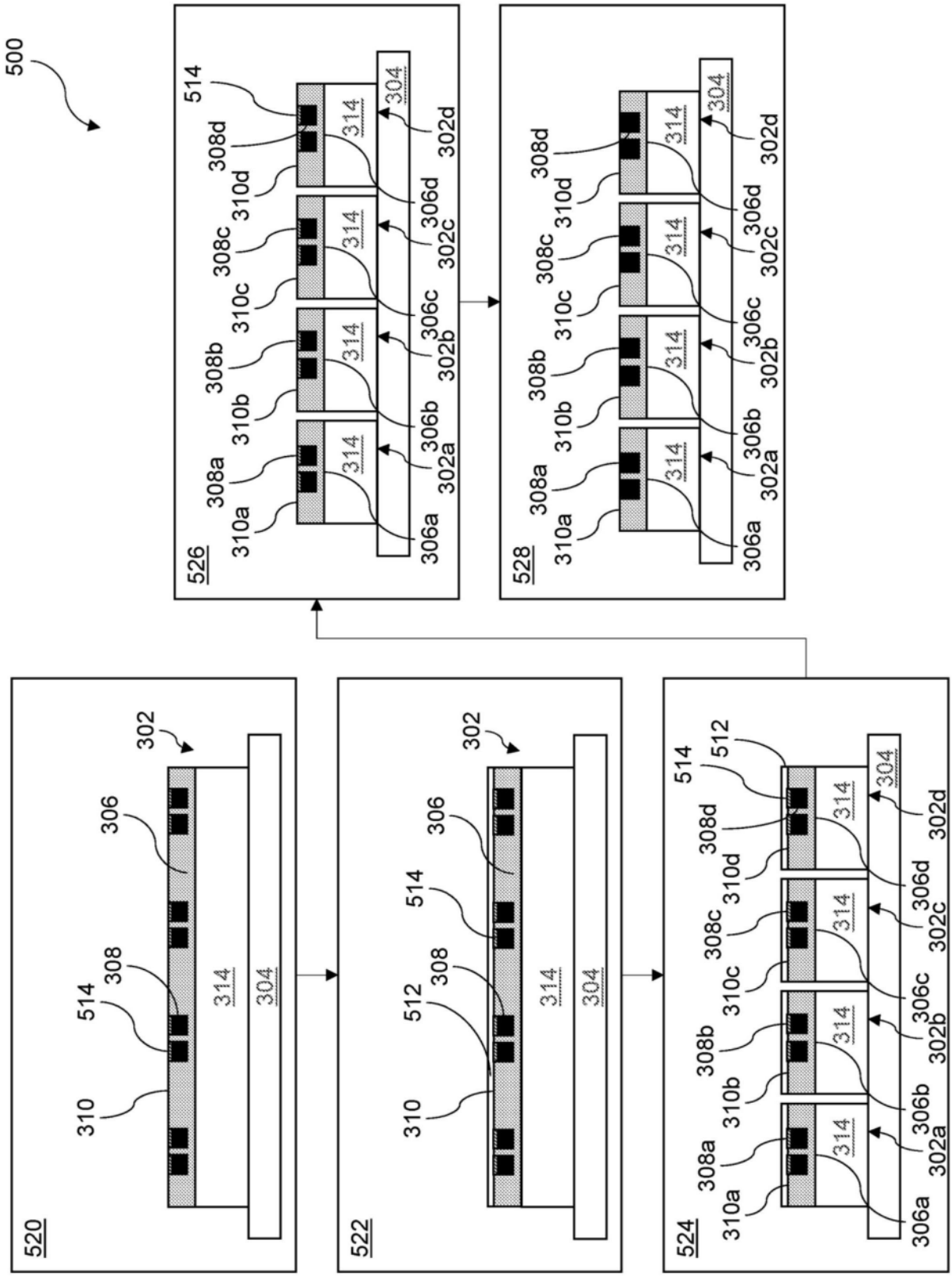

500
520
522
524
526
528
302
304
306
308
310
312
314
512
514
302a
302b
302c
302d
306a
306b
306c
306d
308a
308b
308c
308d
310a
310b
310c
310d

图5

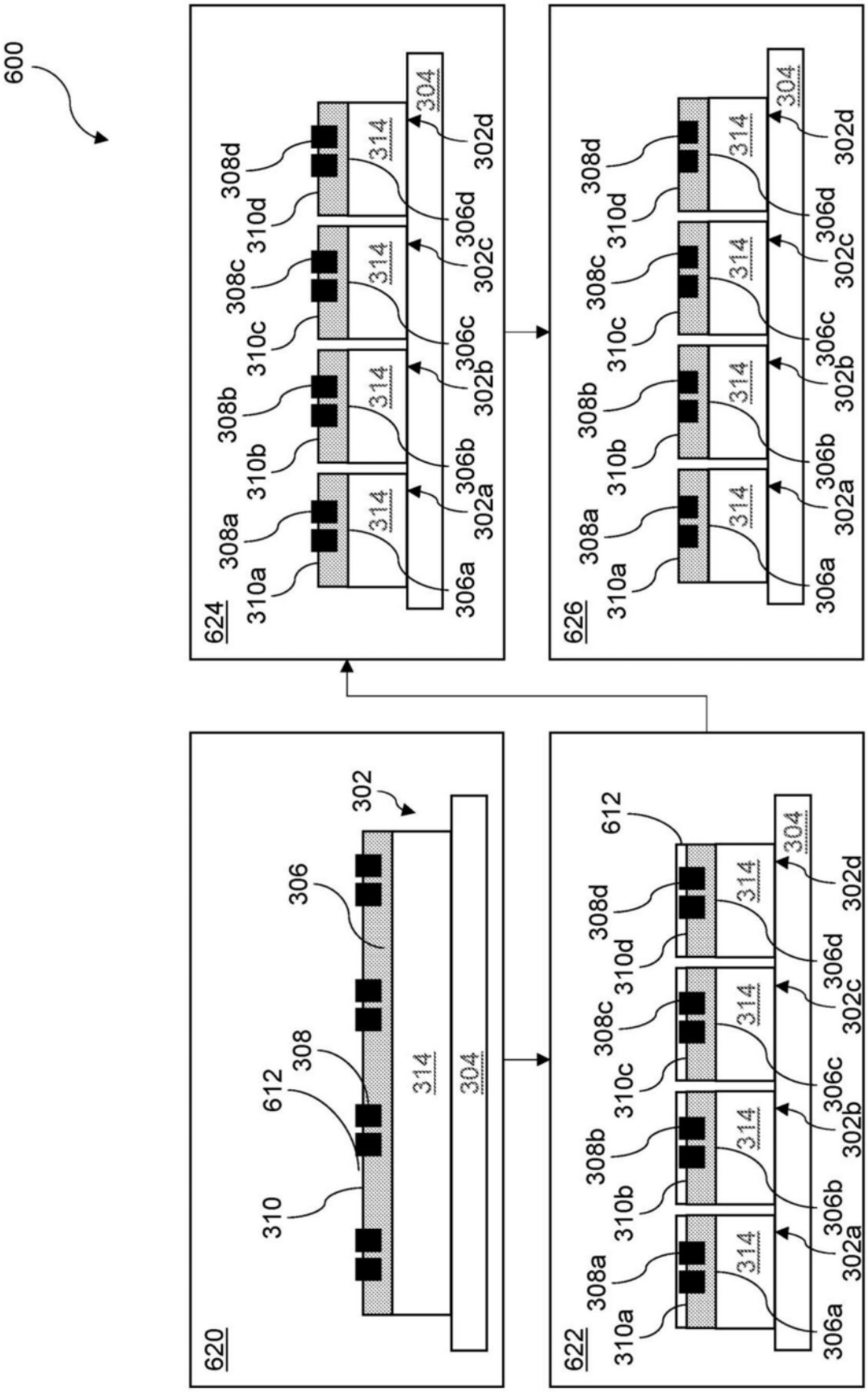

600
624
626
620
622
302
304
306
308
310
312
314
302a
302b
302c
302d
306a
306b
306c
306d
308a
308b
308c
308d
310a
310b
310c
310d

图6

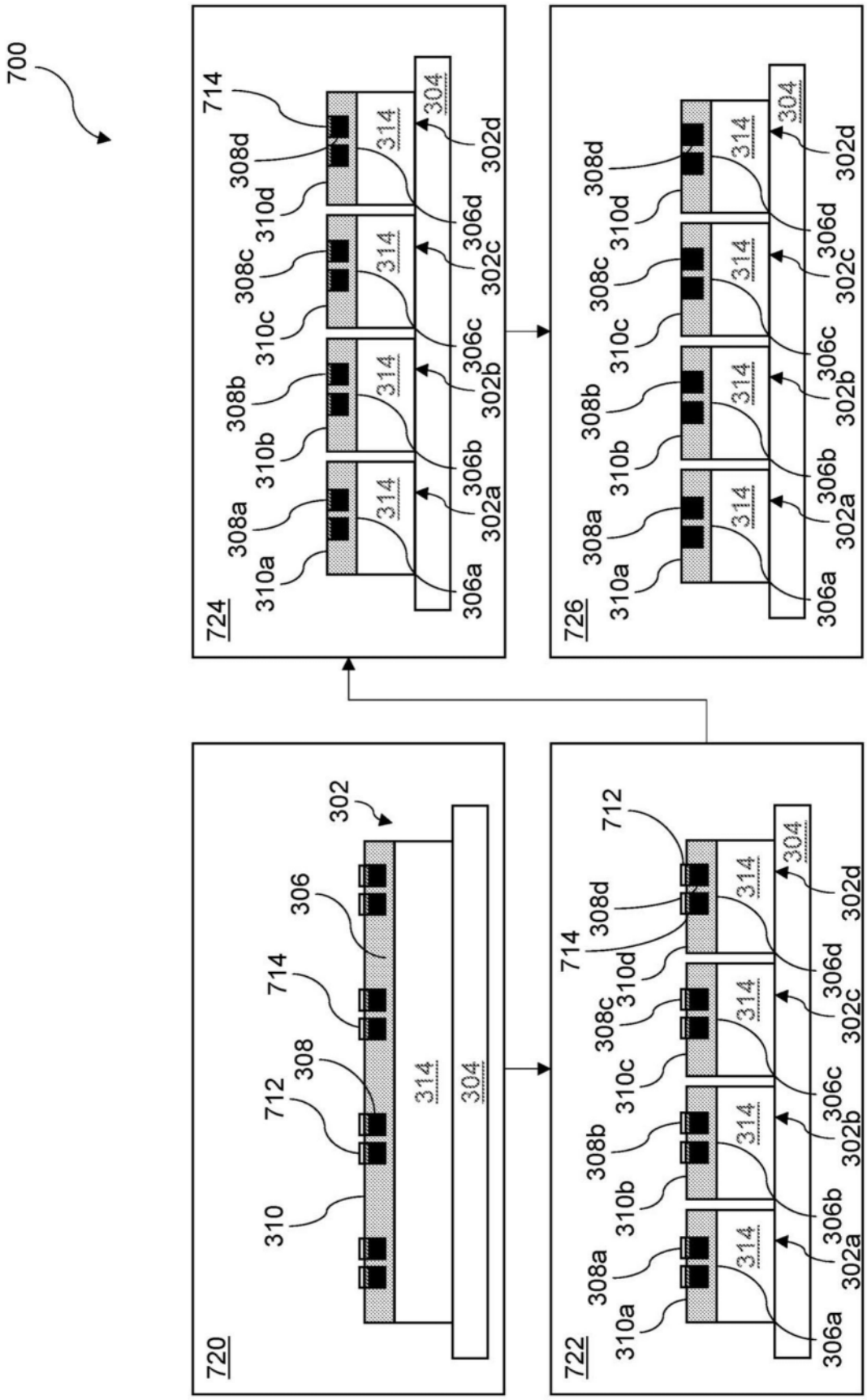


图7