

(21)申請案號：100128609

(22)申請日：中華民國 100 (2011) 年 08 月 10 日

(51)Int. Cl. : H01L23/52 (2006.01)

H01L21/66 (2006.01)

(30)優先權：2010/09/17 日本

2010-209998

(71)申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)

日本

(72)發明人：井上諭 INOUE, SATOSHI (JP)；神田和重 KANDA, KAZUSHIGE (JP)；清水有威 SHIMIZU, YUUI (JP)

(74)代理人：陳長文

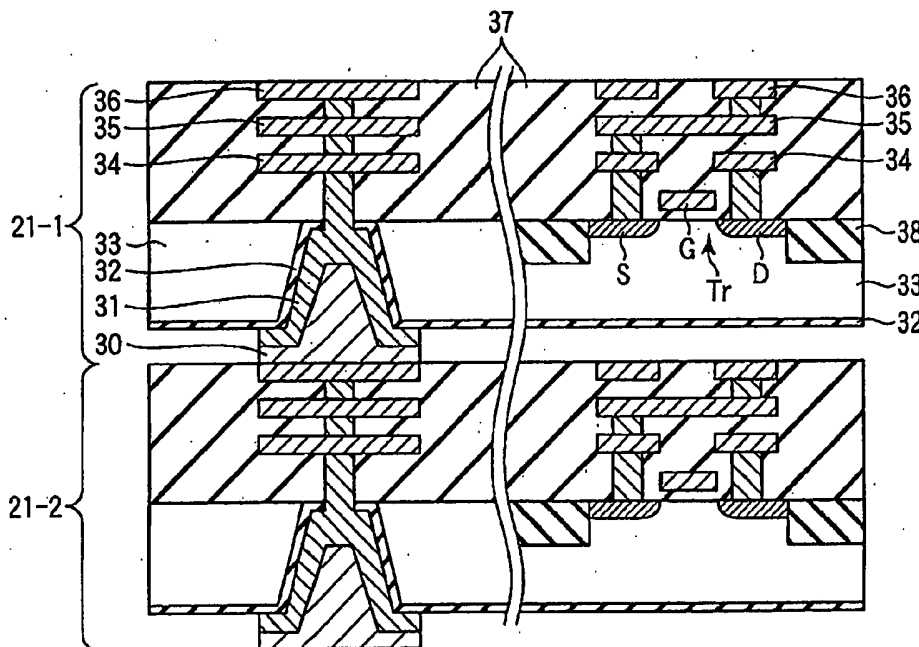
申請實體審查：有 申請專利範圍項數：16 項 圖式數：13 共 30 頁

(54)名稱

半導體裝置及其製造方法

(57)摘要

本發明之半導體裝置係具備：積層晶片，其係將複數之半導體晶片積層而構成；及複數之不活性化電路，其係分別設置於上述複數之半導體晶片上，並將不良之半導體晶片不活性化；且上述複數之半導體晶片係分別具有複數之半導體基板、及形成於上述複數之半導體基板內之複數之貫通電極；且上述複數之貫通電極係電性連接。



21-1：半導體晶片

21-2：半導體晶片

30：凸塊

31：貫通電極(貫通通孔插塞)

32：絕緣膜

33：半導體基板

34：第1級配線層

35：第2級配線層

36：焊墊

37：層間絕緣層

38：元件分離絕緣層

D：汲極區域

G：閘極電極

S：源極區域

Tr：MOS 電晶體

(21)申請案號：100128609

(22)申請日：中華民國 100 (2011) 年 08 月 10 日

(51)Int. Cl. : H01L23/52 (2006.01)

H01L21/66 (2006.01)

(30)優先權：2010/09/17 日本

2010-209998

(71)申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)
日本

(72)發明人：井上諭 INOUE, SATOSHI (JP)；神田和重 KANDA, KAZUSHIGE (JP)；清水有威 SHIMIZU, YUUI (JP)

(74)代理人：陳長文

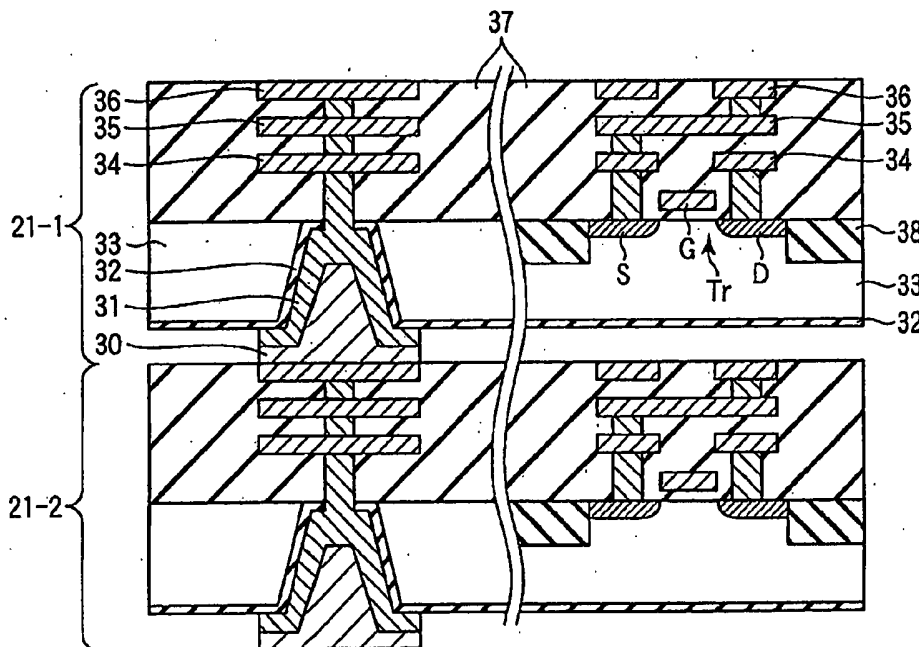
申請實體審查：有 申請專利範圍項數：16 項 圖式數：13 共 30 頁

(54)名稱

半導體裝置及其製造方法

(57)摘要

本發明之半導體裝置係具備：積層晶片，其係將複數之半導體晶片積層而構成；及複數之不活性化電路，其係分別設置於上述複數之半導體晶片上，並將不良之半導體晶片不活性化；且上述複數之半導體晶片係分別具有複數之半導體基板、及形成於上述複數之半導體基板內之複數之貫通電極；且上述複數之貫通電極係電性連接。



21-1：半導體晶片

21-2：半導體晶片

30：凸塊

31：貫通電極(貫通通孔插塞)

32：絕緣膜

33：半導體基板

34：第1級配線層

35：第2級配線層

36：焊墊

37：層間絕緣層

38：元件分離絕緣層

D：汲極區域

G：閘極電極

S：源極區域

Tr：MOS 電晶體

六、發明說明：

【發明所屬之技術領域】

本發明係關於半導體裝置及其製造方法。

本申請案主張基於2010年9月17日申請之日本專利申請案第2010-209998號之優先權，該案之全部內容以引用之方式併入本文中。

【先前技術】

作為一種半導體記憶裝置，已知有例如NAND型快閃記憶體。NAND型快閃記憶體係使用於可攜式資訊終端或記憶卡等各領域。

另一方面，作為實現系統LSI之高積體化或大容量化之技術，例如使用多晶片封裝體(MCP：Multi Chip Package)。藉由以MCP來構成NAND型快閃記憶體等半導體記憶裝置，可實現高積體化或大容量化。

【發明內容】

本發明之實施形態係提供一種半導體裝置及其製造方法，其可一面降低製造成本，一面將積層晶片中所包含之不良之半導體晶片不活性化。

本發明之實施形態之半導體裝置係具備：積層晶片，其係將複數之半導體晶片積層而構成；及複數之不活性化電路，其係分別設置於上述複數之半導體晶片上，並將不良之半導體晶片不活性化；且上述複數之半導體晶片係分別具有複數之半導體基板、及形成於上述複數之半導體基板內之複數之貫通電極；且上述複數之貫通電極係電性連

接。

根據本發明之實施形態，係提供一種半導體裝置及其製造方法，可一面降低製造成本，一面將積層晶片中所包含之不良之半導體晶片不活性化。

【實施方式】

[第1實施形態]

[1]多晶片封裝體(MCP)10之構造

圖1係顯示關於本實施形態之多晶片封裝體10之構造之剖面圖。圖2係顯示多晶片封裝體10之構成之平面圖。

多晶片封裝體10係具備將複數之半導體晶片21積層於縱方向上之積層晶片(多晶片)20。另，圖1中，作為一例雖圖示有4個半導體晶片21-1至21-4積層而成之積層晶片20，但關於半導體晶片21之數量，則並未特別限制。

積層後之半導體晶片21-1至21-4，係藉由後述之貫通電極(貫通通孔插塞)31及凸塊30電性連接。積層晶片20係經由複數之焊墊36電性連接於複數之搭接線12之一端。複數之搭接線12之另一端係電性連接於複數之輸入輸出接腳11。積層晶片20、輸入輸出接腳11之一部分、及搭接線12係藉由例如包含壓模樹脂之密封材13而密封。

圖3係顯示半導體晶片21之構成之剖面圖。半導體晶片21係具備例如包含矽(Si)基板之半導體基板33、形成於半導體基板33上之半導體元件、及配線層等。半導體元件上包含MOS(Metal Oxide Semiconductor 金屬氧化物半導體)電晶體、二極體、邏輯電路、及記憶元件等。圖3中，作

為半導體元件之一例，顯示有MOS電晶體Tr。

半導體基板33內設置有將鄰接之半導體元件電性分離之元件分離絕緣層38。MOS電晶體Tr係設置於半導體基板33之表面區域中未設置元件分離絕緣層38之元件區域(主動區域)中。MOS電晶體Tr係具備：於半導體基板33內相互分離所形成之源極區域S及汲極區域D；及於源極區域S與汲極區域D之間之半導體基板33上，以閘極絕緣膜為中介而形成之閘極電極G。

半導體基板33內，設置有貫通該半導體基板之貫通電極(貫通通孔插塞)31。貫通電極「thorough electrode」31與半導體基板33之間，設置有絕緣膜32。貫通電極31上設置有第1級配線層34。第1級配線層34之上方設置有第2級配線層35。第1級配線層34與第2級配線層35藉由通孔插塞而電性連接。第2級配線層35之上方，設置有作為第3級配線層而構成之焊墊36。第2級配線層35與焊墊36係藉由通孔插塞而電性連接。另，關於配線層之積層數係並未特別限制，3層以上或少於3層皆可。

半導體晶片21-1之貫通電極31與半導體晶片21-2之焊墊36係藉由凸塊(突起狀電極)30而電性連接。凸塊30係包含例如焊錫球。半導體基板33與焊墊36之間，係藉由層間絕緣層37而填滿。如此構成之積層晶片20中，藉由貫通半導體基板33而形成之貫通電極31，可以最短距離將半導體晶片21之間電性連接。作為使用貫通電極31而連接之配線，電源線或信號線皆可。

其次，說明關於搭載於半導體晶片21上之電路構成。本實施形態中，作為搭載於半導體晶片21上之電路，例舉NAND型快閃記憶體來說明。圖4係顯示NAND型快閃記憶體之構成之方塊圖。

半導體晶片21係具備被施加電源電壓 V_{cc} 之焊墊40、被施加接地電壓 V_{ss} 之焊墊41、及被輸入各種控制信號及資料並輸出資料之複數之焊墊42。焊墊40係經由切斷用配線43連接於電路部50。關於切斷用配線43予以後述。焊墊41及42係連接於電路部50。

電路部50係包含構成NAND型快閃記憶體之各種電路51至59。記憶單元陣列51係例如使複數之浮動閘型記憶單元排列成矩陣狀而構成。列解碼器(包含字線驅動電路)52係驅動配設於記憶單元陣列51之字線及選擇閘極線。感應放大器電路53係具備例如一頁份之感應放大器與資料保持電路，且構成對記憶單元陣列51以頁面單位進行資料寫入及資料讀出之頁面緩衝器。

藉由感應放大器電路53所讀出之1頁份之讀出資料，係藉由行解碼器(行閘極)54選擇，且傳送至I/O緩衝器55。傳送至I/O緩衝器55之讀出資料，係自包含於焊墊42之I/O端子輸出至外部。輸入至I/O端子之寫入資料，係由行解碼器54所選擇，且載入至感應放大器電路53。感應放大器電路53中載入一頁份之寫入資料，將其保持至寫入循環結束。

位址信號係經由焊墊42輸入至I/O緩衝器55，其後，保

持於位址保持電路56中。保持於位址保持電路56之位址信號，係傳送至列解碼器52及行解碼器54。

控制電路57係基於晶片致能信號/CE、寫入致能信號/WE、讀出致能信號/RE、位址鎖存致能信號ALE、及指令鎖存致能信號CLE等控制信號，讀出資料，並生成用於控制寫入及消去之時序之各種內部時序信號。上述記號「/」之意為低態動作。控制電路57係基於該等之內部時序信號，進行資料寫入及消去之順序控制、及資料讀出之動作控制。又，控制電路57係具備不活性化電路44。不活性化電路44係用於使搭載其之半導體晶片21不活性化之電路。

藉由控制電路57來控制電壓產生電路58，產生用於寫入或消去資料之各種高電壓Vgen。電力開啟重設電路59，為防止半導體晶片21內之電路之錯誤動作，在投入電源時重設半導體晶片21內之電路。因此，電力開啟重設電路59生成重設信號/RST。電力開啟重設電路59係監視電源電壓Vcc，在電源電壓Vcc為臨限值以上時，輸出包含低位準脈衝之重設信號/RST。半導體晶片21內之電路係藉由重設信號/RST重設。

半導體晶片21-1至21-4係分別包含如圖4所示NAND型快閃記憶體。即，本實施形態中，係將構成積層晶片20之複數之半導體晶片21-1至21-4分別具有相同電路構成之情形作為一例而予以說明。但，並不限定於該構成，半導體晶片21-2至21-4擔負僕晶片之作用，半導體晶片21-1擔負控

制僕晶片之主晶片之作用，積層晶片20作為整體構成一個之NAND型快閃記憶體亦可。如此構成之情形，係在僕晶片上主要搭載記憶單元陣列，於主晶片上則搭載控制記憶單元陣列之控制電路或電源電路。

其次，說明關於不活性化電路44之構成。本實施形態中，各半導體晶片21係具備如圖4所示之不活性化電路44。圖5係顯示不活性化電路44之一例之電路圖。

不活性化電路44係具備：保險絲60、P通道MOS電晶體(PMOS電晶體)61及62、變流器電路63至65、及NOR電路66。

保險絲60之一端係連接於節點N1，另一端則接地。使用可藉由雷射切斷之雷射保險絲，或可斷電之電保險絲(eFUSE)作為保險絲60。

PMOS電晶體61之源極係連接於電源電壓端子Vcc；汲極則連接於節點N1；自電力開啟重設電路59輸入重設信號/RST至閘極。PMOS電晶體62之源極係連接於電源電壓端子Vcc，汲極則連接於節點N1。

變流器電路63之輸入端子係連接於節點N1，輸出端子則連接於PMOS電晶體62之閘極及變流器電路64之輸入端子。變流器電路64之輸出端子係連接於NOR電路66之第1輸入端子。

自外部輸入晶片致能信號/CE至NOR電路66之第2輸入端子，輸出端子係連接於變流器電路65之輸入端子。變流器電路65係輸出新的晶片致能信號/CE，該晶片致能信號/CE

被傳送至控制電路57。

[2]製造方法

其次，說明關於多晶片封裝體10之製造方法。圖6係顯示多晶片封裝體10之製造方法之流程圖。

首先，如圖7所示，形成包含複數之半導體晶片21之半導體晶圓70。再者，形成複數個如圖7所示之半導體晶圓70(步驟S100)。

繼而，於各半導體晶圓70上形成貫通電極31(步驟S101)。具體而言，如圖8所示，藉由使用光微影技術，於半導體基板33之背面形成設置有對應貫通孔71平面形狀之開口部的光阻圖案。且，藉由將該光阻圖案作為遮罩乾蝕刻半導體基板33，於半導體基板33上形成貫通孔71。其後，藉由灰化製程，除去光阻圖案。

接著，如圖9所示，藉由例如CVD(Chemical Vapor Deposition，化學汽相沈積)法，以覆蓋貫通孔71側壁之方式，於半導體基板33之背面形成絕緣膜32。作為絕緣膜32，例如使用矽氧化物。繼而，藉由使用光微影技術及乾蝕刻製程，於絕緣膜32及層間絕緣層37內形成直達第1級配線層34之開口部72。

繼而，如圖10所示，藉由例如銅鍍敷，填埋開口部72並形成覆蓋貫通孔71之側壁之貫通電極31。其次，如圖11所示，例如使用焊錫球，形成接觸貫通電極31並自半導體基板33突起之凸塊30。如此，於半導體基板33內形成貫通電極31。

繼而，對晶圓狀態之半導體晶片21進行晶粒篩檢測試(步驟S102)。所謂晶粒篩檢測試係指處於晶圓狀態之晶片之不良篩選，且包含電性特性之測試製程。在該晶圓狀態之晶粒篩檢測試中，識別發生DC不良之半導體晶片(步驟S103)。所謂DC不良係指起因於電源線所造成之不良，包含電源線間短路之不良、及電源線之一部分變成斷路之不良。半導體晶片21上設置有：電源線Vcc，其用於將自晶片外部施加之電源電壓Vcc傳送至晶片內之電路；電源線(接地線)Vss，其用於將自晶片外部施加之接地電壓Vss傳送至晶片內之電路；及電源線Vgen，其用於將在晶片內部產生之電源電壓Vgen傳送至晶片內之電路。

基於晶粒篩檢測試之結果，可將DC不良分類為：(1)電源線Vgen及電源線Vss間短路；(2)電源線Vcc及電源線Vgen間短路；(3)電源線Vcc及電源線Vss間短路之3類。因為係貫通電極，所以存在1個DC不良晶片會影響其他全部之積層晶片之問題。因此，發生DC不良(1)或DC不良(2)之半導體晶片中，將該半導體晶片不活性化。藉此，即使為包含發生DC不良之半導體晶片之積層晶片，亦可避免不良晶片影響合格品之半導體晶片。另一方面，發生DC不良(3)之半導體晶片中，將該半導體晶片之電源線Vcc或電源線Vss在焊墊附近切斷。藉此，即使為包含發生DC不良之半導體晶片之積層晶片，亦可避免不良晶片影響合格品之半導體晶片。

以下，說明處理DC不良之具體方法。

(1)電源線 Vgen及電源線 Vss間短路，或(2)電源線 Vcc及電源線 Vgen間短路

發生DC不良(1)或DC不良(2)時(步驟S104)，該半導體晶片無法動作。因而，將該不良晶片不活性化(步驟S105)。因此，藉由不活性化電路44，將輸入至不良晶片之晶片致能信號/CE經常置於高位準(不活性狀態)。

即，在搭載於不良晶片之不活性化電路44中，切斷如圖5所示之保險絲60。於保險絲60被切斷之狀態下，投入電源時若電力開啟重設信號/RST為低位準，則節點N1成為高位準。該節點N1係經由2個變流器電路63、64連接至NOR電路66。故，不管自外部輸入之晶片致能信號/CE之邏輯，不活性化電路44係經常輸出高位準之晶片致能信號/CE。因此，不會發生該不良晶片被活性化之情況。

另一方面，未切斷保險絲60時，不活性化電路44係將自外部輸入之晶片致能信號/CE維持原有之邏輯狀態輸出。因此，可藉由自外部輸入之晶片致能信號/CE，控制合格品之半導體晶片之Enable/Disable(致能/禁能)。

(3)電源線 Vcc及電源線 Vss間短路

若施加有自半導體晶片外部之電源電壓之外部電源線與接地線發生短路，因大電流流動於半導體晶片整體，故不可以上述技術拯救積層晶片。況且，外部電源線或接地線以貫通電極電性連接時，大電流流動於半導體晶片整體。

DC不良(3)之情形，有必要使用雷射等物理性切斷短路部分。此時，若將短路部分個別切斷，將造成產能下降、

成本增加。故，本實施形態中，如圖4所示，於焊墊40之附近，即焊墊40與電路部50之間，預先配置切斷用配線43。切斷用配線43最好是以容易以雷射之熱溶解之材料構成，且形成較其他配線粗之配線；再者，為了容易切斷，其周圍不配置其他配線。藉由物理性切斷該切斷用配線43，使不良晶片不活性化(步驟S107)。

另，本實施形態中，雖在電源線Vcc上附加有切斷用配線43，但於電源線Vss上附加切斷用配線43亦可。該例亦可藉由切斷切斷用配線43，防止電源線Vcc及電源線Vss間短路。

繼而，如圖12所示，以將上側之半導體晶圓之凸塊與下側之半導體晶圓之焊墊連接之方式，使複數之半導體晶圓70-1至70-4積層(步驟S108)。

繼而，如圖13所示，切割積層晶圓(步驟S109)。藉此，形成複數之積層晶片20。其後，將積層晶片20封裝，完成多晶片封裝體10之製造。

再者，以上述2種方法將不良晶片不活性化之多晶片封裝體10，亦可藉由重新積層不良晶片數量之合格品半導體晶片來補充記憶容量。

[3]效果

如上所述之本實施形態中，在製造多晶片封裝體10時，進行複數之半導體晶圓70之晶粒篩檢測試，基於晶粒篩檢測試之結果，將不良DC分類為：(1)電源線Vgen及電源線Vss間短路；(2)電源線Vcc及電源線Vgen間短路；(3)電源

線Vcc及電源線Vss間短路之3種。且，對於發生DC不良(1)或DC不良(2)之不良晶片，藉由不活性化電路44將不良晶片不活性化。發生DC不良(3)時，則藉由物理性切斷設置於焊墊40附近之切斷用配線43，使不良晶片不活性化。其後，積層複數之半導體晶圓70，藉由切割該積層晶圓，形成積層晶片20。再者，使用貫通電極31以最短距離電性連接積層晶片20。

因此，根據本實施形態，在具備使用貫通電極31電性連接之積層晶片20之多晶片封裝體10中，可不活性化發生DC不良之不良晶片。藉此，可避免不良晶片影響其他晶片。

又，外部電源Vcc及Vss之間發生短路時，亦可自其他晶片切斷不良晶片之電源線。藉此，即使外部電源Vcc及Vss使用貫通電極31在半導體晶片間電性連接時，亦可將不良品作為合格品救濟。

又，多晶片封裝體中，若於切割半導體晶圓後積層半導體晶片，則製程變得複雜，且製造成本增加。但，本實施形態中，因在半導體晶圓之狀態下積層半導體晶片，故製程簡化，且製造成本降低。

另，本實施形態中，例舉NAND型快閃記憶體作為搭載於多晶片封裝體10之電路來說明。但，並不限定於此，本實施形態係當然可適用於NAND型快閃記憶體以外之其他半導體記憶體。

【圖式簡單說明】

圖1係顯示多晶片封裝體之構造之剖面圖。

圖2係顯示多晶片封裝體之構成之平面圖。

圖3係顯示半導體晶片之構成之剖面圖。

圖4係顯示NAND型快閃記憶體之構成之方塊圖。

圖5係顯示不活性化電路之一例之電路圖。

圖6係顯示多晶片封裝體之製造方法之流程圖。

圖7係顯示多晶片封裝體之製程之立體圖。

圖8係顯示多晶片封裝體之製程之剖面圖。

圖9係顯示多晶片封裝體之製程之剖面圖。

圖10係顯示多晶片封裝體之製程之剖面圖。

圖11係顯示多晶片封裝體之製程之剖面圖。

圖12係顯示多晶片封裝體之製程之立體圖。

圖13係顯示多晶片封裝體之製程之立體圖。

【主要元件符號說明】

10	多晶片封裝體
11	輸入輸出接腳
12	搭接線
13	密封材
20	積層晶片
21-1	半導體晶片
21-2	半導體晶片
21-3	半導體晶片
21-4	半導體晶片
30	凸塊

31	貫通電極(貫通通孔插塞)
32	絕緣膜
33	半導體基板
34	第1級配線層
35	第2級配線層
36	焊墊
37	層間絕緣層
38	元件分離絕緣層
40	焊墊
41	焊墊
42	焊墊
43	切斷用配線
44	不活性化電路
50	電路部
51	記憶單元陣列
52	列解碼器(包含字線驅動電路)
53	感應放大器電路
54	行解碼器(行閘極)
55	I/O緩衝器
56	位址保持電路
57	控制電路
58	電壓產生電路
59	電力開啟重設電路
60	保險絲

61	PMOS 電 晶 體
62	PMOS 電 晶 體
63	變 流 器 電 路
64	變 流 器 電 路
65	變 流 器 電 路
66	NOR 電 路
70	半 導 體 晶 圓
70-1	半 導 體 晶 圓
70-2	半 導 體 晶 圓
70-3	半 導 體 晶 圓
70-4	半 導 體 晶 圓
71	貫 通 孔
72	開 口 部
/CE	晶 片 致 能 信 號 /CE
/RST	重 設 信 號
D	汲 極 區 域
G	閘 極 電 極
N1	節 點
S	源 極 區 域
Tr	MOS 電 晶 體
Vcc	電 源 電 壓
Vgen	電 源 電 壓
Vss	接 地 電 壓

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：10012860f

※申請日：100.8.10

※IPC 分類：H01L 23/52 2006.01

一、發明名稱：(中文/英文)

(H01L 23/52 2006.01)

半導體裝置及其製造方法

二、中文發明摘要：

本發明之半導體裝置係具備：積層晶片，其係將複數之半導體晶片積層而構成；及複數之不活性化電路，其係分別設置於上述複數之半導體晶片上，並將不良之半導體晶片不活性化；且上述複數之半導體晶片係分別具有複數之半導體基板、及形成於上述複數之半導體基板內之複數之貫通電極；且上述複數之貫通電極係電性連接。

三、英文發明摘要：

七、申請專利範圍：

1. 一種半導體裝置，其係包含：

積層晶片，其係將複數之半導體晶片積層而構成；且上述複數之半導體晶片，係分別包含複數之半導體基板、及形成於上述複數之半導體基板內之複數之貫通電極；上述複數之貫通電極係電性連接；及

複數之不活性化電路，其係分別設置於上述複數之半導體晶片上，並將不良半導體晶片不活性化。

2. 如請求項1之半導體裝置，其中上述複數之半導體晶片係分別包含：施加外部電源之第1電源線；施加在上述半導體晶片內所產生之內部電源之第2電源線；及施加接地電壓之接地線；

上述複數之半導體晶片所包含之複數之第1電源線，係藉由貫通電極電性連接；

上述複數之半導體晶片所包含之複數之第2電源線，係藉由貫通電極電性連接；

上述複數之半導體晶片所包含之複數之接地線，係藉由貫通電極電性連接。

3. 如請求項2之半導體裝置，其中上述複數之不活性化電路係分別在上述第2電源線及上述接地線間發生短路時，或上述第1電源線及上述第2電源線間發生短路時，經常將晶片致能信號不活性化。

4. 如請求項3之半導體裝置，其中上述不活性化電路係包含保險絲，且根據上述保險絲之狀態來控制上述晶片致

能信號。

5. 如請求項3之半導體裝置，其中上述晶片致能信號係控制上述半導體晶片之活性化及不活性化。
6. 如請求項3之半導體裝置，其中上述半導體晶片係自外部接受上述晶片致能信號。
7. 如請求項2之半導體裝置，其中上述半導體晶片係包含使用上述外部電源產生上述內部電源之電壓產生電路。
8. 如請求項2之半導體裝置，其中上述半導體晶片係包含設置於焊墊與上述第1電源線之間，或焊墊與上述接地線之間之配線；

上述配線在上述第1電源線及上述接地線間發生短路時被切斷。

9. 如請求項8之半導體裝置，其中上述配線係以雷射熱熔解之材料構成。
10. 如請求項1之半導體裝置，其中上述半導體晶片係半導體記憶體。
11. 一種半導體裝置之製造方法，其係包含：

準備複數之晶圓之製程，該複數之晶圓係分別包含複數之半導體基板，與形成於上述複數之半導體基板內之複數之貫通電極；

測試包含於各晶圓中之複數之半導體晶片之電性特性之製程；

基於上述測試結果，將不良之半導體晶片不活性化之製程；

為使上述貫通電極電性連接，將上述複數之晶圓積層之製程；及

將上述積層後之晶圓分離成複數之積層晶片之製程。

12. 如請求項11之半導體裝置之製造方法，其中上述複數之半導體晶片係分別包含：施加外部電源之第1電源線；施加在上述半導體晶片內所產生之內部電源之第2電源線；及施加接地電壓之接地線；

上述複數之半導體晶片所包含之複數之第1電源線，係藉由貫通電極電性連接；

上述複數之半導體晶片所包含之複數之第2電源線，係藉由貫通電極電性連接；

上述複數之半導體晶片所包含之複數之接地線，係藉由貫通電極電性連接。

13. 如請求項12之半導體裝置之製造方法，其中上述不活性化製程係包含在上述第2電源線及上述接地線間發生短路時，或上述第1電源線及上述第2電源線間發生短路時，經常將晶片致能信號不活性化之製程。

14. 如請求項12之半導體裝置之製造方法，其中上述半導體晶片係包含使用上述外部電源產生上述內部電源之電壓產生電路。

15. 如請求項12之半導體裝置之製造方法，其中上述不活性化製程係包含在上述第1電源線及上述接地線間發生短路時，自焊墊將上述第1電源線或上述接地線切斷之製程。

16. 如請求項11之半導體裝置之製造方法，其中上述半導體晶片係半導體記憶體。

八、圖式：

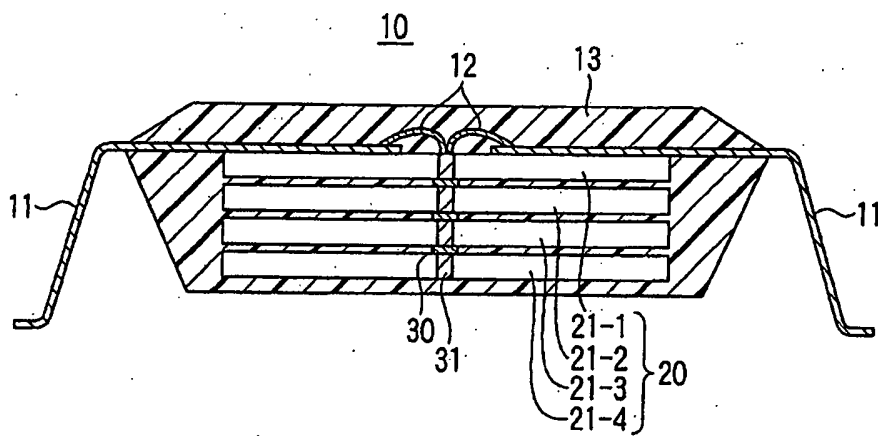


圖 1

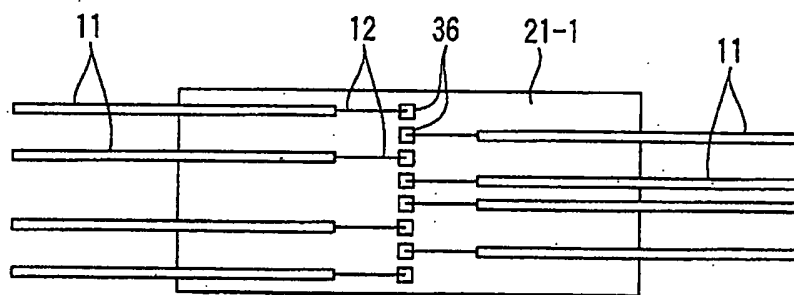


圖 2

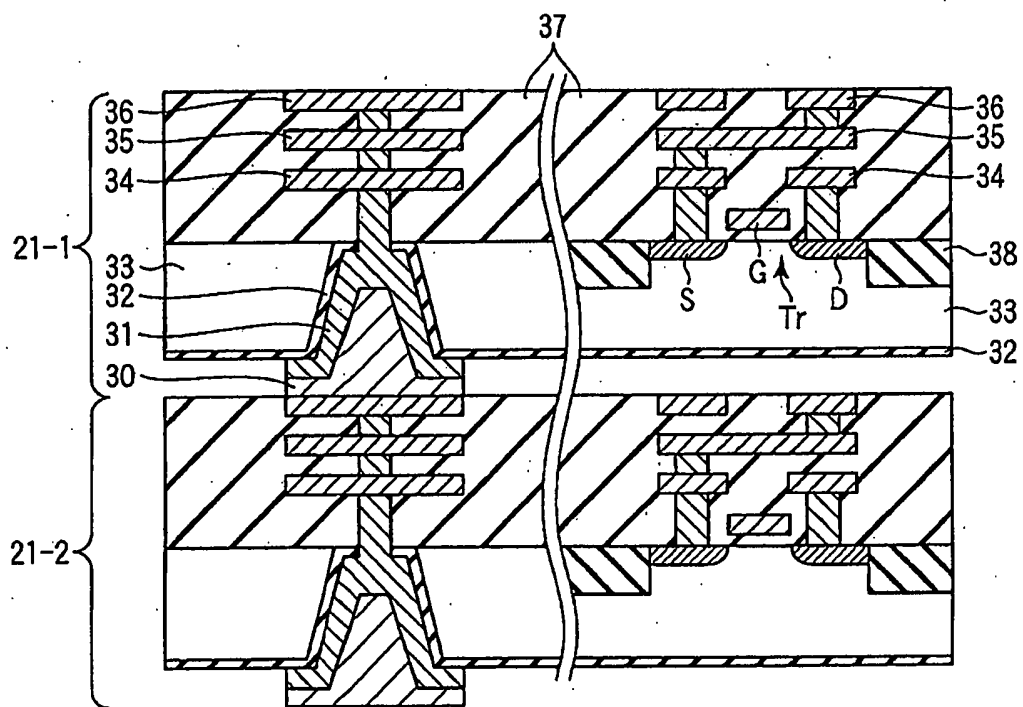


圖 3

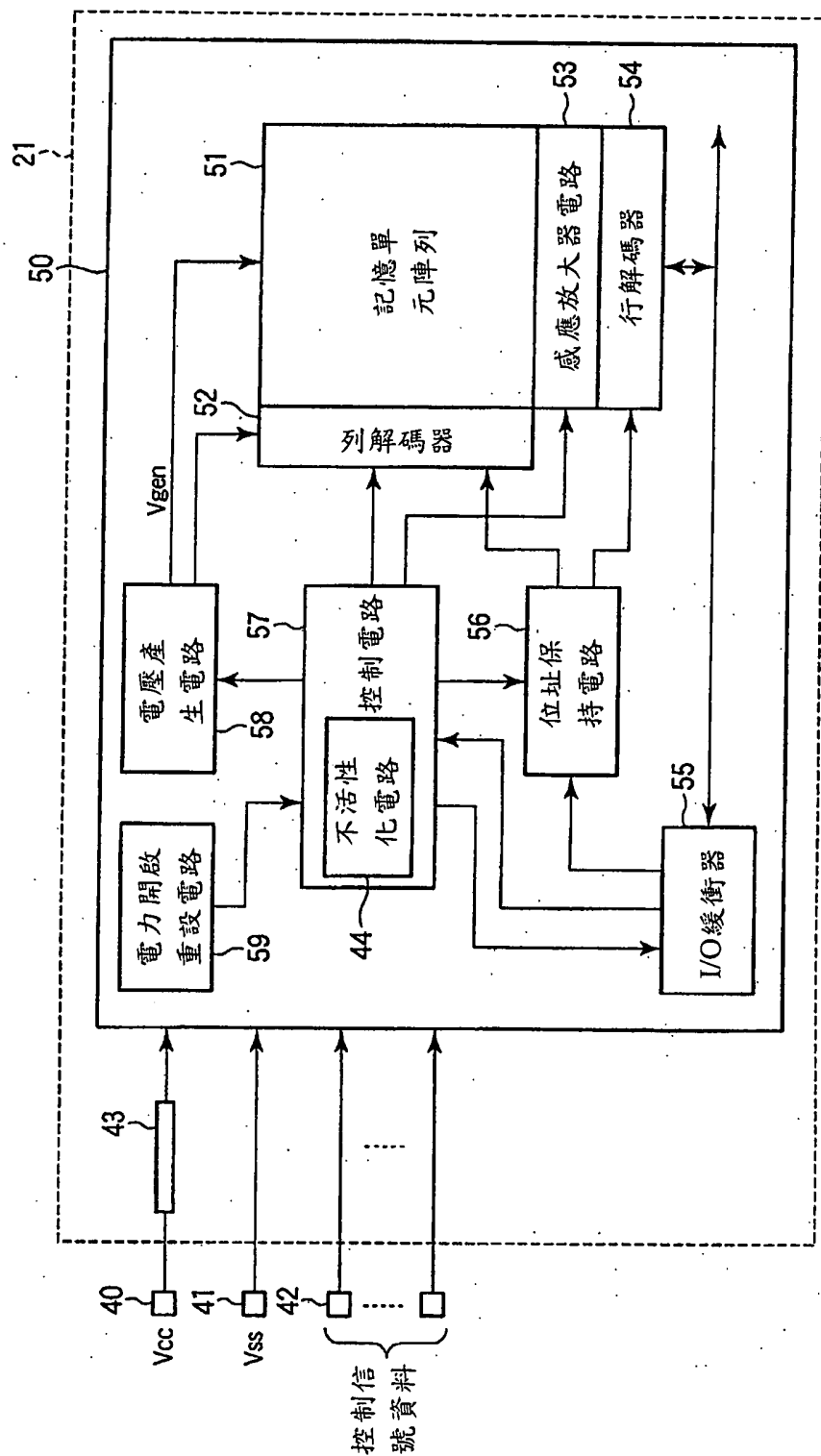


圖 4

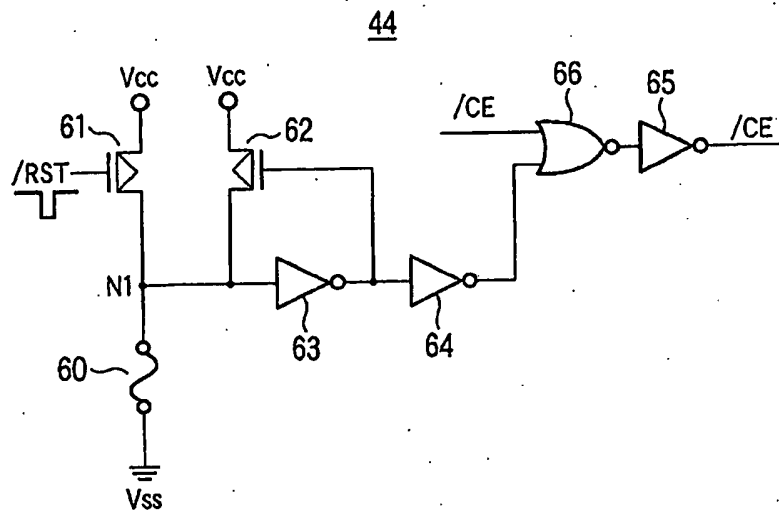


圖 5

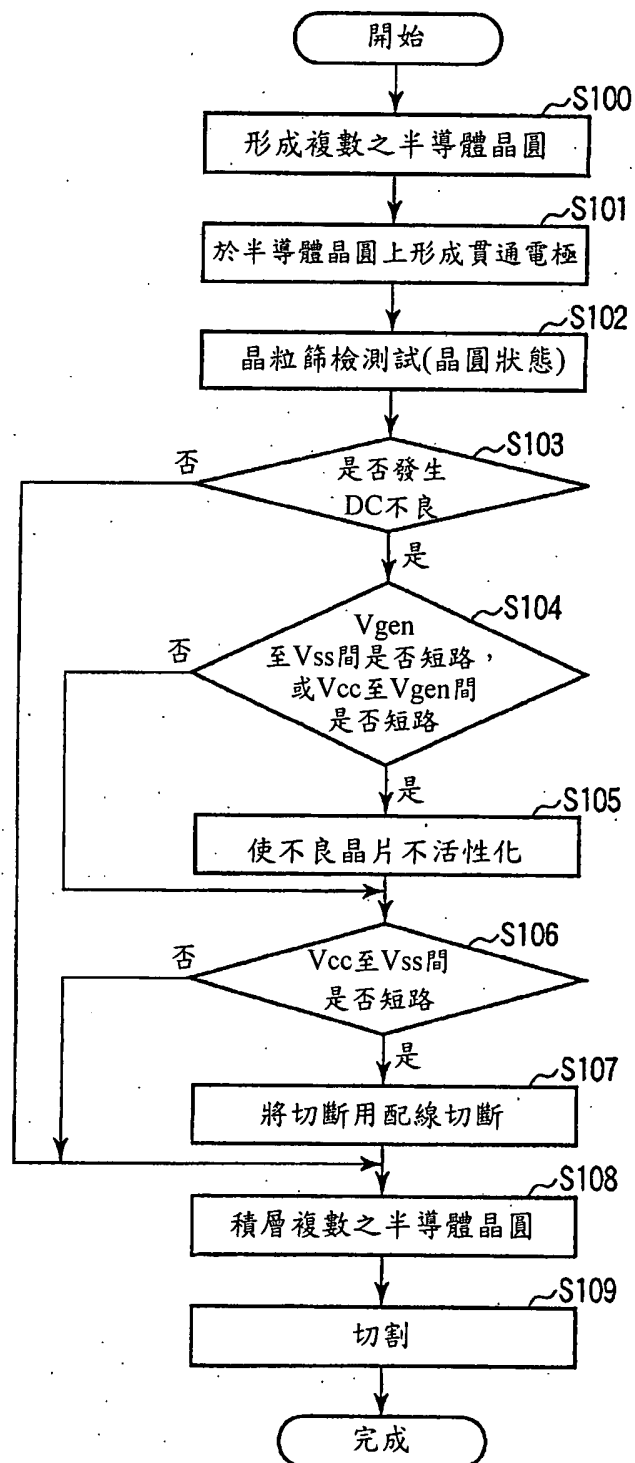


圖 6

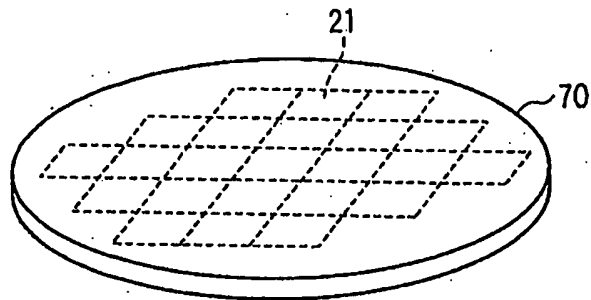


圖 7

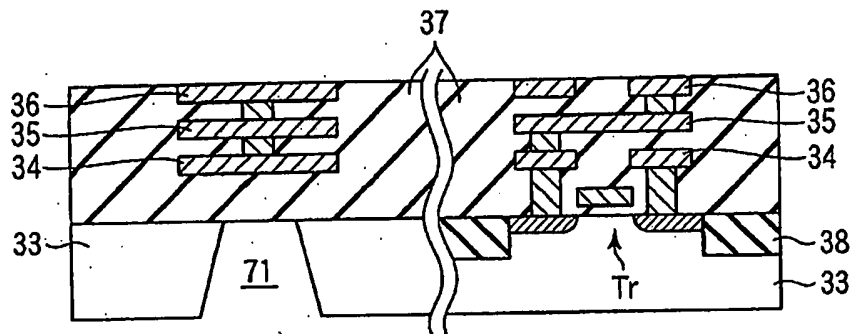


圖 8

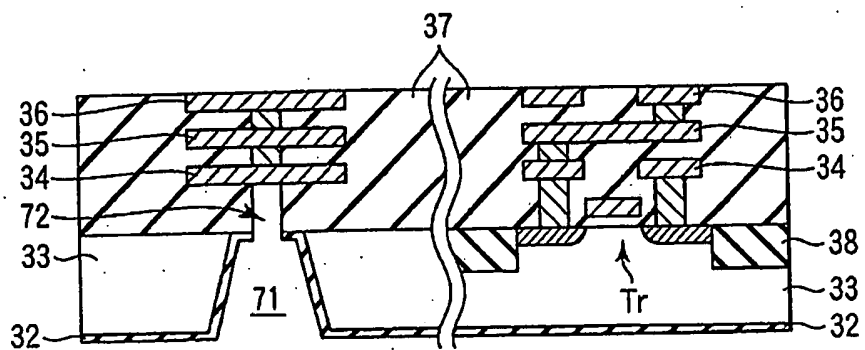


圖 9

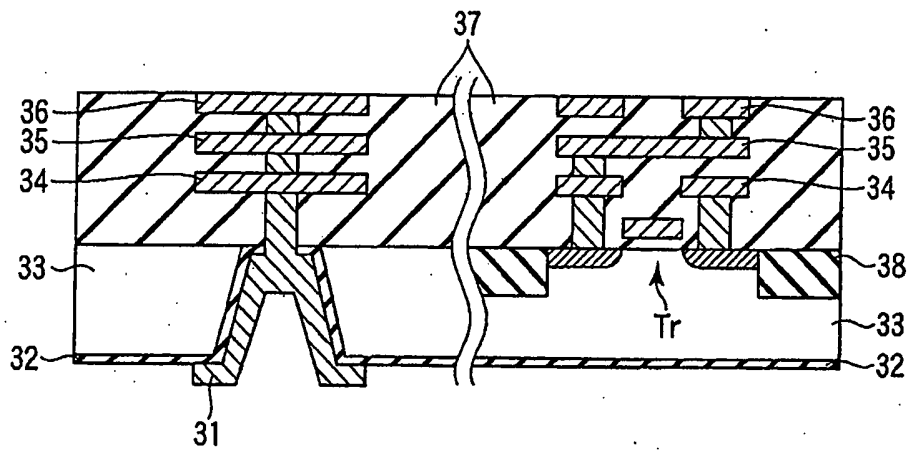


圖 10

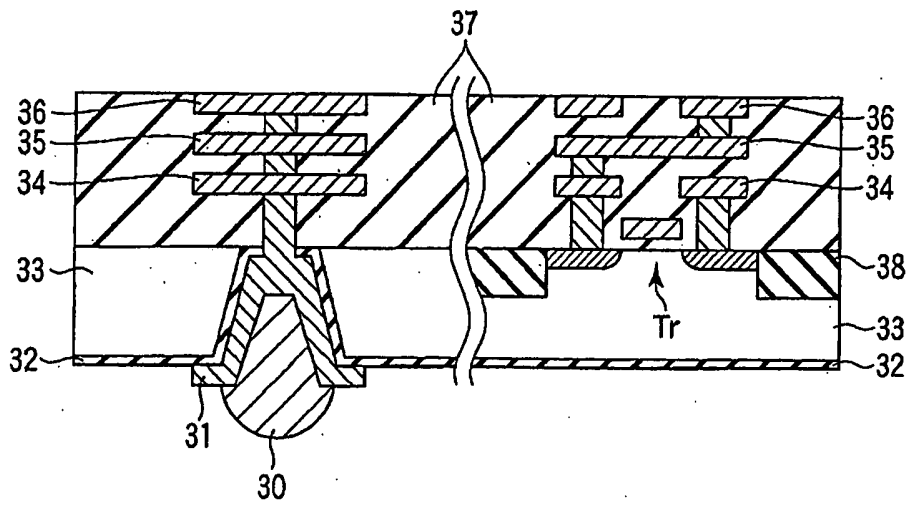


圖 11

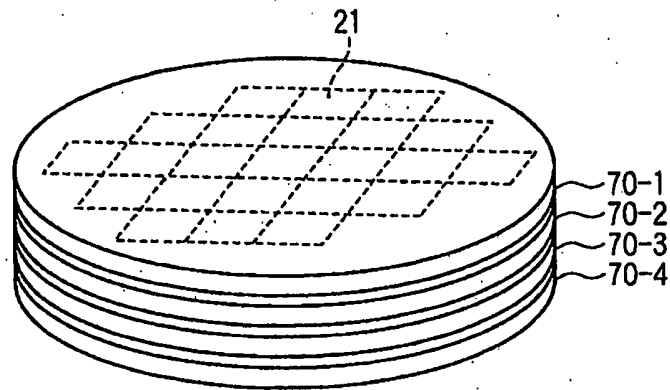


圖 12

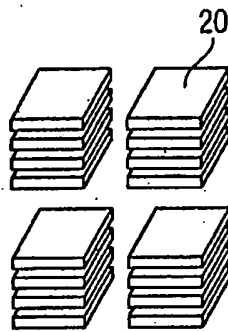


圖 13

四、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

21-1	半 導 體 晶 片
21-2	半 導 體 晶 片
30	凸 塊
31	貫 通 電 極 (貫 通 通 孔 插 塞)
32	絕 緣 膜
33	半 導 體 基 板
34	第 1 級 配 線 層
35	第 2 級 配 線 層
36	焊 墊
37	層 間 絕 緣 層
38	元 件 分 離 絕 緣 層
D	汲 極 區 域
G	閘 極 電 極
S	源 極 區 域
Tr	MOS 電 晶 體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)