

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 10 月 24 日(24.10.2013)



(10) 国際公開番号

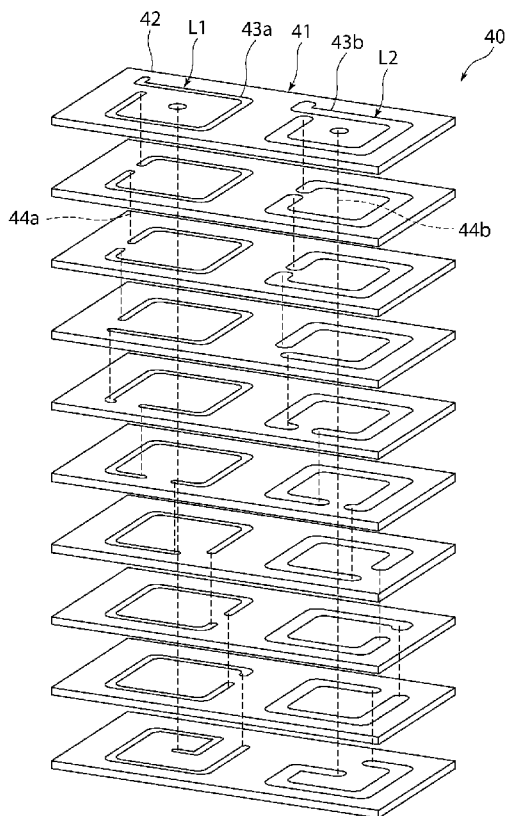
WO 2013/157161 A1

- (51) 国際特許分類:
H01F 17/00 (2006.01) H02M 3/155 (2006.01)
H01F 27/00 (2006.01)
- (21) 国際出願番号: PCT/JP2012/079495
- (22) 国際出願日: 2012 年 11 月 14 日(14.11.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-093756 2012 年 4 月 17 日(17.04.2012) JP
- (71) 出願人: 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 Kyoto (JP).
- (72) 発明者: 久保田 義大 (KUBOTA, Yoshihiro); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP). 野間 隆嗣 (NOMA, Takashi); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人 宮▲崎▼・目次特許事務所 (MIYAZAKI & METSUGI); 〒5400028 大阪府大阪市中央区常盤町 1 丁目 3 番 8 号 中央大通 F N ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,

[続葉有]

(54) Title: INDUCTOR ARRAY CHIP AND DC-DC CONVERTER

(54) 発明の名称: インダクタレイチップ及び D C - D C コンバータ



(57) Abstract: Provided is an inductor array chip that is not prone to structural defects during firing, and is easily manufactured in a stable manner. The inductance array chip (40) is provided with a magnetic layered laminate (41), and a plurality of inductors (L1, L2). The magnetic layered laminate (41) has a plurality of laminated magnetic layers (42). The plurality of inductors (L1, L2) is disposed inside the magnetic layered laminate (41). The inductance values of the plurality of inductors (L1, L2) differ from one another. Each of the plurality of inductors (L1, L2) has a plurality of coiled conductors (43a, 43b), and via-hole conductors (44a, 44b). Each of the plurality of coiled conductors (43a, 43b) is disposed between the magnetic layers (42). The via-hole conductors (44a, 44b) electrically connect the plurality of coiled conductors (43a, 43b). The plurality of inductors (L1, L2) includes a plurality of inductors in which the thickness of the plurality of coiled conductors (43a, 43b) differs.

(57) 要約: 焼成時に構造欠陥が生じにくく、安定して製造しやすいインダクタレイチップを提供する。インダクタレイチップ 40 は、磁性体層積層体 41 と、複数のインダクタ L1, L2 とを備える。磁性体層積層体 41 は、積層された複数の磁性体層 42 を有する。複数のインダクタ L1, L2 は、磁性体層積層体 41 内に配されている。複数のインダクタ L1, L2 では、インダクタンス値が相互に異なる。複数のインダクタ L1, L2 のそれぞれは、複数のコイル状導体 43 a、43 b と、ビアホール導体 44 a、44 b とを有する。複数のコイル状導体 43 a、43 b のそれぞれは、磁性体層 42 間に配されている。ビアホール導体 44 a、44 b は、複数のコイル状導体 43 a、43 b を電氣的に接続している。複数のインダクタ L1, L2 には、複数のコイル状導体 43 a、43 b の太さが異なる複数のインダクタが含まれる。



SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： インダクタアレイチップ及びDC-DCコンバータ 技術分野

[0001] 本発明は、インダクタアレイチップ及びそれを備えるDC-DCコンバータに関する。

背景技術

[0002] 従来、入力電力とは異なる電圧の電力を出力するなどの機能を有する素子として、DC-DCコンバータが知られている（例えば特許文献1を参照）。特許文献1に記載のDC-DCコンバータは、インダクタが設けられたインダクタチップと、インダクタチップの上に設けられた制御チップ及びコンデンサチップとを備えている。

先行技術文献

特許文献

[0003] 特許文献1：特許第4325747号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、DC-DCコンバータには、ひとつのDC-DCコンバータから、電流及び電圧の少なくとも一方が異なる複数種類の電力を出力させたいという要望がある。この要望に応じたDC-DCコンバータとしては、複数のコンバート部を有するものが考えられる。DC-DCコンバータに、出力電力の電圧及び電流の少なくとも一方が異なる複数種類のコンバート部を設ける場合、各コンバート部の特性を最適化するためにコンバート部毎にインダクタの特性（例えばインダクタンス値やRdc値）を調整できることが望ましい。

[0005] 例えば特許文献1に記載のDC-DCコンバータのようにインダクタが設けられたインダクタチップを用いる場合、コイル状導体の積層数が大きく異なる複数種類のインダクタをひとつのインダクタチップ内に設けることが考

えられる。しかしながら、コイル状導体の積層数が異なる複数種類のインダクタをひとつのインダクタチップ内に設けた場合、インダクタチップの焼成時に磁性体層積層体内に構造欠陥（クラック等）が生じやすい。このため、コイル状導体の積層数が異なる複数種類のインダクタが設けられたインダクタアレイチップには、安定して製造することが困難であるという問題がある。

[0006] 本発明は、焼成時に構造欠陥が生じにくく、安定して製造しやすいインダクタアレイチップを提供することを主な目的とする。

課題を解決するための手段

[0007] 本発明に係るインダクタアレイチップは、磁性体層積層体と、複数のインダクタとを備える。磁性体層積層体は、積層された複数の磁性体層を有する。複数のインダクタは、磁性体層積層体内に配されている。複数のインダクタでは、インダクタンス値が相互に異なる。複数のインダクタのそれぞれは、複数のコイル状導体と、ビアホール導体とを有する。複数のコイル状導体のそれぞれは、磁性体層間に配されている。ビアホール導体は、複数のコイル状導体を電氣的に接続している。複数のインダクタには、複数のコイル状導体の太さが異なる複数のインダクタが含まれる。

[0008] 本発明に係るインダクタアレイチップのある特定の局面では、複数のコイル状導体の太さが相対的に小さいインダクタは、複数のコイル状導体の太さが相対的に大きいインダクタよりも大きなインダクタンス値を有する。

[0009] 本発明に係るインダクタアレイチップの別の特定の局面では、複数のコイル状導体の太さが相対的に小さいインダクタは、複数のコイル状導体の太さが相対的に大きいインダクタよりも小さなインダクタンス値を有する。

[0010] 本発明に係るインダクタアレイチップの他の特定の局面では、複数のコイル状導体の太さが異なる複数のインダクタにおいて、コイル状導体のコイル径が相互に異なる。

[0011] 本発明に係るインダクタアレイチップのさらに他の特定の局面では、複数のコイル状導体の太さが相対的に小さいインダクタは、複数のコイル状導体

の太さが相対的に大きいインダクタよりも小さなコイル径を有する。

[0012] 本発明に係るインダクタアレイチップのさらに別の特定の局面では、複数のコイル状導体の太さが相対的に小さいインダクタは、複数のコイル状導体の太さが相対的に大きいインダクタよりも大きなコイル径を有する。

[0013] 本発明に係るインダクタアレイチップのさらにまた他の特定の局面では、複数のインダクタは、相互に同じ数のコイル状導体を有する。

[0014] 本発明に係るインダクタアレイチップのさらにまた別の特定の局面では、複数のインダクタの少なくとも一つにおいて、当該インダクタが並列に接続された複数のインダクタ部を有するようにビアホール導体が複数のコイル状導体を電氣的に接続している。

[0015] 本発明に係るインダクタアレイチップのまたさらに他の特定の局面では、複数のインダクタは、複数のインダクタ部を有する複数のインダクタを含む。複数のインダクタ部を有する複数のインダクタにおいて、複数のインダクタ部の接続態様が相互に異なる。

[0016] 本発明に係るDC-DCコンバータは、本発明に係るインダクタアレイチップを備える。

発明の効果

[0017] 本発明によれば、焼成時に構造欠陥が生じにくく、安定して製造しやすいインダクタアレイチップを提供することができる。

図面の簡単な説明

[0018] [図1]図1は、第1の実施形態に係るDC-DCコンバータの略図的回路図である。

[図2]図2は、第1の実施形態に係るDC-DCコンバータの略図的平面図である。

[図3]図3は、第1の実施形態におけるインダクタアレイチップの模式的断面図である。

[図4]図4は、第1の実施形態におけるインダクタアレイチップの一部分の模式的分解斜視図である。

[図5]図5は、第2の実施形態におけるインダクタアレイチップの模式的平面図である。

[図6]図6は、第3の実施形態におけるインダクタアレイチップの模式的平面図である。

[図7]図7は、第4の実施形態におけるインダクタチップアレイの略図的回路図である。

[図8]図8は、第5の実施形態におけるインダクタチップアレイの略図的回路図である。

発明を実施するための形態

[0019] 以下、本発明を実施した好ましい形態の一例について説明する。但し、下記の実施形態は、単なる例示である。本発明は、下記の実施形態に何ら限定されない。

[0020] また、実施形態等において参照する各図面において、実質的に同一の機能を有する部材は同一の符号で参照することとする。また、実施形態等において参照する図面は、模式的に記載されたものであり、図面に描画された物体の寸法の比率などは、現実の物体の寸法の比率などとは異なる場合がある。図面相互間においても、物体の寸法比率等が異なる場合がある。具体的な物体の寸法比率等は、以下の説明を参酌して判断されるべきである。

[0021] (第1の実施形態)

図1は、本実施形態に係るDC-DCコンバータの略図的回路図である。まず、図1を参照しながら、DC-DCコンバータ1の回路構成について説明する。

[0022] DC-DCコンバータ1は、複数のコンバート部を有する。具体的には、DC-DCコンバータ1は、2つのコンバート部10a、10bを有する。2つのコンバート部10a、10bは、同じ電源に接続されても良いし、別々の電源に接続されても良い。コンバート部10aの出力電力と、コンバート部10bの出力電力とでは、電流及び電圧の少なくとも一方が異なる。具体的には、本実施形態では、2つのコンバート部10a、10bのそれぞれ

に、同じ入力電圧 V_{in} の電力が入力される。コンバート部 10 a は、第 1 の出力電圧 V_{out1} の電力を出力する。コンバート部 10 b は、第 2 の出力電圧 V_{out2} の電力を出力する。

[0023] コンバート部 10 a、10 b は、入力端子 11 a、11 b と、出力端子 12 a、12 b と、第 1 のグラウンド端子 13 a、13 b と、第 2 のグラウンド端子 14 a、14 b とを有する。

[0024] 入力端子 11 a、11 b と出力端子 12 a、12 b とを結ぶ配線上の点 15 a、15 b と、第 1 のグラウンド端子 13 a、13 b と第 2 のグラウンド端子 14 a、14 b とを結ぶ配線上の点 16 a、16 b との間には、入力側コンデンサ 17 a、17 b がそれぞれ接続されている。点 15 a、15 b と出力端子 12 a、12 b とを結ぶ配線上の点 18 a、18 b と、点 16 a、16 b と第 2 のグラウンド端子 14 a、14 b とを結ぶ配線上の点 19 a、19 b との間には、出力側コンデンサ 20 a、20 b がそれぞれ接続されている。

[0025] コンバート部 10 a、10 b は、コントローラ 23 a、23 b を有する。コントローラ 23 a、23 b は、点 15 a、15 b と、点 21 a、21 b との間の接続をオン／オフをすると共に、点 15 a、15 b と点 18 a、18 b とを結ぶ配線上の点 21 a、21 b と、点 16 a、16 b と点 19 a、19 b とを結ぶ配線上の点 22 a、22 b との間の接続をオン／オフをする。具体的には、コントローラ 23 a、23 b は、点 15 a、15 b と点 21 a、21 b との間の接続をオンとし、点 21 a と点 22 a との間の接続をオフとする第 1 の状態と、点 15 a、15 b と点 21 a、21 b との間の接続をオフとし、点 21 a と点 22 a との間の接続をオンとする第 2 の状態とを選択的に切り替える。

[0026] 点 21 a、21 b と点 18 a、18 b との間には、インダクタ L_1 、 L_2 が接続されている。上述のように、第 1 の出力電圧 V_{out1} と第 2 の出力電圧 V_{out2} とが異なる。このため、各コンバータの特性最適化のためにインダクタ L_1 のインダクタンス値と、インダクタ L_2 のインダクタンス値

とは異なるように設計されている。

[0027] 次に、主として図2を参照しながら、DC-DCコンバータ1の具体的構成について説明する。DC-DCコンバータ1は、インダクタアレイチップ40と、ICチップ30と、コンデンサチップ31a、31b、32a、32bとを備えている。インダクタアレイチップ40は、インダクタ内蔵基板として構成されており、図1に示すインダクタL1、L2を構成している。ICチップ30及びコンデンサチップ31a、31b、32a、32bは、それぞれ、インダクタアレイチップ40の上に配されている。ICチップ30は、コントローラ23a、23b及びスイッチ素子としてのFET（番号なし）を含む。コンデンサチップ31a、31bは、入力側コンデンサ17a、17bを構成している。コンデンサチップ32a、32bは、出力側コンデンサ20a、20bを構成している。

[0028] 図3は、第1の実施形態におけるインダクタアレイチップ40の模式的断面図である。図4は、第1の実施形態におけるインダクタアレイチップ40の一部分の模式的分解斜視図である。なお、図4においては、インダクタアレイチップ40の外層部を構成している磁性体層の描画を省略している。

[0029] 図3及び図4に示されるように、インダクタアレイチップ40は、磁性体層積層体41を備えている。磁性体層積層体41は、積層された複数の磁性体層42を有する。磁性体層42は、たとえば、フェライトなどの磁性体セラミックス等により構成することができる。磁性体層積層体41を構成している磁性体層42の層数は、インダクタアレイチップ40に要求される特性等に応じて適宜設定することができる。磁性体層積層体41を構成している磁性体層42の層数は、例えば、8～12層程度とすることができる。磁性体層42の厚みも、インダクタアレイチップ40に要求される特性等に応じて適宜設定することができる。各磁性体層42の厚みは、例えば、3～50 μ m程度とすることができる。

[0030] 磁性体層積層体41内には、インダクタL1、L2が設けられている。インダクタL1、L2は、それぞれ、複数のコイル状導体43a、43bと、

ビアホール導体44a、44b（図4を参照）とを有する。インダクタL1とインダクタL2とは、相互に同じ数のコイル状導体43a、43bを有する。もっとも、本発明において、複数のインダクタにおいてコイル状導体の数量（積層数）がすべて同じである必要は必ずしもない。すなわち、インダクタL1、L2におけるコイル状導体の積層数は同じ（例えばどちらも10層）であることが好ましいが、どちらか一方が8～9層、或いは11～12層（すなわち±20%）であっても良く、各コイル状導体の積層数はほぼ同じであれば良い。また、各コイル状導体のターン数がすべて1ターンである必要は必ずしもない。なお、図4において、ビアホール導体44a、44bは、模式的に破線で描画されている。

[0031] コイル状導体43a、43bは、厚み方向において隣り合う磁性体層42の間に配されている。複数のコイル状導体43a、43bは、ビアホール導体44a、44bによって電氣的に接続されている。

[0032] コイル状導体43a、43bとビアホール導体44a、44bとは、適宜の導電材料によって構成することができる。コイル状導体43a、43bとビアホール導体44a、44bとは、同じ材料にて構成されており、例えば、銀、銅に代表される金属ペーストにより構成することができる。

[0033] ところで、一つのインダクタアレイチップに、インダクタンス値が相互に異なる複数のインダクタを設ける場合、複数のインダクタ間でコイル状導体の数を異ならせることが考えられる。すなわち、複数のインダクタ間で巻き数を異ならせることが考えられる。しかしながら、複数のインダクタ間で巻き数を異ならせた場合は、コイル状導体及びビアホール導体を構成するための導電剤を含む部分が偏在する。コイル状導体及びビアホール導体を構成するための導電剤を含む部分と、磁性体層を構成するための磁性体グリーンシートとでは焼成時の収縮率が異なる。このため、焼成時に構造欠陥が発生しやすい。

[0034] それに対して、インダクタアレイチップ40では、コイル状導体43a、43bの太さ（横断面積）を異ならせることにより、インダクタL1のイン

ダクタンス値とインダクタL 2のインダクタンス値とが異ならされている。このため、インダクタL 1が有するコイル状導体4 3 aの数と、インダクタL 2が有するコイル状導体4 3 bの数との差を少なくすることができる。よって、コイル状導体4 3 a、4 3 b及びビアホール導体4 4 a、4 4 bを構成するための導電剤を含む部分の偏在度が低い。従って、インダクタアレイチップ4 0は、焼成時にクラック等の構造欠陥や表面凹凸、うねりが生じにくく、安定して製造しやすい。

[0035] なお、インダクタL 1に含まれる複数のコイル状導体4 3 aのすべてと、インダクタL 2に含まれる複数のコイル状導体4 3 bのすべてとで、太さが相互に異なっている必要は必ずしもない。インダクタL 1に含まれる少なくとも一つのコイル状導体4 3 aの太さが、インダクタL 2に含まれる少なくとも一つのコイル状導体4 3 bの太さと異なっていればよい。例えば、インダクタL 1のインダクタンス値と、インダクタL 2のインダクタンス値とが近似している場合は、複数のコイル状導体4 3 aの一部と、複数のコイル状導体4 3 bの一部とで太さを異ならせ、残りのコイル状導体4 3 aの太さと、残りのコイル状導体4 3 bの太さとを同じにしてもよい。つまり、インダクタL 1を構成する複数のコイル状導体の平均太さとインダクタL 2を構成する複数のコイル状導体の平均太さとが異なっていれば良い。

[0036] なお、インダクタL 1に含まれるビアホール導体4 4 aの太さと、インダクタL 2に含まれるビアホール導体4 4 bの太さとは、同じであってもよいし、異なってもよい。

[0037] インダクタアレイチップ4 0では、複数のコイル状導体4 3 aの太さが相対的に小さなインダクタL 1は、複数のコイル状導体4 3 bの太さが相対的に大きなインダクタL 2よりも大きなインダクタンス値を有する。このため、コントローラ2 3 aの動作周波数がコントローラ2 3 bよりも低い場合やV o u t 1の出力電流が少ない場合等に、高効率なDC-DCコンバータを構成することができる。

[0038] 但し、本発明は、この構成に限定されない。例えば、複数のコイル状導体

4 3 a の太さが相対的に小さなインダクタ L 1 が、複数のコイル状導体 4 3 b の太さが相対的に大きなインダクタ L 2 よりも小さなインダクタンス値を有していてもよい。コントローラ 2 3 a の動作周波数がコントローラ 2 3 b よりも高い場合や V_{out1} の出力電流が少ない場合等にはこの構成を用いることが好ましい。

[0039] なお、複数のコイル状導体 4 3 a の太さが相対的に小さなインダクタ L 1 のインダクタンス値を、複数のコイル状導体 4 3 b の太さが相対的に大きなインダクタ L 2 のインダクタンス値よりも小さくする方法としては、例えば、コイル状導体の厚みを厚くする方法が挙げられる。すなわち、「太さ」は線幅や線厚みとで定義される。

[0040] 複数のコイル状導体 4 3 a の太さが相対的に小さなインダクタ L 1 と、複数のコイル状導体 4 3 b の太さが相対的に大きなインダクタ L 2 とにおいて、コイル状導体 4 3 a、4 3 b のコイル径は、相互に同じであってもよいし、相互に異なってもよい。例えば、コイル状導体 4 3 a のコイル径がコイル状導体 4 3 b のコイル径よりも大きくてもよい。この場合は、インダクタ L 1 のインダクタンス値が、インダクタ L 2 より大きくなる。例えば、コイル状導体 4 3 a のコイル径がコイル状導体 4 3 b のコイル径よりも小さくてもよい。この場合は、インダクタ L 1 のインダクタンス値が、インダクタ L 2 よりも小さくなる。

[0041] なお、コイル状導体のコイル径とは、コイル状導体の中心を通る直線上でコイル状導体幅の最も太い箇所の内径である。

[0042] 以下、本発明の好ましい実施形態の他の例について説明する。以下の説明において、上記第 1 の実施形態と実質的に共通の機能を有する部材を共通の符号で参照し、説明を省略する。

[0043] (第 2 及び第 3 の実施形態)

図 5 は、第 2 の実施形態におけるインダクタアレイチップの模式的平面図である。図 6 は、第 3 の実施形態におけるインダクタアレイチップの模式的平面図である。

[0044] 第1の実施形態では、DC-DCコンバータ1が2つのコンバート部10a、10bを有しており、インダクタアレイチップ40が2つのインダクタL1、L2を有する例について説明した。しかしながら、本発明はこの構成に限定されない。

[0045] 例えば、DC-DCコンバータがコンバート部を3つ以上備える場合には、インダクタアレイチップに3つ以上のインダクタが設けられていてもよい。

[0046] 例えば、コンバート部を4つ有するDC-DCコンバータに用いられる場合には、図5に示されるように、インダクタアレイチップ40に4つのインダクタL11、L12、L13、L14を設けてもよい。その場合において、インダクタL11、L12、L13、L14のうちの少なくとも2つのインダクタにおいてコイル状導体の太さが異なっていればよい。インダクタL11、L12、L13、L14のすべてにおいてコイル状導体の太さが異なっていってもよい。図5に示すインダクタアレイチップ40において、例えばインダクタL11=800mA、インダクタL12=400mA、インダクタL13=800mA、インダクタL14=200mAの電流を流す時は、インダクタL11におけるコイル状導体の太さS11、インダクタL12におけるコイル状導体の太さS12、インダクタL13におけるコイル状導体の太さS13及びインダクタL14におけるコイル状導体の太さS14は下記の条件を満たしていることが好ましい。

[0047] $S_{14} < S_{12} < S_{11} = S_{13}$

[0048] 例えば、コンバート部を6つ有するDC-DCコンバータに用いられる場合には、図6に示されるように、インダクタアレイチップ40に6つのインダクタL21、L22、L23、L24、L25、L26を設けてもよい。その場合において、インダクタL21、L22、L23、L24、L25、L26のうちの少なくとも2つのインダクタにおいてコイル状導体の太さが異なっていればよい。インダクタL21、L22、L23、L24、L25、L26のすべてにおいてコイル状導体の太さが異なっていってもよい。図6

に示すインダクタアレイチップ40において、例えばインダクタL21、L24=800mA、インダクタL22=600mA、インダクタL23、L25、L26=500mAの電流を流す時は、インダクタL21におけるコイル状導体の太さS21、インダクタL22におけるコイル状導体の太さS22、インダクタL23におけるコイル状導体の太さS23、インダクタL24におけるコイル状導体の太さS24、インダクタL25におけるコイル状導体の太さS25及びインダクタL26におけるコイル状導体の太さS26は、下記の条件を満たしていることが好ましい。

[0049] $S_{23} = S_{25} = S_{26} < S_{22} < S_{21} = S_{24}$

[0050] (その他の実施形態)

焼成前に、コイル状導体を構成するための少なくとも一つの導電性ペースト層の上に、カーボンなどからなる消失層を設けることにより、少なくともひとつのコイル状導体の上に空洞を形成してもよい。その場合において、複数のインダクタにおいて、空洞が上に設けられたコイル状導体の数が異なってもよい。換言すれば、空洞が上に設けられたコイル状導体の数を異ならせることによってインダクタのインダクタンス値が異ならされていてもよい。通常、空洞が上に設けられたコイル状導体の数が多くなるほど、インダクタのインダクタンス値が大きくなる。

[0051] 第1の実施形態では、隣り合う磁性体層間に、ひとつのインダクタを構成するコイル状導体が一つのみ設けられている例について説明した。但し、本発明は、この構成に限定されない。例えば、隣り合う磁性体層間に、ひとつのインダクタを構成するコイル状導体が複数設けられていてもよい。このようにすることにより、例えば、コイル状導体が設けられた層数を同じにしつつ、インダクタに含まれるコイル状導体の数量を変化させ、インダクタンス値を変化させることができる。

[0052] また、複数のインダクタ間で、少なくともひとつのコイル状導体の巻き数を異ならせてもよい。その場合、相対的に細いコイル状導体の巻き数を、相対的に太いコイル状導体の巻き数よりも多くすることが好ましい。

[0053] (第4及び第5の実施形態)

図7は、第4の実施形態におけるインダクタチップアレイの略図的回路図である。図8は、第5の実施形態におけるインダクタチップアレイの略図的回路図である。

[0054] 第4及び第5の実施形態では、インダクタL1、L2の少なくとも一つにおいて、そのインダクタが並列に接続された複数のインダクタ部を有するように、ビアホール導体が複数のコイル状導体を電氣的に接続している。

[0055] 具体的には、第4の実施形態では、図7に示されるように、インダクタL2は、単一のインダクタ部により構成されている。一方、インダクタL1は、複数のインダクタ部L1a、L1bを有する。インダクタ部L1aとインダクタ部L1bとは並列に接続されている。インダクタL1を構成している複数のコイル状導体43aのうちの一部のコイル状導体43aと、その一部のコイル状導体43aを直列に接続しているビアホール導体44aとによりインダクタL1aが構成されており、残りのコイル状導体43aと、その残りのコイル状導体43aを直列に接続しているビアホール導体44aとによりインダクタL1bが構成されている。

[0056] 第5の実施形態では、図8に示されるように、インダクタL2は、単一のインダクタ部により構成されている。一方、インダクタL1は、インダクタ部L1c～L1gを有する。インダクタ部L1cとインダクタ部L1dとは並列に接続されている。インダクタ部L1fと、インダクタ部L1gとは並列に接続されている。インダクタ部L1c及びインダクタ部L1dの並列回路と、インダクタ部L1eと、インダクタ部L1f及びインダクタ部L1gの並列回路とは、直列に接続されている。インダクタL1を構成している複数のコイル状導体43aに含まれる少なくとも一つの第1のコイル状導体43aによりインダクタ部L1cが構成されており、少なくとも一つの第2のコイル状導体43aによりインダクタ部L1dが構成されており、少なくとも一つの第3のコイル状導体43aによりインダクタ部L1eが構成されており、少なくとも一つの第4のコイル状導体43aによりインダクタ部L

1 f が構成されており、少なくとも一つの第 5 のコイル状導体 4 3 a によりインダクタ部 L 1 g が構成されている。

[0057] 第 4 の実施形態や第 5 の実施形態のような構成を採用することにより、インダクタ L 1 のインダクタンス値とインダクタ L 2 のインダクタンス値との差を大きくすることができる。

[0058] また、第 1 及び第 2 の実施形態では、2 つのインダクタのうちの 1 つのみが複数のインダクタ部を有する例について説明した。但し、本発明は、この構成に限定されない。例えば、2 つのインダクタ部の両方が複数のインダクタ部を有していてもよい。その場合、複数のインダクタ部を有する複数のインダクタにおいて、複数のインダクタ部の接続態様が異なることが好ましい。たとえば、インダクタアレイチップに、第 4 の実施形態におけるインダクタ L 1 と第 5 の実施形態におけるインダクタ L 1 とが設けられていてもよい。

符号の説明

[0059] 1 … DC-DC コンバータ

L 1, L 2, L 1 1 ~ L 1 4, L 2 1 ~ L 2 6 … インダクタ

L 1 a ~ L 1 g … インダクタ部

1 0 a, 1 0 b … コンバート部

1 1 a, 1 1 b … 入力端子

1 2 a, 1 2 b … 出力端子

1 3 a, 1 3 b … 第 1 のグラウンド端子

1 4 a, 1 4 b … 第 2 のグラウンド端子

1 5 a, 1 5 b, 1 6 a, 1 6 b, 1 8 a, 1 8 b, 1 9 a, 1 9 b, 2 1 a, 2 1 b, 2 2 a, 2 2 b … 点

1 7 a, 1 7 b … 入力側コンデンサ

2 0 a, 2 0 b … 出力側コンデンサ

2 3 a, 2 3 b … コントローラ

3 0 … IC チップ

3 1 a、3 1 b、3 2 a、3 2 b…コンデンサチップ

4 0…インダクタアレイチップ

4 1…磁性体層積層体

4 2…磁性体層

4 3 a、4 3 b…コイル状導体

4 4 a、4 4 b…ビアホール導体

請求の範囲

- [請求項1] 積層された複数の磁性体層を有する磁性体層積層体と、
前記磁性体層積層体内に配されており、インダクタンス値が相互に異なる複数のインダクタと、
を備え、
前記複数のインダクタのそれぞれは、
前記磁性体層間に配された複数のコイル状導体と、
前記複数のコイル状導体を電氣的に接続しているビアホール導体と、
を有し、
前記複数のインダクタには、前記複数のコイル状導体の太さが異なる複数のインダクタが含まれる、インダクタアレイチップ。
- [請求項2] 前記複数のコイル状導体の太さが相対的に小さいインダクタは、前記複数のコイル状導体の太さが相対的に大きいインダクタよりも大きなインダクタンス値を有する、請求項1に記載のインダクタアレイチップ。
- [請求項3] 前記複数のコイル状導体の太さが相対的に小さいインダクタは、前記複数のコイル状導体の太さが相対的に大きいインダクタよりも小さなインダクタンス値を有する、請求項1に記載のインダクタアレイチップ。
- [請求項4] 前記複数のコイル状導体の太さが異なる複数のインダクタにおいて、前記コイル状導体のコイル径が相互に異なる、請求項1～3のいずれか一項に記載のインダクタアレイチップ。
- [請求項5] 前記複数のコイル状導体の太さが相対的に小さいインダクタは、前記複数のコイル状導体の太さが相対的に大きいインダクタよりも小さなコイル径を有する、請求項4に記載のインダクタアレイチップ。
- [請求項6] 前記複数のコイル状導体の太さが相対的に小さいインダクタは、前記複数のコイル状導体の太さが相対的に大きいインダクタよりも大きな

なコイル径を有する、請求項 4 に記載のインダクタアレイチップ。

[請求項7] 前記複数のインダクタは、相互に同じ数の前記コイル状導体を有する、請求項 1 ～ 6 のいずれか一項に記載のインダクタアレイチップ。

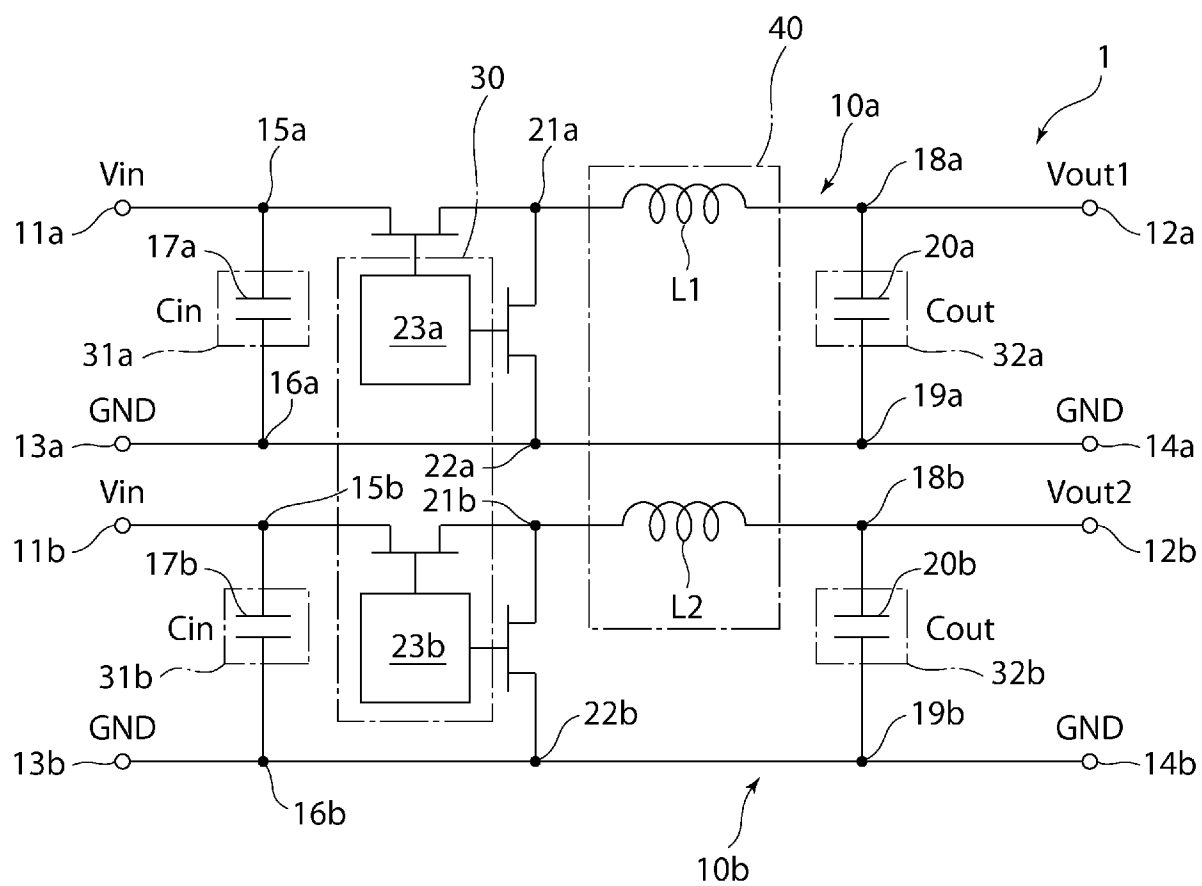
[請求項8] 前記複数のインダクタの少なくとも一つにおいて、当該インダクタが並列に接続された複数のインダクタ部を有するように前記ビアホール導体が前記複数のコイル状導体を電氣的に接続している、請求項 1 ～ 7 のいずれか一項に記載のインダクタアレイチップ。

[請求項9] 前記複数のインダクタは、複数のインダクタ部を有する複数のインダクタを含み、

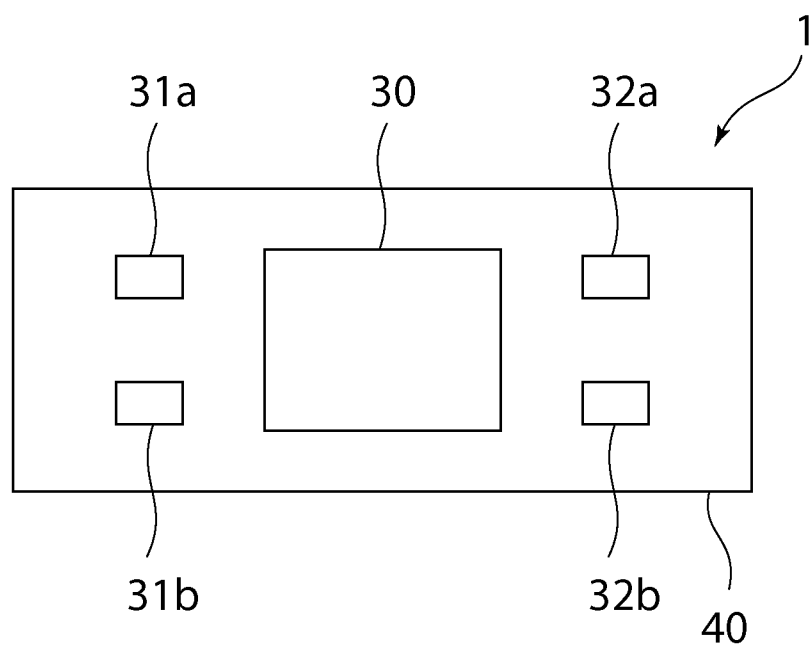
前記複数のインダクタ部を有する複数のインダクタにおいて、前記複数のインダクタ部の接続態様が相互に異なる、請求項 8 に記載のインダクタアレイチップ。

[請求項10] 請求項 1 ～ 9 のいずれか一項に記載のインダクタアレイチップを備える DC-DC コンバータ。

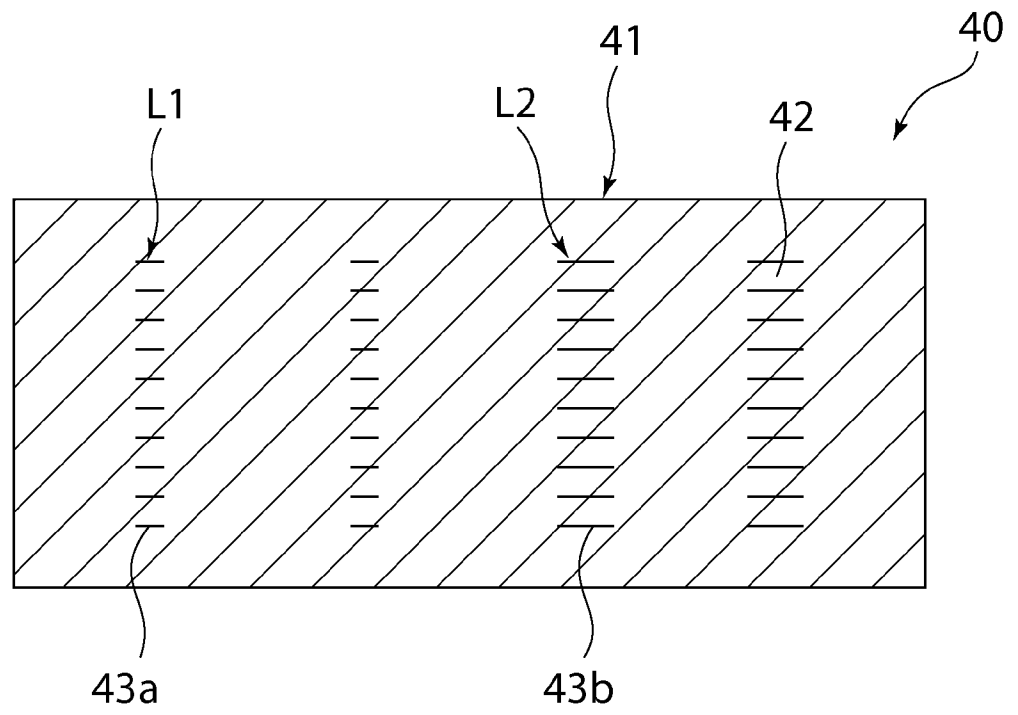
[図1]



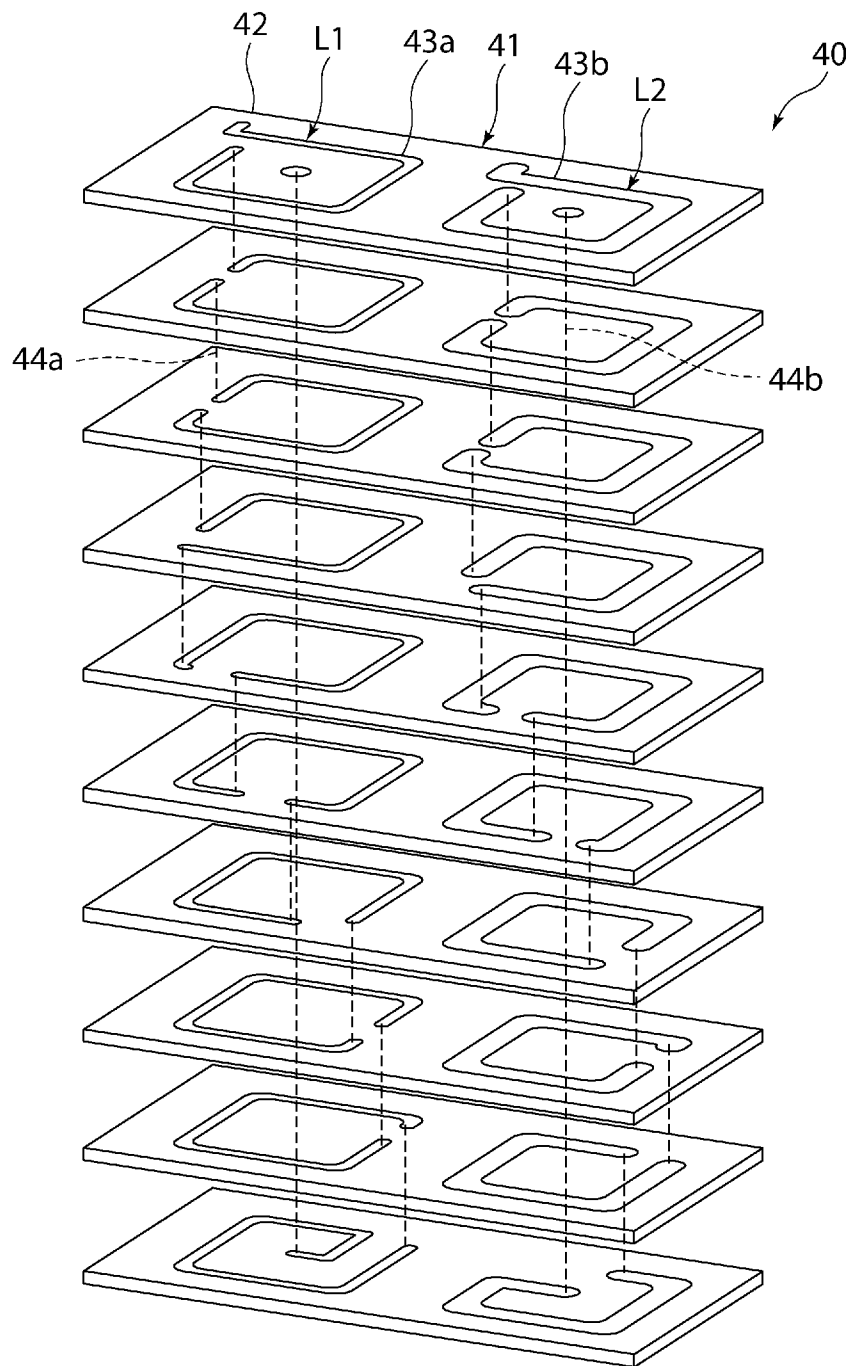
[図2]



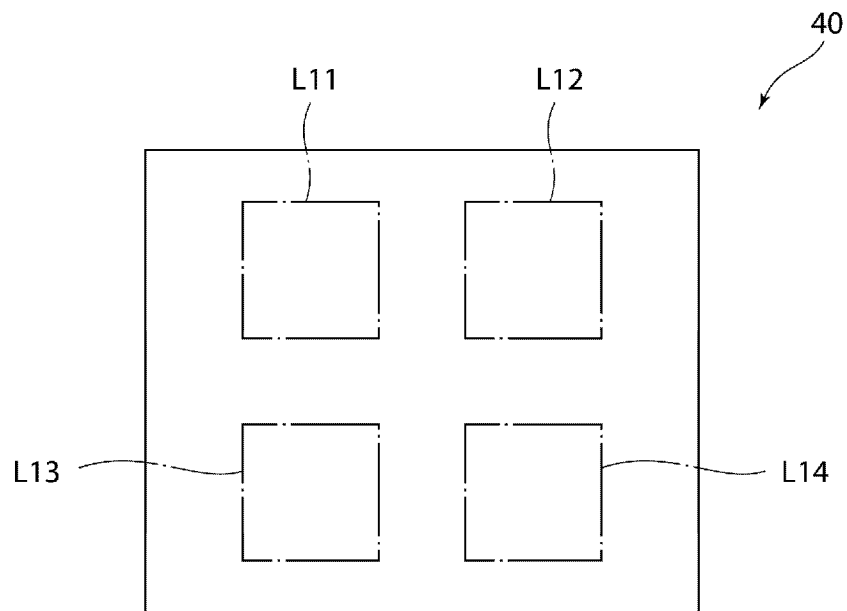
[図3]



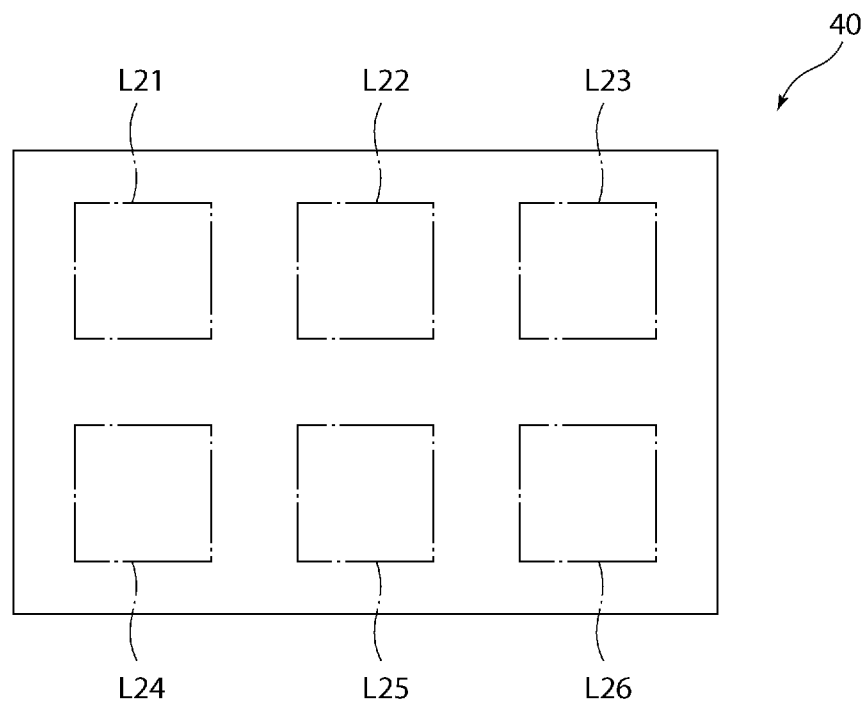
[図4]



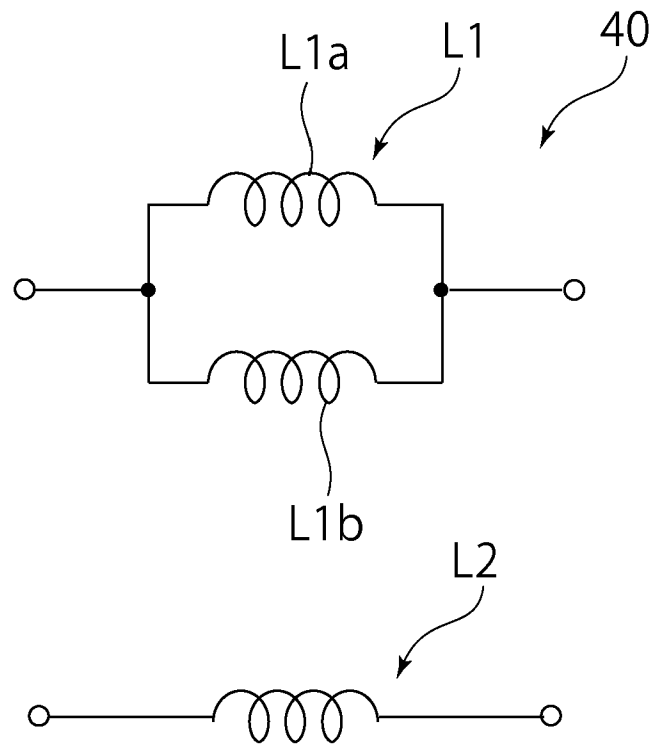
[図5]



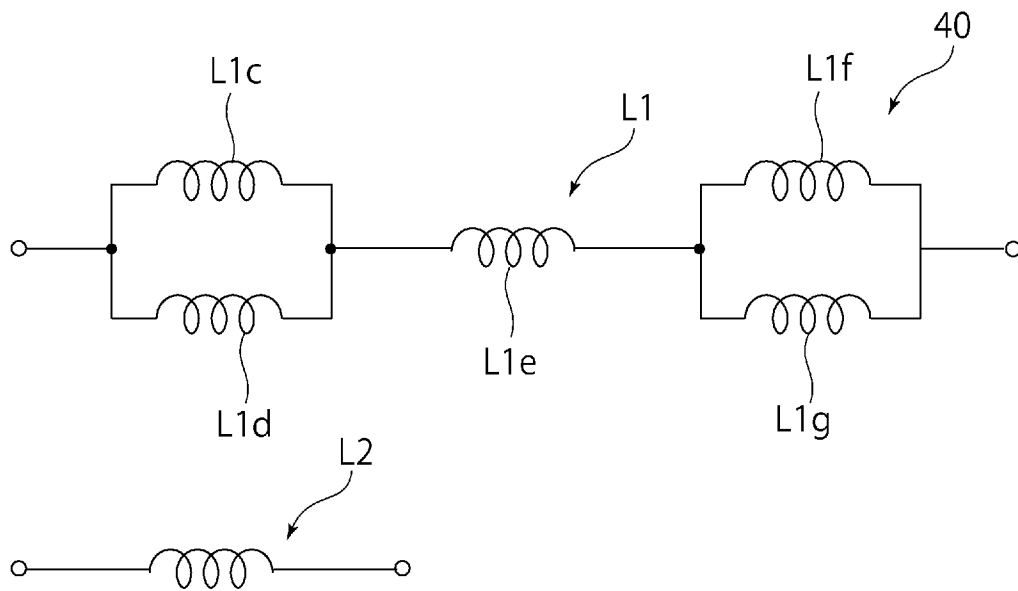
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/079495

A. CLASSIFICATION OF SUBJECT MATTER

H01F17/00(2006.01)i, H01F27/00(2006.01)i, H02M3/155(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01F17/00, H01F27/00, H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013

Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-353619 A (Murata Mfg. Co., Ltd.), 19 December 2000 (19.12.2000), paragraphs [0010], [0018] to [0024]; fig. 1 to 4 (Family: none)	1-10
Y	JP 04-024911 A (Murata Mfg. Co., Ltd.), 28 January 1992 (28.01.1992), page 1, lower right column, line 13 to page 2, upper left column, line 8; upper left line 20 to upper right column, line 6; page 3, lower right column, lines 7 to 11; fig. 6 (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 February, 2013 (08.02.13)Date of mailing of the international search report
19 February, 2013 (19.02.13)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/079495

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-180435 A (Matsushita Electric Works, Ltd.), 12 July 2007 (12.07.2007), paragraphs [0026], [0030] (Family: none)	8-10
A	JP 2006-032425 A (Murata Mfg. Co., Ltd.), 02 February 2006 (02.02.2006), paragraph [0032] (Family: none)	1-10
A	WO 2004/019352 A1 (Matsushita Electric Industrial Co., Ltd.), 04 March 2004 (04.03.2004), page 4, line 22 to page 5, line 22 (Family: none)	1-10

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01F17/00(2006.01)i, H01F27/00(2006.01)i, H02M3/155(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01F17/00, H01F27/00, H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2000-353619 A (株式会社村田製作所) 2000.12.19, 段落【0010】、【0018】 - 【0024】、【図1】 - 【図4】 (ファミリーなし)	1-10
Y	JP 04-024911 A (株式会社村田製作所) 1992.01.28, 第1頁右下欄第13行 - 第2頁左上欄第8行、第20行 - 右上欄第6行、第3頁右下欄第7 - 11行、第6図 (ファミリーなし)	1-10
Y	JP 2007-180435 A (松下電工株式会社) 2007.07.12, 段落【002	8-10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 8 . 0 2 . 2 0 1 3

国際調査報告の発送日

1 9 . 0 2 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

池田 安希子

5 D

4 1 7 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	6】、【0030】 (ファミリーなし)	
A	JP 2006-032425 A (株式会社村田製作所) 2006.02.02, 段落【0032】 (ファミリーなし)	1-10
A	WO 2004/019352 A1 (松下電器産業株式会社) 2004.03.04, 第4頁第22行-第5頁第22行 (ファミリーなし)	1-10