



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) DD (11) 247 534 A1

4(51) G 06 F 11/18

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP G 06 F / 288 556 5

(22) 31.03.86

(44) 08.07.87

(71) VEB Werk für Signal- und Sicherungstechnik Berlin, 1193 Berlin, Elsenstraße 87/96, DD

(72) Saffert, Ulrich, Dipl.-Ing.; Hübner, Jörg, Dipl.-Ing.; Kretzschmann, Udo, Dipl.-Ing.; Nikolaizik, Jürgen, Dipl.-Ing.; Postler, Georg-Johann, Dipl.-Ing.; Klaus, Jürgen, DD

(54) Schaltungsanordnung einer Peripherievergleichereinheit

(57) Die Erfindung betrifft eine Peripherievergleichereinheit, die insbesondere über ein n-faches redundantes Ein-/Ausgabebussystem Informationen erhält, diese einem (m von n)-Vergleich unterzieht und dann k-kanalig an Ein-/Ausgabebaugruppen zur Ansteuerung von sicherheitsrelevanten Stellgliedern weiterleitet. Sie ist überall dort einsetzbar, wo hohe Sicherheits- und Zuverlässigkeitsanforderungen bestehen wie z. B. bei der Prozeßsteuerung in Kraftwerken, der Chemie und beim schienengebundenen Verkehr. Die Informationen von n Informationskanälen werden k mal einem (m von n)-Vergleich unterzogen und auf k unabhängigen Kanälen an die Ein-/Ausgabebaugruppen zur Ansteuerung von Sicherheitsstromkreisen ausgegeben, wobei die Informationen schrittweise nach Steuerinformationen, Adressen und Daten gestaffelt in selbständigen, parallel angeordneten k-kanaligen Vergleichen verglichen werden.

Erfindungsanspruch:

1. Schaltungsanordnung einer Peripherievergleichereinheit, welche an ein n-fach redundantes Mehrrechnersystem über ein n-fach redundantes Bussystem angeschlossen ist und über Vergleicher nach dem (m von n)-Prinzip verfügt, **gekennzeichnet dadurch**, daß die Information von n Informationskanälen k mal einem (m von n)-Vergleich unterzogen, werden und auf K unabhängigen Kanälen an die Ein-/Ausgabebaugruppen zur Ansteuerung von Sicherheitsstromkreisen ausgegeben werden, wobei die Informationen schrittweise nach Steuerinformationen, Adressen und Daten gestaffelt in selbständigen, parallel angeordneten K-kanaligen Verglechern verglichen werden.
2. Schaltungsanordnung nach Punkt 1, **gekennzeichnet dadurch**, daß K mindestens zwei beträgt.
3. Schaltungsanordnung nach Punkt 1, **gekennzeichnet dadurch**, daß K (m von n)-Synchronisations- und Vergleichereinheiten (SVE 1,2) für Steuersignale über Buskappeleinheiten (BKS 1.1...2.3) an das Bussystem (B 1...B3) angeschlossen sind, K (m von n)-Vergleicher- und Dekodiereinheiten für Adressen (ADVE 1,2) über Buskappeleinheiten (BKA 1.1...2.3) an das Bussystem (B 1...B3) angeschlossen sind, k (m von n)-Vergleicher für Daten (DVE 1,2) über Buskappeleinheiten (BKD 1.1...2.3) an das Bussystem (B 1...B3) angeschlossen sind, wobei die Ausgänge der Vergleichereinheiten (STK 1,2; ADR 1,2; DAT 1,2) zu den Ein-/Ausgabebaugruppen führen, daß jede Buskappeleinheit für Adressen und Daten (BKA 1.1...2.3; BKD 1.1...2.3) über Freigabesignalleitungen (FGL 1,2) an die k Synchronisations- und Vergleichereinheiten (SVE 1,2) angeschlossen ist, wie auch jede Adressen-Decodier-Vergleichereinheit (ADVE 1,2) mit je einer Freigabesignalleitung (FGL 1,2) verbunden ist, daß die Vergleichereinheiten (SVE 1,2; ADVE 1,2; DVE 1,2) über Fehlerbytesammelleitungen (FBL 1,2) mit Fehlerbyteverknüpfungseinheiten (FBE 1,2) verbunden sind, daß die Adressen-Decodier- und Vergleichereinheiten (ADVE 1,2), die Datenvergleichereinheiten (DVE 1,2) und die Fehlerbyteverknüpfungseinheiten (FBVE 1,2) über Rücklesesammelleitungen (RLL 1,2) mit Buskoppel- und Vervielfachungseinheiten (BKVE 1,2) verbunden sind, deren n-Ausgänge an das Bussystem (B 1...B3) angeschlossen sind und weiterhin an die Rücklesesammelleitungen (RLL 1,2) Datentore (DT 1,2) angeschlossen sind, welche von den Ein-/Ausgabebaugruppen Rückmeldeinformationen (RMI 1,2) erhalten, daß die Fehlerbyteverknüpfungseinheiten (FBVE 1,2) über Summenfehlerbyteleitungen (SFBL 1,2) mit den Buskoppel- und Vervielfachungseinheiten (BKVE 1,2) und einer Quittungssignalvervielfachungseinheit (QSVE) in Verbindung stehen und diese Einheit von den Ein-/und Ausgabebaugruppen k-fach Quittungssignale (QS 1,2) erhält und n-fach auf das Bussystem ausgibt.
4. Schaltungsanordnung nach Punkt 1, **gekennzeichnet dadurch**, daß die Vergleicherbaugruppen (SVE 1,2; ADVE 1,2; DVE 1,2), die Fehlerbyteverknüpfungseinheiten (FBVE 1,2), die Buskoppel- und Vervielfachungseinheiten (BKV 1,2), die Quittungssignalvervielfachungseinheit (QSVE) und die Datentore (DT 1,2) über Steuersammelleitungen (STL 1,2) mit Steuereinheiten (STE 1,2) in Verbindung stehen.
5. Schaltungsanordnung nach Punkt 3, **gekennzeichnet dadurch**, daß an das Bussystem (B 1...B3) mehrere Peripherievergleichereinheiten angeschlossen sind, über die jeweils die sichere Ansteuerung der Ein-/Ausgabebaugruppen erfolgt.

Hierzu 1 Seite Zeichnung

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Peripherievergleichereinheit, die insbesondere über ein n-fach redundantes Ein-/Ausgabebussystem Informationen erhält, diese einem (m von n)-Vergleich unterzieht und dann k-kanalig an Ein-/Ausgabebaugruppen zur Ansteuerung von sicherheitsrelevanten Stellgliedern weiterleitet. Sie ist überall dort einsetzbar, wo hohe Sicherheits- und Zuverlässigkeitsanforderungen bestehen wie z. B. bei der Prozeßsteuerung in Kraftwerken, der Chemie und beim schienengebundenen Verkehr.

Charakteristik der bekannten technischen Lösungen

Es ist bekannt, Steuerungssysteme mit Sicherheitsverantwortung als dreifach redundantes Rechnersystem aufzubauen. Die Verarbeitungsergebnisse der einzelnen Rechner werden in Vergleichersbaugruppen nach dem (2 von 3)-Prinzip verglichen, wodurch das Majoritätsprinzip gewährleistet wird. Zur Steuerung der Prozeßperipherie wird an jeden drei Rechner ein Ein-/Ausgabebussystem angeschlossen. Dieses redundante Bussystem wird auf eine oder mehrere Steuereinheiten geführt, welche jede für sich wiederum den (2 von 3)-Vergleich durchführt und daraus Steuerinformationen ableitet. Diesen Steuereinheiten zugehörige Baugruppen zur Peripherieansteuerung erhalten dann einkanalig die aus dem (2 von 3)-Vergleich hervorgegangenen Steuerinformationen.

Um aber Peripherieelemente mit Sicherheitsverantwortung mehrkanalig, mindestens 2-fach anzusteuern, ist es bekannt, diese Peripherieelemente mindestens über zwei Ein-/Ausgabebaugruppen, die sich in verschiedenen Steuereinheiten befinden, anzusteuern.

Das hat aber zur Folge, daß ein hoher Verdrahtungsaufwand für den Anschluß dieser Peripherieelemente erforderlich und das System relativ unübersichtlich ist.

Im Defektfall ist eine zeitaufwendige Fehlersuche in mehreren Steuereinheiten (Kassetten) notwendig. Nachteilig ist auch, daß durch den Ausfall eines Vergleichers in einer Steuereinheit anteilig mehr Peripheriestromkreise ausfallen.

Weiterhin ist eine exakte zeitparallele Ansteuerung der für einen Peripheriestromkreis notwendigen Ein-/Ausgabebaugruppen und ein zeitparalleles Rücklesen der an einem Peripheriestromkreis liegenden Rückmeldungen nicht möglich. Die Rückmeldungen müssen durch das übergeordnete System erst zwischengespeichert und zusammengeführt werden und können erst dann mit den Sollwerten verglichen werden. Weiterhin ist bekannt, alle Einheiten mit einem gemeinsamen und sicheren Takt zu versorgen, so daß alle Einheiten befehls- und takt synchron laufen. Dabei können aber durch Störbeeinflussungen verursachte Fehler in den verschiedenen Kanälen bzw. Systemen gleichartige Verfälschungen der Daten-, Adreß- oder Steuersignale bewirken, so daß diese durch die Vergleicher nicht erkannt werden.

Ziel der Erfindung

Das Ziel der Erfindung besteht darin, den Informationsaustausch zwischen einem redundanten Rechnersystem und Ein-/Ausgabebaugruppen für Sicherheitsstromkreise auf einem hohen Sicherheits- und Zuverlässigkeitsniveau durchzuführen sowie eine übersichtliche und wartungsfreundliche Anordnung dafür zu finden.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung zu schaffen, die von einem redundanten Rechnersystem über einen redundanten Bus ausgegebene Informationen zu einer der Ein-/Ausgabebaugruppen, für welche die Informationen bestimmt sind, weiterleitet, dabei einen Mehrheitsentscheid durchführt, danach eine sicherungstechnische Verbindung zu der einzelnen Ein-/Ausgabebaugruppe herstellt sowie die Rückmeldeinformationen ebenfalls sicherungstechnisch von einer Ein-/Ausgabebaugruppe zum redundanten Rechnersystem leitet, wobei die Anordnung selbst sicherungstechnischen Anforderungen genügen soll.

Die Aufgabe wird erfindungsgemäß durch die Merkmale des Erfindungsanspruchs gelöst.

Ausführungsbeispiel

Die Erfindung soll nachstehend an einem Ausführungsbeispiel näher erläutert werden. In der Figur ist eine Schaltungsanordnung für eine sichere Peripherievergleichereinheit dargestellt. Die erfindungsgemäße Schaltungsanordnung bildet eine Schnittstelle zwischen einem hier dreifach redundanten Rechnersystem und einer festgelegten Menge von Ein-/Ausgabebaugruppen für sicherheitstechnische Stromkreise, die in konstruktiven Einheiten, den Kassetten, untergebracht sind. Jeder Rechner des dreifach redundanten Rechnersystems besitzt einen Ein-/Ausgabebuss B 1, B 2 bzw. B 3, so daß ein ebenfalls dreifach redundantes Ein-/Ausgabebussystem vorhanden ist und somit alle vom Rechnersystem ausgegebenen und empfangenen Informationen dreifach vorhanden sind. Die Ausgabebaugruppen für die sicherheitstechnischen Stromkreise sind über Steuerkommandoleitungen STK 1,2, Adressensammelleitungen ADR 1,2, Datensammelleitungen DAT 1,2, Rückmeldesammelleitungen RMI 1,2 und Quittungsleitungen QS 1,2 mit der Peripherievergleichereinheit verbunden.

Die Peripherievergleichereinheit besteht aus den Funktionseinheiten:

- Buskoppel- und Vervielfachungseinheiten BKS, Adressen BKA und Daten BKD;
- Synchronisations- und Vergleichereinheiten SVE;
- Adressen-Dekodier- und Vergleichereinheiten ADVE;
- Datenvergleichereinheiten DVE;
- Buskoppel- und Vervielfachungseinheiten BKVE;
- Quittungssignalverknüpfungs- und Vervielfachungseinheit QSVE;
- Steuereinheit STE;
- Fehlerbyte-Verknüpfungseinheit FBVE;
- Datentor DT.

Bis auf die Quittungssignalverknüpfungs- und Vervielfachungseinheit QSVE, welche durch ihr Schaltungsprinzip sicher arbeitet, sind zur Erlangung der notwendigen Sicherheit alle Funktionseinheiten zweifach vorhanden. Die Peripherievergleichereinheit ist somit ein zweikanaliges System, in dem alle Informationen zweifach und unabhängig voneinander verarbeitet werden. Es kann grundsätzlich zwischen drei Betriebsarten der Peripherievergleichereinheiten unterschieden werden:

- Ausgabe von Informationen;
- Lesen von Informationen;
- Ausgabe und Lesen von Testinformationen

Bei der Betriebsart „Ausgabe von Informationen“ werden von dem übergeordneten redundanten Rechnersystem, z. B. (2 von 3)-Mikrorechnermodul, die Adressen (Adresse einer Ein-/Ausgabebaugruppe und die Adresse der Kassette, in der sie untergebracht ist), die auszugebenden Daten und die Steuerkommandos (z. B. Schreibkommando) auf die Busse B 1, B 2 und B 3 gelegt. Über die Buskoppel- und Vervielfachungseinheiten für die Steuerkommandos BKS 1.1, BKS 1.2, BKS 1.3 bzw. BKS 2.1, BKS 2.2, BKS 2.3 gelangen die Steuerkommandos auf die Eingänge der Synchronisations- und Vergleichereinheiten SVE 1 bzw. SVE 2. Diese realisieren völlig getrennt die Synchronisation und den (2 von 3)-Vergleich.

Als Ergebnis wird ein synchronisiertes Steuersignal erzeugt und als Folge davon je ein Busfreigabesignal auf die Freigabesignalleitungen FGL 1 bzw. FGL 2 gelegt. Über die Freigabesignalleitung FGL 1 gelangt es zur ersten Adressen-Dekodier- und Vergleichereinheit ADVE 1 und zu allen Buskoppel- und Vervielfachungseinheiten für Daten BKD 1.1 ... 2.3 und Adressen BKA 1.1 ... 2.3. Über die Freigabesignalleitung FGL 2 gelangt das zweite Busfreigabesignal zur zweiten Adressen-Dekodier- und Vergleichereinheit ADVE 2 sowie ebenfalls zu allen Buskoppel- und Vervielfachungseinheiten für Daten BKD 1.1 ... 2.3 und Adressen BKA 1.1 ... 2.3. Das Busfreigabesignal bewirkt die Übernahme der Adressen und Daten in die jeweiligen Buskoppel- und Vervielfachungseinheiten und die Weiterleitung an die Adressen-Dekodier- und Vergleichereinheiten ADVE 1 bzw. ADVE 2 bzw. an die Datenvergleichereinheiten DVE 1 bzw. DVE 2. Gleichzeitig wird durch das Busfreigabesignal die Dekodierung der Kassettenadressen und deren (2 von 3)-Vergleich in den Adressen-Dekodier- und Vergleichereinheiten ADVE 1,2 freigegeben. Im Ergebnis dessen wird ein Signal „Kassette selektiert“ erzeugt und auf die Steuersignalsammelleitungen STL 1 bzw. STL 2 gelegt. Erst wenn dieses Signal vorliegt wird der Vergleich der Adressen für die Ein-/Ausgabebaugruppen durchgeführt. Weiterhin wird in den Steuereinheiten STE 1 bzw. STE 2 das Signal „Kassette selektiert“ mit dem von den Synchronisations- und Vergleichereinheiten SVE 1 bzw. SVE 2 gelieferten synchronisierten Steuersignal logisch verknüpft und im Ergebnis das Signal „Datenvergleich erlaubt“ erzeugt. Über die Steuersignalsammelleitungen STL 1 bzw. STL 2 erreicht dieses Signal die Datenvergleichereinheiten DVE 1 bzw. DVE 2 und ermöglicht den (2 von 3)-Vergleich der Daten. Nach der Bereitstellung des Signals „Kassette selektiert“ werden von den Steuereinheiten STE 1 bzw. STE 2 über die Steuersammelleitungen STL 1 bzw. STL 2 zeitlich gestaffelt Steuersignale ausgegeben, welche die Übernahme der verglichenen Daten, Adressen und Steuersignale in zugeordnete Tore der Datenvergleichereinheiten DVE 1 bzw. DVE 2, Adressen-Dekodier- und Vergleichereinheiten ADVE 1 bzw. ADVE 2 der Synchronisations- und Vergleichereinheiten SVE 1 bzw. SVE 2 aktivieren. Diese Informationen stehen dann in den Toren zur weiteren Verarbeitung

Die Ein-/Ausgabebaugruppen senden nach der Übernahme der Informationen Quittungssignale über die Quittungsleitungen QS 1 bzw. QS 2 an die Quittungssignalverknüpfungs- und Vervielfachungseinheit QSVE. In dieser wird nach einer logischen Verknüpfung und galvanischen Entkopplung eine Vervielfachung von 2 auf 3 vorgenommen. Danach gelangt ein resultierendes Quittungssignal auf die Ein-/Ausgabebusses B 1, B 2 und B 3 zum übergeordneten dreifach redundanten Rechnersystem und beendet den Vorgang der Datenausgabe.

Bei den (2 von 3)-Vergleichen werden Fehlerbytes gebildet, die über Fehlerbytesammelleitungen FBL 1 bzw. FBL 2 den Fehlerbyteverknüpfungseinheiten FBVE 1 bzw. FBVE 2 zugeführt werden. In diesen Einheiten entsteht nach einer logischen Verknüpfung je ein Summenfehlerbyte. Diese werden zum einen zwischengespeichert und zum anderen über die Sammelfehlerbyteleitungen SFBL 1 bzw. SFBL 2 an die Quittungssignalverknüpfungs- und Vervielfachungseinheiten BKVE 1 bzw. BKVE 2 geführt.

Das Summenfehlerbyte enthält eine Information darüber, welcher Teil des Systems (Rechner, Bus, Buskoppereinheit) als fehlerhaft arbeitend erkannt wurde. Es wird über das Bussystem dem übergeordneten Rechnersystem zugeführt und dort ausgewertet. Weiterhin dient es in den Buskoppel- und Vervielfachungseinheiten BKVE 1 bzw. BKVE 2 dazu, den als fehlerhaft erkannten Kanal zu sperren, so daß über ihn keine Informationen zum übergeordneten System gelangen können.

Bei der Betriebsart „Lesen von Informationen“ wird unterschieden zwischen dem Lesen von Rückmeldeinformationen und dem Lesen des Summenfehlerbytes.

Das Lesen der Rückmeldeinformationen erfolgt analog den Vorgängen bei der Betriebsart „Ausgabe von Informationen“. Die Unterschiede ergeben sich aus dem speziellen Lesekommando des übergeordneten Rechnersystems.

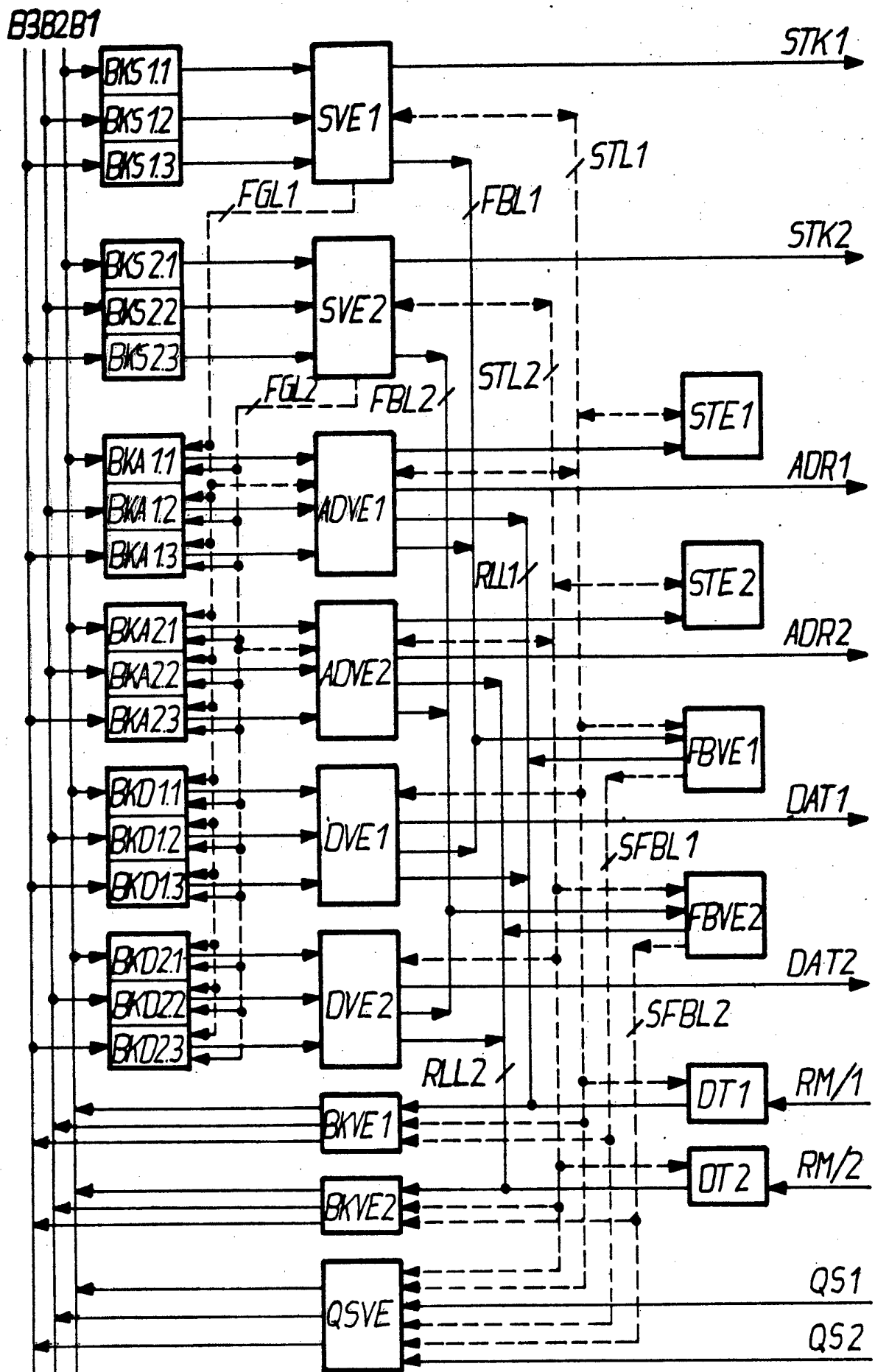
In den Synchronisations- und Vergleichereinheiten SVE 1 bzw. SVE 2 wird das Lesekommando synchronisiert und ein spezielles Steuersignal an die Steuereinheiten STE 1 bzw. STE 2 geleitet und wird dort logisch verknüpft mit dem Ausgang eines Zeitgliedes, welches durch das Steuersignal „Kassette selektiert“ angeregt wurde.

Daraufhin werden von den Steuereinheiten STE 1 bzw. STE 2 weitere Steuersignale auf die Steuersignalsammelleitungen STL 1 bzw. STL 2 gelegt, die bewirken, daß die auf den Rückmeldeinformationsleitungen RMI 1 bzw. RMI 2 ankommenden Rückmeldeinformationen über die Datentore DT 1 bzw. DT 2 den Buskoppel- und Vervielfachungseinheiten BKVE 1 bzw. BKVE 2 zugeführt, dort dreifach und auf das Bussystem B 1, B 2 und B 3 geschaltet werden. Die Rückmeldeinformationen können von dem übergeordneten Rechnersystem eingelesen und ausgewertet werden. Es kann aber auch ein (2 von 3)-Vergleich durch die Datenvergleichereinheiten DVE 1 bzw. DVE 2 vorgenommen werden. Die ihnen zugeordneten Tore bleiben dann gesperrt, so daß die Daten nicht auf die Ausgangsleitungen DAT 1 bzw. DAT 2 gelangen können. Den Abschluß des Lesevorganges bilden auch hier die Quittungssignale. Beim Lesen des Summenfehlerbytes treten folgende Besonderheiten auf:

Zusätzlich zum Lesekommando wird vom übergeordneten Rechnersystem ein Umschaltbit ausgegeben, welches über die Steuereinheiten STE 1 bzw. STE 2 bewirkt, daß alle Tore in den Vergleichereinheiten SVE 1,2; ADVE 1,2; DVE 1,2 und die Datentore DT 1,2 gesperrt sind und damit keine Verbindung zu den Ein-/Ausgabebaugruppen besteht. Durch die Steuereinheiten STE 1 bzw. STE 2 wird weiterhin bewirkt, daß das Summenfehlerbyte von den Fehlerbyteverknüpfungseinheiten FBVE 1 bzw. FBVE 2 über die Rücklesesammelleitungen RLL 1 bzw. RLL 2 zu den Buskoppel- und Vervielfachungseinheiten BKVE 1 bzw. BKVE 2 und dann auf das Bussystem B 1, B 2 und B 3 durchgestellt wird. Beendet wird der Vorgang durch ein Quittungssignal.

Die Betriebsart „Ausgabe und Lesen von Testinformationen“ ist ausschließlich vorgesehen, um die Funktionsfähigkeit der erfindungsgemäßen Schaltungsanordnung durch das übergeordnete Rechnersystem testen zu können. Das kann einmal innerhalb der Fehleroffenbarungszeit oder vor jeder Informationsausgabe geschehen. Diese Betriebsart erlaubt es, Adressen und Daten auszugeben und wieder in das übergeordnete Rechnersystem zurückzulesen und dort auf Übereinstimmung zu prüfen, ohne dabei die Ein-/Ausgabebaugruppen zu beeinflussen.

Das Rücklesen von Adressen und Daten im Testfall findet wie das Rücklesen des Summenfehlerbytes statt, nur daß von den Steuereinheiten STE 1 bzw. STE 2 die Steuersignale „Rücklesen der Daten erlaubt“ und „Rücklesen der Adressen erlaubt“ gebildet werden, so daß über die Rücklesesammelleitungen RLL 1 bzw. RLL 2 die Adressen und Daten von den Adressen-Dekodier- und Vergleichereinheiten ADVE 1 bzw. ADVE 2 und den Datenvergleichereinheiten DVE 1 bzw. DVE 2 zu den Buskoppel- und Vervielfachungseinheiten BKVE 1 bzw. BKVE 2 übertragen werden und von dort auf das Bussystem B 1, B 2 und B 3 gelangen. Infolge des (2 von 3)-Vergleiches der Eingangsinformationen (Adressen, Daten, Steuerkommandos) der dann realisierten durchgängigen Zweikanaligkeit und der Vorbereitung der erfindungsgemäßen Schaltungsanordnung für den Funktionstest ist gesichert, daß der Ausfall einer beliebigen Einheit in einem Kanal nicht zu gefährlichen Betriebszuständen führt. Durch die vorliegende Lösung ist weiterhin gewährleistet, daß Einfachfehler von vorgelagerten Einheiten (z. B. Busse B 1, B 2, B 3; [2 von 3]-Rechnermodul) erkannt, gemeldet und für weitere Verarbeitung entsprechend dem (2 von 3)-Prinzip toleriert werden. Fehler bei der dargestellten Schaltungsanordnung bleiben zumindestens auf die zugeordnete Menge von Ein-/Ausgabebaugruppen und gegebenenfalls nur auf eine einzige Ein-/Ausgabebaugruppe beschränkt.



Figur