



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0098802
(43) 공개일자 2008년11월12일

(51) Int. Cl.

H01L 21/28 (2006.01)

(21) 출원번호 10-2007-0044126

(22) 출원일자 2007년05월07일

심사청구일자 없음

(71) 출원인

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

권기홍

서울 은평구 구산동 162-1 경향아파트 2-707호

(74) 대리인

신영무

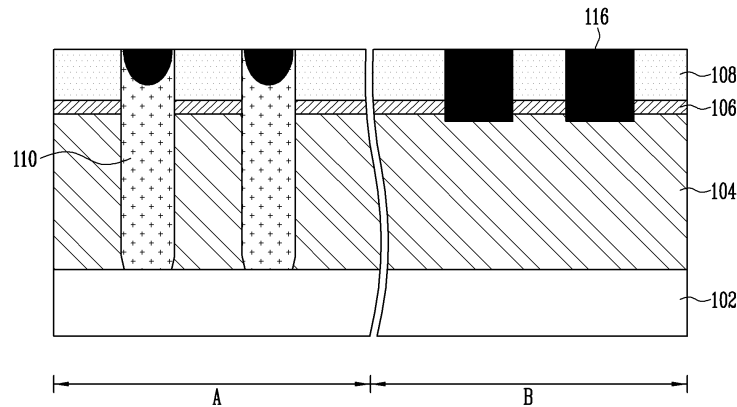
전체 청구항 수 : 총 15 항

(54) 반도체 소자의 금속 배선 형성 방법

(57) 요약

본 발명은 반도체 소자의 금속 배선 형성 방법에 관한 것으로, 반도체 기판 상부에 제1 절연막, 식각 정지막 및 제2 절연막을 형성하는 단계와, 상기 제2 절연막, 상기 식각 정지막 및 상기 제1 절연막을 식각하여 콘택홀을 형성하는 단계와, 상기 콘택홀에 콘택 플러그를 형성하는 단계와, 상기 제2 절연막을 패터닝하여 트렌치를 형성하는 단계 및 상기 트렌치에 도전 물질을 형성하여 금속 배선을 형성하는 단계를 포함하기 때문에, 콘택 플러그 상부에 금속 배선을 형성할 때 콘택 플러그 상부에 잔류물이 생성되지 않는다.

대표도 - 도1d



특허청구의 범위

청구항 1

반도체 기판 상부에 제1 절연막, 식각 정지막 및 제2 절연막을 형성하는 단계;

상기 제2 절연막, 상기 식각 정지막 및 상기 제1 절연막을 식각하여 콘택홀을 형성하는 단계;

상기 콘택홀에 콘택 플러그를 형성하는 단계;

상기 제2 절연막을 패터닝하여 트렌치를 형성하는 단계; 및

상기 트렌치에 도전 물질을 형성하여 금속 배선을 형성하는 단계를 포함하는 반도체 소자의 금속 배선 형성 방법.

청구항 2

제1항에 있어서,

상기 콘택홀을 형성할 때 상기 제2 절연막, 상기 식각 정지막 및 상기 제1 절연막의 식각 선택비가 1:1인 조건으로 식각 공정을 실시하는 반도체 소자의 금속 배선 형성 방법.

청구항 3

제1항에 있어서,

상기 트렌치를 형성할 때에는 상기 제1 절연막과 상기 제2 절연막의 식각 선택비는 상기 콘택 플러그와 상기 식각 정지막의 식각 선택비보다 높은 조건으로 식각 공정을 실시하는 반도체 소자의 금속 배선 형성 방법.

청구항 4

제1항에 있어서,

상기 트렌치를 형성한 후 노출된 상기 식각 정지막을 제거하는 단계를 더욱 포함하는 반도체 소자의 금속 배선 형성 방법.

청구항 5

제4항에 있어서,

상기 노출된 식각 정지막을 제거할 때, 상기 식각 정지막의 식각 선택비는 상기 콘택 플러그의 식각 선택비보다 높은 조건으로 식각 공정을 실시하는 반도체 소자의 금속 배선 형성 방법.

청구항 6

제4항에 있어서,

상기 노출된 식각 정지막을 제거할 때 사용되는 Ar 가스의 유량은 0~100sccm인 반도체 소자의 금속 배선 형성 방법.

청구항 7

제4항에 있어서,

상기 노출된 식각 정지막은 인시투로 제거하는 반도체 소자의 금속 배선 형성 방법.

청구항 8

제1항에 있어서, 상기 콘택 플러그를 형성하는 단계는,

상기 콘택홀을 포함하는 상기 제2 절연막 상부에 도전 물질을 형성하는 단계; 및

상기 도전 물질에 대해 평탄화 공정을 실시하는 단계를 더욱 포함하는 반도체 소자의 금속 배선 형성 방법.

청구항 9

제1항에 있어서,
상기 제1 절연막과 상기 제2 절연막은 산화막으로 형성하는 반도체 소자의 금속 배선 형성 방법.

청구항 10

제1항에 있어서,
상기 식각 정지막은 질화막으로 형성하는 반도체 소자의 금속 배선 형성 방법.

청구항 11

제1항에 있어서,
상기 콘택 플러그는 폴리 실리콘으로 형성하는 반도체 소자의 금속 배선 형성 방법.

청구항 12

제1항에 있어서,
상기 금속 배선은 텅스텐으로 형성하는 반도체 소자의 금속 배선 형성 방법.

청구항 13

제1항에 있어서,
상기 도전 물질은 상기 콘택 플러그 중 디싱 현상이 발생된 상기 콘택 플러그 상에도 형성되는 반도체 소자의 금속 배선 형성 방법.

청구항 14

제2항에 있어서,
상기 식각 공정은, 0~50mTorr의 압력에서 5~20sccm 유량의 C₄F₈ 가스, 5~20sccm 유량의 C₄F₆ 가스 및 100~300 sccm 유량의 Ar 가스를 공급하여 실시하는 반도체 소자의 금속 배선 형성 방법.

청구항 15

제3항에 있어서,
상기 식각 공정은 0~200mTorr의 압력에서, 5~20sccm 유량의 C₄F₈ 가스, 5~10sccm 유량의 O₂ 가스, 300~800sccm 유량의 Ar 가스를 공급하여 실시하는 반도체 소자의 금속 배선 형성 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <7> 본 발명은 반도체 소자의 금속 배선 형성 방법에 관한 것으로, 특히 콘택 플러그 상부에 금속 배선을 형성할 때 콘택 플러그와 금속 배선 사이에 잔류물이 생성되는 것을 방지하기 위한 반도체 소자의 금속 배선 형성 방법에 관한 것이다.
- <8> 반도체 소자 중 플래시 메모리(flash memory)는 전원이 차단되었을 때 데이터를 보관할 수 있는 불휘발성 메모리 중의 하나이다. 플래시 메모리는 전기적으로 프로그램(program)과 소거(erase)가 가능하며 일정 주기로 데이터(data)를 재작성하는 리프레쉬(refresh) 기능이 필요 없는 특징이 있다. 이러한 플래시 메모리 소자는 셀의 구조 및 동작 조건에 의해서 크게 NOR 플래시 메모리와 NAND 플래시 메모리로 나뉜다. NOR 플래시 메모리는 복수의 워드 라인(word line)이 병렬로 연결되어 임의의 주소에 대한 프로그램 및 소거가 가능하여 고속의 동작을

요구하는 응용분야에 주로 사용되고 있다. 반면 NAND 플래시 메모리는 복수의 메모리 셀 트랜지스터(memory cell transistor)가 직렬로 연결되어 한 개의 스트링(string)을 구성하고, 한 개의 스트링이 소스(source) 및 드레인(drain) 영역에 연결되어 있는 구조로서 고집적 데이터 보관 응용 분야에서 주로 사용된다.

<9> 한편, 플래시 메모리를 제조할 때에는 다수의 소스 및 드레인 영역과 금속 배선들을 연결하는 콘택 플러그(contact plug)를 형성하는 것이 필요하다. 그런데 플래시 메모리가 점차 고집적화됨에 따라 이러한 콘택 플러그와 금속 배선을 미세하게 형성하면서도 최소한의 저항을 갖도록 형성하는 기술이 중요하게 대두되고 있다.

발명이 이루고자 하는 기술적 과제

<10> 본 발명은 콘택 플러그 상부에 금속 배선을 형성할 때, 콘택 플러그 상부에 잔류물이 남지 않도록 하여 콘택 플러그와 금속 배선 사이에 잔류물이 생성되는 것을 방지하여 콘택 플러그와 금속 배선 사이의 저항을 최소화할 수 있다.

발명의 구성 및 작용

<11> 본 발명에 따른 반도체 소자의 금속 배선 형성 방법은, 반도체 기판 상부에 제1 절연막, 식각 정지막 및 제2 절연막을 형성하는 단계와, 상기 제2 절연막, 상기 식각 정지막 및 상기 제1 절연막을 식각하여 콘택홀을 형성하는 단계와, 상기 콘택홀에 콘택 플러그를 형성하는 단계와, 상기 제2 절연막을 패터닝하여 트렌치를 형성하는 단계 및 상기 트렌치에 도전 물질을 형성하여 금속 배선을 형성하는 단계를 포함할 수 있다.

<12> 상기 콘택홀을 형성할 때 상기 제2 절연막, 상기 식각 정지막 및 상기 제1 절연막의 식각 선택비가 1:1인 조건으로 식각 공정을 실시할 수 있다. 이때, 식각 공정은 0~50mTorr의 압력에서 5~20sccm 유량의 C₄F₈ 가스, 5~20sccm 유량의 C₄F₆ 가스 및 100~300 sccm 유량의 Ar 가스를 공급하여 실시할 수 있다. 상기 트렌치를 형성할 때에는 상기 제1 절연막과 상기 제2 절연막의 식각 선택비는 상기 콘택 플러그와 상기 식각 정지막의 식각 선택비보다 높은 조건으로 식각 공정을 실시할 수 있다. 이때, 식각 공정은 0~200mTorr의 압력에서, 5~20sccm 유량의 C₄F₈ 가스, 5~10sccm 유량의 O₂ 가스, 300~800sccm 유량의 Ar 가스를 공급하여 실시할 수 있다.

<13> 상기 트렌치를 형성한 후 노출된 상기 식각 정지막을 제거하는 단계를 더욱 포함할 수 있다. 상기 노출된 식각 정지막을 제거할 때, 상기 식각 정지막의 식각 선택비는 상기 콘택 플러그의 식각 선택비보다 높은 조건으로 식각 공정을 실시할 수 있다. 상기 노출된 식각 정지막을 제거할 때 사용되는 Ar가스의 유량은 0~100sccm일 수 있다. 상기 노출된 식각 정지막은 인시투로 제거할 수 있다. 상기 콘택 플러그를 형성하는 단계는, 상기 콘택홀을 포함하는 상기 제2 절연막 상부에 도전 물질을 형성하는 단계 및 상기 도전 물질에 대해 평탄화 공정을 실시하는 단계를 더욱 포함할 수 있다. 상기 제1 절연막과 상기 제2 절연막은 산화막으로 형성할 수 있다. 상기 식각 정지막은 질화막으로 형성할 수 있다. 상기 콘택 플러그는 폴리 실리콘으로 형성할 수 있다. 상기 금속 배선은 텅스텐으로 형성할 수 있다. 상기 도전 물질은 상기 콘택 플러그 중 디싱 현상이 발생된 상기 콘택 플러그 상에도 형성될 수 있다.

<14> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다.

<15> 그러나, 본 발명은 이하에서 설명하는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다. 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범위는 본원의 특허 청구 범위에 의해서 이해되어야 한다.

<16> 도 1a 내지 도 1d는 본 발명에 따른 반도체 소자의 금속 배선 형성 방법을 설명하기 위하여 도시한 소자의 단면도이다. 특히, 도 1a 내지 도 1d에서 A로 표시된 영역은 반도체 소자 중 콘택 플러그와 금속 배선이 형성되는 영역을 나타내고, B로 표시된 영역은 반도체 소자 중 콘택 플러그는 형성되지 않고 금속 배선만 형성되는 영역을 나타낸 것이다.

<17> 도 1a를 참조하면, 통상의 공정을 통해 트랜지스터나 플래시 메모리 셀, 소스 및 드레인 영역과 같은 여러 요소(도시하지 않음)가 형성된 반도체 기판(102) 상에 제1 절연막(104), 식각 정지막(106) 및 제2 절연막(108)을 형성한다. 여기서, 제1 절연막(104)과 제2 절연막(108)은 산화막으로 형성할 수 있다. 또한, 식각 정지막(106)은 자기 정렬 콘택(Self Align Contact; SAC) 공정 시 사용되는 질화막으로 형성할 수 있다.

- <18> 그리고, 콘택홀을 형성할 부분이 오픈되도록 제2 절연막(108) 상부에 하드 마스크 패턴(hard mask pattern; 도시하지 않음)을 형성한 후, 상기 하드 마스크를 식각 마스크로 이용하는 식각 공정을 실시하여 제2 절연막(108), 식각 정지막(106) 및 제1 절연막(104)에 콘택홀을 형성한다. 이때, 콘택홀을 형성하는 식각 공정은 질화막과 산화막의 선택비가 1:1인 식각 조건으로 실시하는 것이 바람직하다. 이를 위하여, 0~50mTorr의 저압에서, 5~20sccm 유량의 C_4F_8 가스, 5~20sccm 유량의 C_4F_6 가스 및 100~300 sccm 유량의 Ar 가스를 공급하여 식각 공정을 실시할 수 있다. 또한, 콘택홀은 반도체 기판(102)에 형성된 소스 및 드레인 영역(도시하지 않음)을 개방하도록 형성되는 것이 바람직하다. 이어서, 콘택홀을 통해 플러그 이온 주입(plug ion implant)을 실시한 후 고온의 열처리 공정을 수행한다.
- <19> 또한, 콘택홀을 포함하는 전체 구조 상부에 전도성 물질, 예를 들면 폴리 실리콘막을 형성하여 콘택홀을 전도성 물질로 매립한다. 그리고 전도성 물질의 상부에 대해 화학 기계적 연마(Chemical Mechanical Polishing; CMP) 방법과 같은 평탄화 공정을 실시하여 콘택홀에만 전도성 물질이 남도록 한다. 이로써 소스 및 드레인 영역(도시하지 않음)과 연결되는 콘택 플러그(110)를 형성한다. 이때 평탄화 공정 중에 콘택 플러그(110) 상부의 중심부가 주변부보다 더욱 연마되는 디싱(dishing) 현상이 발생하여 콘택 플러그(110) 상부가 오목하게 형성된다. 한편, 제2 절연막(108)이 형성되는 두께를 조절하여 콘택 플러그(110) 상부의 오목한 부분은 식각 정지막(106)보다 위에 위치하도록 하는 것이 바람직하다.
- <20> 도 1b를 참조하면, 콘택 플러그(110)와 연결되는 금속 배선을 형성하기 위하여, 먼저 콘택 플러그(110)를 포함하는 반도체 기판(102) 상에 하드 마스크(112)를 형성한다. 이때, 하드 마스크(112)는 콘택 플러그(110) 상부의 오목한 형상을 따라 형성된다. 그리고, 후속하는 공정에서 금속 배선이 형성되는 부분이 오픈되도록 하드 마스크(112) 상부에 포토 레지스트 패턴(photo resist pattern; 114)을 형성한다.
- <21> 도 1c를 참조하면, 포토 레지스트 패턴(114; 도 1b 참조)을 식각 마스크로 이용하는 식각 공정을 실시하여 하드 마스크(112; 도 1b 참조)를 패터닝한다. 그리고, 패터닝된 하드 마스크(112)를 식각 마스크로 이용하는 식각 공정을 실시하여 제2 절연막(108)을 패터닝하여 트렌치를 형성한다. 제2 절연막(108)을 패터닝하여 트렌치를 형성하는 식각 공정은, 산화막이 질화막과 폴리 실리콘보다 식각 선택비가 높아서 산화막이 질화막과 폴리 실리콘에 비해 더욱 식각되는 조건으로 실시하는 것이 바람직하다. 이를 위하여, 0~200mTorr의 압력에서, 5~20sccm 유량의 C_4F_8 가스, 5~10sccm 유량의 O_2 가스, 300~800sccm 유량의 Ar 가스를 공급하여 식각 공정을 실시할 수 있다.
- <22> 이에 따라 A 영역에서는 콘택 플러그(110)가 에치 스탑퍼(etch stopper)로써 역할을 하고 B 영역에서는 식각 정지막(106)이 에치 스탑퍼로써 역할을 할 수 있다. 이로써, A영역에서는 콘택 플러그(110)의 상부가 노출되고 B영역에서는 식각 정지막(106)의 일부가 노출된다. 이어서, B영역에서 노출된 식각 정지막(106)을 제거한다. B영역에서 노출된 식각 정지막(106)은 인시투(in-situ)로 제거하는 것이 바람직하며, 특히 콘택 플러그(110)가 손상되는 것을 최소화하기 위하여 폴리 실리콘 대비 질화막의 식각 선택비가 높은 식각 조건으로 식각 공정을 실시한다. 이를 위하여, 식각 정지막(106)을 제거하는데 사용되는 Ar 가스의 유량을 0~100sccm으로 최소화한다. 이후에, 포토 레지스트 패턴(114)과 하드 마스크(112)를 제거한다.
- <23> 도 1d를 참조하면, 전술한 공정으로 제2 절연막(108)에 형성된 트렌치에 도전성 물질, 예를 들면 텅스텐으로 매립하여 콘택 플러그(110)와 연결되는 금속 배선(116)을 형성한다.
- <24> 한편, 콘택 플러그와 접하는 금속 배선을 형성하기 위하여 식각 정지막을 콘택 플러그의 상부에 형성할 수도 있다. 즉, 제1 절연막에 콘택 플러그를 형성한 뒤 콘택 플러그를 포함하는 전체 구조 상부에 식각 정지막, 제2 절연막을 형성한다. 그리고, 제2 절연막을 패터닝하여 트렌치를 형성하고 트렌치를 매립하여 금속 배선을 형성할 수도 있다. 하지만, 이 경우 콘택 플러그 상부의 오목한 형상을 따라 식각 정지막이 형성되기 때문에, 제2 절연막에 트렌치를 형성할 때 콘택 플러그 상부에 식각 정지막이 잔류할 수 있다. 이렇게 콘택 플러그와 금속 배선 사이에 잔류하는 식각 정지막은 반도체 소자를 구동할 때 결함으로 작용하여 반도체 소자의 성능에 악영향을 미치게 된다.
- <25> 하지만, 본 발명의 실시예에 따르면, 콘택 플러그의 오목한 상부에 잔류하는 식각 정지막이 없기 때문에 금속 배선과 콘택 플러그 사이에 식각 정지막이 잔류하지 않는다.

발명의 효과

- <26> 본 발명의 반도체 소자의 금속 배선 형성 방법에 따르면, 콘택 플러그 상부에 금속 배선을 형성할 때 콘택 플러그 상부에 잔류물이 생성되지 않기 때문에, 콘택 플러그와 금속 배선 사이에 잔류물이 생성되는 것을 방지할 수

