



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I629769 B

(45)公告日：中華民國 107 (2018) 年 07 月 11 日

(21)申請案號：104131127

(22)申請日：中華民國 99 (2010) 年 07 月 14 日

(51)Int. Cl. : H01L27/12 (2006.01)

H01L29/786 (2006.01)

H01L21/84 (2006.01)

G02F1/1368 (2006.01)

(30)優先權：2009/07/17 日本

2009-169594

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；坂田淳一郎 SAKATA, JUNICHIRO (JP)；
三宅博之 MIYAKE, HIROYUKI (JP)；桑原秀明 KUWABARA, HIDEAKI (JP)；川
俣郁子 KAWAMATA, IKUKO (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2007/0072439A1

US 2008/0237598A1

US 2008/0299702A1

US 2005/00275038A1

審查人員：黃本立

申請專利範圍項數：9 項 圖式數：40 共 181 頁

(54)名稱

半導體裝置和其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

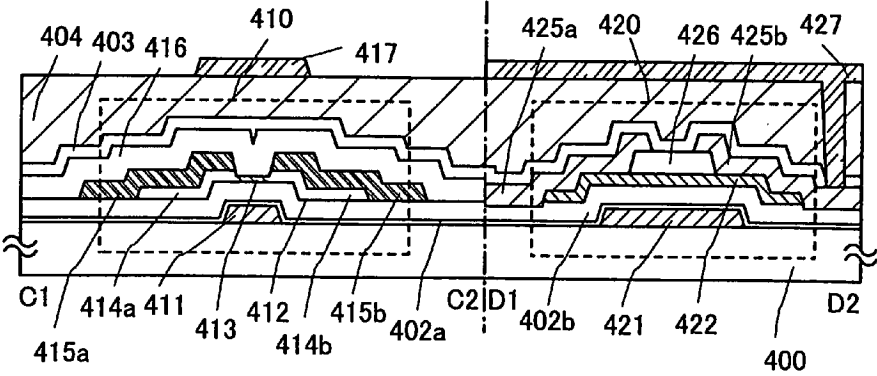
(57)摘要

本發明之一目的係增加半導體裝置之開口率。半導體裝置包括位於一基底上之一驅動器電路部分及一顯示部分(亦稱為像素部分)。該驅動器電路部分包括一用於驅動器電路之通道蝕刻電晶體，其中一源極電極和一汲極電極係使用金屬來形成而一通道層係由一氧化物半導體、及一使用金屬所形成之驅動器電路來形成。該顯示部分包括用於一像素之一通道保護薄膜電晶體，其中一源極電極層和一汲極電極層係使用氧化物導體來形成而一半導體層係由氧化物半導體、及一使用氧化物導體所形成之顯示部分佈線來形成。

An object is to increase an aperture ratio of a semiconductor device. The semiconductor device includes a driver circuit portion and a display portion (also referred to as a pixel portion) over one substrate. The driver circuit portion includes a channel-etched thin film transistor for a driver circuit, in which a source electrode and a drain electrode are formed using metal and a channel layer is formed of an oxide semiconductor, and a driver circuit wiring formed using metal. The display portion includes a channel protection thin film transistor for a pixel, in which a source electrode layer and a drain electrode layer are formed using an oxide conductor and a semiconductor layer is formed of an oxide semiconductor, and a display portion wiring formed using an oxide conductor.

指定代表圖：

圖 1B



符號簡單說明：

- 400 . . . 基底
- 402a . . . 第一閘極絕緣層
- 402b . . . 第二閘極絕緣層
- 403 . . . 保護絕緣層
- 404 . . . 平坦化絕緣層
- 410 . . . 薄膜電晶體
- 411 . . . 閘極電極層
- 412 . . . 氧化物半導體層
- 413 . . . 通道形成區
- 414a . . . 高電阻汲極區
- 414b . . . 高電阻汲極區
- 415a . . . 源極電極層
- 415b . . . 汲極電極層
- 416 . . . 氧化物絕緣層
- 417 . . . 導電層
- 420 . . . 薄膜電晶體
- 421 . . . 閘極電極層
- 422 . . . 氧化物半導體層
- 425a . . . 源極電極層
- 425b . . . 汲極電極層
- 426 . . . 氧化物絕緣層
- 427 . . . 像素電極層
- C1、C2 . . . 線段
- D1、D2 . . . 線段

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置和其製造方法

Semiconductor device and method for manufacturing the same

【技術領域】

本發明係有關一種包括氧化物半導體之半導體裝置以及一種其製造方法。

注意於本說明書中，半導體裝置指的是所有可利用半導體性質而作用之裝置，而諸如顯示裝置、半導體電路、及電子裝置等電光學裝置均為半導體裝置。

【先前技術】

一種透光金屬氧化物係使用於半導體裝置中。例如，一種諸如銦氧化錫（ITO）之導電金屬氧化物（於下文中稱為氧化物導體）被使用為一種透明電極材料，該材料係諸如液晶顯示等顯示裝置中所需要的。

此外，把透光金屬氧化物當作一種具有半導體性質之材料已吸引注意。例如，預期將一種 In-Ga-Zn-O 基的氧化物等使用為諸如液晶顯示之顯示裝置中所需要的半導體材料。特別地，預期這些材料將被用於薄膜電晶體（於下文中稱為 TFT）之通道層。

一種包括具有半導體性質之金屬氧化物（於下文中稱

爲氧化物半導體)可透過一種低溫程序來形成。已增加了針對將氧化物半導體當作取代或勝過顯示裝置等中所使用之非晶矽的材料之期待。

再者，氧化物導體及氧化物半導體均具有透光性質。因此，當使用氧化物導體及氧化物半導體以製造 TFT 時，該 TFT 可具有透光性質（例如，參見非專利文件 1）。

再者，其中使用了氧化物半導體之 TFT 具有高場效移動率。因此，顯示裝置等中之驅動器電路可使用 TFT 來形成（例如，參見非專利文件 2）。

[參考]

非專利文件 1：T. Nozawa. “Transparent Circuitry”, Nikkei Electronics No. 959, August 27, 2007, pp. 39-52。

非專利文件 2：T. Osada et al., “Development of Driver-Integrated Panel using Amorphous In-Ga-Zn-Oxide TFT”, Proc. SID’ 09 Digest, 2009, pp. 184-187。

【發明內容】

本發明之一實施例的目的在於減少半導體裝置之製造成本。

本發明之一實施例的目的在於增加半導體裝置之開口率。

本發明之一實施例的目的在於增加一半導體裝置之顯示部分上所顯示的影像之解析度。

本發明之一實施例的目的在於提供一種能夠執行高速操作的半導體裝置。

本發明之一實施例係一種半導體裝置，包括位於一基底上之一驅動器電路部分及一顯示部分（亦稱為像素部分）。該驅動器電路部分包括一驅動器電路薄膜電晶體及一驅動器電路佈線。該驅動器電路薄膜電晶體之源極電極（亦稱為源極電極層）和汲極電極（亦稱為汲極電極層）係使用金屬而形成，而該驅動器電路薄膜電晶體之通道層係使用氧化物半導體而形成。該驅動器電路佈線係使用金屬而形成。該顯示部分包括一像素薄膜電晶體及一顯示部分佈線。該像素薄膜電晶體之源極電極層和汲極電極層係使用氧化物導體而形成，而該像素薄膜電晶體之半導體層係使用氧化物半導體而形成。該顯示部分佈線係使用氧化物導體而形成。

具有底部閘極結構之一反向交錯式（inverted staggered）薄膜電晶體被使用為每一像素薄膜電晶體及驅動器電路薄膜電晶體。該像素薄膜電晶體係一通道保護（通道停止）薄膜電晶體，其中一通道保護層係形成於半導體層中之通道形成區上。反之，該驅動器電路薄膜電晶體係一通道蝕刻薄膜電晶體，其中一氧化物絕緣膜係接觸與一半導體層之部分，其係暴露於源極電極層與汲極電極層之間。

注意到非專利文件 1 中並未揭露 TFT 特定製造程序、半導體裝置中所包括之另一元件的特定結構，等等。

此外，對於其中形成驅動器電路及透光 TFT 於一基底上的製造程序並無任何描述。

於依據本發明之一實施例的半導體裝置中，在一基底上形成一包括驅動器電路 TFT 之驅動器電路部分及一包括像素 TFT 之顯示部分。因此，可減少半導體裝置之製造成本。

於依據本發明之一實施例的半導體裝置中，一顯示部分包括一像素 TFT 及一顯示部分佈線。使用氧化物導體以形成像素 TFT 之一源極電極及一汲極電極。使用氧化物半導體以形成像素 TFT 之半導體層。使用氧化物導體以形成顯示部分佈線。換言之，於半導體裝置中，一區域（其中係形成該像素 TFT 及該顯示部分佈線）可為一開口。因此，可增加半導體裝置之開口率。

於依據本發明之一實施例的半導體裝置中，一顯示部分包括一像素 TFT 及一顯示部分佈線。使用氧化物導體以形成像素 TFT 之一源極電極及一汲極電極，並使用氧化物半導體以形成像素 TFT 之半導體層。使用氧化物導體以形成顯示部分佈線。換言之，於半導體裝置中，可決定像素之尺寸而不受像素 TFT 之尺寸的限制。因此，可增加顯示於該半導體裝置之該顯示部分上的影像之解析度。

於依據本發明之一實施例的半導體裝置中，一驅動器電路部分包括一驅動器電路 TFT 及一驅動器電路佈線。使用金屬以形成該驅動器電路 TFT 之一源極電極及一汲

極電極，並使用氧化物半導體以形成該驅動器電路 TFT 之通道層。使用金屬以形成驅動器電路佈線。換言之，於半導體裝置中，一驅動器電路包括具有高場效移動率之 TFT 及具有低電阻之佈線。因此，半導體裝置能夠執行高速的操作。

作為本說明書中所使用之氧化物半導體，係形成由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 所表示之材料的薄膜，並製造包括該薄膜之薄膜電晶體。注意到 M 代表選自 Ga, Fe, Ni, Mn 及 Co 之一或更多金屬元素。例如，M 可為 Ga 或可為 Ga 及除了 Ga 外之上述金屬元素，例如，M 可為 Ga 及 Ni 或 Ga 及 Fe。此外，於氧化物半導體中，於某些情況下，諸如 Fe 或 Ni 等過渡金屬元素或過渡金屬之氧化物被包含為雜質元素，除了包含為 M 之金屬元素以外。於本說明書中，在其成分式由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 所表示之氧化物半導體層中，含有 Ga 為 M 之氧化物半導體被稱為 In-Ga-Zn-O 基的氧化物半導體，而 In-Ga-Zn-O 基的氧化物半導體之薄膜被稱為 In-Ga-Zn-O 基的非單晶膜。

當作用於氧化物半導體層之金屬氧化物，除了上述以外之任何下列金屬氧化物均可被使用：In-Sn-Zn-O 基的金屬氧化物；In-Al-Zn-O 基的金屬氧化物；Sn-Ga-Zn-O 基的金屬氧化物；Al-Ga-Zn-O 基的金屬氧化物；Sn-Al-Zn-O 基的金屬氧化物；In-Zn-O 基的金屬氧化物；Sn-Zn-O 基的金屬氧化物；Al-Zn-O 基的金屬氧化物；In-O 基的金屬氧化物；Sn-O 基的金屬氧化物；及 Zn-O 基的金屬氧化

物。矽氧化物可被包含於使用上述金屬氧化物所形成之氧化物半導體層中。

在其中執行熱處理於諸如氮之惰性氣體或稀有氣體（例如，氬或氦）的周圍環境中或減小的壓力下之情況下，氧化物半導體層係藉由熱處理而被改變為氧不足的氧化物半導體層以成為低電阻的氧化物半導體層，亦即， n 型（例如， n^- 型）氧化物半導體層。接著，氧化物半導體層係藉由一氧化物絕緣膜（其將接觸與氧化物半導體層）之形成而變為處於氧過度狀態。因此，氧化物半導體層之部分被變為高電阻的氧化物半導體層，亦即， i 型氧化物半導體層。因此，得以製造並提供一種具有理想電特性之高度可靠的薄膜電晶體。

針對脫水或脫氫，熱處理被執行在高於或等於 350 度 C 的溫度，最好是高於或等於 400 度 C 並低於基底之應變（strain）點，於諸如氮之惰性氣體或稀有氣體（例如，氬或氦）的周圍環境中或減小的壓力下，藉此可減少雜質，諸如氧化物半導體層中所含有的水。

氧化物半導體層接受脫水或脫氫於此一熱處理條件下，其中即使在接受脫水或脫氫之氧化物半導體層上以高達 450 度 C 執行 TDS（熱脫附能譜學 thermal desorption spectroscopy）仍不會檢測到約 300 度 C 左右之水的二峰值或水的至少一峰值。因此，即使在接受脫水或脫氫之氧化物半導體層上以高達 450 度 C 執行 TDS，仍不會檢測到約 300 度 C 左右之水的至少該峰值。

此外，重要的是：當溫度被降低自加熱溫度 T （在該溫度下執行脫水或脫氫於氧化物半導體層上），以防止水或氫被混入一熔爐中之氧化物半導體層，該氧化物半導體層不會暴露至空氣。當藉由將氧化物半導體層改變為低電阻氧化物半導體層（亦即，藉由脫水或脫氫之 n 型（例如， n^+ 型）氧化物半導體層）並接著藉由將該低電阻氧化物半導體層改變為高電阻氧化物半導體層以成為 i 型半導體層而獲得之氧化物半導體層來形成薄膜電晶體時，該薄膜電晶體之臨限電壓可為正電壓，藉此可實現一種所謂的正常關（normally-off）切換元件。最好是一半導體裝置（一顯示裝置）中之通道形成有正臨限電壓，其係盡可能接近 $0V$ ，於一薄膜電晶體中。注意：假如薄膜電晶體之臨限電壓為負，則薄膜電晶體傾向為正常開（normally on）；換言之，即使當閘極電壓為 $0V$ 時仍有電流流動於源極電極與汲極電極之間。於主動矩陣顯示裝置中，一電路中所包括之薄膜電晶體的電特性是重要的，而且會影響該顯示裝置之性能。在薄膜電晶體的電特性中，臨限電壓（ V_{th} ）是特別重要的。當臨限電壓為高或負（即使當場效移動率為高）時，仍難以控制該電路。於其中薄膜電晶體具有高臨限電壓及其臨限電壓之大的絕對值的情況下，該薄膜電晶體無法執行切換功能（如 TFT）且可能當以低電壓驅動時成為負載。於 n 通道薄膜電晶體之情況下，最好是形成一通道且汲極電流僅在供應正電壓為閘極電壓後流動。下列兩種電晶體不適合當作一電路中所使用之薄膜

電晶體：一種電晶體（其中除非升高驅動電壓否則不形成通道）及一種電晶體（其中係形成通道且即使當供應負電壓時仍有汲極電流流動）。

此外，其中已從加熱溫度 T 降低溫度之氣體周圍環境可被切換為其中溫度被升高至加熱溫度 T 之氣體周圍環境。例如，在一熔爐中執行脫水或脫氫之後，以高純度氧氣、高純度 N_2O 氣或超乾空氣（具有 -40 度 C 或更低的露點，最好是 -60 度 C 或更低）填充該熔爐以執行冷卻，使該氧化物半導體層不暴露至空氣。

使用一種於一周圍環境中緩慢冷卻（或冷卻）之氧化物半導體膜以增進薄膜電晶體之電特性，其中該周圍環境在藉由熱處理以利脫水或脫氫而減少該膜中所含有的水之後不含濕氣（具有 -40 度 C 或更低的露點，最好是 -60 度 C 或更低）；並實現了可大量製造之高性能薄膜電晶體。

於本說明書中，於諸如氮之惰性氣體或稀有氣體（例如，氬或氦）的周圍環境中或減小的壓力下所執行的熱處理被稱為「用於脫水或脫氫之熱處理」。於本說明書中，「脫氫」並不表示藉由此熱處理僅去除 H_2 。為了便於說明， H 、 OH 等之去除稱為「脫水或脫氫」。

在其中於諸如氮之惰性氣體或稀有氣體（例如，氬或氦）的周圍環境中或減小的壓力下執行熱處理的情況下，氧化物半導體層係藉由熱處理而被改變為氧不足的氧化物半導體層以成為低電阻的氧化物半導體層，亦即， n 型（例如， n^- 型）氧化物半導體層。之後，一與汲極電極層

重疊之區域被形成爲高電阻的汲極區（亦稱爲 HRD 區），其爲氧不足區。

明確地，高電阻汲極區之載子濃度係高於或等於 $1 \times 10^{17}/\text{cm}^3$ 且至少高於通道形成區（低於 $1 \times 10^{17}/\text{cm}^3$ ）之載子濃度。注意本說明書中的載子濃度是由室溫下之霍爾效應測量所獲得的載子濃度。

接著，接受脫水或脫氫之氧化物半導體層的至少部分變爲處於過氧狀態，以成爲高電阻的氧化物半導體層，亦即，i 型氧化物半導體層，藉此形成一通道形成區。當作使氧化物半導體層之部分於過氧狀態下接受脫水或脫氫的處理，係執行：藉由濺射法之氧化物絕緣膜（其將與接受脫水或脫氫之氧化物半導體層接觸）的沉積；在該氧化物絕緣膜之沉積後的熱處理；於氧周圍環境中之熱處理；或在惰性氣體周圍環境中之熱處理後於氧周圍環境或者超乾空氣（具有 -40 度 C 或更低的露點，最好是 -60 度 C 或更低）中之冷卻處理；等等。

再者，爲了使接受脫水或脫氫之氧化物半導體層的至少部分（與閘極電極層重疊之一部分）作用爲通道形成區，該氧化物半導體層被選擇性地變爲處於過氧狀態以成爲高電阻的氧化物半導體層，亦即，i 型氧化物半導體層。通道形成區可被形成以使得使用 Ti 等之金屬電極所形成的源極電極層及汲極電極層被形成於其接受脫水或脫氫之氧化物半導體層上並與該層接觸，而一未與該源極電極層及該汲極電極層重疊之暴露區被選擇性地變爲處於過

氧狀態。於其中該暴露區被選擇性地變為處於過氧狀態的情況下，形成一重疊與該源極電極層之第一高電阻汲極區及一重疊與該汲極電極層之第二高電阻汲極區，且該通道形成區被形成於該第一高電阻汲極區與該第二高電阻汲極區之間。換言之，該通道形成區係以一種自對準方式形成於該源極電極層與該汲極電極層之間。

因此，得以製造並提供一種半導體裝置，其包括具有理想電特性之高度可靠的薄膜電晶體。

注意到藉由形成高電阻汲極區於氧化物半導體層之部分，其係重疊與汲極電極層（和源極電極層），則可增進當形成驅動器電路之時刻的可靠度。明確地，藉由形成高電阻汲極區，則可獲得一種結構，其中導電性可經由高電阻汲極區而從汲極電極層變化至通道形成區。因此，於其中執行操作以使汲極電極層連接至一佈線以便供應高電力供應電位 V_{DD} 之情況下，高電阻汲極區係作用為緩衝器，而因此即使施加高電場於閘極電極層與汲極電極層之間時仍不會局部地施加高電場，其導致電晶體之承受電壓的增加。

此外，藉由形成高電阻汲極區於氧化物半導體層之部分，其係重疊與汲極電極層（和源極電極層），則可減少當形成驅動器電路之時刻於通道形成區中的漏電流量。明確地，藉由形成高電阻汲極區，則電晶體之漏電流（其係流動於汲極電極層與源極電極層之間）便從汲極電極層流經汲極電極層側上之高電阻汲極區、通道形成區、及源極

電極層側上之高電阻汲極區而至源極電極層。於此情況下，在通道形成區中，從汲極電極層側上之低電阻 N 型區流至通道形成區之漏電流可被集中在通道形成區與閘極絕緣層之間的介面附近，其具有高電阻在當電晶體關閉時。因此，可減少背通道部分（通道形成區之表面的部分，其係遠離閘極電極層）中之漏電流的量。

再者，重疊與源極電極層之第一高電阻汲極區及重疊與汲極電極層之第二高電阻汲極區係重疊與閘極電極層之部分，根據該閘極電極層之厚度而有閘極絕緣層介於其間，且可更有效地減少汲極電極層之邊緣部分附近的電場之強度。

本說明書中所揭露之本發明的一實施例為一種半導體裝置，其包括於一基底上之一包括第一薄膜電晶體的像素部分及一包括第二薄膜電晶體的驅動器電路。該第一薄膜電晶體包括一位於基底上之閘極電極層、一位於該閘極電極層上之閘極絕緣層、一位於該閘極絕緣層上之氧化物半導體層、一接觸與該氧化物半導體層之部分的第一氧化物絕緣層、位於該第一氧化物絕緣層上之一源極電極層和一汲極電極層、及一位於該第一氧化物絕緣層上之像素電極層。該第一薄膜電晶體之該閘極電極層、該閘極絕緣層、該氧化物半導體層、該源極電極層、該汲極電極層、該第一氧化物絕緣層、及該像素電極層均具有透光性質。該第二薄膜電晶體之源極電極和汲極電極被覆蓋以一第二氧化物絕緣層，其係使用與該第一薄膜電晶體之該源極電極層

和該汲極電極層不同的材料所形成，且為具有較該第一薄膜電晶體之該源極電極層和該汲極電極層更低的電阻之導電材料。

本說明書中所揭露之本發明的一實施例為一種半導體裝置之製造方法。該方法包括下列步驟：形成一第一閘極電極層及一第二閘極電極層；形成一閘極絕緣層於該第一閘極電極層及該第二閘極電極層上；於該閘極絕緣層上形成一第一氧化物半導體層以重疊與該第一閘極電極層及一第二氧化物半導體層以重疊與該第二閘極電極層；防止水和氫混入該第一氧化物半導體層及該第二氧化物半導體層，而在脫水或脫氫後使該第一氧化物半導體層及該第二氧化物半導體層不會暴露至空氣；形成一第二源極電極層及一第二汲極電極層於該第二氧化物半導體層上；形成一第二氧化物絕緣層以接觸與該第二氧化物半導體層之部分及一位於該第一氧化物半導體層之一區域上的第一氧化物絕緣層，其係重疊與該第一閘極電極層；形成一第一源極電極層及一第一汲極層於該第一氧化物半導體層及該第一氧化物絕緣層上；形成一保護絕緣層於該第一氧化物絕緣層、該第一源極電極層、該第一汲極電極層、和該第二氧化物絕緣層上；以及於該保護絕緣層上形成一像素電極層以便電連接至該第一汲極電極層或該第一源極電極層、和一導電層以便重疊與該第二氧化物半導體層。

於上述結構中，該第二薄膜電晶體之氧化物半導體層可包括一區域，其厚度係小於重疊與該源極電極層或汲極

電極層之區域的厚度。可力。可利用一種結構，其中該第二薄膜電晶體之氧化物半導體層包括一通道形成區，其厚度係小於重疊與該源極電極層或汲極電極層之區域的厚度，且一導電層被提供於該通道形成區上而使該第二氧化物絕緣層位於其間。

因為該第一氧化物絕緣層與該第二氧化物絕緣層可被形成於相同步驟，所以可使用相同的透光絕緣材料來形成之。

該第二薄膜電晶體之源極電極層和汲極電極層最好是使用一種金屬導電膜來形成，該金屬導電膜係諸如含有選自 Al、Cr、Cu、Ta、Ti、Mo、及 W 之元素當作其主成分的膜或者係由含上述元素之合金所形成的堆疊膜。

反之，該第一薄膜電晶體之該源極電極層、該汲極電極層、和該像素電極層最好是使用氧化銦之透光導電膜、氧化銦與氧化錫之合金、氧化銦與氧化鋅之合金、或氧化鋅來形成。

於上述結構中，一電容部分可被進一步設於相同基底上。該電容部分可包括一電容佈線及一重疊與該電容佈線之電容電極。該電容佈線及該電容電極可具有透光性質。

可包括該第二薄膜電晶體之該氧化物半導體層中的一高電阻汲極區，其係重疊與該源極電極層或該汲極電極層。

注意於本說明書中諸如「第一」及「第二」等序號係為了便於使用且不代表各步驟之順序及各層之堆疊順序。

此外，本說明書中之序號並不代表指明本發明之特定名稱。

作為包括驅動器電路之顯示裝置，除了液晶顯示裝置外，係提供一種其中使用發光元件之發光顯示裝置及一種其中使用電泳顯示元件之顯示裝置（其亦被稱為「電子紙」）。

於一種其中使用發光元件之發光顯示裝置中，一像素部分包括複數薄膜電晶體。該像素部分包括一區，其中一薄膜電晶體之閘極電極係連接至另一薄膜電晶體之一源極佈線（亦稱為源極佈線層）或一汲極佈線（亦稱為汲極佈線層）。此外，於其中使用發光元件之發光顯示裝置的驅動器電路中，有一區域，其中一薄膜電晶體之閘極電極係連接至該薄膜電晶體之一源極佈線或一汲極佈線。

可製造並提供一種具有穩定電特性之薄膜電晶體。因此，可提供一種半導體裝置，其包括具理想電特性之高度可靠的薄膜電晶體。

【圖式簡單說明】

於後附圖形中：

圖 1A1、1A2、1B 及 1C 為顯示一種半導體裝置之視圖；

圖 2A 至 2E 為顯示一種半導體裝置之製造方法的視圖；

圖 3A 至 3E 為顯示一種半導體裝置之製造方法的視

圖；

圖 4A 至 4E 為顯示一種半導體裝置之製造方法的視

圖；

圖 5A 至 5C 為顯示一種半導體裝置之製造方法的視

圖；

圖 6A 至 6D 為顯示一種半導體裝置之製造方法的視

圖；

圖 7A 及 7B 為各顯示一半導體裝置之視圖；

圖 8A 及 8B 為各顯示一半導體裝置之視圖；

圖 9A 及 9B 為各顯示一半導體裝置之視圖；

圖 10A1、10A2 及 10B 為各顯示一半導體裝置之視

圖；

圖 11A 及 11B 為各顯示一半導體裝置之視圖；

圖 12 為顯示一半導體裝置中之一像素的等效電路之視圖；

圖 13A 至 13C 為各顯示一半導體裝置之視圖；

圖 14A 及 14B 為各顯示一半導體裝置之方塊圖；

圖 15A 及 15B 個別為一信號線驅動器電路之電路圖及時序圖；

圖 16A 至 16D 為各顯示一移位暫存器之組態的視圖；

圖 17A 及 17B 個別為一移位暫存器之電路圖及時序圖；

圖 18 為顯示一半導體裝置之視圖；

圖 19 為顯示一半導體裝置之視圖；

圖 20 為顯示一種電子書閱讀器之範例的外部視圖；

圖 21A 及 21B 個別為顯示一電視裝置及一數位相框之範例的外部視圖；

圖 22A 及 22B 為各顯示一遊戲機之範例的外部視圖；

圖 23A 及 23B 個別為顯示一可攜式電腦及一行動電話之範例的外部視圖；

圖 24 為顯示一半導體裝置之視圖；

圖 25 為顯示一半導體裝置之視圖；

圖 26 為顯示一半導體裝置之視圖；

圖 27 為顯示一半導體裝置之電路圖；

圖 28 為顯示一半導體裝置之視圖；

圖 29 為顯示一半導體裝置之視圖；

圖 30 為顯示一半導體裝置之視圖；

圖 31 為顯示一半導體裝置之電路圖；

圖 32 為顯示一半導體裝置之視圖；

圖 33 為顯示一半導體裝置之視圖；

圖 34 為顯示一半導體裝置之視圖；

圖 35 為顯示一半導體裝置之視圖；

圖 36 為顯示一半導體裝置之視圖；

圖 37 為顯示一半導體裝置之視圖；

圖 38 為顯示一半導體裝置之視圖；

圖 39A 至 39D 為顯示一種半導體裝置之製造方法的

視圖；及

圖 40A 至 40C 為顯示一種半導體裝置之製造方法的視圖。

【實施方式】

將參考後附圖形以詳細地描述實施例。注意到本發明並不限定於後續的描述，且可由熟悉此項技術人士輕易地瞭解到可多樣地改變模式及細節而不背離本發明之精神及範圍。因此，本發明不應被視為限定於後續實施例之描述。於以下提供之結構中，相同部分或具有類似功能之部分係由相同參考數字表示於不同的圖形中，且將不重複其解釋。

（實施例 1）

將參考圖 1A1 至 1C、圖 2A 至 2E 及圖 3A 至 3E 以描述一種半導體裝置及一種半導體裝置之製造方法的一實施例。

圖 1A1 至 1C 顯示形成於一基底上具有不同結構之兩電晶體的橫斷面結構之範例。於圖 1A 至 1C 中，薄膜電晶體 410 具有一種稱為通道蝕刻型之底部閘極結構，及薄膜電晶體 420 具有一種稱為通道保護型（亦稱為通道停止型）之底部閘極結構。薄膜電晶體 410 及 420 亦稱為反向交錯式（inverted staggered）薄膜電晶體。

圖 1A1 為一配置於驅動器電路中之通道蝕刻薄膜電晶

體 410 的平面圖。圖 1B 為沿著圖 1A1 之線段 C1-C2 所取之橫斷面視圖。圖 1C 為沿著圖 1A1 之線段 C3-C4 所取之橫斷面視圖。

配置於驅動器電路中之薄膜電晶體 410 為一種通道蝕刻薄膜電晶體並包括一閘極電極層 411；一第一閘極絕緣層 402a；一第二閘極絕緣層 402b；一包括至少一通道形成區 413、一第一高電阻汲極區 414a、及一第二高電阻汲極區 414b 之氧化物半導體層 412；一源極電極層 415a；及一汲極電極層 415b，於一具有絕緣表面之基底 400 上。此外，提供一氧化物絕緣層 416，其係覆蓋薄膜電晶體 410 並接觸與通道形成區 413。

第一高電阻汲極區 414a 被形成以一自對準方式來接觸與源極電極層 415a 之底部表面。第二高電阻汲極區 414b 被形成以一自對準方式來接觸與汲極電極層 415b 之底部表面。通道形成區 413 係接觸與氧化物絕緣層 416，具有小厚度，且為具有較第一高電阻汲極區 414a 及第二高電阻汲極區 414b 更高之電阻的區域（亦即，i 型區）。

為了使一佈線之電阻降低於薄膜電晶體 410 中，最好是使用金屬材料於源極電極層 415a 及汲極電極層 415b。

當一像素部分及一驅動器電路部分被形成於一液晶顯示裝置中之一基底上時，於驅動器電路中，僅有正電壓與負電壓之一被供應於包括在邏輯閘（諸如反相器電路、NAND 電路、NOR 電路、或門鎖電路）中的薄膜電晶體及包括在類比電路（諸如感測放大器、恆定電壓產生電路、

或 VCO) 中的薄膜電晶體之源極電極與汲極電極之間。因此，需要高承受電壓之第二高電阻汲極區 414b 的寬度可被設計成大於第一高電阻汲極區 414a 之寬度。此外，可增加其重疊與閘極電極層之第一高電阻汲極區 414a 和第二高電阻汲極區 414b 的寬度。

配置於驅動器電路中之薄膜電晶體 410 係使用一種單閘極薄膜電晶體來描述，而當需要時則可形成一種包括複數通道形成區之多閘極薄膜電晶體。

再者，一導電層 417 被設於通道形成區 413 上方以重疊與通道形成區 413。導電層 417 係電連接至閘極電極層 411 以致導電層 417 與閘極電極層 411 具有相同的電位，藉此可從置於閘極電極層 411 與導電層 417 之間的氧化物半導體層上方或下方供應閘極電壓。另一方面，當閘極電極層 411 及導電層 417 被形成為具有不同的電位時，例如，當導電層 417 具有固定電位 (GND 或 0V) 時，則可控制 TFT 之電特性，諸如臨限電壓。換言之，閘極電極層 411 係作用為第一閘極電極層而導電層 417 係作用為第二閘極電極層，藉此薄膜電晶體 410 可被使用為具有四個終端之薄膜電晶體。

此外，一保護絕緣層 403 及一平坦化絕緣層 404 被堆疊於導電層 417 與氧化物絕緣層 416 之間。

保護絕緣層 403 最好是接觸與設於保護絕緣層 403 下方之第一閘極絕緣層 402a 或者一作用為基板之絕緣膜，並阻擋諸如水、氫離子、及 OH^- 等雜質從基底之側表面

進入。特別有效的是使用一種矽氮化物膜當作第一閘極絕緣層 402a 或者是絕緣膜以當作基板，其係接觸與保護絕緣層 403。

圖 1A2 為為一配置於像素部分中之通道保護薄膜電晶體 420 的平面圖。圖 1B 為沿著圖 1A2 之線段 D1-D2 所取之橫斷面視圖。圖 1C 為沿著圖 1A2 之線段 D3-D4 所取之橫斷面視圖。

配置於像素中之薄膜電晶體 420 為一種通道保護薄膜電晶體並包括一閘極電極層 421；第一閘極絕緣層 402a；第二閘極絕緣層 402b；一包括通道形成區之氧化物半導體層 422；一作用為通道保護層之氧化物絕緣層 426；一源極電極層 425a；及一汲極電極層 425b，於具有絕緣表面之基底 400 上。此外，提供提供保護絕緣層 453 以覆蓋薄膜電晶體 420 並接觸與氧化物絕緣層 426、源極電極層 425a、和汲極電極層；且平坦化絕緣層 404 被堆疊於保護絕緣層 453 上。一像素電極層 427 被設於平坦化絕緣層 404 上以接觸與汲極電極層 425b，而因此電連接至薄膜電晶體 420。

在沉積氧化物半導體膜之後執行熱處理以減少諸如水等雜質（用於脫水或脫氫之熱處理）。減少氧化物半導體層之載子濃度（例如，藉由在用於脫水或脫氫之熱處理及逐漸冷卻後形成一氧化物絕緣層以接觸與氧化物半導體層）會導致薄膜電晶體 420 之電特性及可靠度的改善。

配置於像素中之薄膜電晶體 420 的通道形成區係氧化

物半導體層 422 之一區，其係接觸與氧化物絕緣層 426，氧化物絕緣層 426 為通道保護層並重疊與閘極電極層 421。因為薄膜電晶體 420 係由氧化物絕緣層 426 所保護，所以可防止氧化物半導體層 422 被蝕刻於一用以形成源極電極層 425a 及汲極電極層 425b 之蝕刻步驟中。

為了實現具有高開口率之顯示裝置，源極電極層 425a 及汲極電極層 425b 係使用一種透光導電膜來形成以致該薄膜電晶體可作用為透光薄膜電晶體。

再者，透光導電膜亦被使用於薄膜電晶體 420 中之閘極電極層 421。

於其中配置薄膜電晶體 420 之像素中，一傳輸可見光之導電膜被用於像素電極層 427 或另一電極層（例如，電容電極層）或另一佈線層（例如，電容佈線層），其實現了具有高開口率之顯示裝置。無須贅述，最好是將一種傳輸可見光之導電膜使用於第一閘極絕緣層 402a、第二閘極絕緣層 402b、及氧化物絕緣層 426。

於本說明書中，一傳輸可見光之膜稱為一具有 75% 至 100% 之可見光透射率的膜；當該膜具導電性時，其亦被稱為透明導電膜。此外，對於可見光半透明的導電膜可被用於一用以塗敷至閘極電極層、源極電極層、汲極電極層、像素電極層、或另一電極層或另一佈線層之金屬氧化物。對於可見光之半透明性表示其可見光透射率為 50% 至 75%。

以下參考圖 2A 至 2E 及圖 3A 至 3E 來描述於一基底

上製造薄膜電晶體 410 及 420 之步驟。

首先，一透光導電膜被形成於具有絕緣表面之基底 400 上，且接著閘極電極層 411 及 421 被形成於一第一光微影步驟。此外，一電容佈線層被形成於一像素部分中，從與該第一光微影步驟中之閘極電極層 411 及 421 相同的材料。再者，當一驅動器電路中除了像素部分外還需要電容時，該電容佈線層亦被形成於該驅動器電路中。注意可藉由一種噴墨方法以形成一抗蝕劑遮罩。當藉由噴墨方法以形成抗蝕劑遮罩時並不使用光遮罩，其導致製造成本之減少。

雖然對於可被使用為具有絕緣表面之基底 400 的基底並無特別限制，但該基底需具有足夠高以承受稍後將執行之熱處理的熱抗性。具有絕緣表面之基底 400 可使用硼矽酸鋇玻璃、硼矽酸鋁玻璃之玻璃基底，等等。

當稍後將執行之熱處理的溫度很高時，則最好是使用具有 730 度 C 或更高之應變點的基底為基底 400。當作玻璃基底之材料，係使用（例如）玻璃材料，諸如鋁矽酸鹽玻璃、硼矽酸鋁玻璃、或硼矽酸鋇玻璃。注意藉由含有較三氧化二硼更大量的氧化硼（BaO），使玻璃基底可成為更實際的抗熱玻璃。因此，最好是使用含有較 B_2O_3 更大量的 BaO 之玻璃基底。

注意：可使用由絕緣體所形成的基底（諸如陶瓷基底、石英基底、或藍寶石基底）以取代玻璃基底。另一方面，可使用結晶化玻璃等。

可提供一作用為基礎膜之絕緣膜於基底 400 與閘極電極層 411 及 421 之間。該基礎膜具有防止來自基底 450 之雜質元素的擴散之功能，且可被形成為使用矽氮化物膜、矽氧化物膜、矽氮化物氧化物膜、及矽氮氧化物膜之一者或更多的單層結構或層疊結構。

當作用於閘極電極層 411 及 421 之材料，可使用傳輸可見光之導電材料，例如，下列金屬氧化物之任一：In-Sn-Zn-O 基的金屬氧化物；In-Al-Zn-O 基的金屬氧化物；Sn-Ga-Zn-O 基的金屬氧化物；Al-Ga-Zn-O 基的金屬氧化物；Sn-Al-Zn-O 基的金屬氧化物；In-Zn-O 基的金屬氧化物；Sn-Zn-O 基的金屬氧化物；Al-Zn-O 基的金屬氧化物；In-O 基的金屬氧化物；Sn-O 基的金屬氧化物；及 Zn-O 基的金屬氧化物。閘極電極層 411 及 421 之厚度被適當地設定於 50 nm 至 300 nm 之範圍內。用於閘極電極層 411 及 421 之金屬氧化物係藉由濺射法、真空蒸鍍法（例如，電子束蒸鍍法）、電弧放電離子電鍍法、或噴霧法而被沉積。當使用濺射法時，最好是使用含有重量百分比 2 至 10 之 SiO_2 以及抑制透光導電膜中含有結晶化之 SiO_x ($x>0$) 的靶材來執行沉積，以防止稍後步驟中用於脫水或脫氫之熱處理時的結晶化。

接下來，一閘極絕緣層被形成於閘極電極層 411 及 421 上。

閘極絕緣層可藉由電漿 CVD 法、濺射法等等而被形成於矽氧化物層、矽氮化物層、矽氮氧化物層、及矽氮/

氧化物氧化物層。例如，可藉由一種電漿 CVD 法而將 SiH_4 、氧、及氮使用為沉積氣體來形成矽氮氧化物層。

於本實施例中，閘極絕緣層為包含有 50 nm 至 200 nm 之厚度的第一閘極絕緣層 402a 及包含有 50 nm 至 300 nm 之厚度的第二閘極絕緣層 402b 之堆疊。使用 100 nm 厚的矽氮化物膜或矽氮化物氧化物膜為第一閘極絕緣層 402a。使用 100 nm 厚的矽氧化物膜為第二閘極絕緣層 402b。

包含有 2 nm 至 200 nm 之厚度的氧化物半導體膜 430 被形成於第二閘極絕緣層 402b 上。氧化物半導體膜 430 最好是具有 50 nm 或更少的厚度以保持於非晶狀態，即使當形成氧化物半導體膜 430 後執行用於脫水或脫氫之熱處理時。氧化物半導體膜之小厚度使其得以防止氧化物半導體膜被結晶化，即使當形成氧化物半導體膜後執行熱處理時。

注意：在藉由濺射法以形成氧化物半導體膜 430 之前，最好是藉由反濺射（其中係藉由引入氬氣而產生電漿）以移除附著至第二閘極絕緣層 402b 之表面的灰塵。反濺射指的是一種方法，其中（無須將電壓供應至靶側）在氬周圍環境中使用 RF 電源以將電壓供應至基底側以致電漿被產生於基底附近來修飾表面。注意：可使用氮、氮、氧等等以取代氬周圍環境。

當作氧化物半導體膜 430，係使用：In-Ga-Zn-O 基的非單晶膜；In-Sn-Zn-O 基的氧化物半導體膜；In-Al-Zn-O

基的氧化物半導體膜；Sn-Ga-Zn-O 基的氧化物半導體膜；Al-Ga-Zn-O 基的氧化物半導體膜；Sn-Al-Zn-O 基的氧化物半導體膜；In-Zn-O 基的氧化物半導體膜；Sn-Zn-O 基的氧化物半導體膜；Al-Zn-O 基的氧化物半導體膜；In-O 基的氧化物半導體膜；Sn-O 基的氧化物半導體膜；或 Zn-O 基的氧化物半導體膜。於本實施例中，氧化物半導體膜 430 係藉由一種利用 In-Ga-Zn-O 基的氧化物半導體靶之濺射法來形成。另一方面，氧化物半導體膜 430 之形成可藉由濺射法於：稀有氣體（典型為氬）周圍環境、氧周圍環境、或含有稀有氣體（典型為氬）及氧之周圍環境。當使用濺射法時，最好是使用含有重量百分比 2 至 10 之 SiO_2 以及抑制氧化物半導體膜 430 中含有結晶化之 SiO_x ($x>0$) 的靶材來執行沉積，以防止稍後步驟中用於脫水或脫氫之熱處理時的結晶化。

氧化物半導體膜最好是含有 In，更理想的是含有 In 及 Ga。在獲得 i 型（本質）氧化物半導體膜時，脫水或脫氫是有效的。

接著，於第二光微影步驟中，氧化物半導體膜 430 被處理成島狀的氧化物半導體層。用以形成島狀半導體層之抗蝕劑遮罩可藉由噴墨法而被形成。藉由噴墨法之抗蝕劑遮罩的形成不需要光罩，其導致製造成本之減少。

接著，氧化物半導體層接受脫水或脫氫。用於脫水或脫氫之熱處理的溫度為 350 度 C 或更高且低於基底之應變點，最好是 400 度 C 或更高。於此，基底被置入一電熔爐

（其為一種熱處理設備）且熱處理係於氮周圍環境中被執行於氧化物半導體層上，並接著防止水及氫混入氧化物半導體層，使該氧化物半導體層不暴露至空氣；因此，獲得氧化物半導體層 431 及 432（參見圖 2B）。於本實施例中，在氮周圍環境下執行緩慢冷卻於一熔爐中，從執行脫水或脫氫於氧化物半導體層的加熱溫度 T 至足夠低以防止水進入的溫度；明確地，緩慢冷卻被執行直到溫度從加熱溫度 T 下降 100 度 C 或多的溫度。脫水或脫氫之周圍環境不限定於氮周圍環境，而可替代地執行脫水或脫氫於稀有氣體周圍環境（例如，氮、氖、或氬）中或者於減小的壓力下。

注意：於第一熱處理中，最好是在氮或稀有氣體（諸如氮、氖、或氬）中不含有水、氫，等等。另一方面，被引入熱處理設備中的氮或稀有氣體（諸如氮、氖、或氬）之純度最好是 6N（99.9999%）或更高，更理想的是 7N（99.99999%）或更高（亦即，雜質濃度最好是 1 ppm 或更低，更理想的是 0.1 ppm 或更低）。

於某些情況下，氧化物半導體層被結晶化以成為微晶膜或多晶膜，取決於第一熱處理之條件或氧化物半導體膜之材料。

氧化物半導體層之第一熱處理可被執行於氧化物半導體膜 430 上，在將氧化物半導體膜處理成島狀氧化物半導體層之前。於該情況下，在第一熱處理之後，基底被取出加熱設備，並接著執行光微影步驟。

在氧化物半導體膜 430 之沉積前，包含於閘極絕緣層中之諸如氫及水等雜質可藉由在惰性稀有氣體周圍環境（例如，氮、氬、氦、或氫）或氧周圍環境中或在減小的電壓下執行熱處理（高於或等於 400 度 C 並低於基底之應變點）而被移除。

接下來，一金屬導電膜被形成於第二閘極絕緣層 402b 及氧化物半導體層 431 和 432 上，且接著抗蝕劑遮罩 433a 及 433b 被形成於第三光微影步驟中，而金屬導電膜被選擇性地蝕刻以形成金屬電極層 434 及 435（參見圖 2C）。用於金屬導電膜之材料的範例包括選自 Al、Cr、Cu、Ta、Ti、Mo、及 W 之元素；含有這些元素當作成分的合金；及含有這些元素之組合的合金。

金屬導電膜最好是具有一種三層結構，其中鋁層被堆疊於鈦層上而鈦層被堆疊於該鋁層上；或是一種三層結構，其中鋁層被堆疊於鉬層上而鉬層被堆疊於該鋁層上。無須贅述，金屬導電膜可具有單層結構、雙層結構、或四層以上之層疊結構。

用以形成金屬電極層 434 及 435 之抗蝕劑遮罩可藉由噴墨法來形成。藉由噴墨法來形成抗蝕劑遮罩不需要光罩，其導致製造成本之減少。

接著，抗蝕劑遮罩 433a 及 433b 被移除，抗蝕劑遮罩 436a 及 436b 被形成於第四光微影步驟中，且金屬電極層 434 被選擇性地蝕刻以形成源極電極層 415a 及汲極電極層 415b（參見圖 2D）。注意：於第四光微影步驟中，僅

有氧化物半導體層 431 之部分被蝕刻，藉此形成一具有溝槽（凹陷部分）之氧化物半導體層 437。用以形成溝槽（凹陷部分）之抗蝕劑遮罩 436a 及 436b 可藉由噴墨法而被形成。藉由噴墨法來形成抗蝕劑遮罩不需要光罩，其導致製造成本之減少。

接著，抗蝕劑遮罩 436a 及 436b 被移除，一用以覆蓋氧化物半導體層 437 之抗蝕劑遮罩 438 被形成於第五步驟中，且氧化物半導體層 432 上之金屬電極層 435 被移除（參見圖 2E）。

注意：爲了移除重疊與氧化物半導體層 432 之金屬電極層 435 於第五步驟中，氧化物半導體層 432 和金屬電極層 435 之材料以及蝕刻條件被適當地調整以致在金屬電極層 435 之蝕刻時不會移除了氧化物半導體層 432。

一作用爲保護絕緣膜之氧化物絕緣膜 439 被形成以接觸與氧化物半導體層 432 之頂部表面和側表面及氧化物半導體層 437 中之溝槽（凹陷部分）。

氧化物絕緣膜 439 具有至少 1 nm 之厚度且可適當地由一種方法來形成，藉由該方法則不會有諸如水及氫等雜質混入氧化物絕緣膜 439，諸如一種濺射法。於本實施例中，300 nm 厚的矽氧化物膜係藉由濺射法而被形成爲氧化物絕緣膜 492。膜沉積時之基底溫度係落入室溫至 300 度 C 之範圍內，且於本實施例中爲 100 度 C。矽氧化物膜可藉由濺射法而被沉積於稀有氣體（典型爲氬）周圍環境、氧周圍環境、或含有稀有氣體（典型爲氬）及氧之周

圍環境。此外，矽氧化物靶或矽靶可被使用為靶材。例如，藉由濺射法，矽氧化物膜可使用矽靶而被形成於含有氧及氮之周圍環境中。氧化物絕緣膜 439（其被形成以接觸與低電阻氧化物半導體層）係使用不含雜質（諸如水、氫離子、及 OH^- ）並阻擋此類雜質從外部進入之無機絕緣膜，典型的為矽氧化物膜、矽氮化物氧化物膜、鋁氧化物膜、或鋁氮氧化物膜。

接下來，執行第二熱處理（最好是 200 度 C 至 400 度 C 之間，例如 250 度 C 至 350 度 C 之間）於惰性氣體周圍環境或氧氣周圍環境中（參見圖 3A）。例如，第二熱處理在 250 度 C 被執行一小時於氮周圍環境中。利用第二熱處理，執行加熱而使氧化物半導體層 437 中之溝槽及氧化物半導體層 432 之頂部表面和側表面接觸與氧化物絕緣膜 439。

透過上述步驟，用於脫水或脫氫之熱處理在沉積後被執行於氧化物半導體膜上以減少電阻，且接著氧化物半導體膜之部分被選擇性地變為處於氧過度狀態。因此，重疊與閘極電極層 411 之通道形成區 413 變為本質性，而重疊與源極電極層 415a 之第一高電阻汲極區 414a 及重疊與汲極電極層 415b 之第二高電阻汲極區 414b 被形成以一種自對準之方式。此外，重疊與閘極電極層 421 之整個氧化物半導體層 422 變為本質性。

然而，當熱處理被執行於氮周圍環境或惰性氣體周圍環境中或者於減小的電壓下而使高電阻（i 型）氧化物半

導體層 422 暴露時，則高電阻（i 型）氧化物半導體層 422 之電阻被減小。為此原因，使氧化物半導體層 422 暴露而執行之熱處理被執行於氧氣或 N₂O 氣體周圍環境或者超乾空氣（具有 -40 度 C 或更低的露點，最好是 -60 度 C 或更低）。

第二高電阻汲極區 414b（或第一高電阻汲極區 414a）被形成於其重疊與汲極電極層 415b（或源極電極層 415a）之氧化物半導體層中，以致可增加將形成之驅動器電路的可靠度。明確地，利用第二高電阻汲極區 414b 之形成，可獲得一種結構，其中導電性可從汲極電極層經由第二高電阻汲極區 414b 而改變至通道形成區。因此，當電晶體以汲極電極層 415b 連接至一供應高電力供應電位 VDD 之佈線而操作時，則該電晶體可增加承受電壓，因為高電阻汲極區係作用為一緩衝器，以致即使當高電場被供應於閘極電極層 411 與汲極電極層 415b 之間時仍不會供應局部化高電場至電晶體。

當第二高電阻汲極區 414b（或第一高電阻汲極區 414a）被形成於重疊與汲極電極層 415b（或源極電極層 415a）之氧化物半導體層中時，可減少一將形成之驅動器電路中的通道形成區 463 中之漏電流。

接著，於第六光微影步驟中，抗蝕劑遮罩 440a 及 440b 被形成且氧化物絕緣膜 439 被選擇性地蝕刻以形成氧化物絕緣層 416 及 426（參見圖 3B）。氧化物絕緣層 426 被設於氧化物半導體層 422 中之通道形成區上並作用

為通道保護膜。注意：當一氧化物絕緣層被使用為閘極絕緣層 402b 時（如本實施例中），則閘極絕緣層 402b 之部分亦被蝕刻於氧化物絕緣膜 439 之蝕刻步驟中，藉此於某些情況下減少了閘極絕緣層 402b 之厚度。當一具有較低蝕刻率（相較於氧化物絕緣膜 439）之氮化物絕緣膜被使用為閘極絕緣層 402b 時，則可防止閘極絕緣層 402b 被部分地蝕刻。

接下來，在一透光導電膜被形成於氧化物半導體層 422 及氧化物絕緣層 426 上之後，源極電極層 425a 及汲極電極層 425b 被形成於第七光微影步驟中（參見圖 3C）。透光導電膜係藉由濺射法、真空蒸鍍法（例如，電子束蒸鍍法）、電弧放電離子電鍍法、或噴霧法而被沉積。當作用於導電層之材料，可使用能傳輸可見光之導電材料，下列金屬氧化物之任一：In-Sn-Zn-O 基的金屬氧化物；In-Al-Zn-O 基的金屬氧化物；Sn-Ga-Zn-O 基的金屬氧化物；Al-Ga-Zn-O 基的金屬氧化物；Sn-Al-Zn-O 基的金屬氧化物；In-Zn-O 基的金屬氧化物；Sn-Zn-O 基的金屬氧化物；Al-Zn-O 基的金屬氧化物；In-O 基的金屬氧化物；Sn-O 基的金屬氧化物；及 Zn-O 基的金屬氧化物。源極電極層 425a 及汲極電極層 425b 之厚度被適當地設定於 50 nm 至 300 nm 之範圍內。當使用濺射法時，最好是使用含有重量百分比 2 至 10 之 SiO_2 以及抑制透光導電膜中含有結晶化之 SiO_x ($x>0$) 的靶材來執行沉積，以防止稍後步驟中之熱處理時的結晶化。

用以形成源極電極層 425a 及汲極電極層 425b 之抗蝕劑遮罩可藉由噴墨法來形成。藉由噴墨法來形成抗蝕劑遮罩不需要光罩，其導致製造成本之減少。

接著，保護絕緣層 403 被形成於氧化物絕緣層 416 及 426、源極電極層 425a、及汲極電極層 425b 之上。於本實施例中，藉由一種 RF 濺射法以形成矽氮化物膜。因為 RF 濺射法容許高生產率，故其最好被用於沉積保護絕緣層 403。保護絕緣層 403 之形成係使用不含雜質（諸如水、氫離子、及 OH^- ）並阻擋此類雜質從外部進入之無機絕緣膜，典型的為矽氮化物膜、鋁氮化物膜、矽氮化物氧化物膜、或鋁氮氧化物膜。無須贅述，保護絕緣層 403 為透光絕緣膜。

保護絕緣層 403 最好是接觸與設於保護絕緣層 403 下方之第一閘極絕緣層 402a 或者一作用為基板之絕緣膜，並阻擋諸如水、氫離子、及 OH^- 等雜質從基底之側表面附近進入。特別有效的是使用一種矽氮化物膜當作第一閘極絕緣層 402a 或者是絕緣膜以當作基板，其係接觸與保護絕緣層 403。換言之，提供一矽氮化物膜以圍繞氧化物半導體層之底部表面、頂部表面、及側表面，藉此增加顯示裝置之可靠度。

接下來，平坦化絕緣層 404 被形成於保護絕緣層 403 之上。平坦化絕緣層 404 可使用具有熱抗性之有機材料（諸如聚醯亞胺、丙烯酸、苯環丁烯、聚醯胺、或環氧樹脂）來形成。除了此等有機材料之外，亦得以使用低電介

質常數材料（低 k 材料）、矽氧烷基的樹脂、PSG（磷矽酸鹽玻璃）、BPSG（硼磷矽酸鹽玻璃）等等。注意：使用這些材料所形成之複數絕緣膜可被堆疊以形成平坦化絕緣層 404。

注意：矽氧烷基的樹脂係相應於一種包括使用矽氧烷基的材料為起始材料所形成之 Si-O-Si 鍵的樹脂。矽氧烷基的樹脂可包括有機族（例如，烷族或芳香基族）或氟基族為替代物。此外，有機族可包括氟基族。

對於用以形成平坦化絕緣層 404 之方法並無特別限制。取決於材料，平坦化絕緣層 404 之形成可藉由一種方法，諸如：濺射法、SOG 法、旋塗法、浸漬法、噴塗法、或液滴排出法（例如，噴墨法、網印法、或平版印刷法）；或藉由一種工具，諸如刮刀、輥塗器、簾塗器、或刮刀塗器，等等。

接著，執行第八光微影步驟以致形成一抗蝕劑遮罩，並藉由蝕刻平坦化絕緣層 404 及保護絕緣層 403 以形成一通達汲極電極層 425b 之接觸孔 441。此外，亦使用該蝕刻以形成通達閘極電極層 411 及 421 之接觸孔。另一方面，一用以形成通達汲極電極層 425b 之接觸孔的抗蝕劑遮罩可藉由一種噴墨法來形成。當藉由噴墨法以形成抗蝕劑遮罩時並未使用光罩，其導致製造成本之減少。

接下來，抗蝕劑遮罩被移除且接著透光導電膜被形成。藉由濺射法、真空蒸鍍法等等，可使用氧化銦（ In_2O_3 ）、氧化銦與氧化錫之合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，縮寫為

ITO) 等等來形成透光導電膜。另一方面，可使用含有氮之 Al-Zn-O 基的非單晶膜（亦即，Al-Zn-O-N 基的非單晶膜）、含有氮之 Zn-O 基的非單晶膜、或含有氮之 Sn-Zn-O 基的非單晶膜。注意：Al-Zn-O-N 基的非單晶膜中之鋅的百分比（原子%）為 47 原子%或更少且高於該非單晶膜中之鋁的百分比；該非單晶膜中之鋁的百分比（原子%）係高於該非單晶膜中之氮的百分比。此一材料係以鹽酸基的溶液來蝕刻。然而，因為特別在蝕刻 ITO 時容易產生殘留物，所以可使用氧化銦與氧化鋅之合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）來增進可處理性。

注意：透光導電膜中之成分的百分比之單位為原子百分比（原子%），且成分之百分比係藉由使用電子探針 X 射線微量分析儀（EPMA）來評估。

接下來，執行第九光微影步驟以致形成一抗蝕劑遮罩並藉由蝕刻來移除不需要的部分而形成像素電極層 427 及導電層 417（參見圖 3E）。

透過上述步驟，利用九個遮罩，可於一基底上個別地製造薄膜電晶體 410 及薄膜電晶體 420 於驅動器電路及像素部分中。驅動器電路之薄膜電晶體 410 為包括氧化物半導體層 412 之通道蝕刻型薄膜電晶體，該氧化物半導體層 412 包括第一高電阻汲極區 414a、第二高電阻汲極區 414b 及通道形成區 413。像素之薄膜電晶體 420 為通道保護薄膜電晶體，其中整個氧化物半導體層 472 為本質的。

此外，可於相同基底上形成一由電容佈線層及電容電

極所構成的儲存電容，以第一閘極絕緣層 402a 及閘極絕緣層 402b 為電介質。薄膜電晶體 420 及儲存電容被配置成矩陣以相應於個別像素，以致一像素部分被形成且一包括薄膜電晶體 410 之驅動器電路被配置於該像素部分周圍，藉此可獲得一種用以製造主動矩陣顯示裝置的基底之一。於本說明書中，此一基底被稱為主動矩陣基底以便於說明。

像素電極層 427 係通過平坦化絕緣層 404 及保護絕緣層 403 中所形成之接觸孔而被電連接至電容電極。注意：電容電極可使用相同材料而被形成於與源極電極層 425a 及汲極電極層 425b 之相同步驟中。

導電層 417 被提供以重疊與氧化物半導體層中之通道形成區 413，藉此在一種用以檢驗薄膜電晶體之可靠度的偏壓溫度應力測試（稱為 BT 測試）中，可減少在 BT 測試前與後之薄膜電晶體 410 的臨限電壓之改變量。導電層 417 之電位可相同於或不同於閘極電極層 411 之電位。導電層 417 之電位亦可作用為第二閘極電極層。另一方面，導電層 467 之電位可為 GND 或 0 V，或者導電層 467 可於浮動狀態。

用以形成像素電極層 427 之抗蝕劑遮罩可藉由一種噴墨法來形成。藉由噴墨法來形成抗蝕劑遮罩不需要光罩，其導致製造成本之減少。

（實施例 2）

於本實施例中，圖 4A 至 4E 顯示一範例，其中用於一像素之薄膜電晶體的熱處理係不同於實施例 1 中之熱處理。除了部分步驟之外，圖 4A 至 4E 係相同於圖 1A1 至 1C、圖 2A 至 2E、及圖 3A 至 3E。因此，如圖 1A1 至 1C、圖 2A 至 2E、及圖 3A 至 3E 中之相同部件係由相同的參考數字來表示且將省略該些部件之詳細描述。

首先，依據實施例 1 以執行直到並包括實施例 1 之圖 3B 中的步驟。圖 4A 顯示一種狀態，其中抗蝕劑遮罩 440a 及 440b 被移除於圖 3B 中的步驟後。

閘極電極層 411 和 421、第一閘極絕緣層 402a、及第二閘極絕緣層 402b 被形成於具有絕緣表面之基底 400 上。於驅動器電路部分中，形成：包括通道形成區 413、第一高電阻汲極區 414a、和第二高電阻汲極區 414b 之氧化物半導體層 412；源極電極層 415a；汲極電極層 415b；及氧化物絕緣層 416。於像素部分中，氧化物半導體層 422 及氧化物絕緣層 426 被形成（參見圖 4A）。氧化物半導體層 422 為具有增加之電阻的 i 型半導體層。

於本實施例中，熱處理被執行於氮或惰性氣體周圍環境中或者於減小的壓力下，使氧化物半導體層 422 之至少部分被暴露。當在一種其中高電阻（i 型）氧化物半導體層 422 被暴露之狀態下，熱處理被執行於氮或惰性氣體周圍環境中或者於減小的壓力下時，可減少氧化物半導體層 472 之高電阻（i 型）暴露區的電阻。

用以減少氧化物半導體層 472 之高電阻（i 型）暴露

區的電阻之熱處理最好是被執行於 200 度 C 至 400 度 C 之間，例如，250 度 C 至 350 度 C 之間。例如，熱處理在 250 度 C 被執行一小時於氮周圍環境中。

於本實施例中，基底被置入一電熔爐（其為一種熱處理設備）且在氮周圍環境中對氧化物半導體層 422 執行熱處理，且接著在氮周圍環境中被逐漸地冷卻以致溫度係從加熱溫度 T 下降 100 度 C 或更多，使氧化物半導體層 422 不暴露至空氣。此外，對於氮周圍環境並無限制，脫水或脫氫可被執行於稀有氣體周圍環境（例如，氮、氬、或氫）中或者於減小的壓力下。注意於熱處理中，最好是水、氫等不被含於氮或者諸如氮、氬、或氫等稀有氣體中。另一方面，被引入熱處理設備之氮或者諸如氮、氬、或氫等稀有氣體的純度最好是 6N（99.9999%）或更高，更理想的是 7N（99.99999%）或更高（亦即，雜質濃度最好是 1 ppm 或更低，更理想的是 0.1 ppm 或更低）。

利用在氮或稀有氣體周圍環境中或者在減小的壓力下對氧化物半導體層 422 執行熱處理，減小了氧化物半導體層 422 之暴露區的電阻，並形成一包括具有不同電阻之區（如圖 4B 中之陰影區及白色區所表示者）的氧化物半導體層 442。

接下來，在透光導電膜被形成於氧化物半導體層 442 及氧化物絕緣層 426 上之後，源極電極層 425a 及汲極電極層 425b 被形成於第七光微影步驟（參見圖 4C）。

接著，保護絕緣層 403 及平坦化絕緣層 404 被堆疊於

氧化物絕緣層 416 和 426、源極電極層 425a、及汲極電極層 425b 上。

接著，執行第八光微影步驟以致形成一抗蝕劑遮罩，並藉由蝕刻平坦化絕緣層 404 及保護絕緣層 403 以形成其通達汲極電極層 425b 之接觸孔 441（參見圖 4D）。

接下來，抗蝕劑遮罩被移除，且接著透光導電膜被形成。

接下來，執行第九光微影步驟以致形成一抗蝕劑遮罩並藉由蝕刻來移除不需要的部分而形成像素電極層 427 及導電層 417（參見圖 4E）。

透過上述步驟，利用九個遮罩，可於一基底上個別地製造薄膜電晶體 410 及薄膜電晶體 448 於驅動器電路及像素部分中。驅動器電路之薄膜電晶體 410 為包括氧化物半導體層 412 之通道蝕刻薄膜電晶體，該氧化物半導體層 412 包括第一高電阻汲極區 414a、第二高電阻汲極區 414b 及通道形成區 413。像素之薄膜電晶體 448 為包括氧化物半導體層 442 之通道保護薄膜電晶體，該氧化物半導體層 442 包括第一高電阻汲極區 424a、第二高電阻汲極區 424b 及通道形成區 423。結果，薄膜電晶體 410 及 448 已增加了承受電壓，因為高電阻汲極區係作用為一緩衝器，以致即使當高電場被供應於閘極電極層 410 及 448 時仍不會供應局部化高電場至電晶體。

此外，可於相同基底上形成一由電容佈線層及電容電極所構成的儲存電容，以第一閘極絕緣層 402a 及閘極絕

緣層 402b 為電介質。薄膜電晶體 448 及儲存電容被配置成矩陣以相應於個別像素，以致一像素部分被形成且一包括薄膜電晶體 410 之驅動器電路被配置於該像素部分周圍，藉此可獲得一種用以製造主動矩陣顯示裝置的基底之一。

導電層 417 被提供以重疊與氧化物半導體層 412 中之通道形成區，藉此在一種用以檢驗薄膜電晶體之可靠度的偏壓溫度應力測試（稱為 BT 測試）中，可減少在 BT 測試前與後之薄膜電晶體 410 的臨限電壓之改變量。導電層 417 之電位可相同於或不同於閘極電極層 411 之電位。導電層 417 之電位亦可作用為第二閘極電極層。另一方面，導電層 467 之電位可為 GND 或 0 V，或者導電層 467 可於浮動狀態。

（實施例 3）

於本實施例中，圖 5A 至 5C 顯示一範例，其中熱處理係不同於實施例 1 中之熱處理。除了部分步驟之外，圖 5A 至 5C 係相同於圖 1A1 至 1C、圖 2A 至 2E、及圖 3A 至 3E。因此，如圖 1A1 至 1C、圖 2A 至 2E、及圖 3A 至 3E 中之相同部件係由相同的參考數字來表示且將省略該些部件之詳細描述。

首先，依據實施例 1，一透光導電膜被形成於具有絕緣表面之基底 400 上，且接著閘極電極層 411 及 421 被形成於一第一光微影步驟。

接下來，第一閘極絕緣層 402a 及第二閘極絕緣層 402b 之堆疊被形成於閘極電極層 411 及 421 上（參見圖 5A）。注意圖 5A 中之步驟係相同於圖 2A 中之步驟。注意直到並包括圖 5A 中之步驟的步驟係相同於實施例 1 中的那些步驟。

接著，包含有 2 nm 至 200 nm 之厚度的氧化物半導體膜 430 被形成於第二閘極絕緣層 402b 上（參見圖 5A）。注意直到並包括圖 5A 中之步驟的步驟係相同於實施例 1 中的那些步驟且圖 5A 中之步驟係相同於圖 2A 中之步驟。

接下來，氧化物半導體膜 430 接受脫水或脫氫於惰性氣體周圍環境中或者於減小的壓力下。用於脫水或脫氫之第一熱處理的溫度為 350 度 C 或更高且低於基底之應變點，最好是 400 度 C 或更高。於此，基底被置入一電熔爐（其為一種熱處理設備）且熱處理係於氮周圍環境中被執行於氧化物半導體膜 430 上，並接著減小氧化物半導體膜 430 之電阻，亦即，氧化物半導體膜 430 變為 n 型（例如，n⁺型）氧化物半導體膜（如一種氧不足的半導體膜），同時防止水及氫混入氧化物半導體膜 430，使該氧化物半導體膜 430 不暴露至空氣。之後，高純度氧氣、高純度 N₂O 氣或超乾空氣（具有 -40 度 C 或更低的露點，最好是 -60 度 C 或更低）被引入相同的熔爐並執行冷卻。最好是在氧氣或 N₂O 氣中不含有水、氫，等等。另一方面，被引入熱處理設備中的氧氣或 N₂O 氣之純度最好是

6N (99.9999%) 或更高，更理想的是 7N (99.99999%) 或更高 (亦即，氧氣或 N_2O 氣之雜質濃度最好是 1 ppm 或更低，更理想的是 0.1 ppm 或更低) 。

此外，在用於脫水或脫氫之第一熱處理後，可在氧氣或 N_2O 氣中執行熱處理於 200 度 C 至 400 度 C 之間，最好是 250 度 C 至 350 度 C 之間。

透過上述步驟以使整個氧化物半導體膜含有過量的氧，藉此氧化物半導體膜具有較高的電阻，亦即，變為本質的。

結果，可增加稍後將製造之薄膜電晶體的可靠度。

接下來，於一光微影步驟中，氧化物半導體膜被處理成島狀的半導體層 444 及 422 (參見圖 5B)。注意：因為圖 5B 中之氧化物半導體層 422 為高電阻 (i 型) 氧化物半導體層 (其係相同於圖 3A 中之氧化物半導體層 422) ；因此係使用相同的參考數字。類似地，於本說明書中，即使由不同方法所形成之薄膜有時亦由相同的參考數字所表示，只要當這些薄膜具有同等的功能或性質 (例如，電阻) 時。

注意：雖然本實施例中係描述在形成氧化物半導體膜後執行脫水或脫氫的範例，但本發明並不限定於此。氧化物半導體膜之第一熱處理亦可在氧化物半導體膜之處理後被執行於島狀氧化物半導體層上。

另一方面，可利用如下程序：在惰性氣體周圍環境中或者在減小的壓力下對氧化物半導體膜執行脫水或脫氫；

在惰性氣體周圍環境中執行冷卻；將氧化物半導體膜處理成氧化物半導體層 444 及 422（其為島狀氧化物半導體層）；及接著在氧氣或 N_2O 氣中執行熱處理於 200 度 C 至 400 度 C 之間，最好是 200 度 C 至 300 度 C 之間。

此外，在形成氧化物半導體膜之前，可在惰性氣體周圍環境（例如，氮、氬、氖、或氫）或氧周圍環境中或在減小的電壓下執行熱處理（於高於或等於 400 度 C 並低於基底之應變點）以移除閘極絕緣層中所含有之諸如氫及水等雜質。

然而，假如在氮或惰性氣體周圍環境中或在減小的電壓下執行熱處理而使高電阻（i 型）氧化物半導體層 444 及 422 暴露，則高電阻（i 型）氧化物半導體層 444 及 422 之電阻被減小。為此原因，使氧化物半導體層 444 及 422 暴露而執行之熱處理係被執行在氧氣或 N_2O 氣體周圍環境或者超乾空氣（具有 -40 度 C 或更低的露點，最好是 -60 度 C 或更低）中。

接著，如同實施例中之圖 2C 至 2E 及圖 3A 至 3E，於一周邊驅動器電路部分中，僅有氧化物半導體層 444 之部分被蝕刻以形成具有溝槽（凹陷部分）之氧化物半導體層 443；氧化物絕緣層 416 被形成以接觸與氧化物半導體層 443 及源極電極層 415a 和汲極電極層 415b（其各為金屬導電層）；因此，製造一驅動器電路之一薄膜電晶體 449。相反地，於像素部分中，氧化物絕緣層 426 被形成於氧化物半導體層 422 中之一通道形成區上，且源極電極

層 425a 及汲極電極層 425b（其各為透光導電層）被形成；因此，製造一像素之薄膜電晶體 420。

接下來，在惰性氣體周圍環境或氧氣周圍環境中執行第二熱處理（最好是 200 度 C 至 400 度 C 之間，例如，250 度 C 至 350 度 C 之間）。例如，在氮周圍環境中執行第二熱處理於 250 度 C 一小時。

接著，提供保護絕緣層 403 以覆蓋薄膜電晶體 449 及 420 並接觸與氧化物絕緣層 416 和 426、源極電極層 425a 及汲極電極層 425b，且平坦化絕緣層 404 被堆疊於保護絕緣層 403 上。一通達汲極電極層 425b 之接觸孔被形成於平坦化絕緣層 404 及保護絕緣層 403 中，且一透光導電膜被形成於接觸孔中且於平坦化絕緣層 404 上。透光導電膜被選擇性地蝕刻以形成導電層 417 及像素電極層 427，其係電連接至薄膜電晶體 420。

透過上述步驟，利用九個遮罩，可於一基底上個別地製造薄膜電晶體 449 及薄膜電晶體 420 於驅動器電路及像素部分中。驅動器電路之薄膜電晶體 449 為包括氧化物半導體層 443（其為完全本質的）之通道蝕刻薄膜電晶體。像素之薄膜電晶體 420 為包括氧化物半導體層 422（其為完全本質的）之通道保護薄膜電晶體。

此外，可於相同基底上形成一由電容佈線層及電容電極所構成的儲存電容，以第一閘極絕緣層 402a 及第二閘極絕緣層 402b 為電介質。薄膜電晶體 420 及儲存電容被配置成矩陣以相應於個別像素，以致一像素部分被形成且

一包括薄膜電晶體 449 之驅動器電路被配置於該像素部分周圍，藉此可獲得一種用以製造主動矩陣顯示裝置的基底之一。

導電層 417 被提供以重疊與氧化物半導體層 443 中之通道形成區，藉此在一種用以檢驗薄膜電晶體之可靠度的偏壓溫度應力測試（稱為 BT 測試）中，可減少在 BT 測試前與後之薄膜電晶體 449 的臨限電壓之改變量。導電層 417 之電位可相同於或不同於閘極電極層之電位。導電層 417 之電位亦可作用為第二閘極電極層。另一方面，導電層 417 之電位可為 GND 或 0 V，或者導電層 417 可於浮動狀態。

（實施例 4）

於本實施例中，圖 6A 至 6D 顯示一範例，其中熱處理係不同於實施例 1 中之熱處理。除了部分步驟之外，圖 6A 至 6D 係相同於圖 1A1 至 1C、圖 2A 至 2E、圖 3A 至 3E、圖 4A 至 4E、及圖 5A 至 5C。因此，如圖 1A1 至 1C、圖 2A 至 2E、圖 3A 至 3E、圖 4A 至 4E、及圖 5A 至 5C 中之相同部件係由相同的參考數字來表示且將省略這些部件之詳細描述。

首先，依據實施例 3，執行實施例 3 中之步驟直到並包括圖 5B 中之步驟。圖 6A 顯示相同於圖 5B 之步驟。

閘極電極層 411 和 421、第一閘極絕緣層 402a、及第二閘極絕緣層 402b 被形成於具有絕緣表面之基底 400

上；氧化物半導體層 444 被形成於一驅動器電路部分中而氧化物半導體層 422 被形成於一像素部分中（參見圖 6A）。氧化物半導體層 444 及 422 為具有增加之電阻的 i 型半導體層。

於一周邊驅動器電路部分中，僅有氧化物半導體層 444 之部分被蝕刻以形成具有溝槽（凹陷部分）之氧化物半導體層 443；氧化物絕緣層 416 被形成以接觸與氧化物半導體層 443 及源極電極層 415a 和汲極電極層 415b（其各為金屬導電層）；因此，製造一驅動器電路之一薄膜電晶體 449。相反地，於像素部分中，氧化物絕緣層 426 被形成於氧化物半導體層 422 中之一通道形成區上（參見圖 6B）。

於本實施例中，如同實施例 2，熱處理被執行於氮或惰性氣體周圍環境中或者於減小的電壓下而使氧化物半導體層 422 之至少部分暴露。當熱處理被執行於氮或惰性氣體周圍環境中或者於減小的電壓下而使高電阻（i 型）氧化物半導體層 422 暴露時，則氧化物半導體層 422 之高電阻（i 型）暴露區的電阻可被減小。

用以減少氧化物半導體層 422 之高電阻（i 型）區的電阻之熱處理最好是被執行於 200 度 C 至 400 度 C 之間，例如，250 度 C 至 350 度 C 之間。例如，熱處理在 250 度 C 被執行一小時於氮周圍環境中。

於本實施例中，基底被置入一電熔爐（其為一種熱處理設備）且在氮周圍環境中對氧化物半導體層 422 執行熱

處理，且接著在氮周圍環境中被逐漸地冷卻以致溫度係從加熱溫度 T 下降 100 度 C 或更多，使氧化物半導體層 422 不暴露至空氣。此外，對於氮周圍環境並無限制，脫水或脫氫可被執行於稀有氣體周圍環境（例如，氮、氖、或氬）中或者於減小的壓力下。注意於熱處理中，最好是水、氫等不被含於氮或者諸如氮、氖、或氬等稀有氣體中。另一方面，被引入熱處理設備之氮或者諸如氮、氖、或氬等稀有氣體的純度最好是 6N（99.9999%）或更高，更理想的是 7N（99.99999%）或更高（亦即，雜質濃度最好是 1 ppm 或更低，更理想的是 0.1 ppm 或更低）。

利用在氮或稀有氣體周圍環境中或者在減小的壓力下對氧化物半導體層 422 執行熱處理，減小了氧化物半導體層 422 之暴露區的電阻，並形成包括具有不同電阻之區（如圖 6C 中之陰影區及白色區所示者）的氧化物半導體層 442。

接下來，在透光導電膜被形成於氧化物半導體層 442 及氧化物絕緣層 426 上之後，源極電極層 425a 及汲極電極層 425b 被形成於第七光微影步驟。

接著，保護絕緣層 403 及平坦化絕緣層 404 被堆疊於氧化物絕緣層 416 和 426、源極電極層 425a、及汲極電極層 425b 上。

一通達汲極電極層 425b 之接觸孔被形成於平坦化絕緣層 404 及保護絕緣層 403 中，且一透光導電膜被形成於接觸孔中且於平坦化絕緣層 404 上。透光導電膜被選擇性

地蝕刻以形成導電層 417 及像素電極層 427，其係電連接至薄膜電晶體 448（參見圖 6D）。

透過上述步驟，利用九個遮罩，可於一基底上個別地製造薄膜電晶體 449 及薄膜電晶體 448 於驅動器電路及像素部分中。驅動器電路之薄膜電晶體 449 為包括氧化物半導體層 443（其為完全本質的）之通道蝕刻薄膜電晶體。像素之薄膜電晶體 448 為包括氧化物半導體層 442 之通道保護薄膜電晶體，該氧化物半導體層 442 包括第一高電阻汲極區 424a、第二高電阻汲極區 424b 及通道形成區 423。結果，薄膜電晶體 448 已增加了承受電壓，因為高電阻汲極區係作用為一緩衝器，以致即使當高電場被供應至薄膜電晶體 448 時仍不會供應局部化高電場至薄膜電晶體 448。

此外，可於相同基底上形成一由電容佈線層及電容電極所構成的儲存電容，以第一閘極絕緣層 402a 及第二閘極絕緣層 402b 為電介質。薄膜電晶體 448 及儲存電容被配置成矩陣以相應於個別像素，以致一像素部分被形成且一包括薄膜電晶體 449 之驅動器電路被配置於該像素部分周圍，藉此可獲得一種用以製造主動矩陣顯示裝置的基底之一。

導電層 417 被提供以重疊與氧化物半導體層 443 中之通道形成區，藉此在一種用以檢驗薄膜電晶體之可靠度的偏壓溫度應力測試（稱為 BT 測試）中，可減少在 BT 測試前與後之薄膜電晶體 449 的臨限電壓之改變量。導電層

417 之電位可相同於或不同於閘極電極層 411 之電位。導電層 417 之電位亦可作用為第二閘極電極層。另一方面，導電層 417 之電位可為 GND 或 0 V，或者導電層 417 可於浮動狀態。

（實施例 5）

於本實施例中，將描述一範例，其中係以實施例 1 中所述之主動矩陣基底來製造一主動矩陣液晶顯示裝置。注意：本實施例亦可應用於實施例 2 至 4 中所述之任何主動矩陣基底。

圖 7A 顯示一主動矩陣基底之橫斷面結構的範例。

於一基底上之驅動器電路中的薄膜電晶體及像素部分中的薄膜電晶體係顯示於實施例 1；於此實施例中，為了便於描述，除了那些薄膜電晶體之外，顯示了一儲存電容、一閘極佈線、及一源極佈線之一終端部分。儲存電容、閘極佈線、及源極佈線之終端部分可被形成於相同的製造步驟（如於實施例 1 中），且可被製造而無光罩之增加以及步驟數之增加。此外，於一作用為像素部分中之顯示區的部分中，所有閘極佈線、源極佈線、及電容佈線層係使用一透光導電膜來形成，其導致高的開口率。再者，金屬佈線可用於一不作用為顯示區之部分中的源極佈線層，以減小佈線電阻。

於圖 7A 中，一薄膜電晶體 210 係設於一驅動器電路中之通道蝕刻薄膜電晶體，且於本實施例中，具有如實施

例 1 中之薄膜電晶體 410 的相同結構。一電連接至像素電極層 227 之薄膜電晶體 220 為一設於像素部分中之通道保護薄膜電晶體，且於本實施例中，具有如實施例 1 中之薄膜電晶體 410 的相同結構。

使用如薄膜電晶體 220 之閘極電極層的相同步驟中之相同透光材料所形成的電容佈線層 230 係重疊與一電容電極 231，以一第一閘極絕緣層 202a 及一第二閘極絕緣層 202b 作用為其間的電介質；因此，一儲存電容被形成。電容電極 231 係使用如薄膜電晶體 220 之源極電極層或汲極電極層的相同步驟中之相同透光材料來形成。因為儲存電容與薄膜電晶體 220 具有透光性質，所以可增加開口率。

儲存電容之透光性質在增加開口率上是很重要的。特別是針對 10 吋或更小的小型液晶顯示面板，即使當藉由（例如）增加閘極佈線之數目來減小像素尺寸以實現顯示影像之較高解析度時，仍可達成高開口率。此外，將透光膜用於薄膜電晶體 220 及儲存電容之組件使其得以達成高開口率，即使當一像素被劃分為複數子像素以實現寬視角時。亦即，即使當配置一群高密度薄膜電晶體時仍可維持高開口率，且顯示區域可具有足夠的面積。例如，當一像素包括二至四個子像素及儲存電容時，該些儲存電容以及薄膜電晶體具有透光性質，以致可增加開口率。

注意：儲存電容係設於像素電極層 227 底下，且電容電極 231 係電連接至像素電極層 227。

雖然本實施例中係描述一範例，其中儲存電容係由電容電極 231 及電容佈線層 230 所構成，但對於儲存電容之結構並無特別限制。例如，一儲存電容可被形成以使得（無提供電容佈線層）一像素電極層係重疊與一相鄰像素中之閘極佈線，以一平坦化絕緣層、一保護絕緣層、一第一閘極絕緣層、及一第二閘極絕緣層介於其間。

複數閘極佈線、源極佈線、及電容佈線層係依據像素密度而被提供。於終端部分中，配置：具有相同電位之複數第一終端電極以當作閘極佈線、具有相同電位之複數第二終端電極以當作源極佈線、具有相同電位之複數第三終端電極以當作電容佈線層，等等。對於每一終端電極之數目並無特別限制，且終端之數目可適當地由業者所決定。

於終端部分中，具有相同電位以當作閘極佈線之複數第一終端電極可使用相同於像素電極層 227 之透光材料來形成。第一終端電極係通過一通達閘極佈線之接觸孔而被電晶體連接至閘極佈線。通達閘極佈線之接觸孔係藉由一平坦絕緣層 204、一保護絕緣層 203、一氧化物絕緣層 216、第二閘極絕緣層 202b、及第一閘極絕緣層 202a 之選擇性蝕刻來形成，其係利用一用於形成接觸孔之光罩，以便電連接薄膜電晶體 220 之汲極電極層與像素電極層 227。

驅動器電路中之薄膜電晶體 210 的閘極電極層可被電連接至一設於氧化物半導體層上之導電層 217。於該情況下，一接觸孔係藉由平坦絕緣層 204、保護絕緣層 203、

氧化物絕緣層 216、第二閘極絕緣層 202b、及第一閘極絕緣層 202a 之選擇性蝕刻來形成，其係利用用於形成接觸孔之光罩，以便電連接薄膜電晶體 220 之汲極電極層與像素電極層 227。驅動器電路中之薄膜電晶體 210 的導電層 217 及閘極電極層係透過該接觸孔而被彼此電連接。

可使用如像素電極層 227 之相同透光材料以形成一第二終端電極 235，其具有如驅動器電路中之源極佈線 234 的相同電位。第二終端電極 235 係透過一通達源極佈線 234 之接觸孔而被電連接至源極佈線 234。源極佈線為金屬佈線；係使用如薄膜電晶體 210 之源極電極層的相同步驟中的相同材料；且具有如薄膜電晶體 210 之源極電極層的相同電位。

可使用如像素電極層 227 之相同透光材料以形成第三終端電極，其具有如電容佈線層 230 的相同電位。此外，一通達電容佈線層 230 之接觸孔可被形成於相同步驟中，其係使用如用以形成接觸孔來將電容電極 231 電連接至像素電極層 227 的相同光罩。

於製造主動矩陣液晶顯示裝置之情況下，將一液晶層設於一主動矩陣基底與一設有反電極（亦稱為反電極層）的反基底之間，且該主動矩陣基底與該反基底被彼此固定。一電連接至反基底上之反電極的共同電極被設於主動矩陣基底上，而一電連接至該共同電極之第四終端電極被設於終端部分中。第四終端電極被用於將共同電極設定至一固定電位，諸如 GND 或 0V。第四終端電極可使用如像

素電極層 227 之相同透光材料來形成。

對於其中薄膜電晶體 220 之源極電極層與薄膜電晶體 210 之源極電極層被彼此電連接的結構並無特別的限制；例如，可於如像素電極層 227 之相同步驟中形成一用以連接薄膜電晶體 220 之源極電極層與薄膜電晶體 210 之源極電極層的連接電極。再者，於不作用為顯示區的部分中，薄膜電晶體 220 之源極電極層與薄膜電晶體 210 之源極電極層可為彼此接觸並重疊。

注意：圖 7A 係顯示驅動器電路中之閘極佈線 232 的橫斷面結構。因為於本實施例中係描述 10 吋或更小之小型液晶顯示面板的範例，故驅動器電路中之閘極佈線 232 係使用如薄膜電晶體 220 之閘極電極層的相同透光材料來形成。

當相同材料被用於閘極電極層、源極電極層、汲極電極層、像素電極層、另一電極層、及另一佈線層時，可使用一共同濺射靶及一共同製造設備，而因此可減少材料成本及用於蝕刻之蝕刻劑的成本。結果，可減少製造成本。

當光敏樹脂材料被用於圖 7A 之結構中的平坦絕緣層 204 時，可省略用以形成光罩之步驟。

圖 7B 顯示一橫斷面結構，其部分係不同於圖 7A 之結構。除了未提供平坦絕緣層 204 之外圖 7B 係相同於圖 7A；因此，如圖 7A 所示之相同部件係由相同的參考數字來表示且將省略該些部件之詳細描述。於圖 7B 中，像素電極層 227、導電層 217、及第二終端電極 235 被形成於

並接觸與保護絕緣層 203 上。

利用圖 7B 中之結構，可省略用以形成平坦絕緣層 204 之步驟。

此實施例可被任意地結合與實施例 1 至 4 之任一。

（實施例 6）

於本實施例中，將描述一範例，其中閘極佈線之部分係由金屬佈線所製以致減小了佈線電阻，因為有可能在其中液晶顯示面板超過 10 吋並達到 60 吋甚至 120 吋的情況下，透光佈線之電阻可能變為一個問題。

注意：於圖 8A 中，如圖 7A 中之相同部件係由相同的參考數字來表示並省略該些部件之詳細描述。注意：本實施例亦可應用於實施例 1 至 4 中所述之任何主動矩陣基底。

圖 8A 顯示一範例，其中一驅動器電路中之閘極佈線的部分係由金屬佈線所製且被形成以接觸與一透光佈線，其係相同於薄膜電晶體 210 之閘極電極層。注意：由於金屬佈線之形成，本實施例中之光罩數目係大於實施例 1 中之光罩數目。

首先，一種可承受用於脫水或脫氫之第一熱處理的抗熱導電材料膜（具有 100 nm 至 500 nm 之間的厚度）被形成於一基底 200 上。

於本實施例中，形成一 370 nm 厚的鎢膜以當作第一金屬佈線層及一 50 nm 厚的鈦氮化物膜以當作第二金屬佈

線層。雖然鈦氮化物膜與鎢膜之一堆疊於此被使用為導電膜，但並無特別的限制且可使用以下材料來形成導電膜：選自 Ta、W、Ti、Mo、Al 及 Cu 之元素；含有這些元素之任一為其成分的合金；含有上述元素之組合的合金、或含有這些元素之任一為其成分的氮化物。抗熱導電材料導電膜並不限定於含有上述元素之單一層而可為兩或更多層之堆疊。

於第一光微影步驟中，金屬佈線被形成以形成第一金屬佈線層 236，且第二金屬佈線層 237 被形成。最好是使用一種 ICP（電感耦合電漿）蝕刻法於鎢膜及鈦氮化物膜之蝕刻。可藉由適當調整蝕刻條件（例如，施加至線圈電極之電力量、施加至基底側電極之電力量、及基底側電極之溫度）之 ICP 蝕刻法以將該些膜蝕刻成所欲的錐形形狀。第一金屬佈線層 236 及第二金屬佈線層 237 為錐形的；因此，可減少形成透光導電膜時之缺陷。

接著，在形成透光導電膜之後，一閘極佈線層 238、薄膜電晶體 210 之一閘極電極層、及薄膜電晶體 220 之一閘極電極層被形成於一第二光微影步驟中。透光導電膜係使傳輸可見光之任何導電材料來形成，其係描述於實施例 1 中。

注意：例如，假如有一介面介於閘極佈線層 238 與第一金屬佈線層 236 或第二金屬佈線層 237 之間，則一氧化物膜可用稍後的熱處理等來形成，且接觸電阻可根據透光導電膜之材料而被增加。為了該原因，第二金屬佈線層

237 最好是使用一種防止第一金屬佈線層 236 之氧化的金屬氮化物膜來形成。

接下來，一閘極絕緣層、一氧化物半導體層等等被形成於如實施例 1 之相同步驟中。後續步驟係依據實施例 1 而實施以完成主動矩陣基底。

再者，於本實施例中，描述一範例，其中在平坦絕緣層 204 之形成後，一終端部分中之平坦化絕緣層係使用一光罩而被選擇性地移除。最好是其平坦化絕緣層不被置於終端部分中以致終端部分可用一有利方式被連接至 FPC。

於圖 8A，第二終端電極 235 被形成於保護絕緣層 203 上。圖 8A 顯示閘極佈線層 238，其重疊與第二金屬佈線層 237；另一方面，閘極佈線層 238 可覆蓋所有第一金屬佈線層 236 及第二金屬佈線層 237。換言之，第一金屬佈線層 236 及第二金屬佈線層 237 可被稱為用以減小閘極佈線層 238 之電阻的輔助佈線。

於終端部分中，具有如閘極佈線之相同電位的第一終端電極被形成於保護絕緣層 203 且電連接至第二金屬佈線層 237。來自終端部分之佈線引線亦使用金屬佈線來形成。

再者，為了減小佈線電阻，金屬佈線（亦即，第一金屬佈線層 236 及 237）可被使用為一不作用為顯示區之部分中的閘極佈線層及電容佈線層之輔助佈線。

圖 8B 顯示一橫斷面結構，其部分係不同於圖 8A 中之結構。圖 8B 係相同於圖 8A 除了驅動器電路之薄膜電

晶體中的閘極電極層之材料以外；因此，相同的部分係由相同的參考數字所表示且該些相同部分之詳細描述不再重複。

圖 8B 顯示一範例，其中驅動器電路中之薄膜電晶體中的閘極電極層係由金屬佈線所製。於驅動器電路中，閘極電極層之材料不限定於發光材料。

於圖 8B 中，驅動器電路中之一薄膜電晶體 240 包括一閘極電極層，其中一第二金屬佈線層 241 係堆疊於一第一金屬佈線層 242 上。注意：第一金屬佈線層 242 可使用如第一金屬佈線層 236 之相同步驟中的相同材料來形成。此外，第二金屬佈線層 241 可使用如第二金屬佈線層 237 之相同步驟中的相同材料來形成。

於其中第一金屬佈線層 242 被電連接至導電層 217 之情況下，最好是將金屬氮化物膜使用於第二金屬佈線層 241 以防止第一金屬佈線層 242 之氧化。

於本實施例中，金屬佈線被使用於某些佈線以致減小了佈線電阻；可達成顯示影像之高解析度以及可實現高開口率，即使當液晶顯示面板之尺寸超過 10 吋並達到 60 吋甚至 120 吋。

（實施例 7）

於本實施例中，一不同於實施例 5 之儲存電容的結構之範例係顯示於圖 9A 及 9B 中。圖 9A 係相同於圖 7A 除了儲存電容之結構以外；因此，如圖 7A 中之相同部件係

由相同的參考數字來表示並省略該些部件之詳細描述。圖 9A 顯示一像素部分及一儲存電容中之薄膜電晶體 220 的橫斷面結構。

圖 9A 顯示一範例，其中儲存電容係由像素電極層 227 及一重疊與像素電極層 227 之電容佈線層 250 所構成，以氧化物絕緣層 216、保護絕緣層 203、及平坦絕緣層 204 作用為電介質。因為電容佈線層 250 係使用如像素部分中之薄膜電晶體 220 的源極電極層之相同步驟中的相同透光材料來形成，所以電容佈線層 250 被配置成不重疊與薄膜電晶體 220 之源極佈線層。

於圖 9A 中所示之儲存電容中，一對電極和電介質具有透光性質，而因此儲存電容整體具有透光性質。

圖 9B 顯示不同於圖 9A 中之儲存電容的結構之範例。圖 9B 亦相同於圖 7A 除了儲存電容之結構以外；因此，如圖 7A 中之相同部件係由相同的參考數字來表示並省略該些部件之詳細描述。

圖 9B 顯示一範例，其中儲存電容係由電容佈線層 230 及一重疊與電容佈線層 230 之氧化物半導體層 251 與電容電極 231 的堆疊所構成，以第一閘極絕緣層 202a 及第二閘極絕緣層 202b 作用為電介質。電容電極 231 係堆疊於並接觸與氧化物半導體層 251 上，並作用為儲存電容之一電極。注意：氧化物半導體層 251 係使用如薄膜電晶體 220 之源極電極層或汲極電極層的相同步驟中之相同透光材料來形成。此外，因為電容佈線層 230 係使用如薄膜

電晶體 220 之閘極電極層的相同步驟中之相同透光材料來形成，所以電容佈線層 230 被配置成不重疊與薄膜電晶體 220 之閘極佈線層。

電容電極 231 係電連接至像素電極層 227。

同樣於圖 9B 所示之儲存電容中，一對電極和電介質具有透光性質，而因此儲存電容整體具有透光性質。

圖 9A 及 9B 中所示之每一儲存電容具有透光性質；因此，藉由增加閘極佈線之數目，則即使當減小像素尺寸以實現顯示影像之較高解析度時仍可獲得足夠的電容值並可獲得高的開口率。

此實施例可任意地結合與任何其他實施例。

（實施例 8）

於本實施例中，將於下描述一範例，其中至少一些驅動器電路及一置於像素部分中之薄膜電晶體被形成於一基底上。

置於像素部分中之薄膜電晶體係依據實施例 1 至 4 之任一來形成。因為實施例 1 至 4 之任一中所描述之薄膜電晶體為 n 通道 TFT，所以於該些驅動器電路中可由 n 通道 TFT 所構成之一些驅動器電路被形成於一基底上，於該基底上係形成像素部分中之薄膜電晶體。

圖 14A 顯示一主動矩陣顯示裝置之方塊圖的範例。一像素部分 5301、一第一掃描線驅動器電路 5302、一第二掃描線驅動器電路 5303、及一信號線驅動器電路 5304 被

設於該顯示裝置之一基底 5300 上。於像素部分 5301 中，延伸自信號線驅動器電路 5304 之複數信號線被設置且延伸自第一掃描線驅動器電路 5302 及第二掃描線驅動器電路 5303 之複數掃描線被設置。注意：各包括一顯示元件之像素被配置成矩陣於其中掃描線與信號線彼此交錯的個別區中。顯示裝置之基底 5300 係透過諸如撓性印刷電路（FPC）之連接部分而被連接至一時序控制電路 5305（亦稱為控制器或控制 IC）。

於圖 14A 中，第一掃描線驅動器電路 5302、第二掃描線驅動器電路 5303、及信號線驅動器電路 5304 係形成於其中形成有像素部分 5301 之基底 5300 上。因此，減少了設於外部之驅動器電路等的元件之數目，其導致成本之減少。此外，可減少其中佈線係從設於基底 5300 外部之驅動器電路延伸的情況下之連接部分的連接數目，並可增進可靠度或產量。

注意：時序控制電路 5305 係供應（例如）一第一掃描線驅動器電路開始信號（GSP1）（亦稱為開始脈衝）及一掃描線驅動器電路時脈信號（GCK1）至第一掃描線驅動器電路 5302。再者，時序控制電路 5305 係供應（例如）一第二掃描線驅動器電路開始信號（GSP2）及一掃描線驅動器電路時脈信號（GCK2）至第二掃描線驅動器電路 5303。此外，時序控制電路 5305 係供應一信號線驅動器電路開始信號（SSP）、一信號線驅動器電路時脈信號（SCK）、視頻信號資料（DATA，亦簡稱為視頻信

號)、及一門鎖信號(LAT)至信號線驅動器電路5304。各時脈信號可為具有偏移相位之複數時脈信號或者可被供應連同一藉由將該時脈信號反相所獲得之信號(CKB)。注意:得以省略第一掃描線驅動器電路5302與第二掃描線驅動器電路5303之一。

圖14B顯示一結構,其中具有較低驅動頻率之電路(例如,第一掃描線驅動器電路5302及第二掃描線驅動器電路5303)被形成於其中形成有像素部分5301之基底5300上,且信號線驅動器電路5304被形成於一不同於其中形成有像素部分5301之基底5300的基底上。

實施例1至4中所描述之薄膜電晶體為n通道TFT,圖15A及15B係顯示由n通道TFT所構成之一信號線驅動器電路的結構及操作之範例。

信號線驅動器電路包括一偏移暫存器5601及一切換電路5602。切換電路5602包括複數切換電路5602_1至5602_N(N為自然數)。切換電路5602_1至5602_N各包括複數薄膜電晶體5603_1至5603_k(k為自然數)。以下係描述其中薄膜電晶體5603_1至5603_k為n通道TFT之範例。

使用切換電路5602_1為範例以描述信號線驅動器電路中之連接關係。薄膜電晶體5603_1至5603_k之第一終端被個別地連接至佈線5604_1至5604_k。薄膜電晶體5603_1至5603_k之第二終端被個別地連接至信號線S1至Sk。薄膜電晶體5603_1至5603_k之閘極被連接至一

佈線 5605_1。

偏移暫存器 5601 具有依序地選擇切換電路 5602_1 至 5602_N 之功能，其係藉由依序地將 H 位準信號（亦稱為 H 信號或者於高電力供應電位位準之信號）輸出至佈線 5605_1 至 5605_N。

切換電路 5602_1 具有控制介於佈線 5604_1 至 5604_k 與信號線 S1 至 Sk 間之導通狀態（介於第一終端與第二終端間之電連續性）的功能，亦即，控制佈線 5604_1 至 5604_k 之電位是否供應至信號線 S1 至 Sk 的功能。以此方式，切換電路 5602_1 作用為一選擇器。此外，薄膜電晶體 5603_1 至 5603_k 具有控制個別地介於佈線 5604_1 至 5604_k 與信號線 S1 至 Sk 間之導通狀態的功能，亦即，個別地供應佈線 5604_1 至 5604_k 之電位至信號線 S1 至 Sk 的功能。以此方式，每一薄膜電晶體 5603_1 至 5603_k 係作用為一開關。

視頻信號資料（DATA）被輸入至每一佈線 5604_1 至 5604_k。視頻信號資料（DATA）常為一相應於影像信號或影像資料之類比信號。

接下來，將參考圖 15B 之時序圖以描述圖 15A 中之信號線驅動器電路的操作。圖 15B 顯示信號 Sout_1 至 Sout_N 及信號 Vdata_1 至 Vdata_k 之範例。信號 Sout_1 至 Sout_N 為來自偏移暫存器 5601 之輸出信號的範例。信號 Vdata_1 至 Vdata_k 為輸入至佈線 5604_1 至 5604_k 之信號的範例。注意：信號線驅動器電路之一操作週期係相

應於一顯示裝置中之閘極選擇週期。例如，一閘極選擇週期被劃分為週期 T1 至 TN。每一週期 T1 至 TN 為用以將視頻信號資料 (DATA) 寫入一選定列中之一像素的週期。

注意：於本實施例中之各圖形等中所顯示的各結構中之信號波形失真等被誇大以利簡化，於某些情況下。因此，本實施例不一定限定於圖形等中所示之比例。

於週期 T1 至 TN 中，偏移暫存器 5601 依序地將 H 位準信號輸出至佈線 5605_1 至 5605_N。例如，於週期 T1 中，偏移暫存器 5601 將一 H 位準信號輸出至佈線 5605_1。接著，薄膜電晶體 5603_1 至 5603_k 被開啓，以致佈線 5604_1 至 5604_k 及信號線 S1 至 Sk 變為導通。於此時刻，資料 (S1) 至資料 (Sk) 被個別地輸入至佈線 5604_1 至 5604_k。資料 (S1) 至資料 (Sk) 被寫入一選定列中之第一至第 k 行中的像素，其係個別地透過薄膜電晶體 5603_1 至 5603_k。以此方式，於週期 T1 至 TN 中，視頻信號資料 (DATA) 係以 k 行被依序地寫入選定列中之像素。

視頻信號資料 (DATA) 係以複數行被寫入像素，如上所述，藉此可減少視頻信號資料 (DATA) 之數目或佈線之數目。結果，可減少利用外部電路之連接數目。此外，當視頻信號係以複數行被寫入像素時可延長寫入之時間；因此，可防止視頻信號之不足寫入。

注意：由實施例 1 至 4 中之薄膜電晶體所構成的任何

電路均可被用於偏移暫存器 5601 及切換電路 5602。

將參考圖 16A 至 16D 及 17A 和 17B 以描述用於掃描線驅動器電路及/或信號線驅動器電路之部分的偏移暫存器之一實施例。

掃描線驅動器電路包括一偏移暫存器。掃描線驅動器電路可額外地包括一偏移暫存器、一緩衝器等等，於某些情況下。於掃描線驅動器電路中，一時脈信號（CLK）及一開始脈衝信號（SP）被輸入至偏移暫存器，以致產生一選擇信號。所產生之選擇信號被緩衝器緩衝並放大，且所得的信號被供應至一相應的掃描線。一線之像素中的電晶體之閘極電極被連接至一掃描線。因為一線之像素中的電晶體必須一次被開啓，所以使用一可供應大電流之緩衝器。

偏移暫存器包括第一至第 N 脈衝輸出電路 10_1 至 10_N（N 為大於或等於 3 之自然數）（參見圖 16A）。於圖 16A 中所示之偏移暫存器中，第一時脈信號 CK1、第二時脈信號 CK2、第三時脈信號 CK3、及第四時脈信號 CK4 係個別地從第一佈線 11、第二佈線 12、第三佈線 13、及第四佈線 14 被供應至第一至第 N 脈衝輸出電路 10_1 至 10_N。一開始脈衝 SP1（第一開始脈衝）係從第五佈線 15 被輸入至第一脈衝輸出電路 10_1。來自先前級中之脈衝輸出電路的信號（此一信號被稱為先前級信號 OUT(n-1)）被輸入至第二或後續級中之第 n 脈衝輸出電路 10_n（n 為大於或等於 2 且小於或等於 N 之自然數）。來

自第一脈衝輸出電路 10_1 後兩級之級中的第三脈衝輸出電路 10_3 之信號亦被輸入至第一脈衝輸出電路 10_1。以一類似方式，來自第 n 脈衝輸出電路 10_ n 後兩級之級中的第 $(n+2)$ 脈衝輸出電路 10_ $(n+2)$ 之信號（此一信號被稱為後續級信號 OUT $(n+2)$ ）被輸入至第二或後續級中之第 n 脈衝輸出電路 10_ n 。因此，個別級中之脈衝輸出電路係將第一輸出信號（OUT(1)(SR)至 OUT(N)(SR)）輸出以便被輸入至個別後續級中之脈衝輸出電路及/或個別脈衝輸出電路前兩級之級中的脈衝輸出電路，以及將第二輸出信號（OUT(2)至 OUT(N)）輸出以便被輸入至其他電路等等。注意：如圖 16A 中所示，因為後續級信號 OUT $(n+2)$ 未被輸入至偏移暫存器之最後兩級中的脈衝輸出電路，所以（例如）第二開始脈衝 SP2 及第三開始脈衝 SP3 可被額外地輸入至個別的脈衝輸出電路。

注意：時脈信號（CK）為以規律間隔交替於 H 位準和 L 位準（亦稱為 L 信號或者於低電力供應電位位準之信號）間之信號。於此，第一時脈信號（CK1）至第四時脈信號（CK4）被依序地延遲 $1/4$ 循環（亦即，其為彼此離開 90 度相位）。於此實施例中，脈衝輸出電路之驅動係以第一至第四時脈信號（CK1）至（CK4）來控制。注意：時脈信號於某些情況下亦被稱為 GCK 或 SCK，根據時脈信號所被輸入至之驅動器電路；時脈信號於後續描述中被稱為 CK。

第一輸入終端 21、第二輸入終端 22、及第三輸入終

端 23 被電連接至第一至第四佈線 11 至 14 之任一。例如，於圖 16A 中之第一脈衝輸出電路 10_1 中，第一輸入終端 21 被電連接至第一佈線 11、第二輸入終端 22 被電連接至第二佈線 12、及第三輸入終端 23 被電連接至第三佈線 13。於第二脈衝輸出電路 10_2 中，第一輸入終端 21 被電連接至第二佈線 12、第二輸入終端 22 被電連接至第三佈線 13、及第三輸入終端 23 被電連接至第四佈線 14。

每一第一至第 N 脈衝輸出電路 10_1 至 10_N 包括第一輸入終端 21、第二輸入終端 22、第三輸入終端 23、第四輸入終端 24、第五輸入終端 25、第一輸出終端 26、及第二輸出終端 27（參見圖 16B）。於第一脈衝輸出電路 10_1 中，第一時脈信號 CK1 被輸入至第一輸入終端 21；第二時脈信號 CK2 被輸入至第二輸入終端 22；第三時脈信號 CK3 被輸入至第三輸入終端 23；一開始脈衝被輸入至第四輸入終端 24；一後續級信號 OUT(3)被輸入至第五輸入終端 25；第一輸出信號 OUT(1)(SR)被輸出自第一輸出終端 26；及第二輸出信號 OUT(1)被輸出自第二輸出終端 27。

於第一至第 N 脈衝輸出電路 10_1 至 10_N 中，除了具有三個終端之薄膜電晶體外，可使用以上實施例中所描述之具有四個終端的薄膜電晶體（TFT）。注意：於本實施例中，當一薄膜電晶體具有兩個閘極電極以一半導體層介於其間時，在半導體層底下之閘極電極被稱為下閘極電極而在半導體層上方之閘極電極被稱為上閘極電極。

當一氧化物半導體被使用於一種包括通道形成區於薄膜電晶體中之半導體層時，臨限電壓有時係根據製造程序而偏移於正或負方向。爲了該原因，薄膜電晶體（其中一氧化物半導體係用於一包括通道形成區之半導體層）最好是具有一種可便於控制臨限電壓之結構。具有四個終端之薄膜電晶體的臨限電壓可藉由上閘極電極及/或下閘極電極之控制而被控制至一理想值。

接下來，將參考圖 16D 以描述圖 16B 中所示之脈衝輸出電路的特定電路架構之範例。

圖 16D 中所示之脈衝輸出電路包括第一至第十三電晶體 31 至 43。一信號或一電力供應電位係從一電力供應線 51（其中有第一高電力供應電位 V_{DD} 被供應至該處）、一電力供應線 52（其中有第二高電力供應電位 V_{CC} 被供應至該處）、及一電力供應線 53（其中有低電力供應電位 V_{SS} 被供應至該處）被供應至第一至第十三電晶體 31 至 43，除了第一至第五輸入終端 21 至 25、第一輸出終端 26、及第二輸出終端 27（其係描述如上）以外。圖 16D 中之電力供應線的電力供應電位之關係係如下：第一電力供應電位 V_{DD} 係高於或等於第二電力供應電位 V_{CC} ，而第二電力供應電位 V_{CC} 係高於或等於第三電力供應電位 V_{SS} 。注意：第一至第四時脈信號（CK1）至（CK4）係以規律間隔交替於 H 位準與 L 位準之間；H 位準上之時脈信號爲 V_{DD} 而 L 位準上之時脈信號爲 V_{SS} 。藉由使電力供應線 51 之電位 V_{DD} 高於電力供應線 52 之電位 V_{CC} ，

則可降低一供應至電晶體之閘極電極的電位，可減少電晶體之臨限電壓中的偏移，且可抑制電晶體之惡化而對於電晶體之操作無不利影響。具有四個終端之薄最好是被使用為第一至第十三電晶體 31 至 43 中的第一電晶體 31 及第六至第九電晶體 36 至 39。第一電晶體 31 及第六至第九電晶體 36 至 39 需操作以致一作用為源極或汲極之電極所連接至之節點的電位，且可進一步減少脈衝輸出電路之故障，因為對於輸入至閘極電極之控制信號的回應很快（開狀態電流之上升很陡峭）。因此，利用具有四個終端之薄膜電晶體，臨限電壓可被控制，且脈衝輸出電路之故障可被進一步防止。

於圖 16D 中，第一電晶體 31 之第一終端被電連接至電力供應線 51，第一電晶體 31 之第二終端被電連接至第九電晶體 39 之第一終端，以及第一電晶體 31 之閘極電極（下閘極電極和上閘極電極）被電連接至第四輸入終端 24。第二電晶體 32 第一終端被電連接至電力供應線 53，第二電晶體 32 之第二終端被電連接至第九電晶體 39 之第一終端，以及第二電晶體 32 之閘極電極被電連接至第四電晶體 34 之閘極電極。第三電晶體 33 之第一終端被電連接至第一輸入終端 21，第三電晶體 33 之第二終端被電連接至第一輸出終端 26。第四電晶體 34 之第一終端被電連接至電力供應線 53，而第四電晶體 34 之第二終端被電連接至第一輸出終端 26。第五電晶體 35 之第一終端被電連接至電力供應線 53，第五電晶體 35 之第二終端被電連接

至第二電晶體 32 之閘極電極和第四電晶體 34 之閘極電極，而第五電晶體 35 之閘極電極被電連接至第四輸入終端 24。第六電晶體 36 之第一終端被電連接至電力供應線 52，第六電晶體 36 之第二終端被電連接至第二電晶體 32 之閘極電極和第四電晶體 34 之閘極電極，而第六電晶體 36 之閘極電極（下閘極電極和上閘極電極）被電連接至第五輸入終端 25。第七電晶體 37 之第一終端被電連接至電力供應線 52，第七電晶體 37 之第二終端被電連接至第八電晶體 38 之第二終端，而第七電晶體 37 之閘極電極（下閘極電極和上閘極電極）被電連接至第三輸入終端 23。第八電晶體 38 之第一終端被電連接至第二電晶體 32 之閘極電極和第四電晶體 34 之閘極電極，而第八電晶體 38 之閘極電極（下閘極電極和上閘極電極）被電連接至第二輸入終端 22。第九電晶體 39 之第一終端被電連接至第一電晶體 31 之第二終端和第二電晶體 32 之第二終端，第九電晶體 39 之第二終端被電連接至第三電晶體 33 之閘極電極和第十電晶體 40 之閘極電極，而第九電晶體 39 之閘極電極（下閘極電極和上閘極電極）被電連接至電力供應線 52。第十電晶體 40 之第一終端被電連接至第一輸入終端 21，第十電晶體 40 之第二終端被電連接至第二輸出終端 27，而第十電晶體 40 之閘極電極被電連接至第九電晶體 39 之第二終端。第十一電晶體 41 之第一終端被電連接至電力供應線 53，第十一電晶體 41 之第二終端被電連接至第二輸出終端 27，而第十一電晶體 41 之閘極電極被

電連接至第二電晶體 32 之閘極電極和第四電晶體 34 之閘極電極。第十二電晶體 42 之第一終端被電連接至電力供應線 53，第十二電晶體 42 之第二終端被電連接至第二輸出終端 27，而第十二電晶體 42 之閘極電極被電連接至第七電晶體 37 之閘極電極（下閘極電極和上閘極電極）。第十三電晶體 43 之第一終端被電連接至電力供應線 53，第十三電晶體 43 之第二終端被電連接至第一輸出終端 26，而第十三電晶體 43 之閘極電極被電連接至第七電晶體 37 之閘極電極（下閘極電極和上閘極電極）。

於圖 16D 中，一部分（其中第三電晶體 33 之閘極電極、第十電晶體 40 之閘極電極和第九電晶體 39 之第二終端相連）被稱為節點 A。此外，一部分（其中第二電晶體 32 之閘極電極、第四電晶體 34 之閘極電極、第五電晶體 35 之第二終端、第六電晶體 36 之第二終端、第八電晶體 38 之第一終端、和第十一電晶體 41 之閘極電極相連）被稱為節點 B(參見圖 17A)。

圖 17A 顯示被輸入至及輸出自第一至第五輸入終端 21 至 25 及第一和第二輸出終端 26 和 27 的信號，在其中圖 16D 中所示之脈衝輸出電路被應用於第一脈衝輸出電路 10_1 之情況下。

明確地，第一時脈信號 CK1 被輸入至第一輸入終端 21；第二時脈信號 CK2 被輸入至第二輸入終端 22；第三時脈信號 CK3 被輸入至第三輸入終端 23；開始脈衝被輸入至第四輸入終端 24；後續級信號 OUT(3)被輸入至第五

輸入終端 25；第一輸出信號 OUT(1)(SR)被輸出自第一輸出終端 26；以及第二輸出信號 OUT(2)被輸出自第二輸出終端 27。

注意：薄膜電晶體係一具有閘極、汲極、及源極之至少三個終端的元件。薄膜電晶體具有一半導體，其包括一形成於重疊與閘極之區中的通道區。經通道區而流動於汲極與源極之間的電流可藉由控制閘極之電位來控制。於此，因為薄膜電晶體之源極及汲極可根據薄膜電晶體之結構、操作條件等等而改變，所以難以界定何者為源極或汲極。因此，一作用為源極或汲極之區於某些情況下不被稱為源極或汲極。於該情況下，例如，此等區可被個別地稱為第一終端及第二終端。

注意：於圖 16D 及圖 17A 中，可額外地提供一藉由將節點 A 帶入浮動狀態以執行自舉（bootstrap）操作之電容。再者，可額外地提供一具有一電連接至節點 B 之電極的電容，以保持節點 B 之電位。

圖 17B 係一包括圖 17A 中所示之複數脈衝輸出電路的偏移暫存器之時序圖。注意：當偏移暫存器被包括於一掃描線驅動器電路中時，則圖 17B 中之一週期 61 係相應於一垂直回掃（retrace）週期而週期 62 係相應於閘極選擇週期。

注意：在自舉操作前與後設置第九電晶體 39（其中第二電力供應電位 VCC 被施加至閘極電極，如圖 17A 中所示）具有下列優點。

若無第九電晶體 39（其中第二電力供應電位 VCC 被施加至閘極電極），假如節點 A 之電位係藉由自舉操作而被升高，則源極（其為第一電晶體 31 之第二終端）之電位升高至一高於第一電力供應電位 VDD 之值。接著，第一電晶體 31 之源極被切換至第一終端，亦即，電力供應線 51 側上之終端。結果，於第一電晶體 31 中，施加一高偏壓而因此施加顯著的應力於閘極與源極之間及閘極與汲極之間，其可能造成電晶體之惡化。另一方面，利用第九電晶體 39（其中第二電力供應電位 VCC 被施加至閘極電極），可防止第一電晶體 31 之第二終端的電位之增加，當節點 A 之電位係藉由自舉操作而被升高時。換言之，第九電晶體 39 之設置使其得以降低施加於第一電晶體 31 的閘極與源極之間的負偏壓之位準。因此，本實施例中之電路架構容許減少一施加於第一電晶體 31 的閘極與源極之間的負偏壓，藉此可防止由於應力所致之第一電晶體 31 的惡化。

注意：第九電晶體 39 可被設於任何位置，只要第九電晶體 39 之第一終端及第二終端被連接於第一電晶體 31 的第二終端與第三電晶體 33 的閘極之間。注意：於其中包括本實施例中之複數脈衝輸出電路的偏移暫存器被包括於一具有較掃描線驅動器電路更多級之信號線驅動器電路中的情況下，可省略第九電晶體 39，其導致電晶體之數目的減少。

注意：氧化物半導體被用於每一第一至第十三電晶體

31 至 43 中之半導體層，而因此可減少薄膜電晶體之關狀態電流，可增加開狀態電流及場效移動率，並可減少電晶體之惡化的程度。結果，可防止電路之故障。此外，藉由施加高電位至閘極電極而使用氧化物半導體之電晶體的惡化程度係小於使用非晶矽之電晶體的惡化程度。結果，即使當第一電力供應電位 V_{DD} 被供應至電力供應線（由第二電力供應電位 V_{CC} 所供應）時仍可獲得類似的操作，且可減少設於電路間之電力供應線的數目；而因此可減少電路之尺寸。

注意：即使當連接關係改變時仍獲得類似的功能，以致一從第三輸入終端 23 供應至第七電晶體 37 之閘極電極（下閘極電極和上閘極電極）的時脈信號及一從第二輸入終端 22 供應至第八電晶體 38 之閘極電極（下閘極電極和上閘極電極）的時脈信號被個別地供應自第二輸入終端 22 及第三輸入終端 23。於圖 17A 所示之偏移暫存器中，第七電晶體 37 及第八電晶體 38 之狀態被改變以致第七電晶體 37 及第八電晶體 38 兩者均為開，且接著第七電晶體 37 及第八電晶體 38 為關；因此，由於第二輸入終端 22 及第三輸入終端 23 之電位下降所致之節點 B 的電位下降係藉由第七電晶體 37 之閘極電極的電位下降以及第八電晶體 38 之閘極電極的電位下降而被造成兩次。另一方面，當圖 17A 所示之偏移暫存器中的第七電晶體 37 及第八電晶體 38 之狀態被改變（如於圖 17B 所示之週期中）以致第七電晶體 37 及第八電晶體 38 均為開、接著第七電

晶體 37 為開而第八電晶體 38 為關、及接著第七電晶體 37 及 38 均為關時，則由於第二輸入終端 22 及第三輸入終端 23 之電位下降所致之節點 B 的電位下降被減為一次，其係由第八電晶體 38 之閘極電極的電位下降所造成。因此，最好是使用一種連接關係，其中時脈信號係從第三輸入終端 23 被供應至第七電晶體 37 之閘極電極（下閘極電極和上閘極電極），以及時脈信號係從第二輸入終端 22 被供應至第八電晶體 38 之閘極電極（下閘極電極和上閘極電極），因為可藉由減少節點 B 之電位的波動以減少雜訊。

以此方式，H 位準信號被規律地供應至節點 B 於第一輸出終端 26 及第二輸出終端 27 之電位被保持於 L 位準期間的週期中；因此，可防止脈衝輸出電路之故障。

（實施例 9）

製造一薄膜電晶體，並可使用於一像素部分中且同時於一驅動器電路中之薄膜電晶體以製造一種具有顯示功能之半導體裝置（亦稱為顯示裝置）。此外，可將驅動器電路之部分或整個驅動器電路（其包括一薄膜電晶體）形成於一基底（其中形成一像素部分）上，藉此可獲得一系統上面板。

顯示裝置包括一顯示元件。可使用液晶元件（亦稱為液晶顯示元件）或發光元件（亦稱為發光顯示元件）為顯示元件。發光元件包括（於其類別中）一種其亮度係由電

流或電壓所控制之元件，且明確地包括一無機電致發光（EL）元件、有機 EL 元件，等等。再者，可使用一種藉由電效應以改變其對比之顯示媒體，諸如電子墨水。

此外，顯示裝置包括一面板，其中顯示元件被密封、及一模組，其中一包括控制器之 IC 等被安裝於該面板上。再者，一元件基底（其係相應於在顯示裝置之製造程序中完成該顯示元件前的一實施例）設有一用以供應電流至顯示元件之單元於每一複數像素中。明確地，元件基底可處於：一種其中僅形成顯示元件之一像素電極的狀態、一種在一將成為像素電極之導電膜的形成後以及在蝕刻該導電膜以形成像素電極前的狀態、或任何其他狀態。

注意：本說明書中之一顯示裝置指的是一種影像顯示裝置、一種顯示裝置、或一種光源（包括發光裝置）。此外，顯示裝置包括其類別中之下列模組：包括一連接器之模組，諸如撓性印刷電路（FPC）、捲帶式自動接合（TAB）、或捲帶式承載器封裝（TCP）；具有 TAB 帶或 TCP 帶之模組，該 TAB 帶或 TCP 帶設有一印刷佈線板於其末端上；及具有積體電路（IC）之模組，該 IC 係藉由晶片上玻璃（COG）法而直接安裝在顯示元件上。

將參考圖 10A1、10A2 及 10B 以描述一種液晶顯示面板之外觀及橫斷面，其為半導體裝置之一實施例。圖 10A1 及 10A2 為面板之平面圖，其中薄膜電晶體 4010 及 4011 與液晶元件 4013 係以密封劑 4005 來密封於第一基底 4001 與第二基底 4006 之間。圖 10B 係沿著圖 10A1 及

10A2 中之線段 M-N 所取之橫斷面視圖。

密封劑 4005 被提供以圍繞像素部分 4002 及掃描線驅動器電路 4004，其係設於第一基底 4001 上。第二基底 4006 係設於像素部分 4002 及掃描線驅動器電路 4004 上。因此，像素部分 4002 及掃描線驅動器電路 4004 係藉由第一基底 4001、密封劑 4005 及第二基底 4006 而與一液晶層 4008 密封在一起。將一信號線驅動器電路 4003（其係使用單晶半導體膜或多晶半導體膜而被形成於一分開備製的基底上）被安裝在第一基底 4001 上一不同於由密封劑 4005 所圍繞之區的區上。

注意：對於分開形成之驅動器電路的連接方法並無特別限制，而可使用 COG 法、佈線接合法、TAB 法，等等。圖 10A1 顯示一範例，其中信號線驅動器電路 4003 係由 COG 法所安裝。圖 10A2 顯示一範例，其中信號線驅動器電路 4003 係由 TAB 法所安裝。

設於 4001 上之像素部分 4002 及掃描線驅動器電路 4004 各包括複數薄膜電晶體。圖 10B 顯示（當作一範例）包括於像素部分 4002 中之薄膜電晶體 4010 及包括於掃描線驅動器電路 4004 中之薄膜電晶體 4011。絕緣層 4041、4042、4020、及 4021 係設於薄膜電晶體 4010 及 4011 上。

包括實施例 1 至 4 中所描述之氧化物半導體層的任何高度可靠的薄膜電晶體均可被使用為薄膜電晶體 4010 及 4011。實施例 1 至 4 中所描述的薄膜電晶體 410 或薄膜電

晶體 499 均可被使用為驅動器電路之薄膜電晶體 4011。薄膜電晶體 420 或薄膜電晶體 498 均可被使用為像素之薄膜電晶體 4010。於本實施例中，薄膜電晶體 4010 及 4011 為 n 通道薄膜電晶體。

導電層 4040 被設於絕緣層 4021 之部分上，其係重疊與驅動器電路之薄膜電晶體 4011 中的氧化物半導體層之通道形成區。導電層 4040 被設於重疊與氧化物半導體層之通道形成區的位置上，藉此可減少 BT 測試前與後之薄膜電晶體 4011 的臨限電壓之改變量。導電層 4040 之電位可相同或不同於薄膜電晶體 4011 之閘極電極層的電位。導電層 4040 亦可作用為第二閘極電極層。另一方面，導電層 4040 之電位可為 GND 或 0V，或者導電層 4040 可於浮動狀態。

包括於液晶元件 4013 中之像素電極層 4030 被電連接至薄膜電晶體 4010。液晶元件 4013 之一反電極層 4031 係形成於第二基底 4006 上。其中有像素電極層 4030、反電極層 4031、及液晶層 4008 彼此重疊的一部分係相應於液晶元件 4013。注意：像素電極層 4030 及反電極層 4031 係個別設有作用為對準膜之絕緣層 4032 及絕緣層 4033，且液晶層 4008 係夾製於像素電極層 4030 與反電極層 4031 之間，以絕緣層 4032 及 4033 介於其間。

注意：透光基底可被使用為第一基底 4001 及第二基底 4006；可使用玻璃、陶瓷、或塑膠。可使用玻璃纖維強化塑膠（FRP）板、聚氟乙烯（PVF）膜、聚酯膜、或

丙烯酸樹脂為塑膠。

由參考數字 4035 所表示之柱狀間隔物係藉由一絕緣膜之選擇性蝕刻而獲得，且被提供以控制介於像素電極層 4030 與反電極層 4031 之間的距離（胞間隙）。另一方面，可使用一種球狀間隔物。反電極層 4031 被電連接至一形成於基底（其中形成有薄膜電晶體 4010）上之共同電位線。反電極層 4031 及共同電位線可透過配置於該對基底間之導電粒子而被彼此電連接，其係使用共同連接部分。注意：導電粒子係包括於密封劑 4005 中。

另一方面，可使用展現藍相位之液晶，其無須對準膜。藍相位為液晶相位之一，其僅在膽固醇相位改變為各向同性相位之前出現，於增加膽固醇液晶之溫度時。因為藍相位僅出現在狹窄的溫度範圍內，所以液晶層 4008 係使用一種液晶成分（其中手性劑被混合以 5 重量%或更多）來形成，以增加溫度範圍。包括展現藍相位之液晶及手性劑之液晶成分具有 1 msec 或更少的短反應時間且為光學各向同性的；因此，無須對準處理且觀看角度依存性很小。

注意：本實施例可應用於半透式液晶顯示裝置以及透射式液晶顯示裝置。

於液晶顯示裝置之範例中，一平坦化板被設於基底之外表面上（於觀看者側上），而用於顯示元件之一上色層（濾色器）及一電極層被依序地設於基底之內表面上；另一方面，平坦化板可被設於基底之內表上。平坦化板與上

色層之層化結構不限定於本實施例之範例，而可根據平坦化板及上色層之材料或製造程序之條件來被適當地設定。此外，一作用為黑色矩陣之阻光膜可被設置，除了於顯示部分以外。

於薄膜電晶體 4011 中，絕緣層 4041 被形成以接觸與包括通道形成區之半導體層，來當作保護絕緣膜。於薄膜電晶體 4010 中，絕緣層 4042 被形成為通道保護層。絕緣層 4041 及 4042 可使用類似於實施例 1 中所描述之絕緣層 466 及 476 的材料及方法來形成。此外，作用為平坦化絕緣膜之絕緣層 4021 係覆蓋薄膜電晶體，以減少薄膜電晶體之表面不均勻。於此，藉由依據實施例 1 之濺射法以形成矽氧化物膜來當作絕緣層 4041 及 4042。

絕緣層 4020 係形成於絕緣層 4041 及 4042 上。絕緣層 4020 可使用類似於實施例 1 中所描述之保護絕緣層 403 的材料及方法來形成。於此，藉由 RF 濺射法以形成矽氮化物膜來當作絕緣層 4020。

絕緣層 4021 被形成為平坦化絕緣膜。絕緣層 4021 可使用類似於實施例 1 中所描述之平坦化絕緣層 454 的材料及方法來形成，且可使用一種抗熱有機材料，諸如聚醯亞胺、丙烯酸、苯環丁烯、聚醯胺、或環氧樹脂。除了此等有機材料之外，亦得以使用低電介質常數材料（低 k 材料）、矽氧烷基的樹脂、PSG（磷矽酸鹽玻璃）、BPSG（硼磷矽酸鹽玻璃）等等。注意：使用這些材料所形成之複數絕緣膜可被堆疊以形成絕緣層 4021。

於本實施例中，像素部分中之複數薄膜電晶體可由一氮化物絕緣膜來圍繞在一起。得以使用氮化物絕緣膜為絕緣層 4020 及閘極絕緣層，並提供其中絕緣層 4020 係接觸與閘極絕緣層之一區，以圍繞主動矩陣基底上之像素部分的至少周邊，如圖 10A1、10A2、及 10B 所示。於此製造程序中，可防止水從外部進入。此外，可長期地防止水從外部進入，即使在裝置被完成為半導體裝置（例如，當作顯示裝置）之後；因此，可達成裝置之長期可靠度。

注意：矽氧烷基的樹脂係相應於一種包括使用矽氧烷基的材料為起始材料所形成之 Si-O-Si 鍵的樹脂。矽氧烷基的樹脂可包括有機族（例如，烷族或芳香基族）或氟基族為替代物。此外，有機族可包括氟基族。

對於用以形成絕緣層 4021 之方法並無特別限制；並且，取決於材料，下列方法或手段可被使用：濺射法、SOG 法、旋塗法、浸漬法、噴塗法、或液滴排出法（例如，噴墨法、網印法、或平版印刷法）、輥塗法、簾塗法、刮刀塗法，等等。絕緣層 4021 之烘焙步驟亦作用為半導體層之退火，藉此可有效率地製造一半導體裝置。

像素電極層 4030 及反電極層 4031 可使用透光導電材料來形成，諸如：含鎢氧化物之氧化銦、含鎢氧化物之銦氧化鋅、含鈦氧化物之氧化銦、含鈦氧化物之銦氧化錫、銦氧化錫（ITO）、銦氧化鋅、或銦氧化錫（已加入矽氧化物）。

另一方面，包括導電高分子（亦稱為導電聚合物）之

導電成分可用於像素電極層 4030 及反電極層 4031。使用該導電成分所形成之像素電極最好是具有每平方 10000 歐姆或更低之片電阻及 70%或更高之光透射率（於 550 nm 之波長）。片電阻最好是更低。此外，導電成分中所包括之導電高分子的電阻率最好是 $0.1 \Omega \cdot \text{cm}$ 或更低。

可使用一種所謂的 π 電子共軛導電聚合物來當作導電高分子。舉例而言，可使用：聚苯胺及其衍生物、聚吡咯及其衍生物、聚噻吩及其衍生物、及兩種以上這些材料之共聚物。

再者，多種信號及電位係從 FPC 4018 被供應至信號線驅動器電路 4003（其係分開形成的）、掃描線驅動器電路 4004、或像素部分 4002。

使用如液晶元件 4013 中所包括之像素電極層 4030 的相同導電膜來形成一連接終端電極 4015。使用如薄膜電晶體 4010 及 4011 之源極和汲極電極層的相同導電膜來形成一終端電極 4016。

連接終端電極 4015 係透過各向異性導電膜 4019 而電連接至 FPC 4018 中所包括的一終端。

注意：雖然圖 10A1、10A2、及 10B 顯示其中信號線驅動器電路 4003 被分開地形成並安裝於第一基底 4001 上之範例；然而，本實施例並不限定於結構。掃描線驅動器電路亦可被分開地形成並接著安裝，或者僅有信號線驅動器電路之部分或掃描線驅動器電路之部分可被分開地形成並接著安裝。

圖 19 顯示一液晶顯示模組之範例，該液晶顯示模組係利用依據本說明書中所揭露之製造方法所製造的 TFT 基底 2600 而被形成為半導體裝置。

圖 19 顯示液晶顯示模組之範例，其中 TFT 基底 2600 與一反基底 2601 係以一密封劑 2602 來彼此固定，而一包括 TFT 等之像素部分 2603、一包括液晶層之顯示元件 2604、及一上色層 2605 被設於基底之間以形成一顯示區。2605 為執行色彩顯示所必須的。於 RGB 系統中，相應於紅、綠、及藍之色彩的上色層被提供給像素。平坦化板 2606 及 2607 和一擴散板 2613 被設於 TFT 基底 2600 及反基底 2601 之外部。一光源包括冷陰極管 2610 及反射板 2611。電路板 2612 係藉由一撓性佈線板 2609 而被連接至 TFT 基底 2600 之一佈線電路部分 2608 並包括一外部電路，諸如控制電路或電源電路。平坦化板與液晶可被堆疊以一阻滯板介於其間。

針對該液晶顯示模組，可使用扭轉向列（TN）模式、平面中切換（IPS）模式、邊緣場切換（FFS）模式、多域垂直對準（MVA）模式、圖案化垂直對準（PVA）模式、軸對稱對準微胞（ASM）模式、光學補償雙折射（OCB）模式、鐵電液晶（FLC）模式、反鐵電液晶（AFLC）模式，等等。

透過上述步驟，可製造高度可靠的液晶顯示面板而成為半導體裝置。

本實施例可適當結合其他實施例中所述之任何結構而

實施。

（實施例 10）

於本實施例中，將描述電子紙之範例為一種半導體裝置之實施例。

半導體裝置可被用於電子紙，其中電子墨水係由一電連接至切換元件之元件所驅動。電子紙亦稱為電泳顯示裝置（電泳顯示）且具有諸如與一般紙張相同的可讀程度、較其他顯示裝置更低的電力耗損、薄、及重量輕等優點。

電泳顯示可具有各種模式。電泳顯示含有散佈於溶劑或溶質中之複數微膠囊，其各含有正充電的第一粒子及負充電的第二粒子。藉由施加電場至微膠囊，微膠囊中之粒子便移動於彼此相反的方向並且僅顯示其聚集在一側上之粒子的顏色。注意：第一粒子及第二粒子各包括一顏料且無電場時不會移動（其可能為無色的）。

以此方式，電泳顯示係利用一所謂的介電泳效果，藉此一具有高電介質常數之基底係移動至高電場區。電泳顯示裝置無須使用液晶顯示裝置中所必須要的平坦化板。

一種其中有上述微膠囊散佈於溶劑中的解決方式稱為電子墨水。此電子墨水可被印刷於玻璃、塑膠、布、紙等表面上。再者，利用一濾色器或包括顏料之粒子的色彩顯示是可行的。

當複數上述微膠囊被適當配置於一主動矩陣基底上以被夾製於兩電極之間時，則可完成一主動矩陣顯示裝置，

且可藉由施加電場至微膠囊以執行顯示。例如，使用任一實施例 1 至 4 中之薄膜電晶體所形成的主動矩陣基底均可被使用。

注意：微膠囊中之第一粒子及第二粒子可使用下列材料之一來形成：導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電材料、電致發光材料、電子呈色材料、及磁泳材料或任何這些材料之複合材料。

圖 18 顯示主動矩陣電子紙以當作半導體裝置之範例。用於半導體裝置之薄膜電晶體 581 可以一種類似於實施例 1 中所描述之薄膜電晶體的方式來形成，且為一種包括氧化物半導體層之高度可靠的薄膜電晶體。此外，實施例 2 至 4 中所描述之任何薄膜電晶體亦可被使用為本實施例中之薄膜電晶體 581。

圖 18 中之電子紙為使用扭轉球顯示系統之顯示裝置的範例。扭轉球顯示系統指的是一種方法，其中各以黑或白上色之球形粒子被配置於第一電極層與第二電極層之間（該些電極層係用於一顯示元件），並於該第一電極層與該第二電極層之間產生電位差以控制球形粒子之定向，藉此執行顯示。

形成於基底 580 上之薄膜電晶體 581 係一底部閘極薄膜電晶體且被覆蓋以一絕緣膜 583，其係接觸與一半導體層。薄膜電晶體 581 之源極電極層或汲極電極層係透過一形成於絕緣層 583 及絕緣層 585 中之開口而接觸與第一電極層 587，藉此使薄膜電晶體 581 電連接至第一電極層

587。球形粒子 589 被設於第一電極層 587 與一形成在基底 596 上的第二電極層 588 之間。每一球形粒子 589 包括一黑色區 590a、白色區 590b、及一空腔 594，其係填充以液體於黑色區 590a 及白色區 590b 周圍。於球形粒子 589 周圍之空間係填充以填料 595（諸如樹脂）。第一電極層 587 係相應於像素電極，而第二電極層 588 係相應於共同電極。第二電極層 588 被電連接至一設於基底（其中形成有薄膜電晶體 581）上之共同電位線。利用一共同連接部分，第二電極層 588 與共同電位線可透過設於該對基底間之導電粒子而被彼此電連接。

替代地，得以使用電泳元件以取代扭轉球。使用具有直徑約 10 μm 至 200 μm 之微膠囊，其中透明液體、正充電的白色微粒、及負充電的黑色微粒被囊封。在設於第一電極層與第二電極層之間的微膠囊中，當電場係由第一電極層及第二電極層所供應時，白色微粒及黑色微粒係移動於相反方向，藉此可顯示白色或黑色。使用此原則之顯示元件為電泳顯示元件，而使用電泳顯示元件之裝置一般稱為電子紙。電泳顯示元件具有較液晶顯示元件更高的反射率；因此，無須輔助光，電力耗損低，且可於昏暗處所辨識顯示部分。此外，即使當未供應電力至顯示部分時，仍可維持已被顯示之影像。因此，即使具有顯示功能之半導體裝置（其被簡稱為顯示裝置或設有顯示裝置之半導體裝置）被保持遠離電波來源，仍可儲存一已顯示的影像。

透過上述步驟，可製造一種高度可靠的電子紙為半導

體裝置。

本實施例可適當結合其他實施例中所述之任何結構而實施。

(實施例 11)

將描述發光顯示裝置之範例為一種半導體裝置。於此描述一利用電致發光之發光元件以當作一顯示裝置中所包括之顯示元件。利用電致發光之發光元件係依據發光材料為有機化合物或無機化合物而被分類。通常，前者被稱為有機 EL 元件而後者被稱為無機 EL 元件。

於有機 EL 元件中，藉由施加電壓至發光元件，電子和電洞係個別從一對電極被注入一含有發光有機化合物之層中，而因此電流流動。載子（電子與電洞）被重組，而因此發光有機化合物被激發。當發光有機化合物從激發狀態回復至接地狀態時，便發出光。由於此機制，此發光元件被稱為電流激發發光元件。

無機 EL 元件係依據其元件結構而被分類為散佈型無機 EL 元件及薄膜無機 EL 元件。散佈型無機 EL 元件包括一發光層，其中發光材料之粒子被散佈於黏結劑中，且其發光機制為利用一施體位準及一受體位準之施體-受體重組型發光。薄膜無機 EL 元件具有一種結構，其中一發光層係夾製於電介質層之間，該些電介質層被進一步夾製於電極之間，且其發光機制為利用金屬離子之內殼電子變遷的局部化型發光。注意：於此，有機 EL 元件被描述為發

光元件。

圖 12 顯示可應用數位時間灰階驅動之像素結構的範例，以當作半導體裝置之範例。

描述一種應用數位時間灰階驅動之像素的結構及操作。於此，一像素包括兩個 n 通道電晶體，其中各有一氧化物半導體層被用於通道形成區。

像素 6400 包括一切換電晶體 6401、一用以驅動發光元件之電晶體 6402（於下文中稱為驅動電晶體 6402）、一發光元件 6404、及一電容 6403。切換電晶體 6401 之閘極係連接至一掃描線 6406。切換電晶體 6401 之一第一電極（源極電極與汲極電極之一）被連接至一信號線 6405。切換電晶體 6401 之一第二電極（源極電極與汲極電極之另一）被連接至驅動電晶體 6402 之閘極。驅動電晶體 6402 之閘極係透過電容 6403 而被連接至一電力供應線 6407。驅動電晶體 6402 之第一電極被連接至電力供應線 6407。驅動電晶體 6402 之第二電極被連接至發光元件 6404 之第一電極（像素電極）。發光元件 6404 之第二電極係相應於一共同電極 6408。共同電極 6408 被連接至一設於相同基底上之共同電位線。

發光元件 6404 之第二電極（共同電極 6408）被設為低電力供應電位。注意：低電力供應電位係低於高電力供應電位，其被設定至電力供應線 6407。例如，GND 或 0 V 可被設為低電力供應電位。介於高電力供應電位與低電力供應電位之間的電位差被施加至發光元件 6404，以致

電流流經發光元件 6404，藉此發光元件 6404 發光。爲了使發光元件 6404 發光，設定各電位以致介於高電力供應電位與低電力供應電位之間的電位差係高於或等於發光元件 6404 之前向臨限電壓。

注意：驅動電晶體 6402 之閘極電容可被使用爲電容 6403 之替代，於此情況下可省略電容 6403。驅動電晶體 6402 之閘極電容可被形成於通道區與閘極電極之間。

於利用電壓輸入電壓驅動方法之情況下，一視頻信號被輸入至驅動電晶體 6402 之閘極以致驅動電晶體 6402 係處於充分開啓或關閉的兩狀態之任一下。換言之，驅動電晶體 6402 係操於線性區。因爲驅動電晶體 6402 係操於線性區，所以高於電力供應線 6407 之電壓的電壓被施加至驅動電晶體 6402 之閘極。注意：高於或等於電力供應線電壓與驅動電晶體 6402 之 V_{th} 的總和之電壓被施加至信號線 6405。

於利用類比灰階方法以取代數位時間灰階方法之情況下，如圖 12 中所示之相同像素結構可藉由改變信號輸入而被使用。

於執行類比灰階驅動之情況下，高於或等於發光元件 6404 之前向電壓與驅動電晶體 6402 之 V_{th} 的總和之電壓被施加至驅動電晶體 6402 之閘極。發光元件 6404 之前向電壓係稱爲能獲得理想亮度之電壓，並指示至少一前向臨限電壓。輸入驅動電晶體 6402 在飽和區中所操作之視頻信號，以致電流可被供應至發光元件 6404。爲了於飽和

區中操作驅動電晶體 6402，電力供應線 6407 之電位被設為高於驅動電晶體 6402 之閘極電位。當使用一類比視頻信號時，一相應於視頻信號之電流被供應至發光元件 6404，藉此可執行類比灰階驅動。

注意：像素結構並不限定於圖 12 所示者。例如，可將開關、電阻、電容、電晶體、邏輯電路等等加至圖 12 中所示之像素。

接下來，將參考圖 13A 至 13C 以描述一發光元件之結構。於此，將使用 n 通道驅動 TFT 為範例以描述一像素之橫斷面結構。圖 13A、13B、及 13C 中所示之半導體裝置中所使用的驅動 TFT 7001、7011、及 7021 可被形成以一種類似於實施例 1 中所述之薄膜電晶體的方式，且為各包括一氧化物半導體層之高度可靠的薄膜電晶體。替代地，實施例 2 至 4 中所述之任何薄膜電晶體均可被使用為驅動 TFT 7001、7011、及 7021。

為了提取從發光元件所發出的光，至少陽極與陰極之一需為透明的。一薄膜電晶體及一發光元件被形成於一基底上。發光元件可具有頂部發射結構，其中光係透過與基底相反之表面而被提取；底部發射結構，其中光係透過基底側上之表面而被提取；或雙發射結構，其中光係透過與基底相反之表面及基底側上之表面而被提取。像素結構可被應用於具有任何這些發射結構之發光元件。

將參考圖 13A 以描述具有頂部發射結構之發光元件。

圖 13A 為其中驅動 TFT 7001 是 n 通道 TFT 且射出自

發光元件 7002 之光通過陽極 7005 的情況之像素的橫斷面視圖。於圖 13A 中，發光元件 7002 之陰極 7003 被電連接至驅動 TFT 7001，且發光層 7004 及陽極 7005 係以此順序被堆疊於陰極 7003 上。陰極 7003 可使用多種導電材料（只要其具有低工作函數並反射光線）來形成。例如，最好是使用 Ca, Al, MgAg, AlLi 等等。發光層 7004 可使用單一層或堆疊之複數層來形成。於使用複數層以形成發光層 7004 之情況下，電子注入層、電子運輸層、發光層、電洞運輸層、及電洞注入層係依此順序被堆疊於陰極 7003 上。注意：不一定要形成所有這些層。陽極 7005 之形成係使用透光導電膜，例如，含鎢氧化物之氧化銦、含鎢氧化物之銦氧化鋅、含鈦氧化物之氧化銦、含鈦氧化物之銦氧化錫、銦氧化錫（ITO）、銦氧化鋅、或銦氧化錫（已加入矽氧化物）。

此外，隔板 7009 被設於陰極 7003 與相鄰像素中的陰極 7008 之間，以覆蓋陰極 7003 及 7008 之邊緣部分。隔板 7009 可使用聚醯亞胺、丙烯酸、苯環丁烯、聚醯胺、或環氧樹脂等有機樹脂；無機絕緣膜；或有機聚矽氧烷來形成。特別有利的是使用光敏樹脂材料來形成隔板 7009，以致其側表面為具有連續彎曲之傾斜表面。當光敏樹脂材料被用於隔板 7009 時，可省略一形成抗蝕劑遮罩之步驟。

其中有發光層 7004 被夾製於陰極 7003 與陽極 7005 之間的區為發光元件 7002。於圖 13A 所示之像素中，光

係從發光元件 7002 被射出至陽極 7005 側，如箭號所指示者。

接下來，將參考圖 13B 以描述一具有底部發射結構之發光元件。圖 13B 為其中驅動 TFT 7011 是 n 通道 TFT 且光係從發光元件 7012 射出至陰極 7013 側的情況下之像素的橫斷面視圖。於圖 13B 中，發光元件 7012 之陰極 7013 被形成於一電連接至驅動 TFT 7011 之透光導電膜 7017 上，且發光層 7014 及陽極 7015 係以此順序被堆疊於陰極 7013 上。注意：一用以反射或阻擋光線之阻光膜 7016 可被形成以覆蓋陽極 7015，於其中陽極 7015 具有透光性質之情況下。陰極 7013 可使用多種如圖 13A 之情況下的導電材料（只要其具有低工作函數）來形成。注意：陰極 7013 被形成至一厚度，使光線可被傳輸通過該厚度（最好是約 5 nm 至 30 nm）。例如，20 nm 厚之鋁膜可被使用為陰極 7013。如同於圖 13A 之情況，發光層 7014 可使用單一層或堆疊之複數層來形成。陽極 7015 不需要透光但可使用如圖 13A 之情況下的透光導電材料。針對阻光膜 7016，可使用（例如）反射光線之金屬等；然而，阻光膜 7016 並不限定為金屬膜。例如，可使用一種已加入黑色顏料之樹脂等。

此外，隔板 7019 被設於導電膜 7017 與相鄰像素中的導電膜 7018 之間，以覆蓋導電膜 7017 及 7018 之邊緣部分。隔板 7019 可使用聚醯亞胺、丙烯酸、苯環丁烯、聚醯胺、或環氧樹脂等有機樹脂膜；無機絕緣膜；或有機聚

矽氧烷來形成。特別有利的是使用光敏樹脂材料來形成隔板 7019，以致其側表面為具有連續彎曲之傾斜表面。當光敏樹脂材料被用於隔板 7019 時，可省略一形成抗蝕劑遮罩之步驟。

其中有發光層 7014 被夾製於陰極 7013 與陽極 7015 之間的區為發光元件 7012。於圖 13B 所示之像素中，光係從發光元件 7012 被射出至陰極 7013 側，如箭號所指示者。

接下來，將參考圖 13C 以描述一具有雙發射結構之發光元件。於圖 13C 中，一發光元件 7022 之陰極 7023 被形成於一電連接至驅動 TFT 7021 之透光導電膜 7027 上，且發光層 7024 及陽極 7025 係以此順序被堆疊於陰極 7023 上。如圖 13A 之情況，陰極 7023 可使用多種導電材料之任一種（只要其具有低工作函數）來形成。注意：陰極 7023 被形成至一厚度，使光線可被傳輸通過該厚度。例如，20 nm 厚之鋁膜可被使用為陰極 7023。如同於圖 13A 之情況，發光層 7024 可使用單一層或堆疊之複數層來形成。陽極 7025 但可使用如圖 13A 之情況下的透光導電材料來形成。

此外，隔板 7029 被設於導電膜 7027 與相鄰像素中的導電膜 7028 之間，以覆蓋導電膜 7027 及 7028 之邊緣部分。隔板 7029 可使用聚醯亞胺、丙烯酸、苯環丁烯、聚醯胺、或環氧樹脂等有機樹脂膜；無機絕緣膜；或有機聚矽氧烷來形成。特別有利的是使用光敏樹脂材料來形成隔

板 7029，以致其側表面為具有連續彎曲之傾斜表面。當光敏樹脂材料被用於隔板 7029 時，可省略一形成抗蝕劑遮罩之步驟。

其中有陰極 7023、發光層 7024、及陽極 7025 彼此重疊之一部分為發光元件 7022。於圖 13C 所示之像素中，光係從發光元件 7022 被射出至陽極 7025 側及陰極 7023 側，如箭號所指示者。

注意：雖然於此係描述有機 EL 元件為發光元件，但無機 EL 元件亦可被設為發光元件。

注意：所描述之範例係其中控制發光元件之驅動的薄膜電晶體（驅動 TFT）被電連接至發光元件；替代地，亦可利用一種結構，其中用於電流控制之 TFT 被連接於驅動 TFT 與發光元件之間。

注意：半導體裝置之元件不限定於圖 13A 至 13C 中所顯示者，而可根據本說明書中所揭露之技術被修改以各種方式。

接下來，將參考圖 11A 及 11B 以描述一種發光顯示面板（亦稱為發光面板）之外觀及橫斷面，其為半導體裝置之一實施例。圖 11A 為面板之平面圖，其中形成於第一基底上之薄膜電晶體與發光元件係以密封劑 4005 來密封於第一基底與第二基底之間。圖 11B 係沿著圖 11A 中之線段 H-I 所取之橫斷面視圖。

密封劑 4505 被提供以圍繞像素部分 4502、信號線驅動器電路 4503a 和 4503b、及掃描線驅動器電路 4504a 和

4504b，其係設於第一基底 4501 上。此外，第二基底 4506 係設於像素部分 4502、信號線驅動器電路 4503a 和 4503b、及掃描線驅動器電路 4504a 和 4504b 上。因此，像素部分 4502、信號線驅動器電路 4503a 和 4503b、及掃描線驅動器電路 4504a 和 4504b 係藉由第一基底 4501、密封劑 4505 及第二基底 4506 而與一填料 4507 密封在一起。以此方式，最好是以一保護膜（諸如疊層膜或紫外線可硬化樹脂膜）或一覆蓋材料（其具有高氣密及少量除氣）來封裝（密封）以致面板不暴露至外部空氣。

像素部分 4502、信號線驅動器電路 4503a 和 4503b、及掃描線驅動器電路 4504a 和 4504b（其被形成於第一基底 4501 上）各包括複數薄膜電晶體。圖 11B 顯示包括於像素部分 4502 中之薄膜電晶體 4510 及包括於信號線驅動器電路 4503a 中之薄膜電晶體 4509，當作一範例。

包括實施例 1 至 4 中所描述之氧化物半導體層的任何高度可靠的薄膜電晶體均可被使用為薄膜電晶體 4509 及 4510。實施例 1 至 4 中所描述的薄膜電晶體 410 或薄膜電晶體 499 均可被使用為驅動器電路之薄膜電晶體 4509。薄膜電晶體 420 或薄膜電晶體 498 均可被使用為像素之薄膜電晶體 4010。於本實施例中，薄膜電晶體 4509 及 4510 為 n 通道薄膜電晶體。

導電層 4540 被設於絕緣層 4544 之部分上，其係重疊與驅動器電路之薄膜電晶體 4599 中的氧化物半導體層之通道形成區。導電層 4540 被設於重疊與氧化物半導體層

之通道形成區的位置上，藉此可減少 BT 測試前與後之薄膜電晶體 4509 的臨限電壓之改變量。導電層 4540 之電位可相同或不同於薄膜電晶體 4509 之閘極電極層的電位。導電層 4540 亦可作用為第二閘極電極層。另一方面，導電層 4540 之電位可為 GND 或 0V，或者導電層 4540 可於浮動狀態。

於薄膜電晶體 4509 中，絕緣層 4541 被形成以接觸與包括通道形成區之半導體層，來當作保護絕緣膜。於薄膜電晶體 4510 中，絕緣層 4542 被形成為通道保護層。絕緣層 4541 及 4542 可使用類似於實施例 1 中所描述之氧化物絕緣層 416 及 426 的材料及方法來形成。此外，作用為平坦化絕緣膜之絕緣層 4544 係覆蓋薄膜電晶體，以減少薄膜電晶體之表面不均勻。於此，藉由依據實施例 1 之濺射法以形成矽氧化物膜來當作絕緣層 4541 及 4542。

再者，絕緣層 4543 係形成於絕緣層 4541 及 4542 上。絕緣層 4543 可使用類似於實施例 1 中所描述之保護絕緣層 403 的材料及方法來形成。於此，藉由 RF 濺射法以形成矽氮化物膜來當作絕緣層 4543。

絕緣層 4544 被形成為平坦化絕緣膜。絕緣層 4544 可使用類似於實施例 1 中所描述之平坦化絕緣層 404 的材料及方法來形成。於此，丙烯酸被使用於丙烯酸。

於本實施例中，像素部分中之複數薄膜電晶體可由一氮化物絕緣膜來圍繞在一起。得以使用氮化物絕緣膜為絕緣層 4543 及閘極絕緣層，並提供其中絕緣層 4543 係接觸

與閘極絕緣層之一區，以圍繞主動矩陣基底上之像素部分的至少周邊，如圖 11A 及 11B 所示。於此製造程序中，可防止水從外部進入。此外，可長期地防止水從外部進入，即使在裝置被完成為半導體裝置（例如，當作顯示裝置）之後；因此，可達成裝置之長期可靠度。

參考數字 4511 代表一發光元件。第一電極層 4517（其為包括於發光元件 4511 中之像素電極）被電連接至薄膜電晶體 4510 之源極電極層或汲極電極層。注意：發光元件 4511 之結構不限定於第一電極層 4517、電致發光層 4512、及第二電極層 4513 之層化結構。發光元件 4511 之結構可根據其中光線所被提取自發光元件 4511 之方向等等而被適當地改變。

隔板 4520 係有機樹脂膜、無機絕緣膜、或有機聚矽氧烷來形成。特別有利的是使用光敏樹脂材料來形成隔板 4520，且一開口被形成於第一電極層 4517 之上，以致該開口之一側壁被形成為具有連續彎曲之傾斜表面。

電致發光層 4512 可被形成為單一層或者堆疊之複數層。

一保護膜可被形成於第二電極層 4513 及隔板 4520 上，以防止氧、氫、水、二氧化碳等進入發光元件 4511。可形成矽氮化物膜、矽氮化物氧化物膜、DLC 膜等等以當作保護膜。

此外，各種信號及電位係從 FPC 4518a 及 4518b 被供應至信號線驅動器電路 4503a 和 4503b、及掃描線驅動器

電路 4504a 和 4504b、及像素部分 4502。

使用如發光元件 4511 中所包括之第一電極層 4517 的相同導電膜來形成一連接終端電極 4515，並使用如薄膜電晶體 4509 及 4510 中所包括之源極和汲極電極層的相同導電膜來形成一終端電極 4516。

連接終端電極 4515 係透過各向異性導電膜 4519 而電連接至 FPC 4518a 中所包括的一終端。

置於其中光被提取自發光元件 4511 之方向的第二基底需具有透光性質。於該情況下，諸如玻璃板、塑膠板、聚合物膜、或丙烯酸膜等透光材料被用於第二基底。

除了惰性氣體（諸如氮及氬之外）可使用紫外線可硬化樹脂或熱固樹脂以當作填料 4507。例如，可使用聚氯乙烯（PVC）、聚醯亞胺、環氧樹脂、矽樹脂、聚乙烯丁醛（PVB）、或乙烯-醋酸乙烯酯共聚物（EVA）。例如，氮被使用於填料。

假如需要的話，可適當地提供一光學膜，諸如偏振板、圓偏振板（包括橢圓偏振板）、阻滯板（四分之一波板或半波板）、或濾色器可被適當地設於發光元件之發光表面上。此外，偏振板或圓偏振板可設有抗反射膜。例如，可執行防眩光處理，藉此使反射光可藉由表面上之突起及凹陷而被擴散以減少眩光。

使用單晶半導體膜或多晶半導體膜而被形成於一分開備製之基底上的驅動器電路可被安裝為信號線驅動器電路 4503a 和 4503b 及掃描線驅動器電路 4504a 和 4504b。替

代地，僅有信號線驅動器電路或其部分、或者僅有掃描線驅動器電路或其部分可被分開地形成並安裝。本實施例並不限定於圖 11A 及 11B 中所示之結構。

透過上述步驟，可製造高度可靠的發光顯示裝置（顯示面板）而成爲半導體裝置。

本實施例可適當結合與其他實施例中所述之任何結構而實施。

（實施例 12）

本說明書中所揭露之半導體裝置可被應用於電子紙。電子紙可被用於所有領域中之電子裝置（只要其顯示資料）。例如，電子紙可被應用於電子書閱讀器（電子書）、海報、車輛（諸如火車）中的廣告、或諸如信用卡等各種卡的顯示。圖 20 顯示電子裝置之一範例。

圖 20 顯示一電子書閱讀器 2700。例如，電子書閱讀器 2700 包括兩個殼體：殼體 2701 及殼體 2703。殼體 2701 及殼體 2703 係以一鉸鏈 2711 來結合以致電子書閱讀器 2700 可以鉸鏈 2711 爲軸來開啓或關閉。此一結構致能電子書閱讀器 2700 操作如紙張書本。

一顯示部分 2705 及一顯示部分 2707 係個別地納入殼體 2701 及殼體 2703。顯示部分 2705 及顯示部分 2707 可顯示一影像或不同影像。於其中顯示部分 2705 及顯示部分 2707 顯示不同影像之情況下，例如，右側上之顯示部分（圖 20 中之顯示部分 2705）可顯示文字，而左側上之

顯示部分（圖 20 中之顯示部分 2707）可顯示圖形。

圖 20 顯示一範例，其中殼體 2701 設有一操作部分等等。例如，殼體 2701 設有一電源開關 2721、操作鍵 2723、一揚聲器 2725，等等。可以操作鍵 2723 來翻頁。注意：鍵盤、指向裝置等可被設於如殼體之顯示部分的相同表面上。此外，一外部連接終端（耳機終端、USB 終端、可連接至諸如 AC 轉接器及 USB 纜線等多種纜線之終端，等等）、一記錄媒體插入部分，等等可被設於殼體之背表面或側表面上。此外，電子書閱讀器 2700 可具有電子字典之功能。

電子書閱讀器 2700 可被組態成無線地傳送及接收資料。透過無線通訊，可從電子書伺服器購買或下載所欲的書本資料等。

（實施例 13）

本說明書中所揭露之半導體裝置可被應用於多種電子裝置（包括遊戲機）。此等電子裝置之範例為電視機（亦稱為電視或電視接收器）、監視器或電腦等、相機（諸如數位相機或數位攝影機）、數位相框、行動電話手機（亦稱為行動電話或行動電話裝置）、可攜式遊戲機、可攜式資訊終端、音頻再生裝置、大尺寸遊戲機（諸如彈珠台機器），等等。

圖 21A 顯示一電視機 9600。於電視機 9600 中，顯示部分 9603 被納入殼體 9601 中。顯示部分 9603 可顯示影

像。於此，殼體 9601 係由一支架 9605 所支撐。

電視機 9600 可以殼體 9601 之操作開關或分離的遙控器 9610 來操作。可利用遙控器 9610 之操作鍵 9609 來切換頻道及控制音量，藉此可控制一顯示於顯示部分 9603 上之影像。此外，遙控器 9610 可設有一顯示部分 9607，用以顯示輸出自遙控器 9610 之顯示資料。

注意：電視機 9600 設有一接收器、一數據機，等等。利用該接收器，可接收一般的 TV 廣播。此外，當顯示裝置經由數據機而有線或無線地連接至通訊網路時，可執行單向（從傳送器至接收器）或雙向（介於傳送器與接收器之間或介於不同接收器之間）資訊通訊。

圖 21B 顯示一數位相框 9700。例如，於數位相框 9700 中，顯示部分 9703 被納入殼體 9701 中。顯示部分 9703 可顯示多種影像。例如，顯示部分 9703 可顯示從數位相機等所取得之影像的資料並作用為一般相框。

注意：數位相框 9700 設有一操作部分、一外部連接終端（USB 終端、可連接至諸如 USB 纜線等多種纜線之終端，等等）、一記錄媒體插入部分，等等。雖然這些組件可設於如顯示部分之相同表面上，但最好是將其設於側表面或背表面上以利設計美學。例如，一記憶體（其係儲存從數位相機所取得之影像資料）被插入數位相框 9700 之記錄媒體插入部分中且資料被載入，藉此可顯示影像於顯示部分 9703 上。

數位相框 9700 可被組態成無線地傳送及接收資料。

透過無線通訊，所欲的影像資料可被載入以供顯示。

圖 22A 係一可攜式遊戲機且係由殼體 9881 及殼體 9891（其係以一接合部分 9893 連接）之兩殼體所構成，以致可攜式遊戲機可被開啓或折疊。一顯示部分 9882 及一顯示部分 9883 被個別地納入殼體 9881 及殼體 9891。此外，圖 22A 中所示之可攜式遊戲機設有一揚聲器部分 9884、一記錄媒體插入部分 9886、一 LED 燈 9890、輸入機構（操作鍵 9885、連接終端 9887、感測器 9888（其具有測量力、位移、位置、速度、加速、角速度、旋轉數、距離、光、液體、磁性、溫度、化學物、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流動率、濕度、梯度、震動、味道、或紅外線）、及麥克風 9889），等等。無須贅述，可攜式遊戲機之結構並不限定於上述且可利用其他設有本說明書中所揭露之至少一半導體裝置的結構。可攜式遊戲機可適當地包括一額外附件。圖 22A 中所示之可攜式遊戲機具有讀取記錄媒體中所儲存之程式或資料以將其顯示於顯示部分上的功能；以及藉由無線通訊來與另一可攜式遊戲機共享資料的功能。注意：圖 22A 中所示之可攜式遊戲機的功能並不限定於那些上述者，且可攜式遊戲機可具有多種功能。

圖 22B 顯示一老虎機 9900，其為大尺寸的遊戲機。於老虎機 9900 中，一顯示部分 9903 係納入一殼體 9901 中。此外，老虎機 9900 包括一操作機構，諸如開始拉桿或停止開關、錢幣槽、揚聲器，等等。無須贅述，老虎機

9900 之結構不限定於上述而可利用其他設有本說明書中所揭露之至少一半導體裝置的結構。老虎機 9900 可適當地包括一額外附件。

圖 23A 係顯示一可攜式電腦之範例。

於圖 23A 所示之可攜式電腦中，具有顯示部分 9303 之頂部殼體 9301 及具有鍵盤 9304 之底部殼體 9302 可藉由關閉一連接頂部殼體 9301 與底部殼體 9302 之鉸鏈單元而彼此重疊。因此，於圖 23A 所示之可攜式電腦被便利地攜帶。此外，於使用鍵盤以輸入資料之情況下，鉸鏈單元被開啓以致使用可觀看顯示部分 9303 來輸入資料。

底部殼體 9302 包括一指向裝置 9306 以利可執行輸入，除了鍵盤 9304 之外。當顯示部分 9303 為觸控面板時，使用可藉由接觸顯示部分之部分而輸入資料。底部殼體 9302 包括一算術功能部分，諸如 CPU 或硬碟。此外，底部殼體 9302 包括一外部連接埠 9305 以供另一裝置（例如，符合 USB 之通訊標準的通訊纜線）被插入。

頂部殼體 9301 進一步包括一顯示部分 9307，其可藉由被滑入而被裝入頂部殼體 9301。利用顯示部分 9307，可實現大型顯示螢幕。此外，使用者可調整可裝卸顯示部分 9307 之螢幕的角度。假如可裝卸顯示部分 9307 為觸控面板，則使用者可藉由接觸顯示部分 9307 之部分而輸入資料。

顯示部分 9303 或可裝卸顯示部分 9307 係使用諸如液晶顯示面板或發光顯示面板（使用有機發光元件、無激發

光元件等等）等影像顯示裝置來形成。

此外，圖 23A 中所示之可攜式電腦可設有一接收器等並可接收 TV 廣播以顯示影像於顯示部分 9303 或顯示部分 9307 上。使用者可藉由滑動並暴露顯示部分 9307 及調整其角度而以顯示部分 9307 之整個螢幕來觀看 TV 廣播，並關閉其連接頂部殼體 9301 與顯示部分 9303 之鉸鏈單元。於此情況下，鉸鏈單元不被開啓且不於顯示部分 9303 上執行顯示。此外，執行僅有用於顯示 TV 廣播之電路的啓動。因此，減小電力耗損，其對於電池容量有限之可攜式電腦是很有用的。

圖 23B 為一種使用者可配戴於手腕上（如手錶）之行動電話範例的透視圖。

行動電話形成有一主體（其包括一包括至少電話功能之通訊裝置、及一電池）；一腕帶部分 9204（其致能主體被配戴於手腕上）；一調整部分 9205（用以調整腕帶部分 9204 以適合手腕）；一顯示部分 9201；一揚聲器 9207；及一麥克風 9208。

此外，主體包括操作開關 9203。操作開關 9203 可作用為（例如）用以開始網際網路之程式（當按壓時）的開關（除了作用為電源開關外）、用以切換顯示之開關、用於指示開始擷取影像之開關，等等；並可被組態成具有個別的功能。

使用者可藉由：以手指或輸入筆接觸顯示部分 9201、操作操作開關 9203、或將聲音輸入麥克風 9208 來

將資料輸入此行動電話。於圖 23B 中，顯示按鈕 9202 係顯示於顯示部分 9201 上。使用者可藉由以手指等接觸顯示按鈕 9202 來輸入資料。

此外，主體包括一相機部分 9206，其包括一具有將物體之影像（其係透過相機鏡頭而形成）轉換為電子影像信號的功能之影像拾取機構。注意：不一定需要提供相機部分。

圖 23B 中所示之行動電話設有 TV 廣播等之接收器，並可藉由接收 TV 廣播而顯示一影像於顯示部分 9201 上。此外，行動電話設有一諸如記憶體等記憶體裝置，並可將 TV 廣播記錄於記憶體中。圖 23B 中所示之行動電話可具有收集位置資訊（諸如 GPS）之功能。

一影像顯示裝置（諸如液晶顯示面板或使用有機發光元件、無機發光元件等之發光顯示面板）被使用為顯示部分 9201。圖 23B 中所示之行動電話為小型而輕量的，且電池容量有限。為了上述原因，最好是將一種可以低電力耗損來驅動之面板使用為顯示部分 9201 之顯示裝置。

注意：雖然圖 23B 係顯示配戴於手腕上之電子裝置，但本實施例並不限定於此，只要電子裝置為可攜式即可。

（實施例 14）

於本實施例中，當作半導體裝置之一模式，將參考圖 24 至 37 以描述各包括實施例 1 至 4 之任一中所描述的薄膜電晶體之顯示裝置的範例。於本實施例中，將參考圖

24 至圖 37 以描述液晶顯示裝置之範例，於每一顯示裝置中一液晶元件被使用為顯示元件。於實施例 1 至 4 之任一中所描述的薄膜電晶體可被使用為每一 TFT 628 及 629。TFT 628 及 629 可透過一種類似於實施例 1 至 4 之任一中所描述的程序來製造，並可具有絕佳的電特性及高可靠度。TFT 628 及 TFT 629 個別地包括一通道保護層 608 及一通道保護層 611，且為反向交錯式薄膜電晶體，於其每一薄膜電晶體中有一通道形成區形成於一氧化物半導體層中。

首先，描述一種垂直對準（VA）液晶顯示裝置。VA 液晶顯示裝置具有一種形式，其中係控制一液晶顯示面板之液晶分子的對準。於 VA 液晶顯示裝置中，液晶分子被對準以相對於面板表面之垂直方向（當未施加電壓時）。於本實施例中，特別地，一像素被劃分為一些區（子像素），且分子在其個別區中被對準於不同方向。此被稱為多領域或多領域設計。多領域設計之液晶顯示裝置被描述如下。

圖 25 及圖 26 個別地顯示一像素電極和一反電極。圖 25 係一平面圖，其顯示其中形成像素電極之基底側。圖 24 顯示沿著圖 25 中之剖面線 E-F 所取得之橫斷面結構。圖 26 係一平面圖，其顯示其中形成反電極之基底側。參考那些圖形以提供描述如下。

於圖 24 中，一基底 600（於其上形成一 TFT 628、一連接至 TFT 628 之像素電極層 624、及一儲存電容部分

630) 與一反基底 601 (設有一反電極層 640 等) 彼此重疊，且液晶被注入基底 600 與反基底 601 之間。

反基底 601 設有一上色膜 636 及反電極層 640，且突起 644 被形成於反電極層 640 上。一對準膜 648 被形成於像素電極層 624 上，而一對準膜 646 被類似地形成於反電極層 640 及突起 644 上。一液晶層 650 被形成於基底 600 與反基底 601 之間。

TFT 628、連接至 TFT 628 之像素電極層 624、及儲存電容部分 630 被形成於基底 600 上。像素電極層 624 被連接至一佈線 618 (透過一穿越用以覆蓋 TFT 628 之絕緣膜 620 的接觸孔 623)、一佈線 616、及儲存電容部分 630 並同時穿越一用以覆蓋絕緣膜 620 之絕緣膜 622。實施例 1 至 4 之任一中所描述之薄膜電晶體均可被適當地使用為 TFT 628。此外，儲存電容部分 630 包括第一電容佈線 604 (其係形成於如 TFT 628 之閘極佈線 602 的相同時刻)、及第二電容佈線 617 (其係形成於如佈線 616 及 618 的相同時刻)。

像素電極層 624、液晶層 650、及反電極層 640 彼此重疊，藉此形成一液晶元件。

圖 25 顯示基底 600 上之一平面結構。像素電極層 624 係使用實施例 1 中所描述之材料來形成。像素電極層 624 設有狹縫 625。狹縫 625 被提供以控制液晶之對準。

一 TFT 629、一連接至 TFT 629 之像素電極層 626、及一儲存電容部分 631 (其係顯示於圖 25 中) 可個別以

類似於 TFT 628、像素電極層 624、及儲存電容部分 630 之方式來形成。TFT 628 及 629 兩者均連接至佈線 616。此液晶顯示面板之一像素包括像素電極層 624 及 626。像素電極層 624 及 626 構成子像素。

圖 26 顯示反基底側之平面結構。反電極層 640 被形成於一阻光膜 632 上。反電極層 640 最好是使用一種類似於像素電極層 624 之材料來形成。控制液晶之對準的突起 644 被形成於反電極層 640 上。注意：於圖 26 中，形成於基底 600 上之像素電極層 624 及 626 係由虛線所表示，且反電極層 640 與像素電極層 624 及 626 彼此重疊。

圖 27 顯示此像素結構之一等效電路。TFT 628 及 629 兩者均連接至閘極佈線 602 及佈線 616。於該情況下，當第一電容佈線 604 與電容佈線 605 之電位彼此不同時，則液晶元件 651 及 652 之操作可改變。換言之，液晶之對準被精確地控制且觀看角度係藉由電容佈線 604 及 605 之電位的分別控制而增加。

當施加電壓至設有狹縫 625 之像素電極層 624 時，一扭曲電場（傾斜電場）被產生於狹縫 625 附近。反基底 601 側上之突起 644 及狹縫 625 被交替地配置，以致有效地產生傾斜電場以控制液晶之對準，藉此液晶之對準方向係根據其位置而變。換言之，液晶顯示面板之觀看角度係藉由多領域而增加。

接下來，將參考圖 28 至 31 以描述一不同於上述裝置之 VA 液晶顯示裝置。

圖 28 及圖 29 顯示一 VA 液晶顯示面板之像素結構。圖 29 為 600 之平面圖。圖 28 顯示沿著圖 29 中之剖面線 Y-Z 所取得之橫斷面結構。

於此像素結構中，複數像素電極被設於一像素中，且一 TFT 係連接至每一像素電極。複數 TFT 係由不同的閘極信號所驅動。換言之，於一多領域像素中供應至個別像素電極之信號被彼此獨立地控制。

一像素電極層 624 係透過佈線 618 而連接至 TFT 628，其係透過一穿越絕緣膜 620 及 622 之接觸孔 623。像素電極層 626 係透過佈線 619 而連接至 TFT 629，其係透過一穿越絕緣膜 620 及 622 之接觸孔 627。TFT 628 之閘極佈線 602 係分離自 TFT 629 之閘極佈線 603，以致可供應不同的閘極信號。另一方面，一作用為資料線之佈線 616 係由 TFT 628 及 629 所共用。實施例 1 至 4 之任一中所描述的薄膜電晶體均可適當地被使用為每一 TFT 628 及 629。注意：一閘極絕緣膜 606 係形成於閘極佈線 602、閘極佈線 603、及電容佈線 690 之上。

像素電極層 624 之形狀係不同於像素電極層 626 之形狀，且像素電極層 626 被形成以圍繞其展開成 V 形狀之像素電極層 624 的外部側。由 TFT 628 施加至像素電極層 624 之電壓係不同於一由 TFT 629 施加至像素電極層 626 之電壓，藉此控制液晶之對準。圖 31 顯示此像素結構之等效電路。TFT 628 係連接至閘極佈線 602，而 TFT 629 係連接至閘極佈線 603。TFT 628 及 629 兩者均被連接至

佈線 616。當不同的閘極信號被供應至閘極佈線 602 及 603 時，液晶元件 651 及 652 之操作可改變。換言之，TFT 628 及 629 之操作被分別地控制以精確地控制液晶元件 651 及 652 中之液晶的對準，其導致較寬的觀看角度。

反基底 601 設有一上色膜 636 及反電極層 640。一平坦化膜 637 被形成於上色膜 636 與反電極層 640 之間以防止液晶之對準失序。圖 30 顯示反基底側之平面結構。反電極層 640 係由不同像素所共用的電極，且形成狹縫 641。像素電極層 624 及 626 側上之狹縫 641 及狹縫 625 被交替地配置，以致有效地產生傾斜電場，藉此可控制液晶之對準。因此，液晶之對準可變化於不同位置，其導致較寬的觀看角度。注意：於圖 30 中，形成於基底 600 上之像素電極層 624 及 626 係由虛線所表示，且反電極層 640 與像素電極層 624 及 626 係彼此重疊。

一對準膜 648 係形成於像素電極層 624 及像素電極層 626 之上，且反電極層 640 係類似地設有一對準膜 646。一液晶層 650 被形成於基底 600 與反基底 601 之間。像素電極層 624、液晶層 650、及反電極層 640 係彼此重疊以形成第一液晶元件。像素電極層 626、液晶層 650、及反電極層 640 係彼此重疊以形成第二液晶元件。圖 28、圖 29、圖 30、及圖 31 中所示之顯示面板的結構係一種多領域結構，其中第一液晶元件及第二液晶元件係設於一像素中。

接下來，描述水平電場模式下之液晶顯示裝置。於水

平電場模式下，電場被施加係相對於一胞中之液晶分子的水平方向，藉此驅動液晶以展現灰階。此方法容許觀看角度增加約 180 度。水平電場模式下之液晶顯示裝置被描述如下。

於圖 32 中，一基底 600（其上形成電極層 607、TFT 628、及連接至 TFT 628 之像素電極層 624）係重疊與一反基底 601，且液晶被注入基底 600 與反基底 601 之間。反基底 601 設有一上色膜 636、一平坦化膜 637，等等。注意：反電極並非設於反基底 601 側上。此外，一液晶層 650 係形成於基底 600 與反基底 601 之間，以對準膜 646 及 648 位於其間。

電極層 607 及一連接至電極層 607 之電容佈線 604、以及 TFT 628 被形成於基底 600 之上。電極層 607 可使用一種類似於實施例 1 至 4 中所描述之像素電極層 427 的材料來形成。電容佈線 604 可被形成於如 TFT 628 之閘極佈線 602 的相同時刻。實施例 1 至 5 之任一中所描述的薄膜電晶體可被使用為 TFT 628。607 被幾乎劃分以像素形式。注意：一閘極絕緣膜 606 係形成電極層 607 及電容佈線 604 之上。

TFT 628 之佈線 616 及 618 被形成於閘極絕緣膜 606 之上。佈線 616 係一資料線，透過該資料線一視頻信號係行進、延伸於液晶顯示面板中之一方向、被連接至 TFT 628 之源極或汲極區、且作用為源極與汲極電極之一。佈線 618 係作用為源極與汲極電極之另一且被連接至像素電

極層 624。

一絕緣膜 620 被形成於佈線 616 及 618 之上。於該絕緣膜 620 上，像素電極層 624 被形成以透過絕緣膜 620 中所形成之接觸孔而連接至佈線 618。像素電極層 624 係使用類似於實施例 1 中所描述之像素電極層的材料來形成。

以此方式，TFT 628 及連接至 TFT 628 之像素電極層 624 被形成於基底 600 之上。注意：一儲存電容係形成有電極層 607、閘極絕緣膜 606、絕緣膜 620、及像素電極層 624。

圖 33 係一平面視圖，其顯示像素電極之結構。圖 32 顯示沿著圖 33 中之剖面線 O-P 所取得之橫斷面結構。像素電極層 624 設有狹縫 625。狹縫 625 被提供以控制液晶之對準。於該情況下，電場被產生於電極層 607 與像素電極層 624 之間。形成於電極層 607 與像素電極層 624 之間的閘極絕緣膜 606 之厚度為 50 nm 至 200 nm，其甚小於 2 μm 至 10 μm 之液晶層的厚度。因此，電場被實質上產生平行於（於水平方向）基底 600。液晶之對準係以此電場來控制。液晶分子係利用實質上平行於基底之方向上的電場而被水平地旋轉。於該情況下，液晶分子被水平地對準於任何狀態，而因此對比等較不受觀看角度之影響，其導致較寬的觀看角度。此外，因為電極層 607 及像素電極層 624 均為透光電極，所以可增加開口率。

接下來，描述水平電場模式下之液晶顯示裝置的一不同範例。

圖 34 及圖 35 顯示一種 IPS 模式下之液晶顯示裝置的像素結構。圖 35 為平面圖。圖 34 顯示沿著圖 35 中之剖面線 V-W 所取得之橫斷面結構。以下參考兩圖形以提供描述。

於圖 34 中，一基底 600（其上形成 TFT 628、及連接至 TFT 628 之像素電極層 624）係重疊與一反基底 601，且液晶被注入基底 600 與反基底 601 之間。反基底 601 設有一上色膜 636、一平坦化膜 637，等等。注意：反電極並非設於反基底 601 側上。一液晶層 650 係形成於基底 600 與反基底 601 之間，以對準膜 646 及 648 位於其間。

一共同電位線 609 及 TFT 628 被形成於基底 600 之上。共同電位線 609 可被形成於如 TFT 628 之閘極佈線 602 的相同時刻。實施例 1 至 4 之任一中所描述的薄膜電晶體可被使用為 TFT 628。

TFT 628 之佈線 616 及 618 被形成於閘極絕緣膜 606 之上。佈線 616 係一資料線，透過該資料線一視頻信號係行進、延伸於液晶顯示面板中之一方向、被連接至 TFT 628 之源極或汲極區、且作用為源極與汲極電極之一。佈線 618 係作用為源極與汲極電極之另一且被連接至像素電極層 624。

一絕緣膜 620 被形成於佈線 616 及 618 之上。於該絕緣膜 620 上，像素電極層 624 被形成以透過絕緣膜 620 中所形成之接觸孔 623 而連接至佈線 618。像素電極層 624 係使用類似於實施例 1 中所描述之像素電極層的材料來形

成。注意：如圖 35 中所示，像素電極層 624 被形成以使得像素電極層 624 及一梳狀電極（其被形成於如共同電位線 609 之相同時刻）可產生一水平電場。此外，像素電極層 624 被形成以致像素電極層 624 之梳齒部分及梳狀電極（其被形成於如共同電位線 609 之相同時刻）之梳齒部分被交替地配置。

液晶之對準係由一電場所控制，該電場係產生於一施加至像素電極層 624 之電位與共同電位線 609 之電位之間。液晶分子係利用實質上平行於基底之方向上的電場而被水平地旋轉。於該情況下，液晶分子被水平地對準於任何狀態，而因此對比等較不受觀看角度之影響，其導致較寬的觀看角度。

以此方式，TFT 628 及連接至 TFT 628 之像素電極層 624 被形成於基底 600 之上。一儲存電容係形成有閘極絕緣膜 606、共同電位線 609、及電容電極 615。電容電極 615 及像素電極層 624 係透過一接觸孔 633 而彼此連接。

接下來，描述 TN 模式下之液晶顯示裝置的一模式。

圖 36 及圖 37 顯示一 TN 模式下之液晶顯示裝置的像素結構。圖 37 為平面圖。圖 36 顯示沿著圖 37 中之剖面線 K-L 所取得之橫斷面結構。以下參考兩圖形以提供描述。

一像素電極層 624 係透過佈線 618 而連接至 TFT 628，其係透過一接觸孔 623。一作用為資料線之佈線 616 被連接至 TFT 628。實施例 1 至 4 之任一中所描述的 TFT

均可被使用為 TFT 628。

像素電極層 624 係使用實施例 1 中所描述之像素電極層而被形成。電容佈線 604 可被形成於如 TFT 628 之閘極佈線 602 的相同時刻。一閘極絕緣膜 606 係形成於閘極佈線 602 及電容佈線 604 之上。一儲存電容係形成有閘極絕緣膜 606、電容佈線 604、及電容電極 615。電容電極 615 及像素電極層 624 係透過一接觸孔 623 而彼此連接。

反基底 601 設有一上色膜 636 及反電極層 640。一平坦化膜 637 被形成於上色膜 636 與反電極層 640 之間以防止液晶之對準失序。一液晶層 650 係形成於像素電極層 624 與反電極層 640 之間，以對準膜 646 及 648 位於其間。

像素電極層 624、液晶層 650、及反電極層 640 係彼此重疊，藉此形成一液晶元件。

上色膜 636 可被形成於基底 600 側上。一偏振板被裝附至基底 600 之表面，其係相反於設有薄膜電晶體之表面；而一偏振板被裝附至反基底 601 之表面，其係相反於設有反電極層 640 之表面。

透過上述程序，液晶顯示裝置可被製造為顯示裝置。本實施例之液晶顯示裝置具有高開口率。

（實施例 15）

於本實施例中，在圖 39A 至 39D 顯示一程序之範例，其中步驟及光罩之數目係少於實施例 1 中所述之程序

的那些數目。除了部分步驟之外，圖 39A 至 39D 係相同於圖 1A1 至 1C、圖 2A 至 2E、及圖 3A 至 3E。因此，如圖 1A1 至 1C、圖 2A 至 2E、及圖 3A 至 3E 中之相同部件係由相同的參考數字來表示且將省略該些部件之詳細描述。

首先，依據實施例 1，一透光導電膜被形成於具有絕緣表面之基底 400 上，且接著閘極電極層 411 及 421 被形成於一第一光微影步驟。

接著，第一閘極絕緣層 402a 及第二閘極絕緣層 402b 被堆疊於閘極電極層 411 及 421 之上。

接下來，氧化物半導體膜 430 被形成至 2 nm 至 200 nm 之間的厚度於第二閘極絕緣層 402b 上（參見圖 39A）。注意：圖 39A 係相同於圖 2A。

接著，氧化物半導體膜 430 被處理成島狀氧化物半導體層，於第二光微影步驟中。

脫水或脫氫被執行於島狀氧化物半導體層上。用於脫水或脫氫之第一熱處理被執行在高於或等於 350 度 C 以及低於基底之應變點的溫度，最好是高於或等於 400 度 C。於此，基底被置入一電熔爐（其為一種熱處理設備）且熱處理係於氮周圍環境中被執行於氧化物半導體層上，並接著防止水及氫混入氧化物半導體層，使該氧化物半導體層不暴露至空氣。因此，獲得氧化物半導體層 431 及 432（參見圖 39B）。注意：到此為止之步驟係相同於實施例 1，且圖 39B 中之步驟係相同於圖 2B 中之步驟。

接下來，一金屬導電膜被形成於第二閘極絕緣層 402b 和氧化物半導體層 431 及 432 之上。之後，抗蝕劑遮罩 445a 及 445b 被形成第三光微影步驟，且金屬導電膜被選擇性地蝕刻以形成一源極電極層 415a 及一汲極電極層 415b。當使用抗蝕劑遮罩 445a 及 445b 時，可省略實施例中之抗蝕劑遮罩 433a 及 433b。

接著，氧化物半導體層之部分係使用抗蝕劑遮罩 445a 及 445b 而被薄化，藉此形成一具有溝槽（凹陷部分）之氧化物半導體層 437（參見圖 39C）。注意：在其中一薄膜電晶體作用為切換元件而並未形成溝槽（凹陷部分）於氧化物半導體層中的情況下，此蝕刻無須被執行。

接下來，抗蝕劑遮罩 445a 及 445b 被移除，用以覆蓋氧化物半導體層 437 之抗蝕劑遮罩 438 被形成於第四光微影步驟中，且氧化物半導體層 432 上之金屬電極層 435 被移除（參見圖 39D）。使用鹼性蝕刻劑於選擇性蝕刻使其得以獲得圖 39D 中所示之狀態。當作金屬導電膜之材料，可有：選自 Al、Cr、Cu、Ta、Ti、Mo、及 W 之元素；含有任何這些元素當作成分的合金；及含有這些元素之組合的合金，等等。於本實施例中，Ti 膜係使用為金屬導電膜，In-Ga-Zn-O 基的氧化物半導體膜被使用為氧化物半導體層 431 及 432，且氨水氫過氧化物溶液（氨水、水、及氫過氧化物溶液之混合物）被使用為蝕刻劑。

氧化物半導體層之厚度最好是小於或等於 50 nm 以維持非晶狀態。特別地，於通道蝕刻薄膜電晶體中，在進一

步蝕刻後具有小厚度之區的厚度（亦即，通道形成區之厚度為 30 nm 或更小）及在已完成的薄膜電晶體中具有小厚度之區的厚度為 5 nm 至 20 nm 之間。

此外，已完成的薄膜電晶體之通道寬度最好是 0.5 μm 與 10 μm 之間。

之後，圖 3A 至 3E 中所示之步驟被執行如同實施例 1；一薄膜電晶體 410 及一薄膜電晶體 420 被形成，且一保護絕緣層 403 及一平坦化絕緣層 404 被形成，且接著一通達汲極電極層 425b 之接觸孔被形成，以及一像素電極層 427 及一導電層 417 被形成。

透過上述步驟，利用八個遮罩，可於驅動器電路及像素部分之一基底上個別地製造薄膜電晶體 410 及薄膜電晶體 420。因此，並未增加步驟之數目，可藉由具有不同結構之電晶體的適當配置而形成多種電路於一基底上。

本實施例可任意地結合與任何其他實施例。

（實施例 16）

於本實施例中，在圖 40A 至 40C 中顯示一程序之範例，其中步驟及光罩之數目係少於實施例 1 及 15 中所述之程序的那些數目。除了部分步驟之外，圖 40A 至 40C 係相同於圖 1A1 至 1C、圖 2A 至 2E、及圖 3A 至 3E。因此，如圖 1A1 至 1C、圖 2A 至 2E、及圖 3A 至 3E 中之相同部件係由相同的參考數字來表示且將省略該些部件之詳細描述。

首先，依據實施例 1，一透光導電膜被形成於具有絕緣表面之基底 400 上，且接著閘極電極層 411 及 421 被形成於一第一光微影步驟。

接著，第一閘極絕緣層 402a 及第二閘極絕緣層 402b 被堆疊於閘極電極層 411 及 421 之上。

接下來，氧化物半導體膜 430 被形成至 2 nm 至 200 nm 之間的厚度於第二閘極絕緣層 402b 上（參見圖 40A）。注意：圖 40A 係相同於圖 2A。

接著，氧化物半導體膜 430 被處理成島狀氧化物半導體層，於第二光微影步驟中。

脫水或脫氫被執行於島狀氧化物半導體層上。用於脫水或脫氫之第一熱處理被執行在高於或等於 350 度 C 以及低於基底之應變點的溫度，最好是高於或等於 400 度 C。於此，基底被置入一電熔爐（其為一種熱處理設備）且熱處理係於氮周圍環境中被執行於氧化物半導體層上，並接著防止水及氫混入氧化物半導體層，使該氧化物半導體層不暴露至空氣，而獲得氧化物半導體層 431 及 432（參見圖 40B）。注意：到此為止之步驟係相同於實施例 1，且圖 40B 中之步驟係相同於圖 2B 中之步驟。

接下來，一金屬導電膜被形成於第二閘極絕緣層 402b 和氧化物半導體層 431 及 432 之上。之後，抗蝕劑遮罩 446a 及 446b 被形成第三光微影步驟，且金屬導電膜被選擇性地蝕刻以形成一源極電極層 415a 及一汲極電極層 415b，且氧化物半導體層 432 上之金屬氧化物膜被移

除（參見圖 40C）。當使用抗蝕劑遮罩 445a 及 445b 時，可省略實施例中之抗蝕劑遮罩 433a 及 433b。

在其中金屬導電膜相對於氧化物半導體層 431 及 432 的蝕刻選擇性比為高的情況下，可防止氧化物半導體層 431 及 432 於金屬導電膜之蝕刻步驟中被減少其厚度。

使用鹼性蝕刻劑於選擇性蝕刻使其得以獲得圖 40C 中所示之狀態。當作金屬導電膜之材料，可有：選自 Al、Cr、Cu、Ta、Ti、Mo、及 W 之元素；含有任何這些元素當作成分的合金；及含有這些元素之組合的合金，等等。於本實施例中，Ti 膜係使用為金屬導電膜，In-Ga-Zn-O 基的氧化物半導體膜被使用為氧化物半導體層 431 及 432，且氨水氫過氧化物溶液（氨水、水、及氫過氧化物溶液之混合物）被使用為蝕刻劑。

之後，圖 3A 至 3E 中所示之步驟被執行如同實施例 1；一薄膜電晶體 410 及一薄膜電晶體 420 被製造，且一保護絕緣層 403 及一平坦化絕緣層 404 被形成，且接著一通達汲極電極層 425b 之接觸孔被形成，以及一像素電極層 427 及一導電層 417 被形成。

透過上述步驟，利用七個遮罩，可於驅動器電路及像素部分之一基底上個別地製造薄膜電晶體 410 及薄膜電晶體 420。因此，並未增加步驟之數目，可藉由具有不同結構之電晶體的適當配置而形成多種電路於一基底上。

本實施例可任意地結合與任何其他實施例。

（實施例 17）

於本實施例中，圖 38 顯示一範例，其中一氧化物半導體層係由氮化物絕緣膜所圍繞（當以橫斷面觀看時）。除了從上方觀看的氧化物絕緣層 416 之形狀、氧化物絕緣層 416 之邊緣部分的位置、及閘極絕緣層之結構以外，圖 38 係相同於圖 1A1 至 1C。因此，如圖 1A1 至 1C 中之相同部件係由相同的參考數字來表示且將省略該些相同部件之詳細描述。

驅動器電路中之薄膜電晶體 410 為一種通道蝕刻薄膜電晶體並（於一具有絕緣表面之基底 400 上）包括閘極電極層 411；由氮化物絕緣膜所形成之閘極絕緣層 402；一包括至少通道形成區 413、第一高電阻汲極區 414a、及第二高電阻汲極區 414b 之氧化物半導體層；源極電極層 415a；及汲極電極層 415b，。此外，形成氧化物絕緣層 416 以覆蓋薄膜電晶體 410 以利接觸與通道形成區 413。

氧化物絕緣層 416 被處理以致閘極絕緣層 402 之部分（其係位於薄膜電晶體 410 外部）被暴露，當作用為像素部分中的薄膜電晶體 420 之通道保護層的氧化物絕緣層 426 被形成於光微影步驟中時。最好是：至少氧化物絕緣層 416 之頂部表面的面積大於氧化物半導體層之頂部表面的面積，且氧化物絕緣層 416 係覆蓋薄膜電晶體 410。

此外，由氮化物絕緣膜所形成之保護絕緣層 403 被形成以覆蓋氧化物絕緣層 416 之頂部表面及側表面。

第一高電阻汲極區 414a 被形成以一自對準方式來接

觸與源極電極層 415a 之底部表面。第二高電阻汲極區 414b 被形成以一自對準方式來接觸與汲極電極層 415b 之底部表面。通道形成區 413 係接觸與氧化物絕緣層 416，具有小厚度，且為具有較第一高電阻汲極區 414a 及第二高電阻汲極區 414b 更高之電阻的區域（I 型區）。

由氮化物絕緣膜所形成之閘極絕緣層 402 被形成以接觸與通道形成區 413、第一高電阻汲極區 414a、及第二高電阻汲極區 414b 之底部表面。

針對由氮化物絕緣膜所形成之保護絕緣層 403，係使用一種無機絕緣膜，其不含有諸如水、氫離子、氧離子、及 OH^- 等雜質並阻擋此類雜質從外部進入，例如，使用藉由濺射法所獲得之矽氮化物膜、矽氮氧化物膜、鋁氮化物膜、或鋁氮氧化物膜。

於本實施例中，當作由氮化物絕緣膜所形成之保護絕緣層 403，係藉由 RF 濺射法以提供具有 100 nm 之厚度的矽氮化物膜來覆蓋氧化物半導體層 412 之頂部表面及側表面。此外，保護絕緣層 403 係接觸與由氮化物絕緣膜所形成之閘極絕緣層 402。

圖 38 中所示之結構使其得以防止水從外部進入，在形成其由氮化物絕緣膜所形成之保護絕緣層 403 後的製造程序中。此外，得以長期地防止水從外部進入，即使在裝置被完成為半導體裝置（例如，當作液晶顯示裝置）之後；因此，可達成裝置之長期可靠度。

此外，類似於薄膜電晶體 410，於薄膜電晶體 420

中，當作由氮化物絕緣膜所形成之保護絕緣層 403，係使用藉由 RF 濺射法所形成具有 100 nm 之厚度的矽氮化物膜來覆蓋氧化物半導體層 422 之頂部表面及側表面。此外，保護絕緣層 403 係接觸與由氮化物絕緣膜所形成之閘極絕緣層 402。

本實施例中係描述一種結構，其中一薄膜電晶體係由氮化物絕緣膜所圍繞；然而，本發明之實施例並不特別限定於此結構。複數薄膜電晶體可被覆蓋以一氮化物絕緣膜，或者一像素部分中之複數薄膜電晶體可被共同地覆蓋以一氮化物絕緣膜。可提供一區域，其中保護絕緣層 403 與閘極絕緣層 402 係彼此接觸，以致一主動矩陣基底之至少像素部分被圍繞。

本實施例可任意地結合與任何其他實施例。

本申請案係基於日本專利申請案序號 2009-169594（於 2009 年七月 17 日對日本專利局申請），其整體內容被納入於此以供參考。

【符號說明】

10：脈衝輸出電路

11：佈線

12：佈線

13：佈線

14：佈線

15：佈線

- 21：輸入終端
- 22：輸入終端
- 23：輸入終端
- 24：輸入終端
- 25：輸入終端
- 26：輸出終端
- 27：輸出終端
- 31：電晶體
- 32：電晶體
- 33：電晶體
- 34：電晶體
- 35：電晶體
- 36：電晶體
- 37：電晶體
- 38：電晶體
- 39：電晶體
- 40：電晶體
- 41：電晶體
- 42：電晶體
- 43：電晶體
- 51：電力供應線
- 52：電力供應線
- 53：電力供應線
- 61：週期

62：週期

200：基底

202a：第一閘極絕緣層

202b：第二閘極絕緣層

203：保護絕緣層

204：平坦絕緣層

210：薄膜電晶體

216：氧化物絕緣層

217：導電層

220：薄膜電晶體

227：像素電極層

230：電容佈線層

231：電容電極

232：閘極佈線

234：源極佈線

235：第二終端電極

236：第一金屬佈線層

237：金屬佈線層

238：閘極佈線層

240：薄膜電晶體

241：金屬佈線層

242：金屬佈線層

250：電容佈線層

251：氧化物半導體層

400：基底

402：閘極絕緣層

402a：第一閘極絕緣層

402b：第二閘極絕緣層

403：保護絕緣層

404：平坦化絕緣層

407：氧化物絕緣膜

410：薄膜電晶體

411：閘極電極層

412：氧化物半導體層

413：通道形成區

414a：高電阻汲極區

414b：高電阻汲極區

415a：源極電極層

415b：汲極電極層

416：氧化物絕緣層

417：導電層

420：薄膜電晶體

421：閘極電極層

422：氧化物半導體層

423：通道形成區

424a：高電阻汲極區

424b：高電阻汲極區

425a：源極電極層

425b：汲極電極層
 426：氧化物絕緣層
 427：像素電極層
 430：氧化物半導體膜
 431：氧化物半導體層
 432：氧化物半導體層
 433a：抗蝕劑遮罩
 433b：抗蝕劑遮罩
 434：金屬電極層
 435：金屬電極層
 436a：抗蝕劑遮罩
 436b：抗蝕劑遮罩
 437：氧化物半導體層
 438：抗蝕劑遮罩
 439：氧化物絕緣膜
 440a：抗蝕劑遮罩
 440b：抗蝕劑遮罩
 441：接觸孔
 442：氧化物半導體層
 443：氧化物半導體層
 444：氧化物半導體層
 445a：抗蝕劑遮罩
 445b：抗蝕劑遮罩
 446a：抗蝕劑遮罩

446b：抗蝕劑遮罩
 448：薄膜電晶體
 449：薄膜電晶體
 475a：源極電極層
 475b：汲極電極層
 476：氧化物絕緣層
 580：基底
 581：薄膜電晶體
 583：絕緣膜
 585：絕緣層
 587：第一電極層
 588：第二電極層
 589：球形粒子
 590a：黑色區
 590b：白色區
 594：空腔
 595：填料
 596：基底
 600：基底
 601：反基底
 602：閘極佈線
 603：閘極佈線
 604：電容佈線
 605：電容佈線

- 606：閘極絕緣膜
- 607：電極層
- 608：通道保護層
- 609：共同電位線
- 611：通道保護層
- 615：電容電極
- 616：佈線
- 617：電容佈線
- 618：佈線
- 619：佈線
- 620：絕緣膜
- 622：絕緣膜
- 623：接觸孔
- 624：像素電極層
- 625：狹縫
- 626：像素電極層
- 627：接觸孔
- 628：TFT
- 629：TFT
- 630：儲存電容部分
- 631：儲存電容部分
- 632：阻光膜
- 633：接觸孔
- 636：上色膜

637：平坦化膜
640：反電極層
641：狹縫
646：對準膜
648：對準膜
650：液晶層
651：液晶元件
652：液晶元件
690：電容佈線
2600：TFT 基底
2601：反基底
2602：密封劑
2603：像素部分
2604：顯示元件
2605：上色層
2606：平坦化板
2607：平坦化板
2608：佈線電路部分
2609：撓性佈線板
2610：冷陰極管
2611：反射板
2612：電路基底
2613：擴散板
2700：電子書閱讀器

2701：殼體
2703：殼體
2705：顯示部分
2707：顯示部分
2711：鉸鏈
2721：電源開關
2723：操作鍵
2725：揚聲器
4001：基底
4002：像素部分
4003：信號線驅動器電路
4004：掃描線驅動器電路
4005：密封劑
4006：基底
4008：液晶層
4010：薄膜電晶體
4011：薄膜電晶體
4013：液晶元件
4015：連接終端電極
4016：終端電極
4018：FPC
4019：各向異性導電膜
4020：絕緣層
4021：絕緣層

- 4030：像素電極層
- 4031：反電極層
- 4032：絕緣層
- 4035：間隔物
- 4040：導電層
- 4041：絕緣層
- 4042：絕緣層
- 4501：基底
- 4502：像素部分
- 4503a：信號線驅動器電路
- 4503b：信號線驅動器電路
- 4504a：掃描線驅動器電路
- 4504b：掃描線驅動器電路
- 4505：密封劑
- 4506：基底
- 4507：填料
- 4509：薄膜電晶體
- 4510：薄膜電晶體
- 4511：發光元件
- 4512：電致發光層
- 4513：第二電極層
- 4515：連接終端電極
- 4516：終端電極
- 4517：第一電極層

4518a : FPC
 4518b : FPC
 4519 : 各向異性導電膜
 4520 : 隔板
 4540 : 導電層
 4541 : 絕緣層
 4542 : 絕緣層
 4543 : 絕緣層
 4544 : 絕緣層
 5300 : 基底
 5301 : 像素部分
 5302 : 掃描線驅動器電路
 5303 : 信號線驅動器電路
 5305 : 時序控制電路
 5601 : 偏移暫存器
 5602 : 切換電路
 5603 : 薄膜電晶體
 5604 : 佈線
 5605 : 佈線
 6400 : 像素
 6401 : 切換電晶體
 6402 : 驅動電晶體
 6403 : 電容
 6404 : 發光元件

6405：信號線
6406：掃描線
6407：電力供應線
6408：共同電極
7001：驅動 TFT
7002：發光元件
7003：陰極
7004：發光層
7005：陽極
7008：陰極
7009：隔板
7011：驅動 TFT
7012：發光元件
7013：陰極
7014：發光層
7015：陽極
7016：阻光膜
7017：導電膜
7018：導電膜
7019：隔板
7021：驅動 TFT
7022：發光元件
7023：陰極
7024：發光層

7025：陽極
7027：導電膜
7028：導電膜
7029：隔板
9201：顯示部分
9202：顯示按鈕
9203：操作開關
9204：腕帶部分
9205：調整部分
9206：相機部分
9207：揚聲器
9208：麥克風
9301：頂部殼體
9302：底部殼體
9303：顯示部分
9304：鍵盤
9305：外部連接埠
9306：指向裝置
9307：顯示部分
9600：電視機
9601：殼體
9603：顯示部分
9605：支架
9607：顯示部分

- 9609：操作鍵
- 9610：遙控器
- 9700：數位相框
- 9701：殼體
- 9703：顯示部分
- 9881：殼體
- 9882：顯示部分
- 9883：顯示部分
- 9884：揚聲器部分
- 9885：操作鍵
- 9886：記錄媒體插入部分
- 9887：連接終端
- 9888：感測器
- 9889：麥克風
- 9890：LED 燈
- 9891：殼體
- 9893：接合部分
- 9900：老虎機
- 9901：殼體
- 9903：顯示部分

發明摘要

※申請案號：104131127(由099123121分割)

※申請日：099/07/14

※IPC 分類： H01L 27/12 (2006.01)
H01L 29/786 (2006.01)
H01L 21/84 (2006.01)
G02F 1/1368 (2006.01)

【發明名稱】(中文/英文)

半導體裝置和其製造方法

Semiconductor device and method for manufacturing the same

【中文】

本發明之一目的係增加半導體裝置之開口率。半導體裝置包括位於一基底上之一驅動器電路部分及一顯示部分（亦稱為像素部分）。該驅動器電路部分包括一用於驅動器電路之通道蝕刻電晶體，其中一源極電極和一汲極電極係使用金屬來形成而一通道層係由一氧化物半導體、及一使用金屬所形成之驅動器電路來形成。該顯示部分包括用於一像素之一通道保護薄膜電晶體，其中一源極電極層和一汲極電極層係使用氧化物導體來形成而一半導體層係由氧化物半導體、及一使用氧化物導體所形成之顯示部分佈線來形成。

【 英文 】

An object is to increase an aperture ratio of a semiconductor device. The semiconductor device includes a driver circuit portion and a display portion (also referred to as a pixel portion) over one substrate. The driver circuit portion includes a channel-etched thin film transistor for a driver circuit, in which a source electrode and a drain electrode are formed using metal and a channel layer is formed of an oxide semiconductor, and a driver circuit wiring formed using metal. The display portion includes a channel protection thin film transistor for a pixel, in which a source electrode layer and a drain electrode layer are formed using an oxide conductor and a semiconductor layer is formed of an oxide semiconductor, and a display portion wiring formed using an oxide conductor.

申請專利範圍

1. 一種半導體裝置，包含：

一位於一基底上之像素部分，該像素部分包含第一電晶體；及

一位於該基底上之驅動器電路部分，該驅動器電路部分包含第二電晶體，

其中該第一電晶體包含：

一位於該基底上之第一閘極電極層；

一位於該第一閘極電極層上之第一閘極絕緣層；

一位於該第一閘極絕緣層上之包括第一通道形成區的第一氧化物半導體層；

一第一源極電極層和一第一汲極電極層，其係位於該第一氧化物半導體層之上，

其中該第二電晶體包括：

一位於該基底上之第二閘極電極層；

一位於該第二閘極電極層上之第二閘極絕緣層；

一位於該第二閘極絕緣層上之包括第二通道形成區的第二氧化物半導體層；

一第二源極電極層和一第二汲極電極層，其係位於該第二氧化物半導體層之上，

其中每一該第一氧化物半導體層和該第二氧化物半導體層包含在相同膜中之一第一區和一第二區，該第一區為該第一通道形成區或該第二通道形成區，

其中該第一區之電阻係高於該第二區之電阻，

其中該第一區包含氧過度狀態之區，及
其中該第二區為氧不足區。

2. 如申請專利範圍第 1 項之半導體裝置，

其中每一該第一閘極電極層、該第一閘極絕緣層、該第一氧化物半導體層、該第一源極電極層、該第一汲極電極層、及該第一氧化物絕緣層均具有透光性質。

3. 一種半導體裝置，包含：

一位於一基底上之像素部分，該像素部分包含第一電晶體；及

一位於該基底上之驅動器電路部分，該驅動器電路部分包含第二電晶體，

其中該第一電晶體包含：

一位於該基底上之第一閘極電極層；

一位於該第一閘極電極層上之第一閘極絕緣層；

一位於該第一閘極絕緣層上之包括第一通道形成區的第一氧化物半導體層；

一第一源極電極層和一第一汲極電極層，其係位於該第一氧化物半導體層之上，

其中該第二電晶體包括：

一位於該基底上之第二閘極電極層；

一位於該第二閘極電極層上之第二閘極絕緣層；

一位於該第二閘極絕緣層上之包括第二通道形成區的第二氧化物半導體層；

一第二源極電極層和一第二汲極電極層，其係位

於該第二氧化物半導體層之上，

其中每一該第一氧化物半導體層和該第二氧化物半導體層包含在相同膜中之一第一區和一第二區，該第一區為該第一通道形成區或該第二通道形成區，

其中該第一區之電阻係高於該第二區之電阻，

其中該第一區包含氧過度狀態之區，

其中該第二區為氧不足區，

其中該第一通道形成區係接觸與一第一氧化物絕緣層，及

其中該第二通道形成區係接觸與一第二氧化物絕緣層。

4. 如申請專利範圍第 3 項之半導體裝置，

其中每一該第一閘極電極層、該第一閘極絕緣層、該第一氧化物半導體層、該第一源極電極層、該第一汲極電極層、及該第一氧化物絕緣層均具有透光性質。

5. 如申請專利範圍第 1 或 3 項之半導體裝置，進一步包含一重疊與該第二通道形成區及該第二閘極電極層之導電層。

6. 如申請專利範圍第 5 項之半導體裝置，其中該第二閘極電極層之第一寬度係小於該導電層之第二寬度。

7. 如申請專利範圍第 1 或 3 項之半導體裝置，其中該第一電晶體與該第二電晶體之至少一者具有透光性質。

8. 如申請專利範圍第 1 或 3 項之半導體裝置，其中該第二通道形成區的厚度係小於一重疊與該第二源極電極

層或該第二汲極電極層之區的厚度。

9. 如申請專利範圍第 1 或 3 項之半導體裝置，

其中該第二源極電極層和該第二汲極電極層之材料係不同於該第一源極電極層和該第一汲極電極層之材料，及

其中該第二源極電極層和該第二汲極電極層之該材料為具有較該第一源極電極層和該第一汲極電極層之該材料更低的電阻之導電材料。

圖式

圖1A1

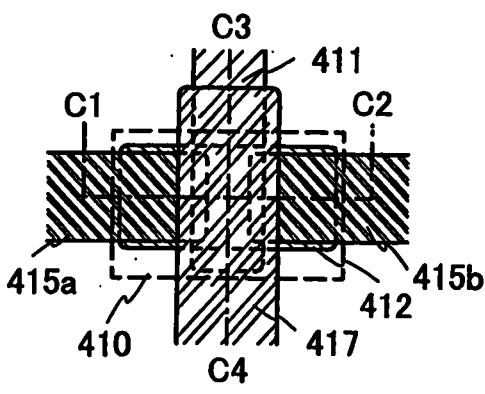


圖1A2

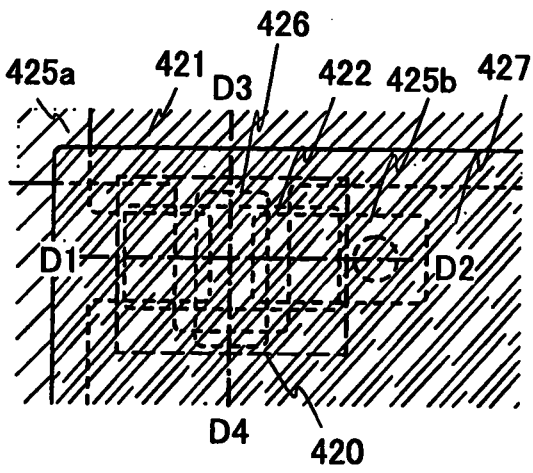


圖1B

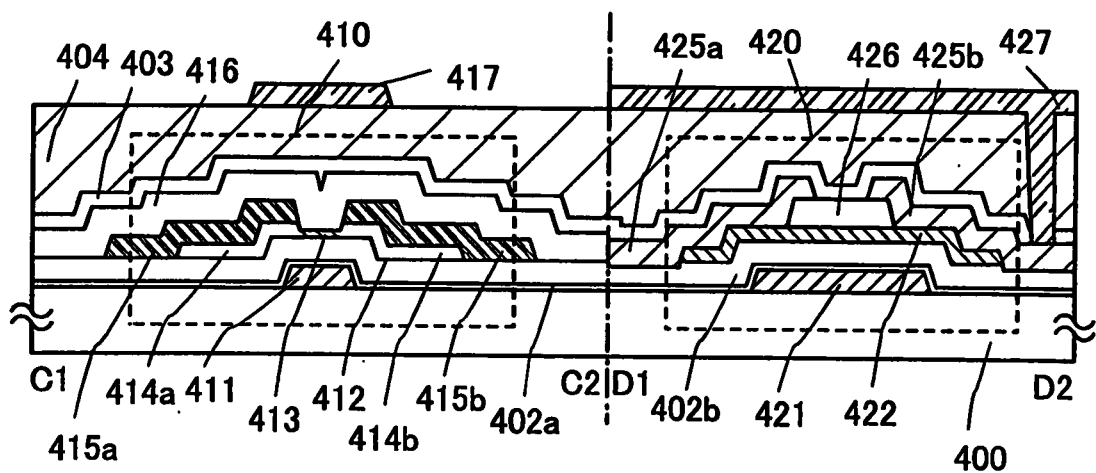


圖1C

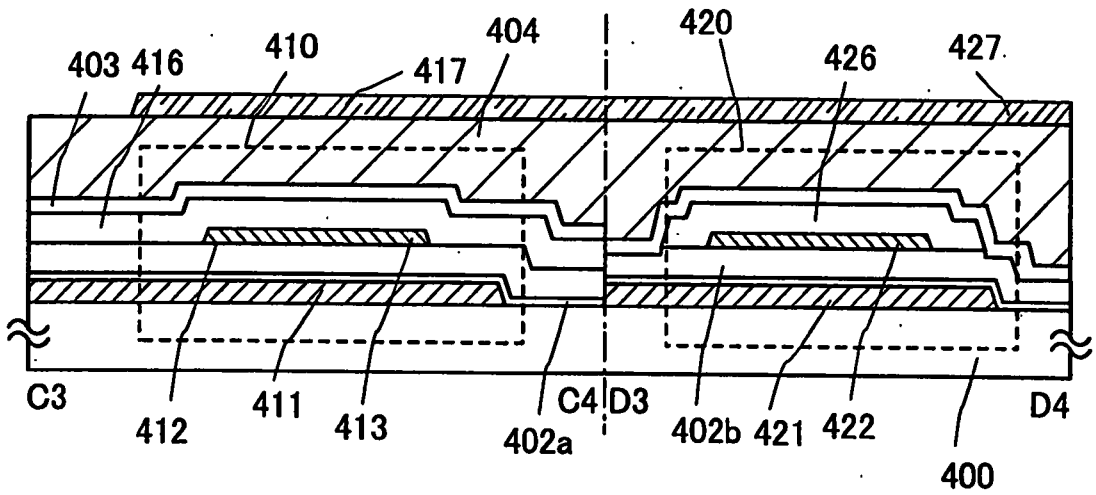


圖 2A

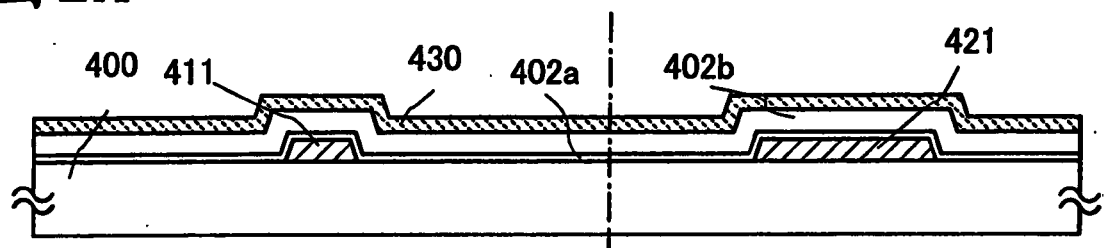


圖 2B

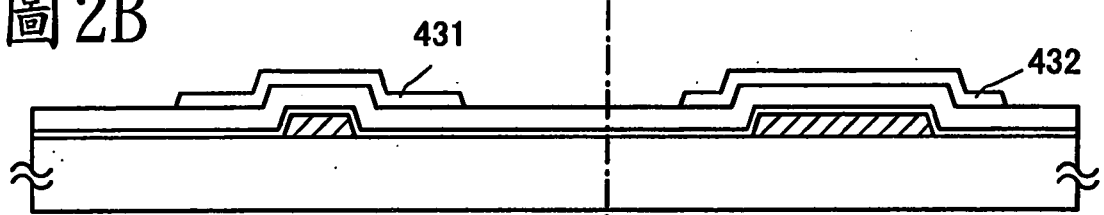


圖 2C

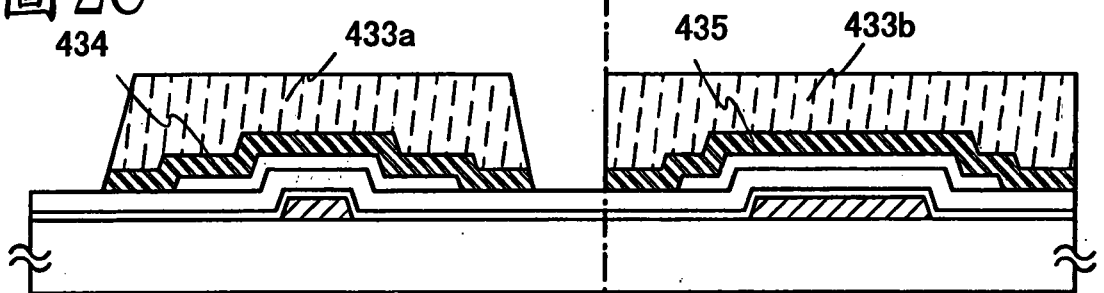


圖 2D

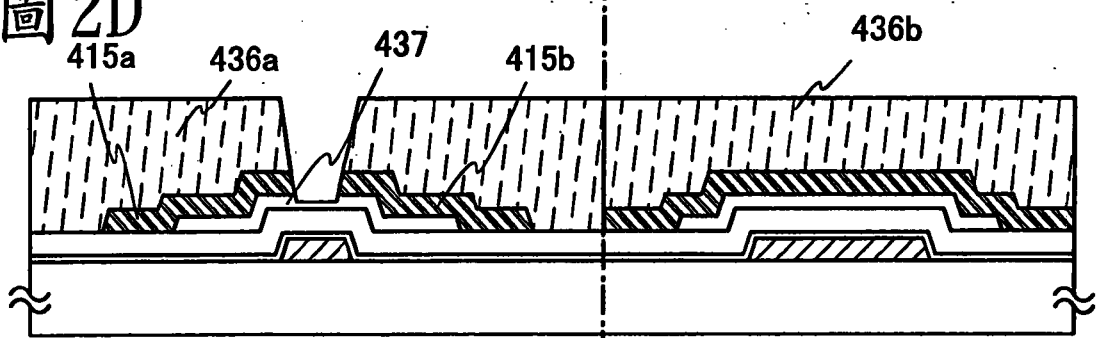


圖 2E

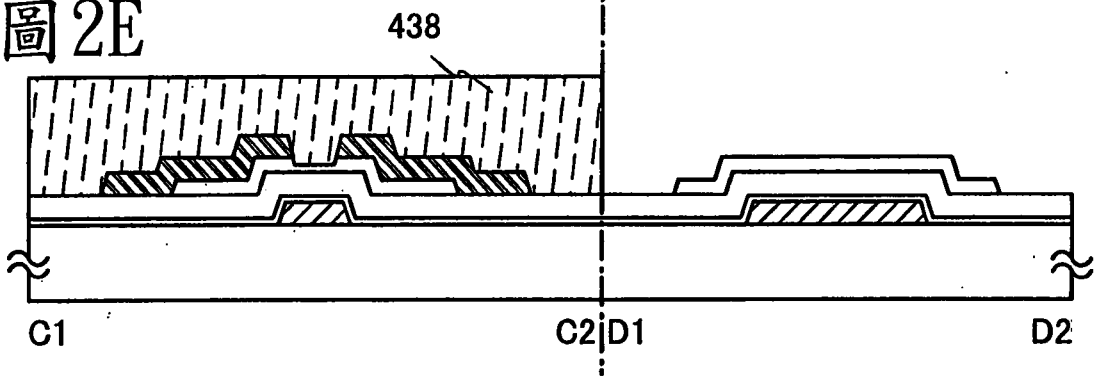


圖 3A

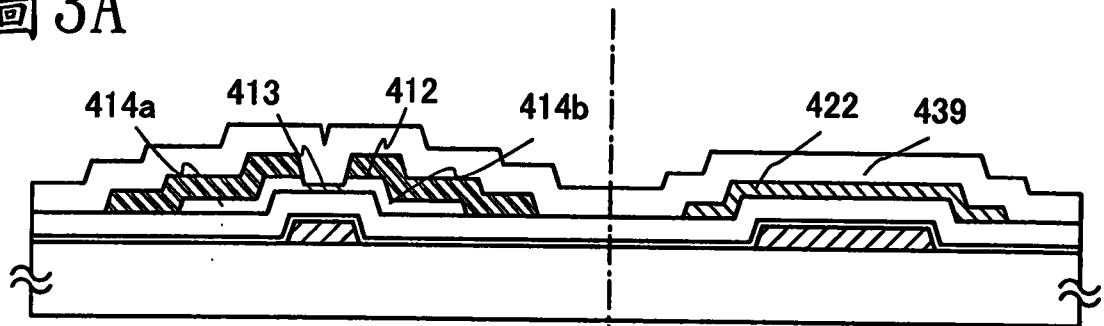


圖 3B

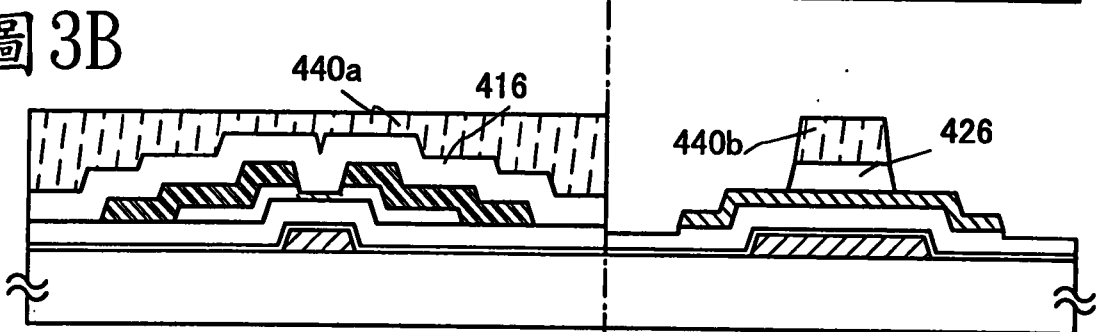


圖 3C

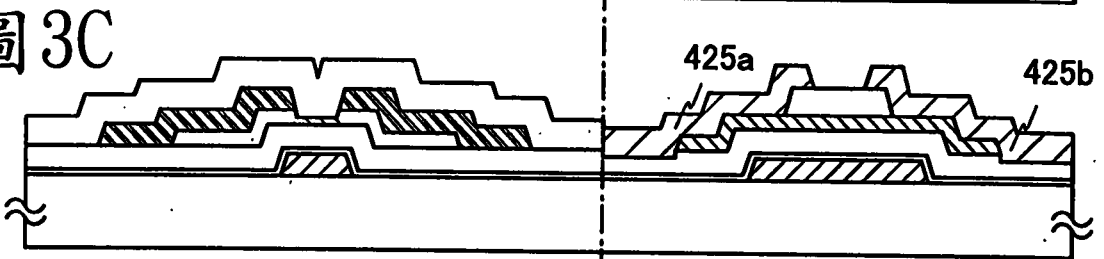


圖 3D

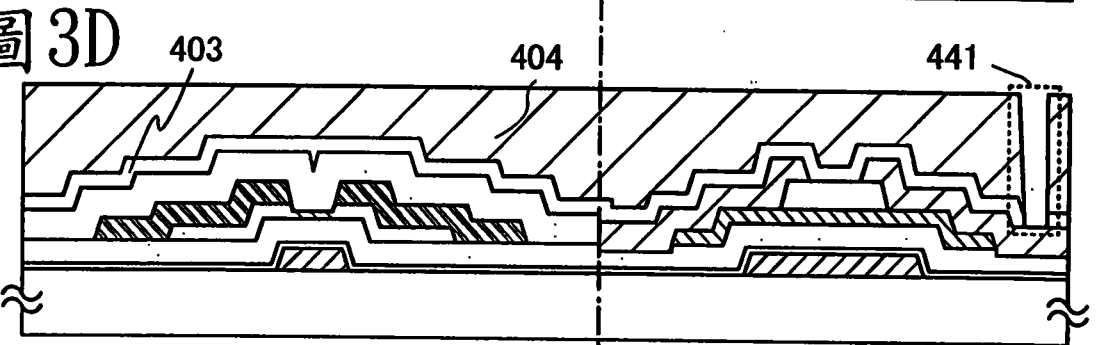


圖 3E

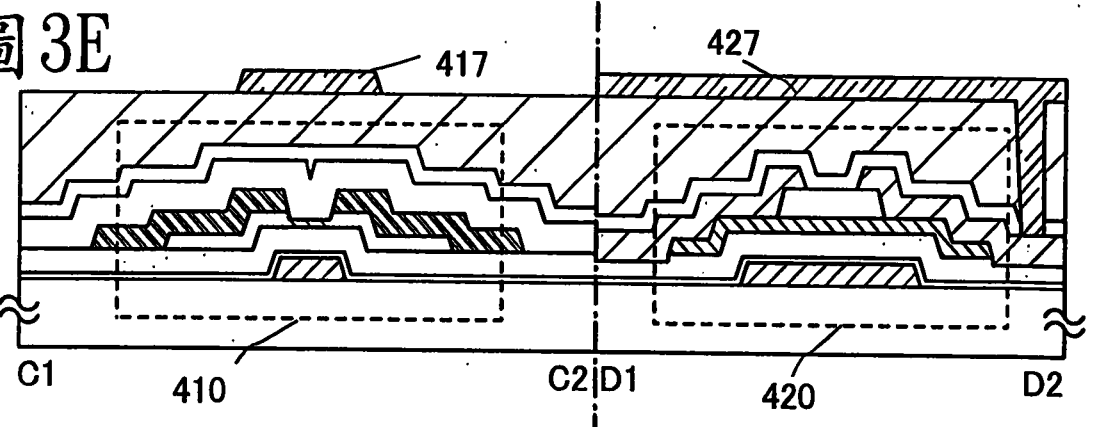


圖 4A

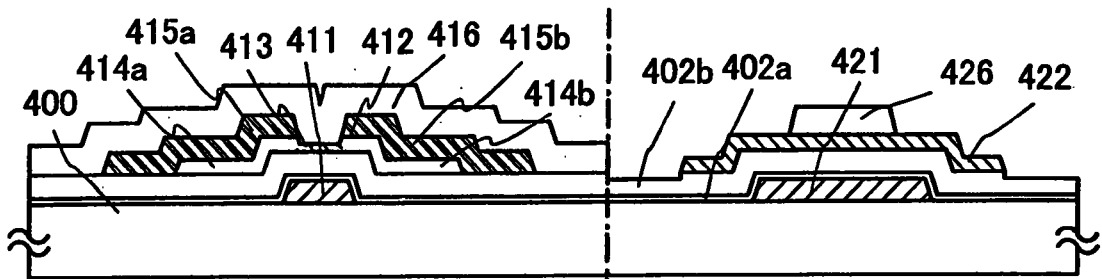


圖 4B

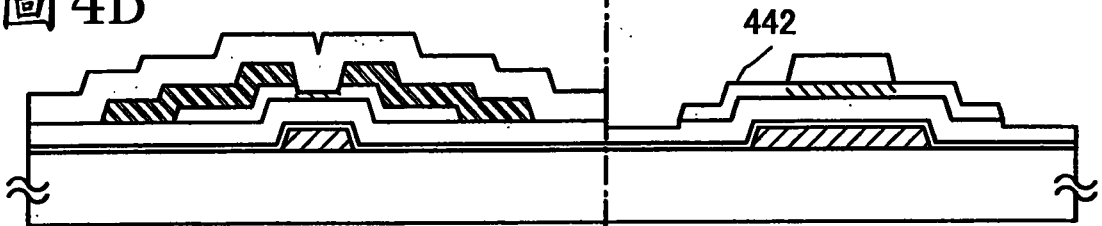


圖 4C

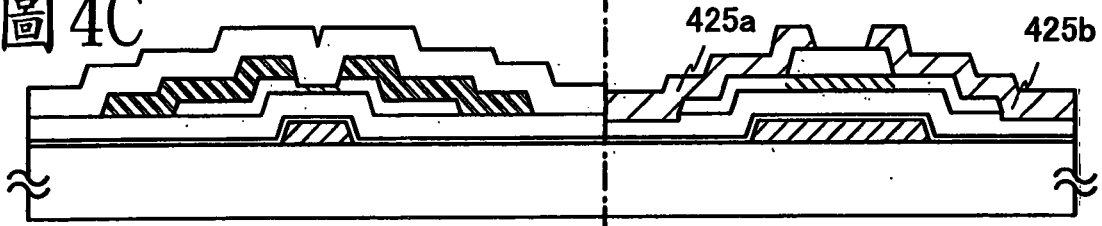


圖 4D

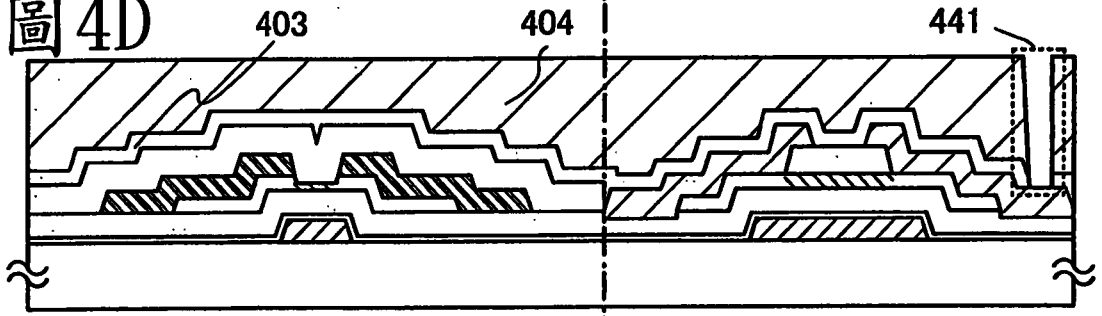


圖 4E

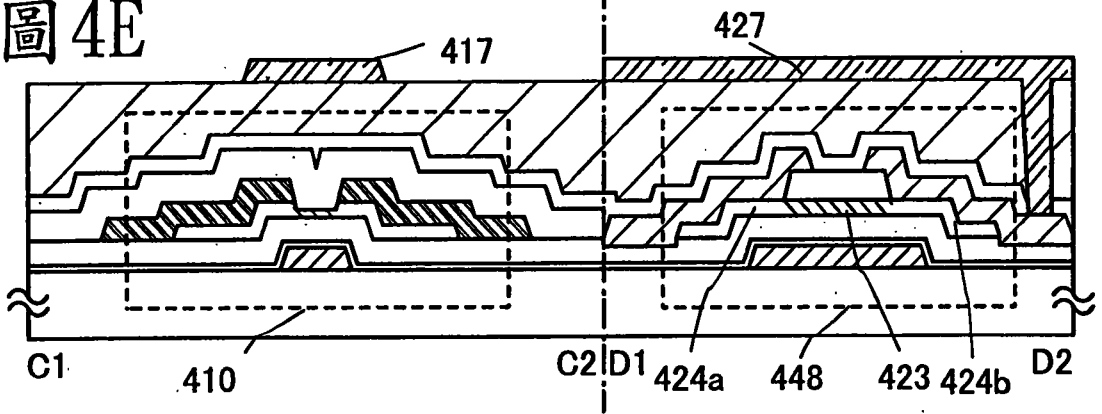


圖 5A

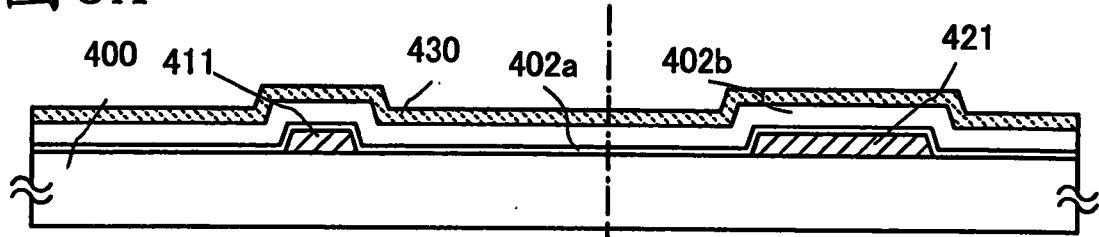


圖 5B

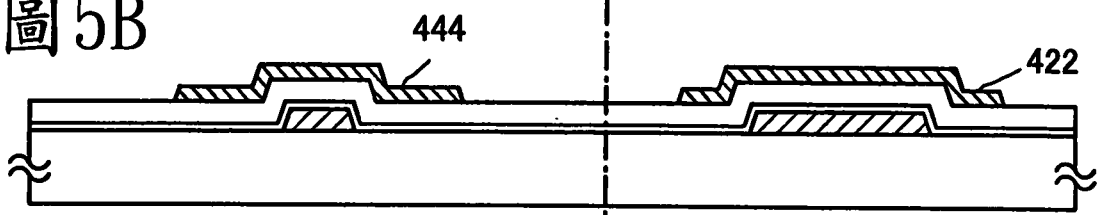


圖 5C

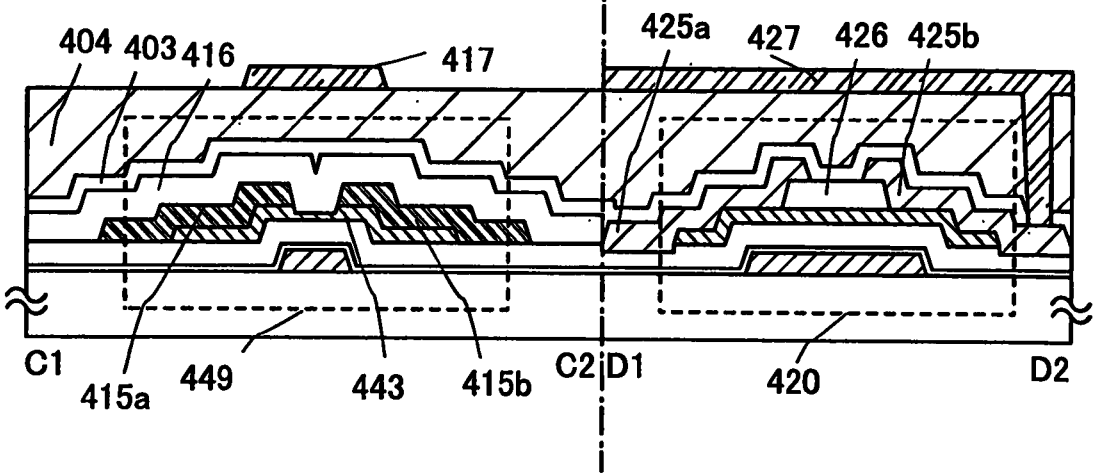


圖 6A

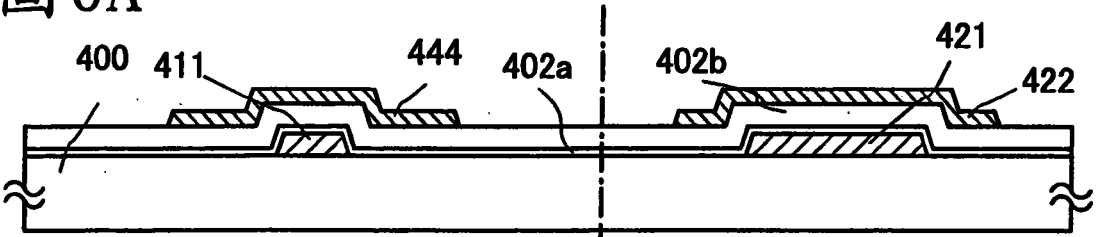


圖 6B

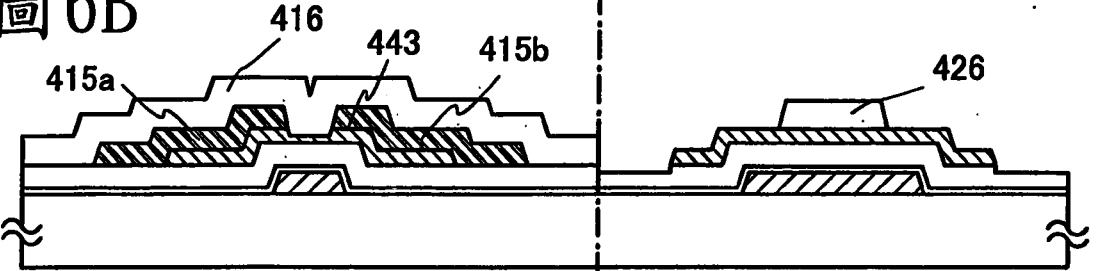


圖 6C

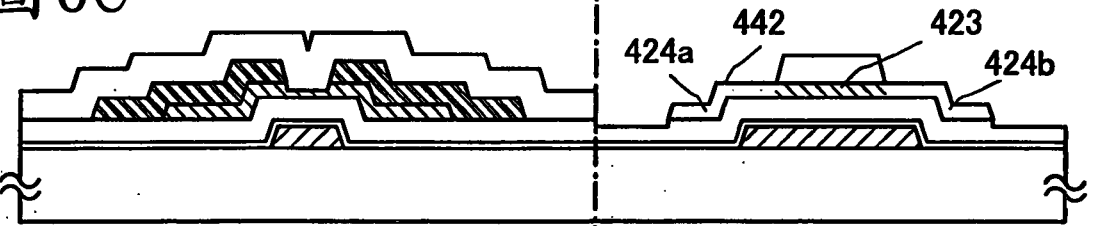


圖 6D

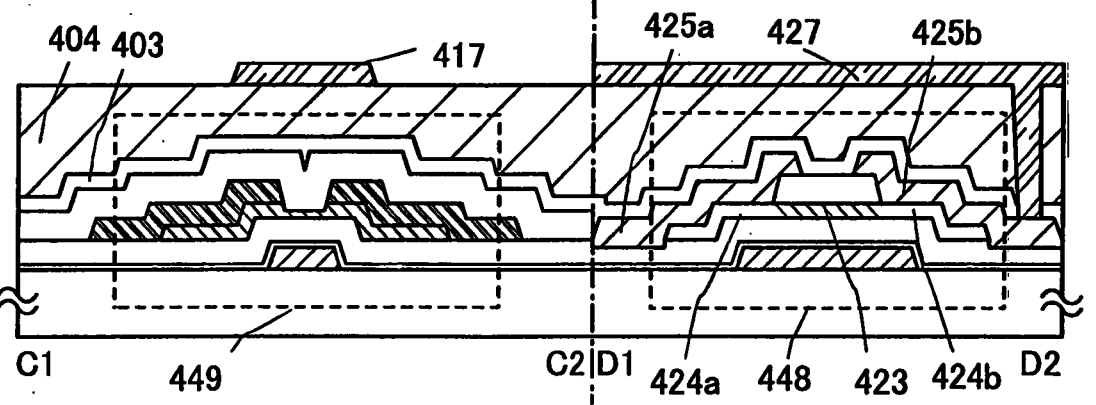


圖 7A

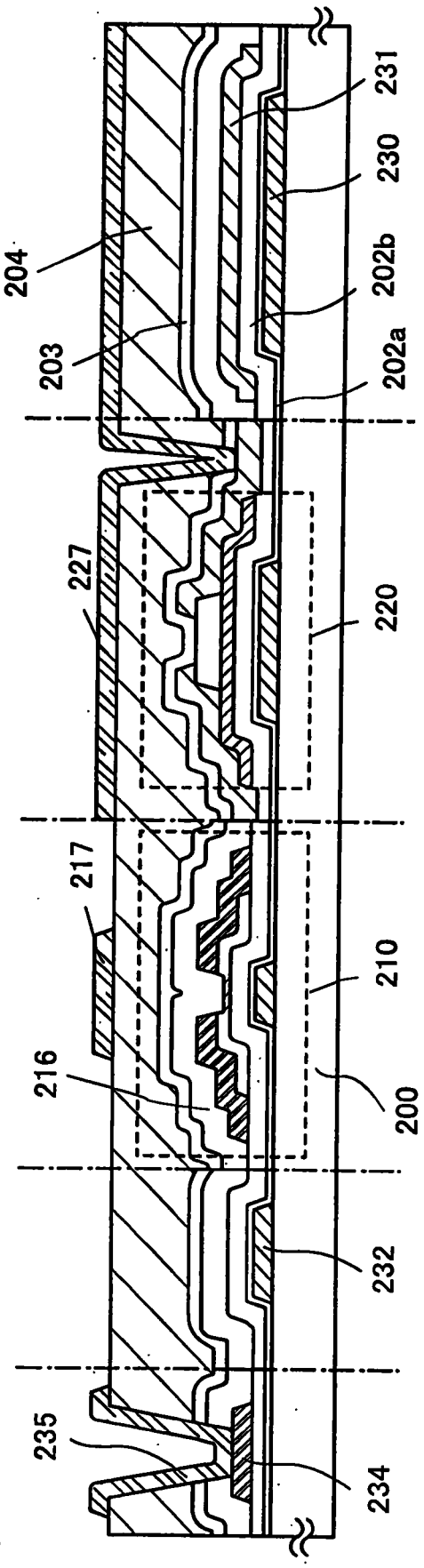


圖 7B

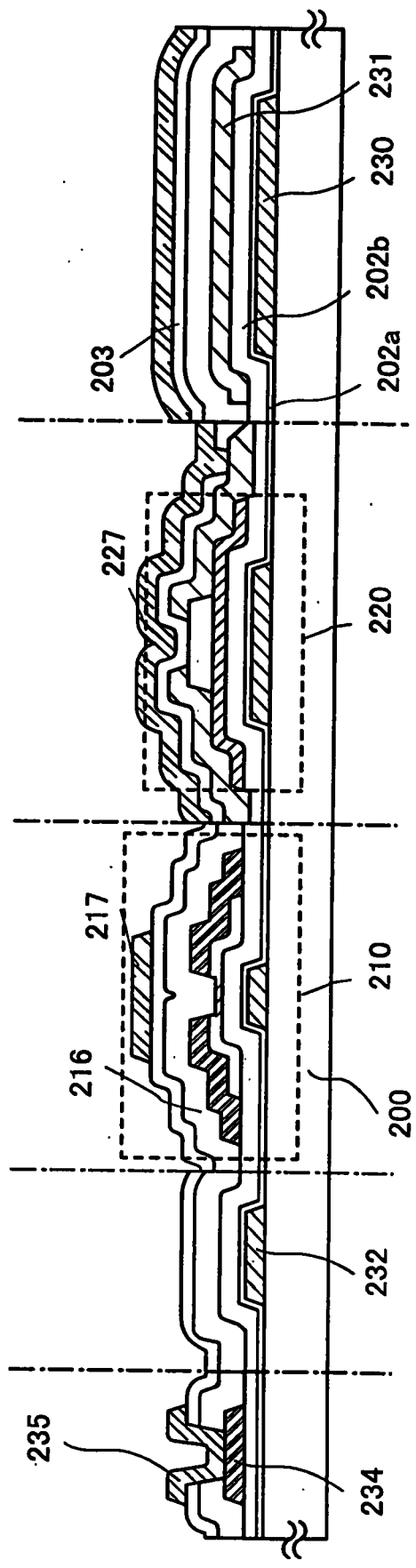


圖8A

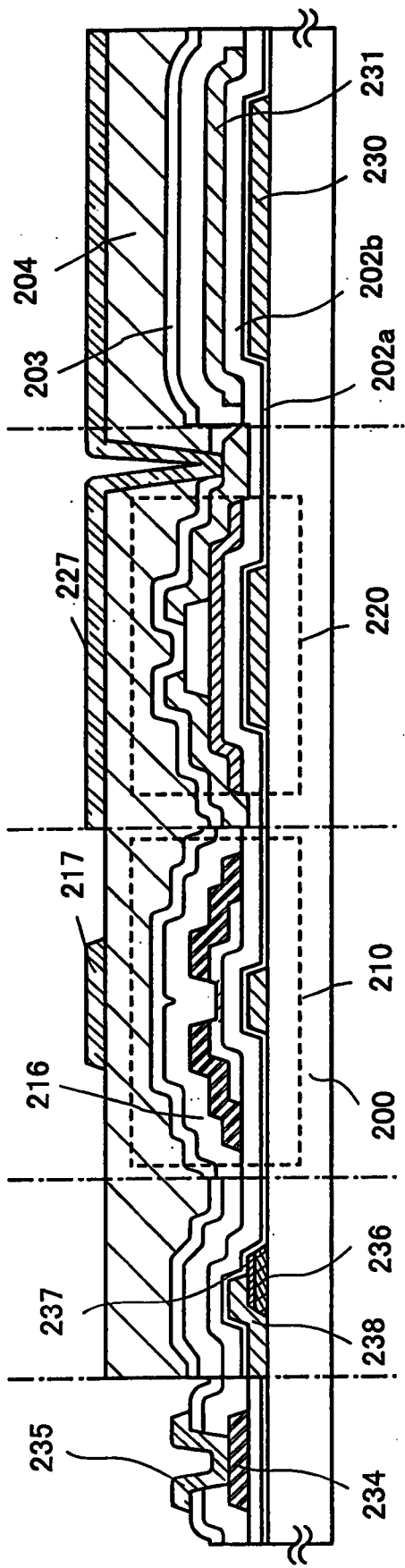


圖8B

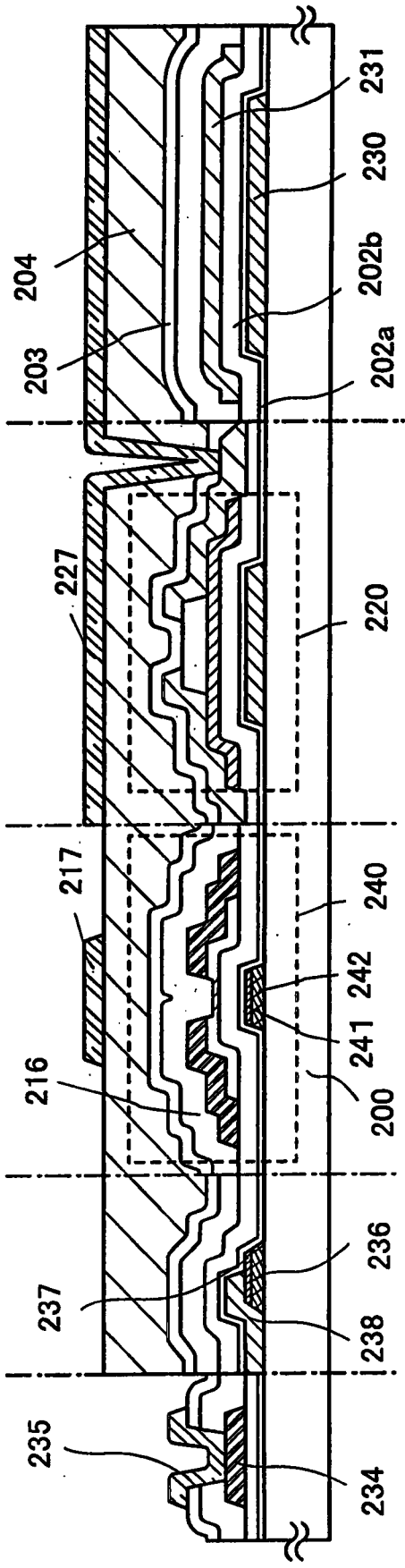


圖 9A

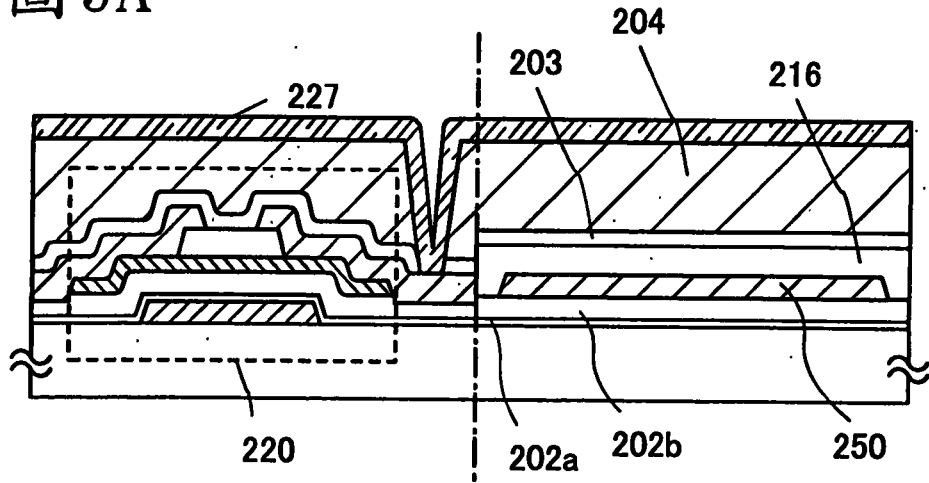


圖 9B

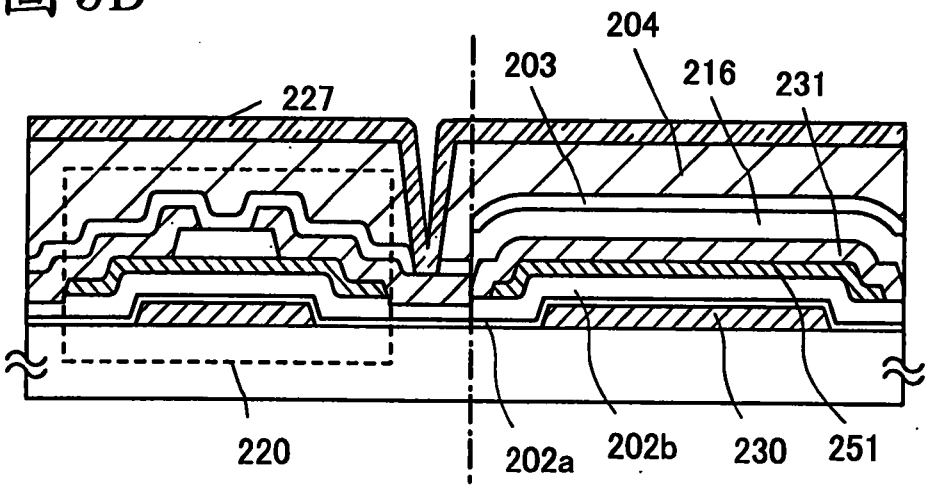


圖 10A1

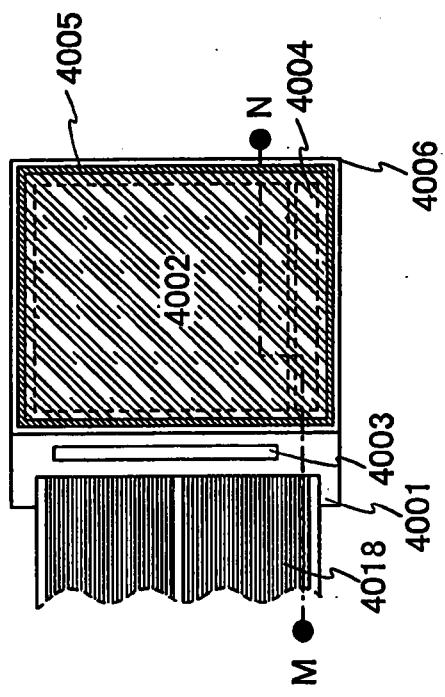


圖 10A2

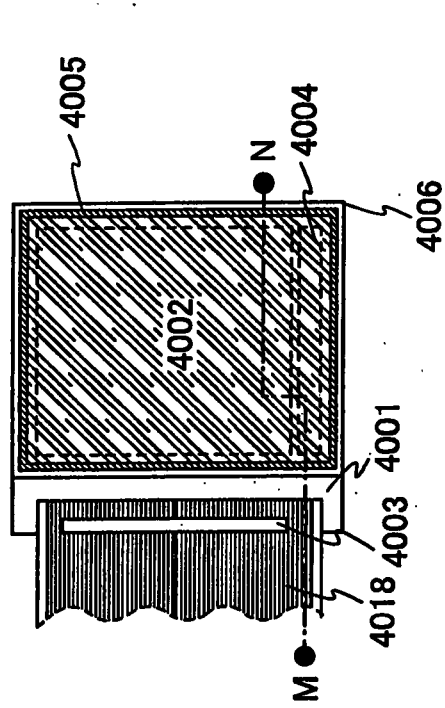


圖 10B

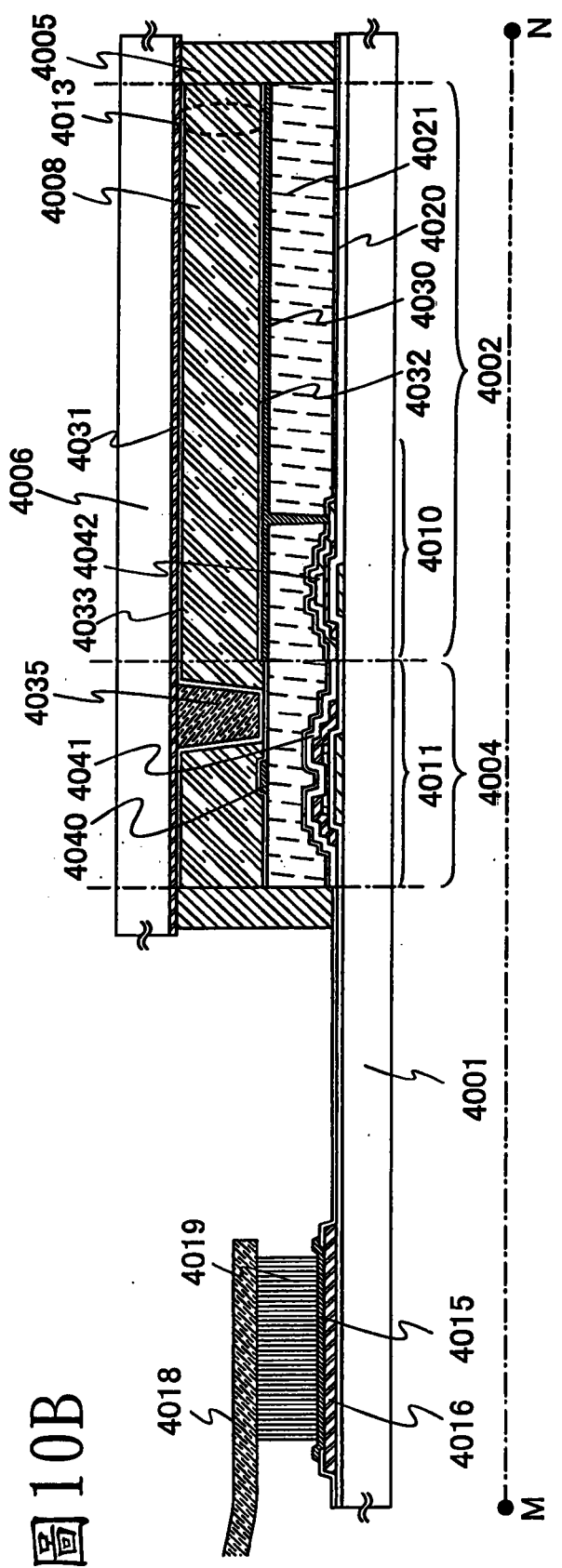


圖 11A

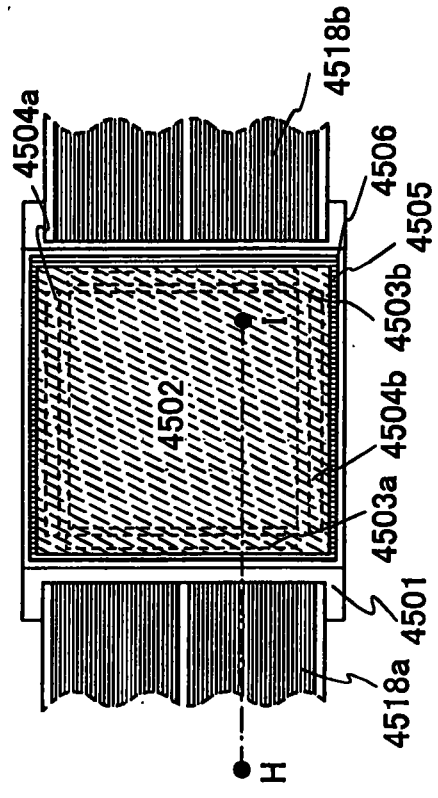


圖 11B

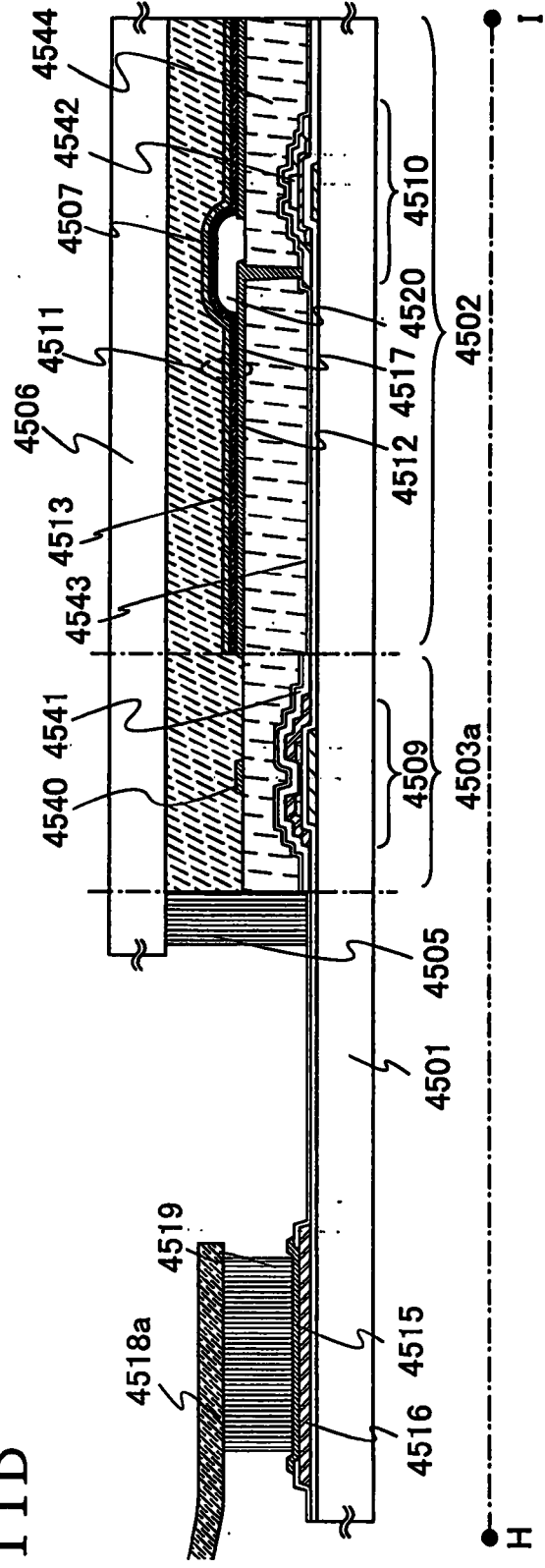


圖12

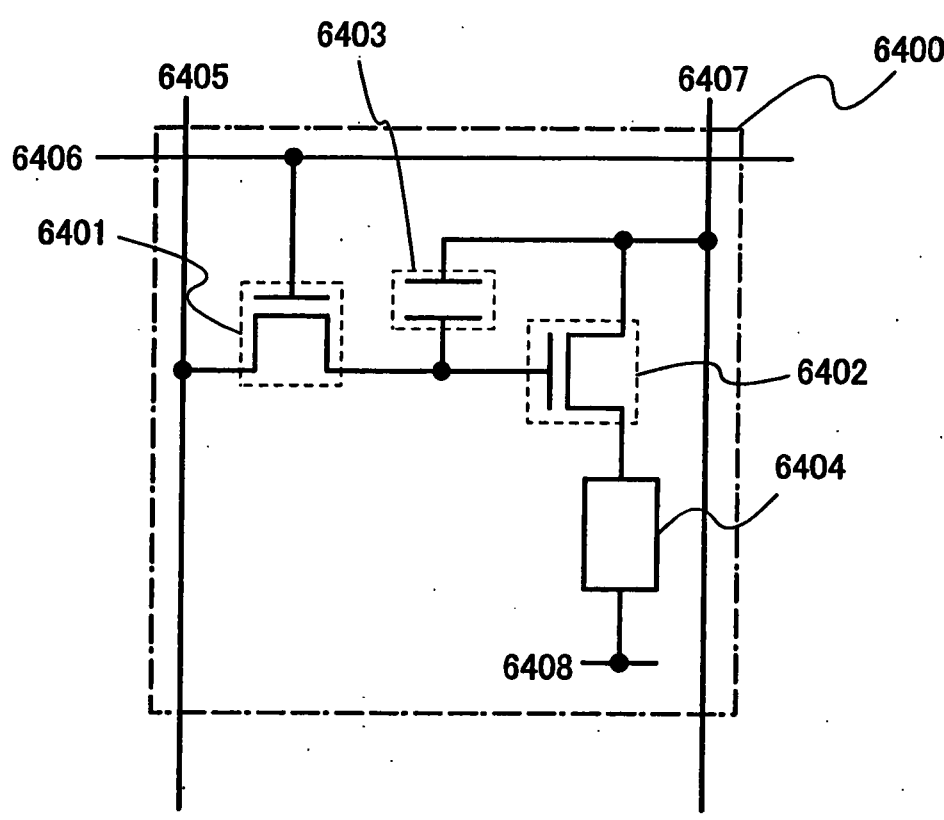


圖 13A

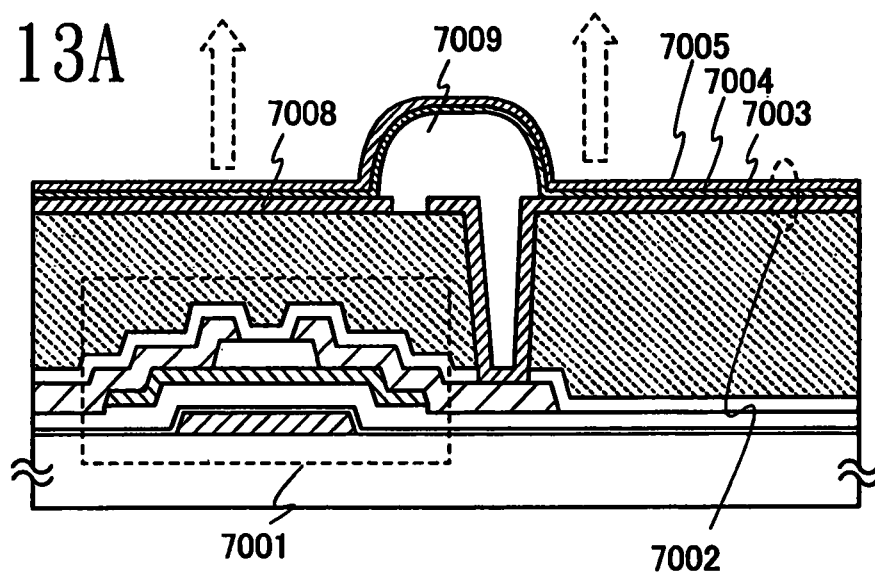


圖 13B

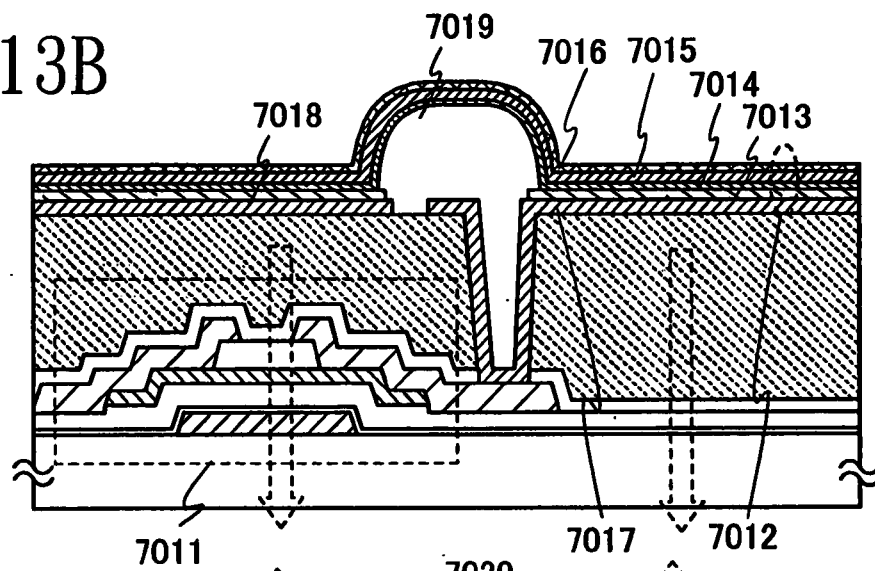


圖 13C

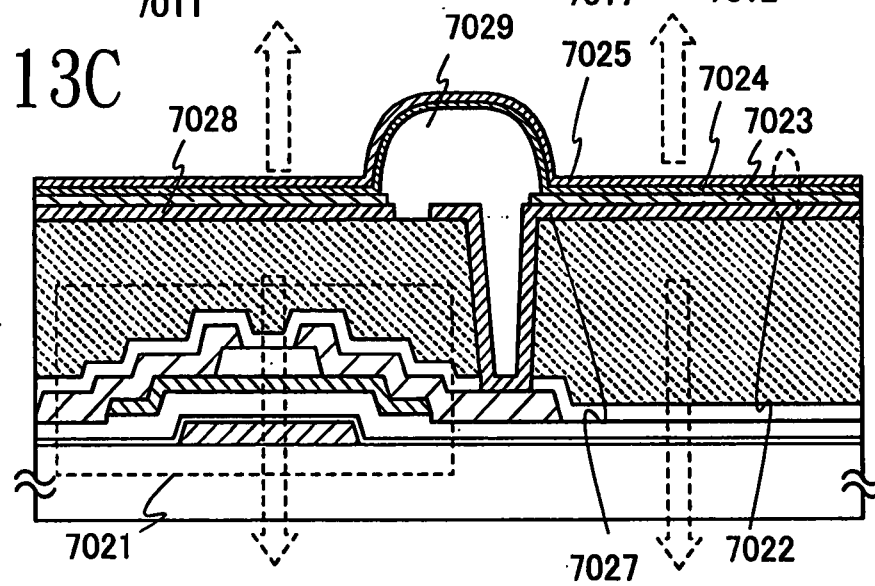


圖 14A

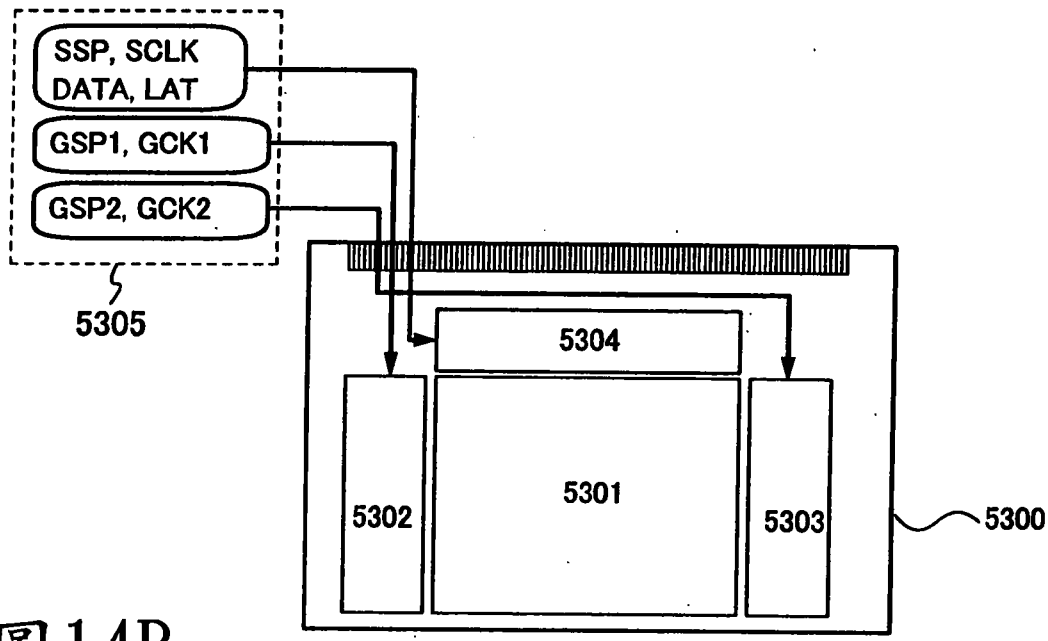


圖 14B

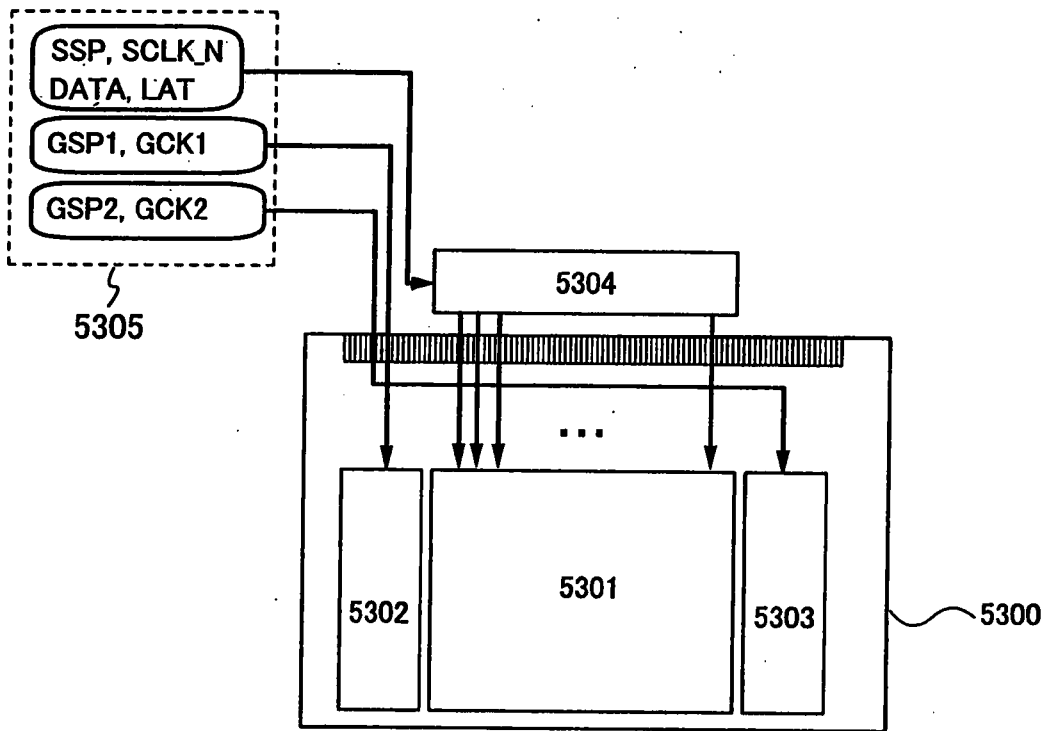


圖15A

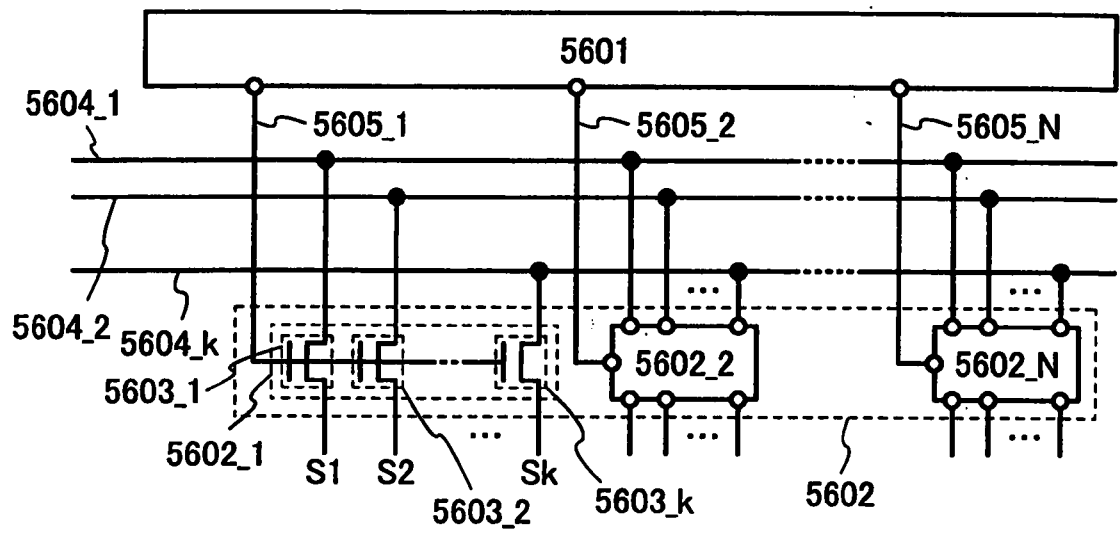


圖15B

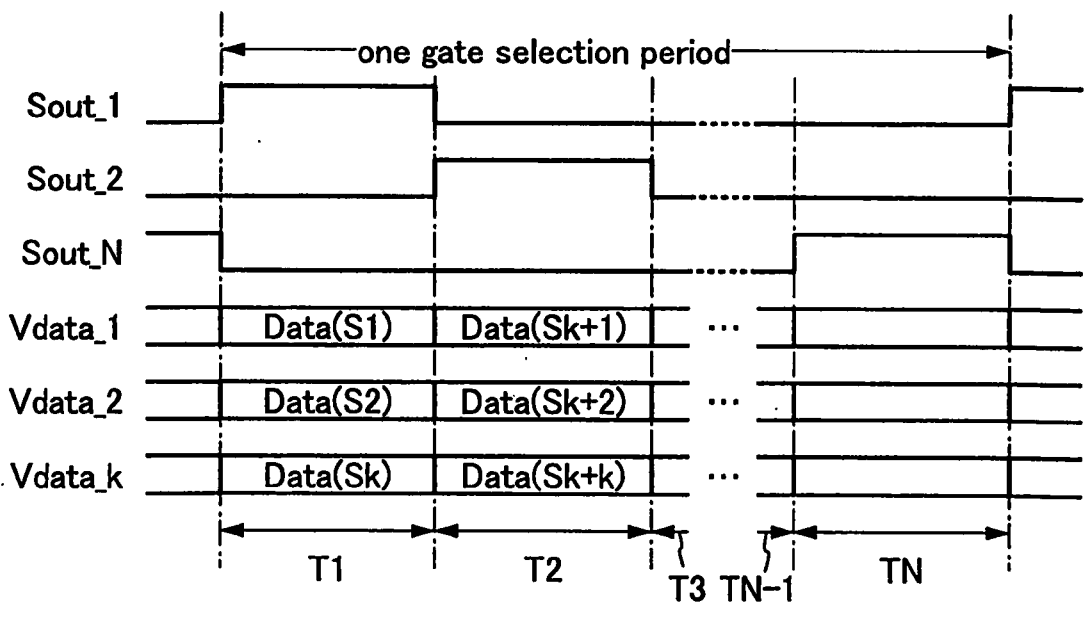


圖 16A

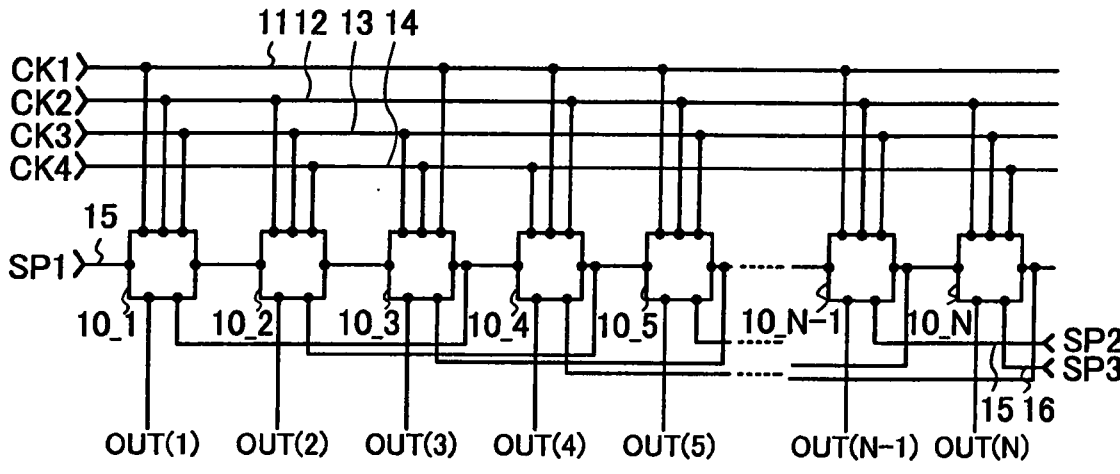


圖 16B

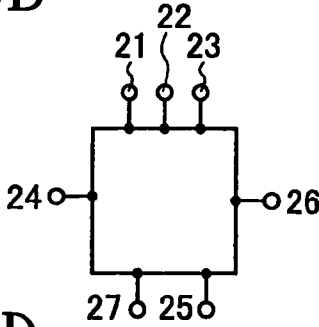


圖 16C

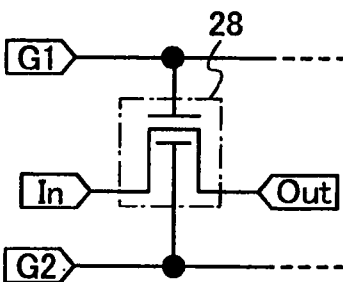
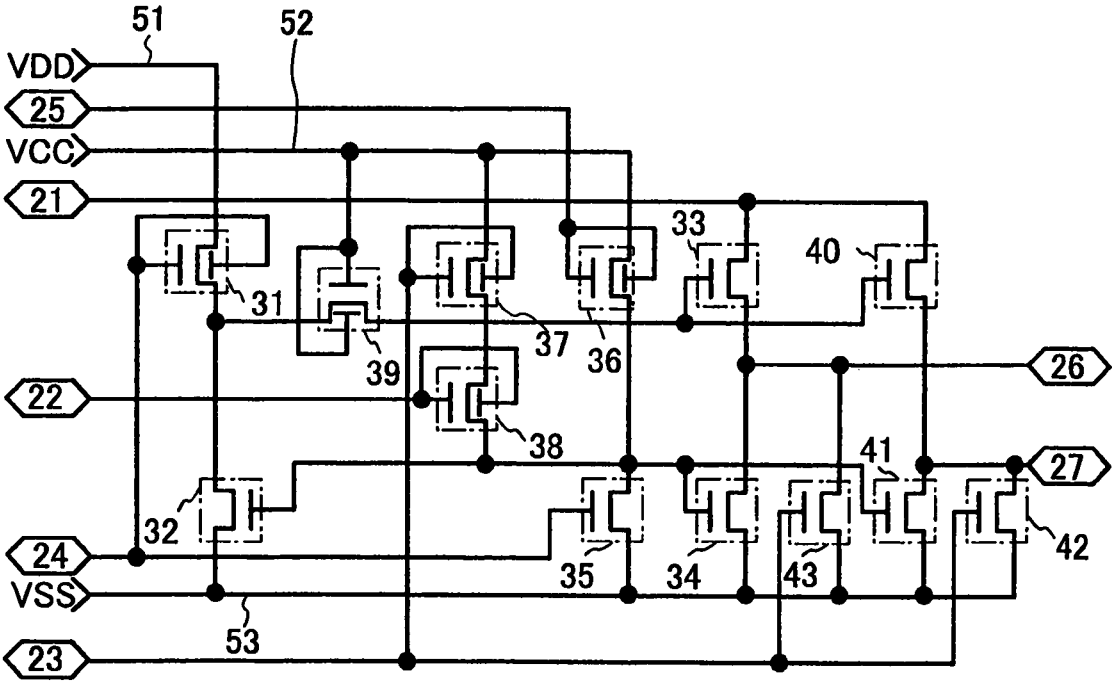


圖 16D



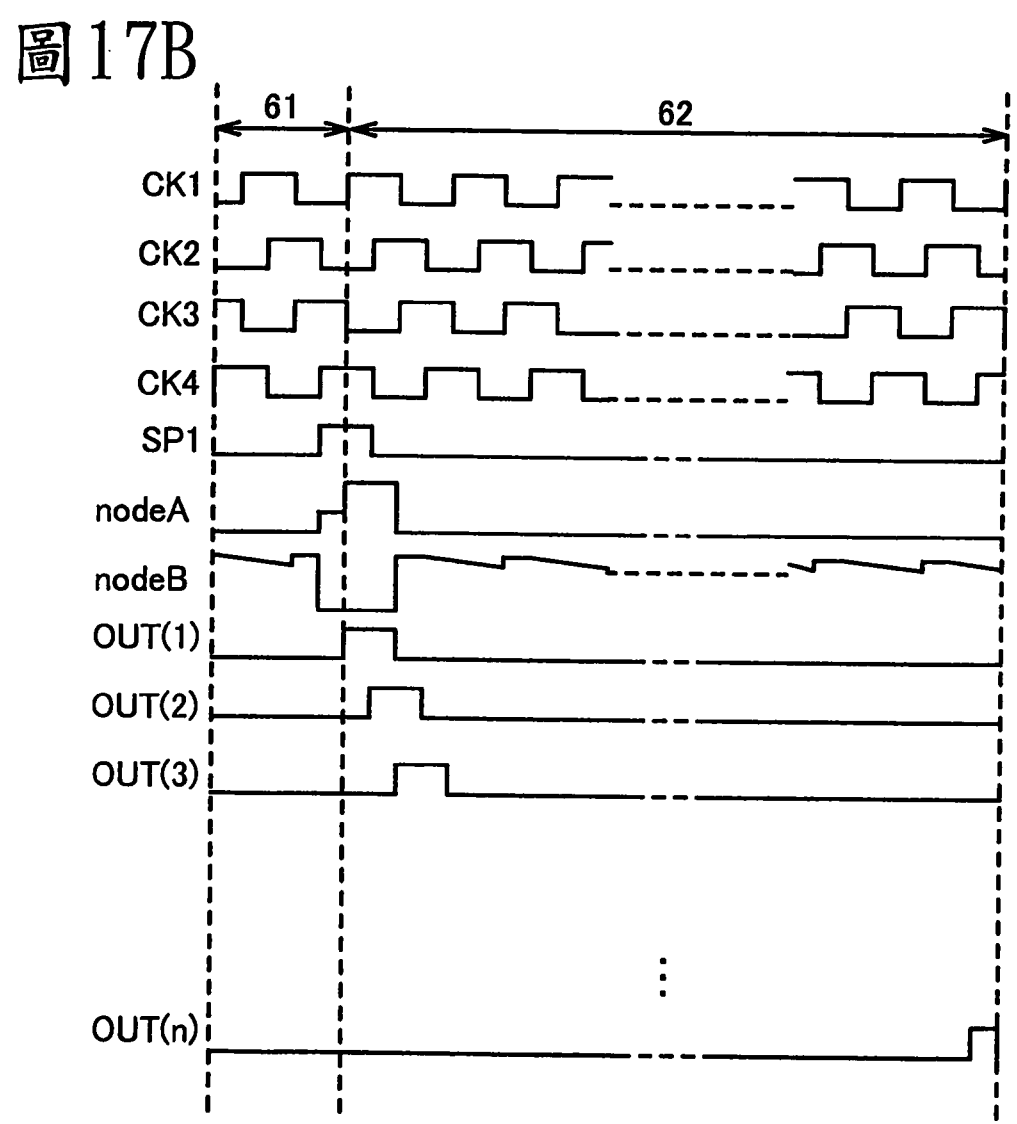
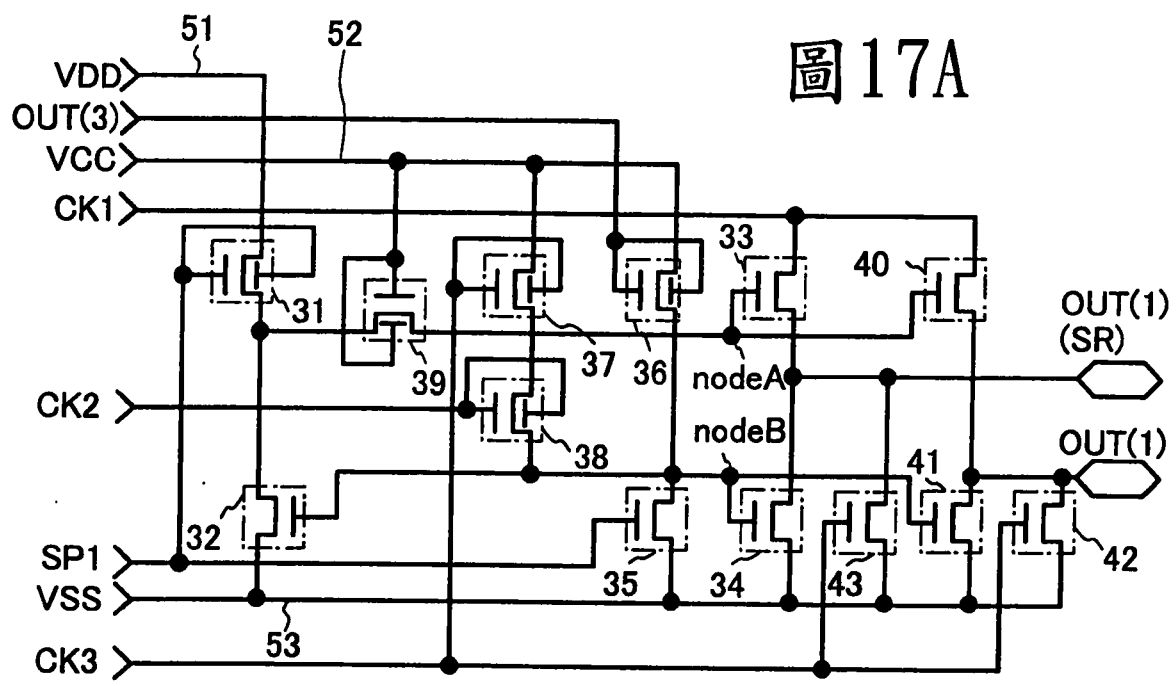


圖18

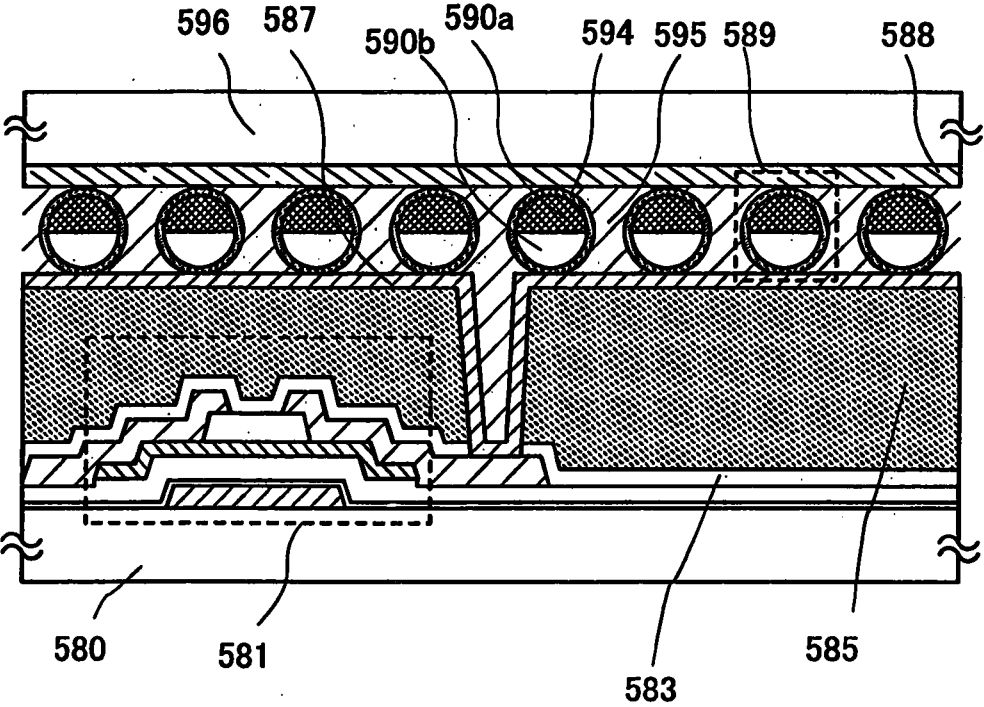


圖19

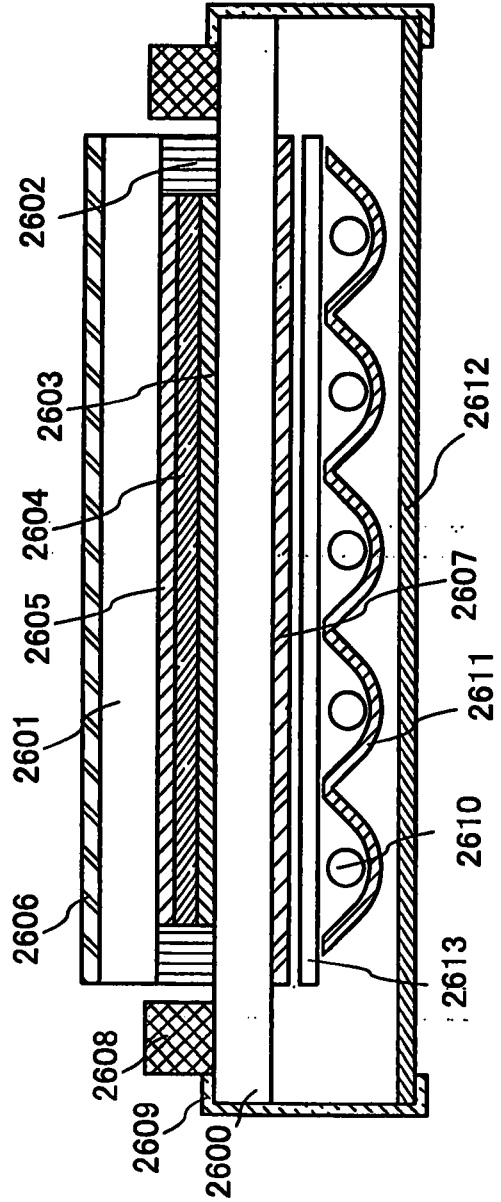


圖 20

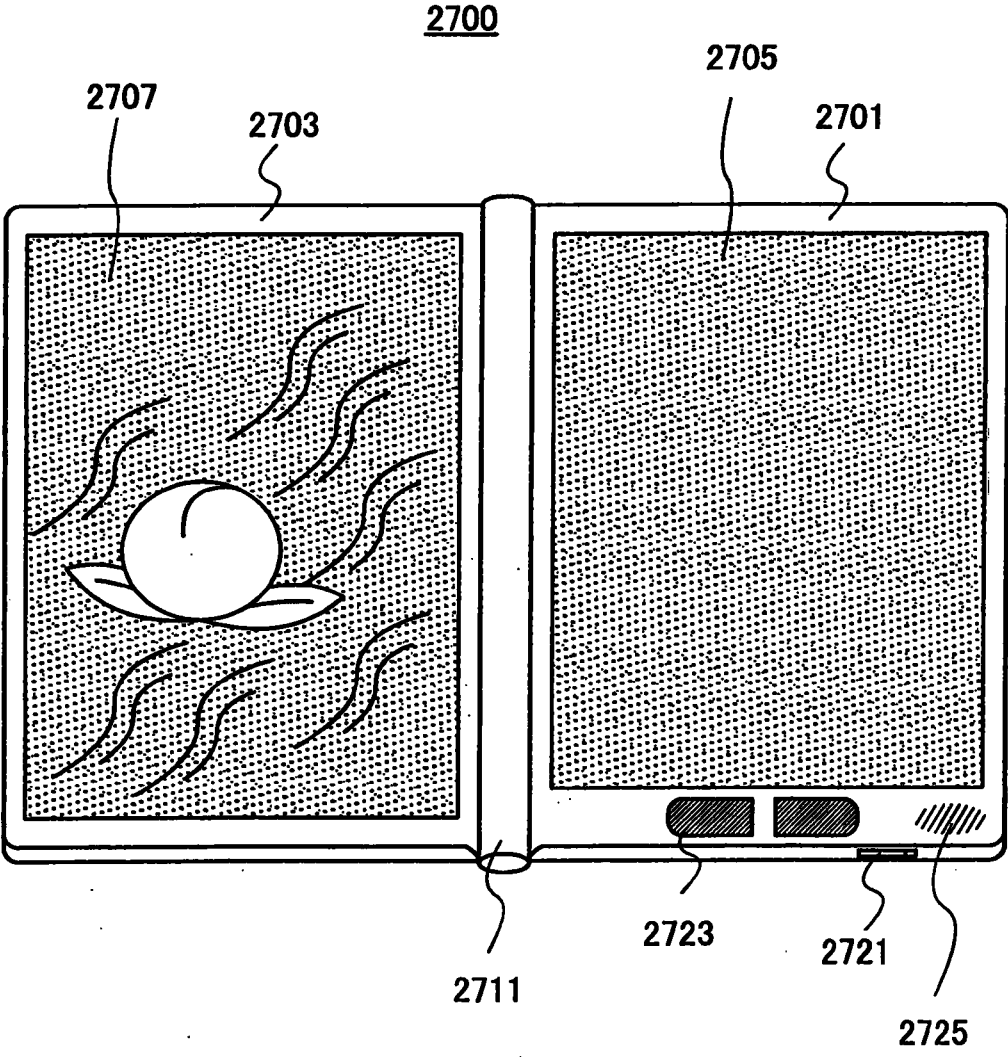


圖21A

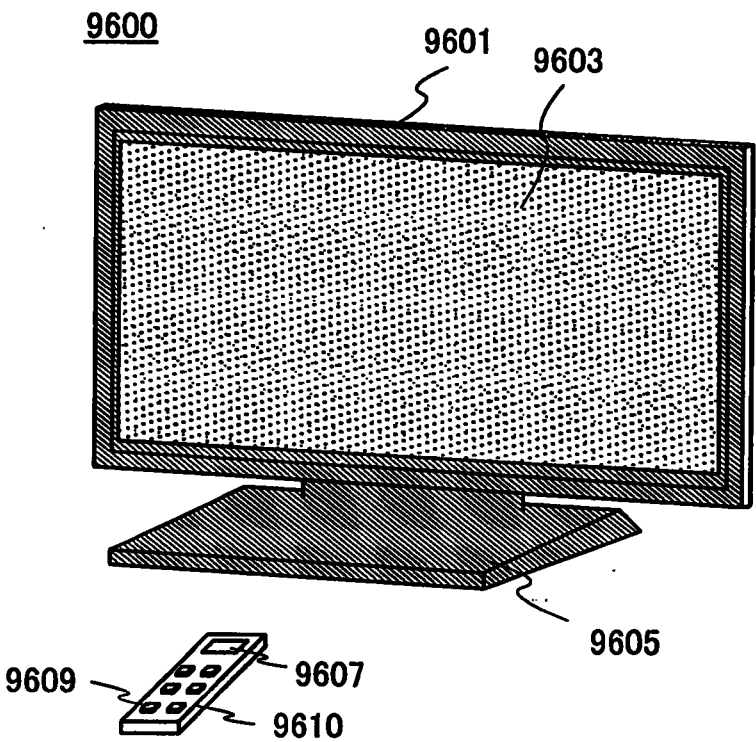


圖21B

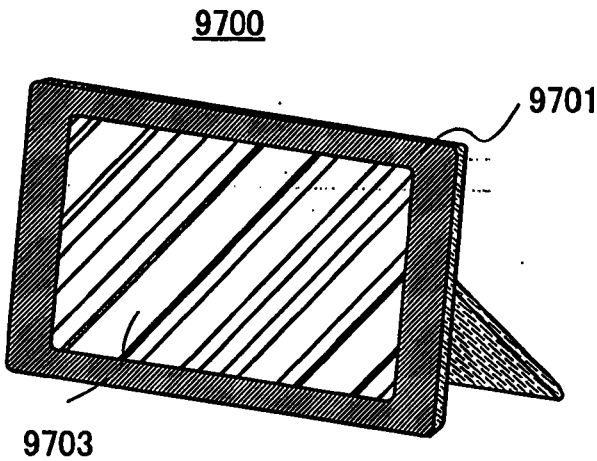


圖 22A

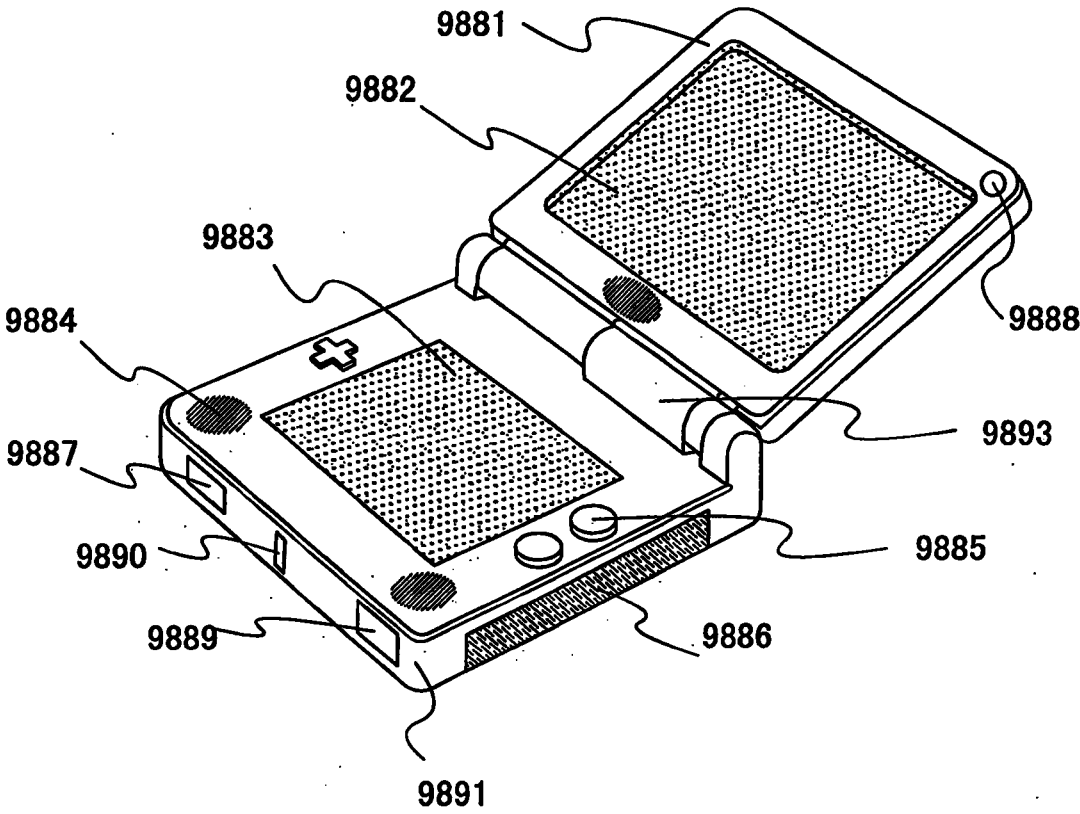


圖 22B

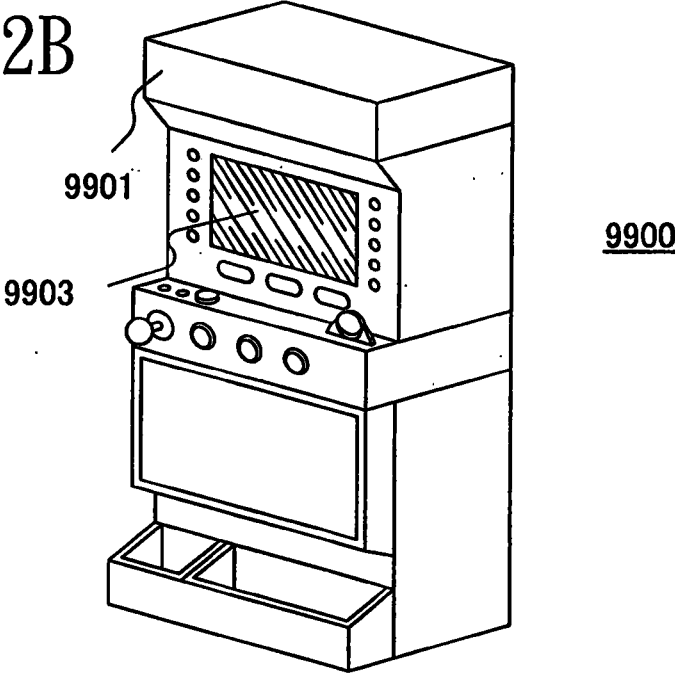


圖 23A

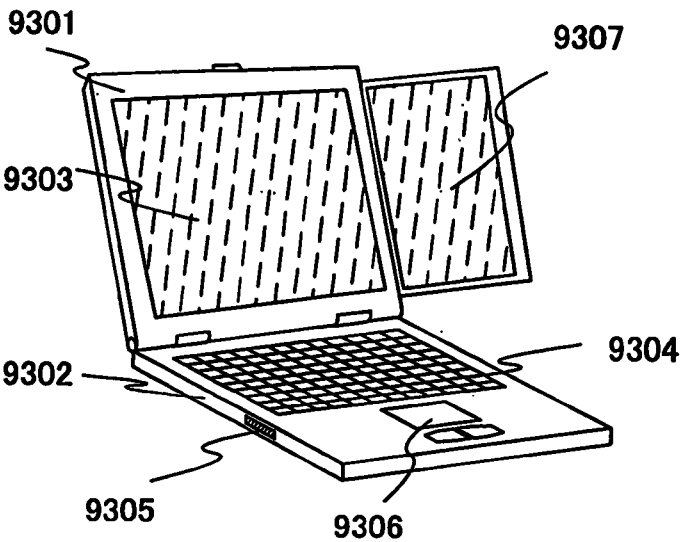


圖 23B

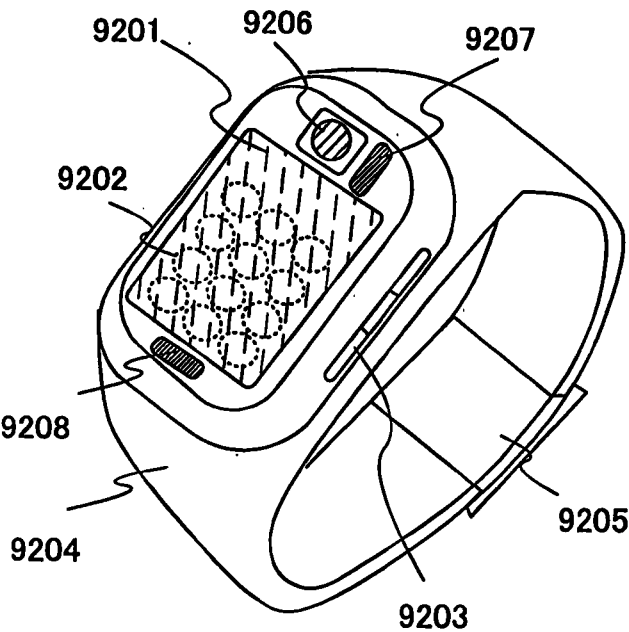


圖 26

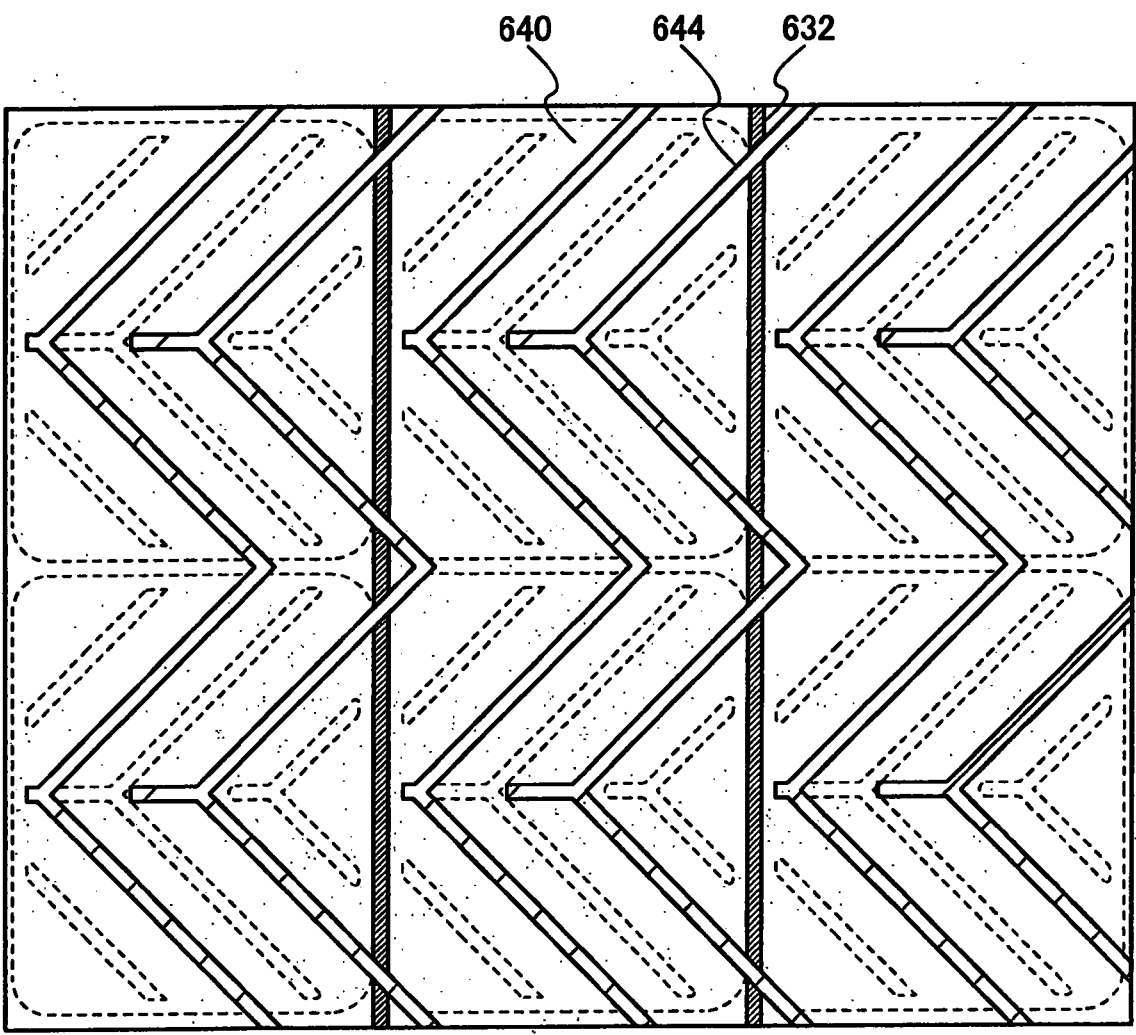


圖 27

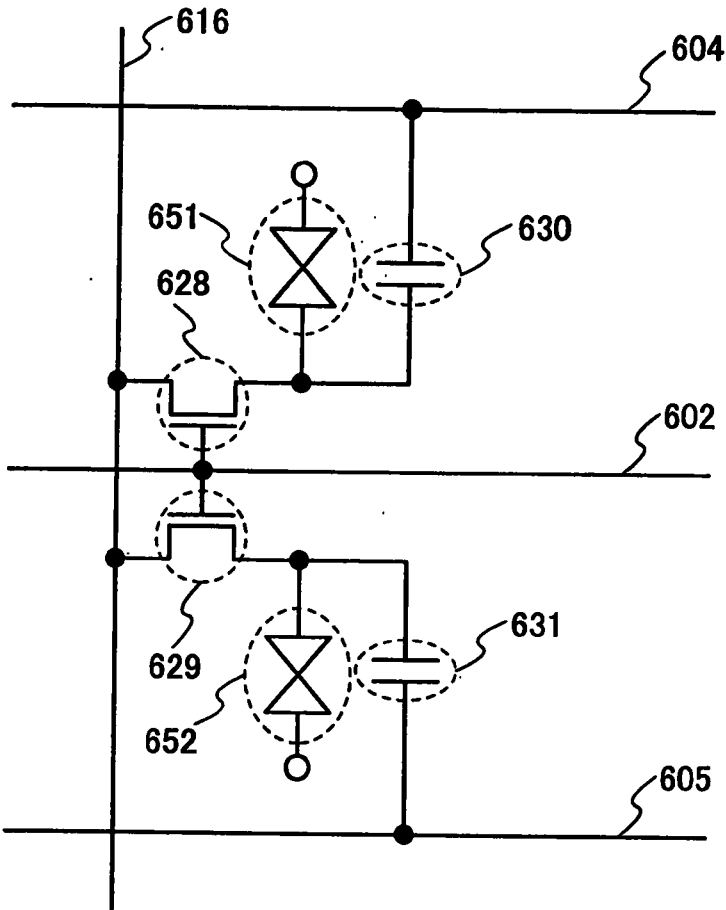


圖28

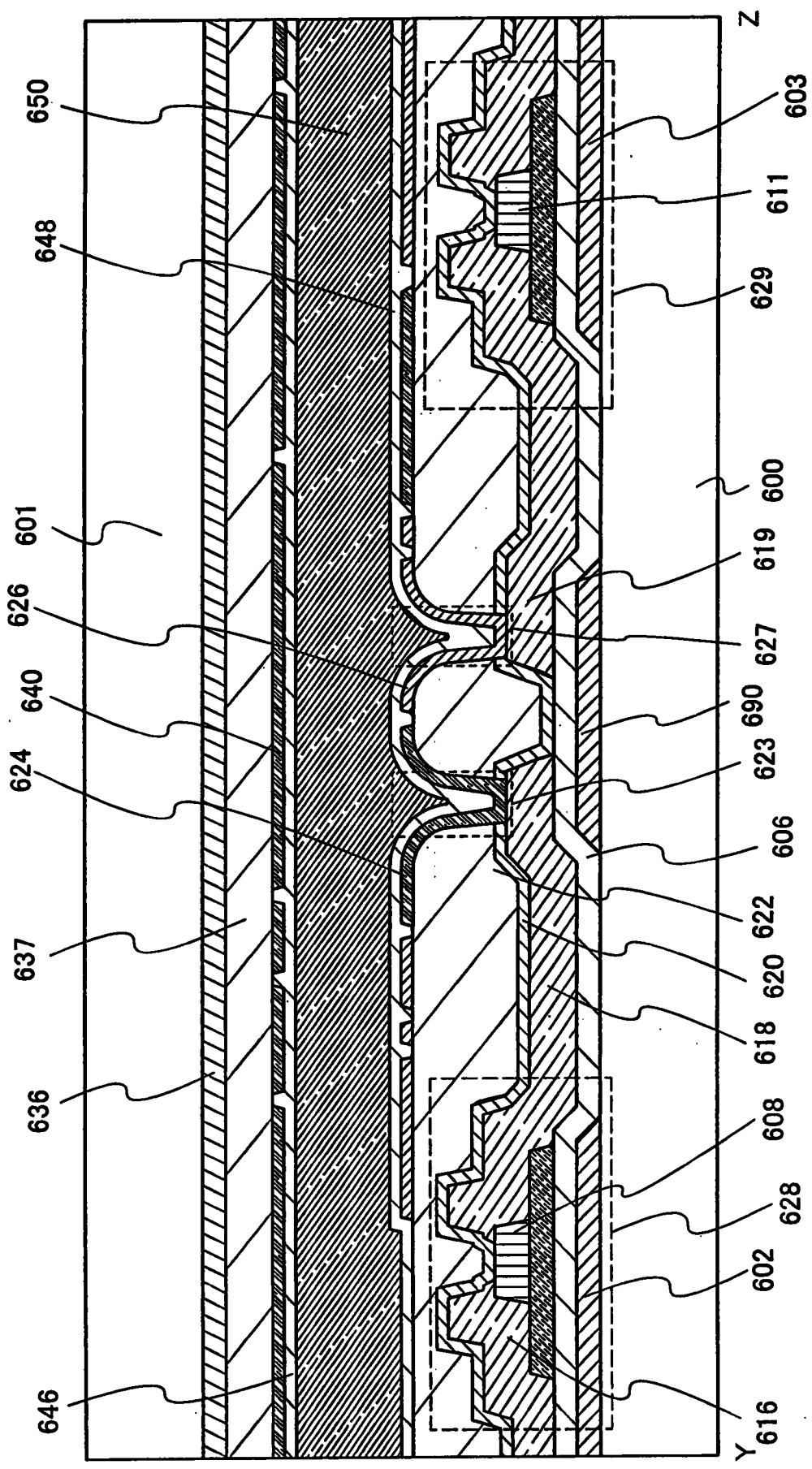


圖 29

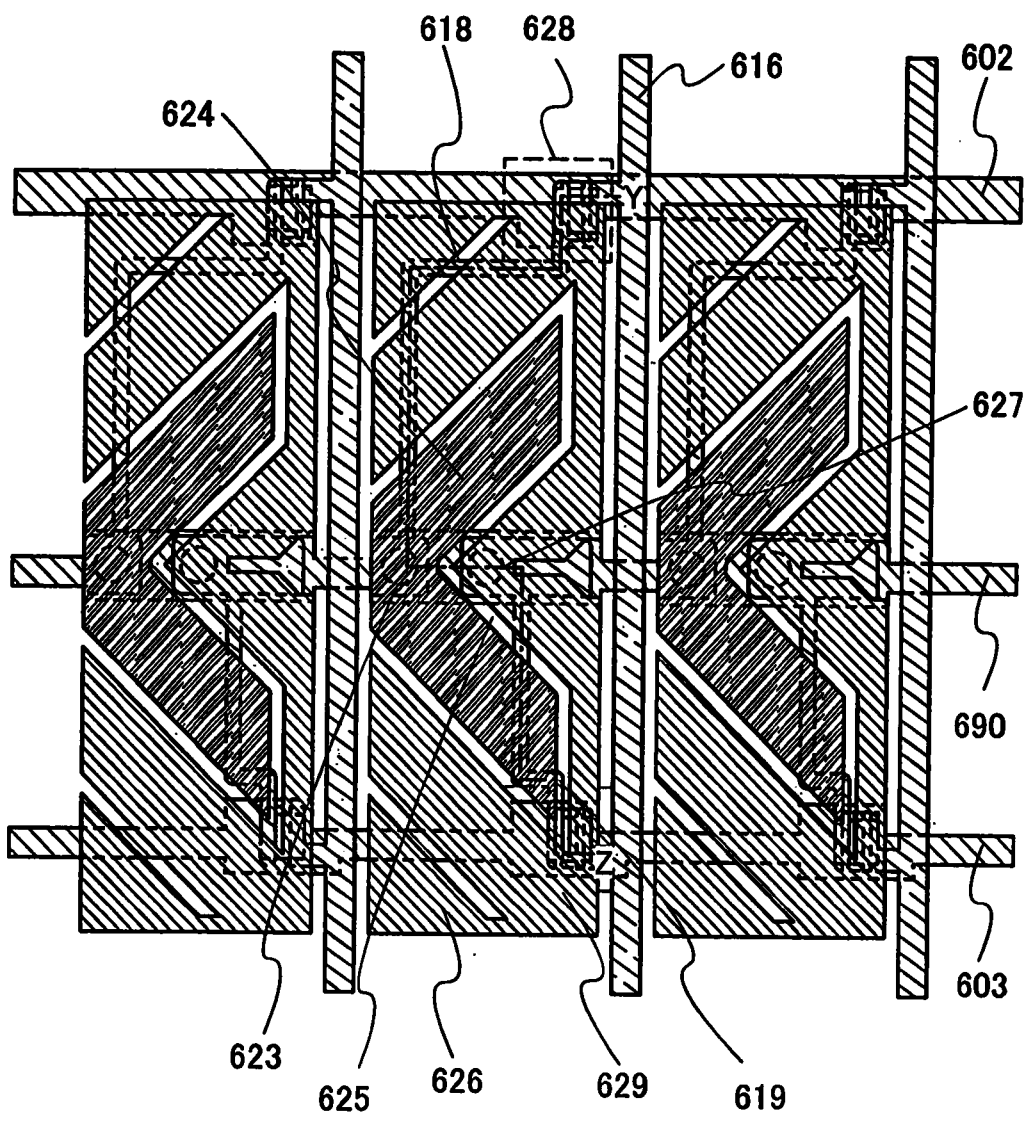


圖 30

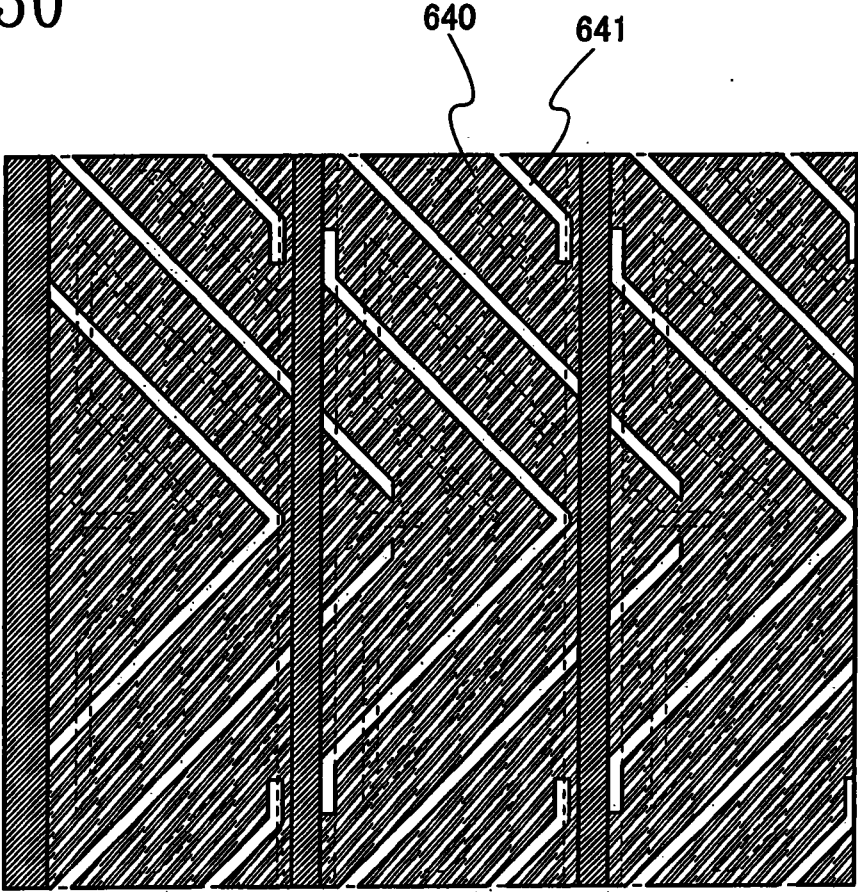


圖31

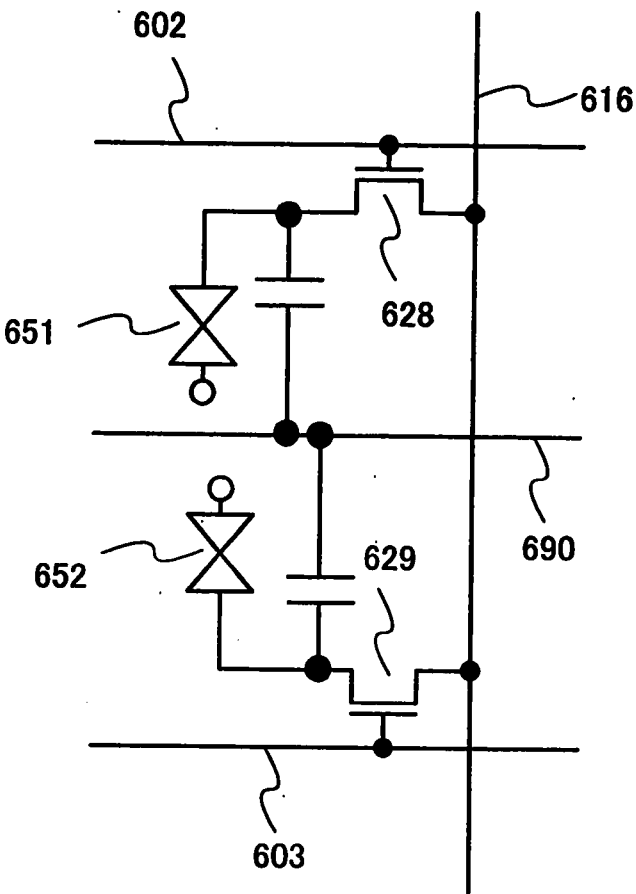


圖32

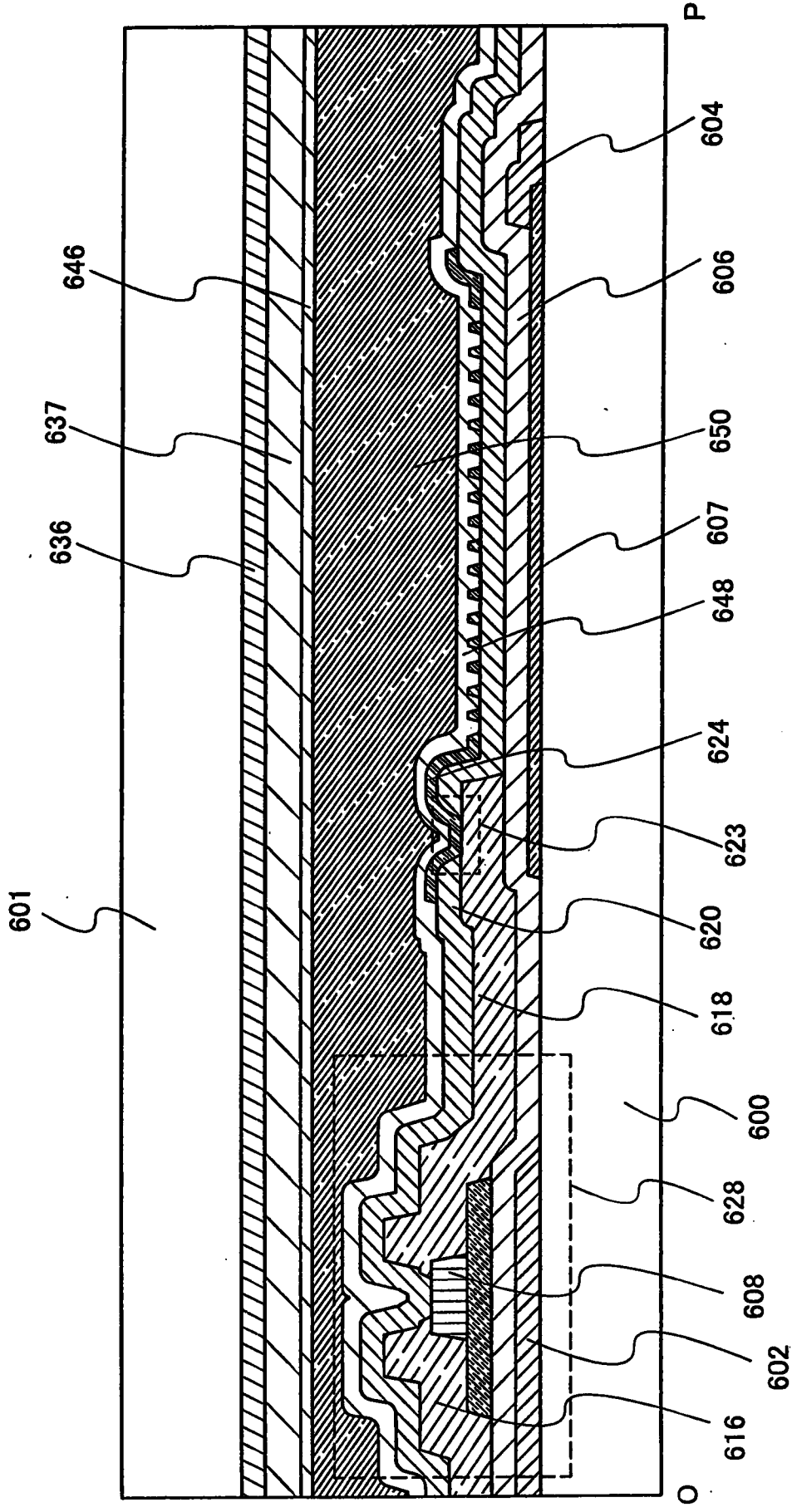


圖 33

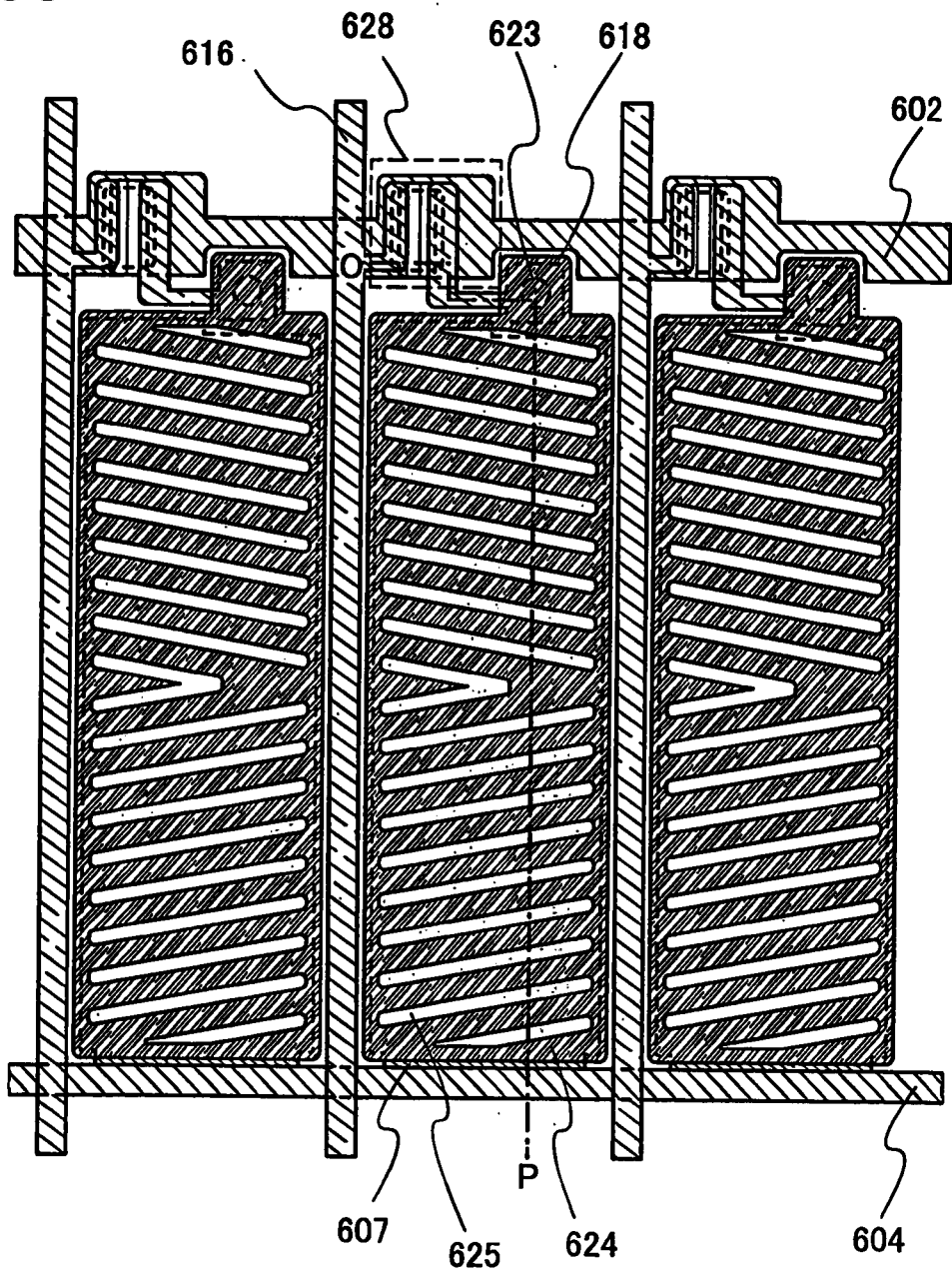


圖34

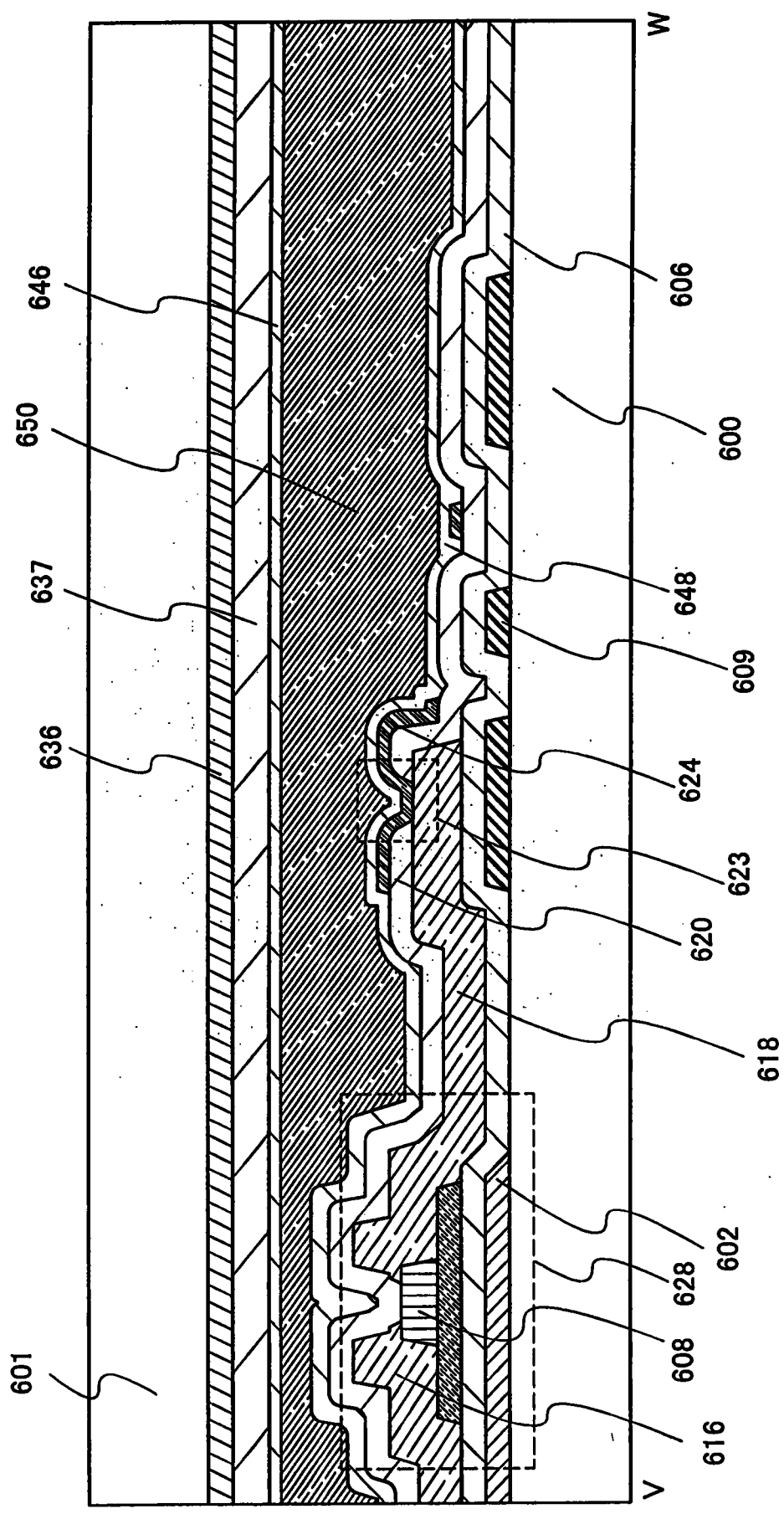


圖 35

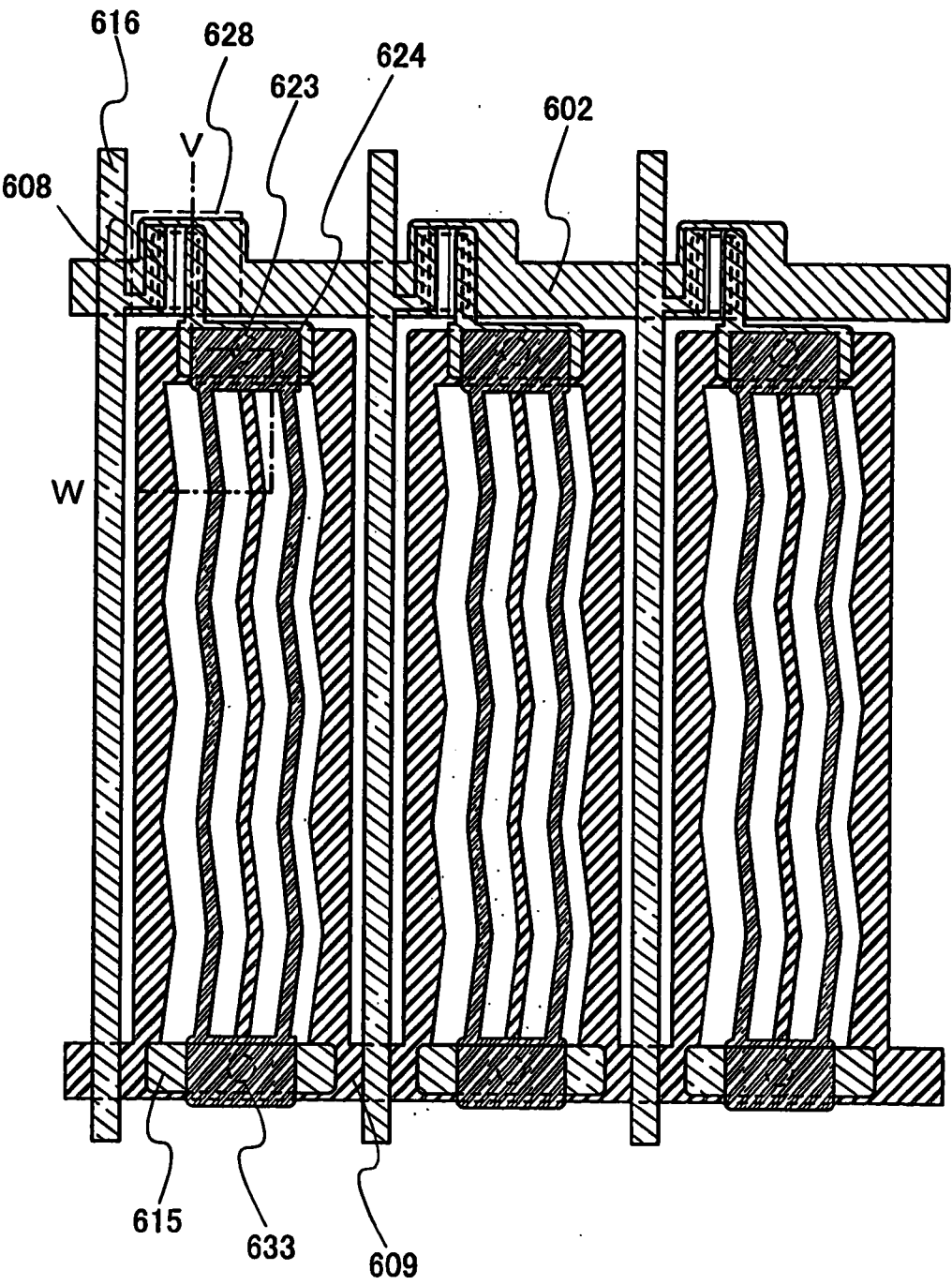


圖36

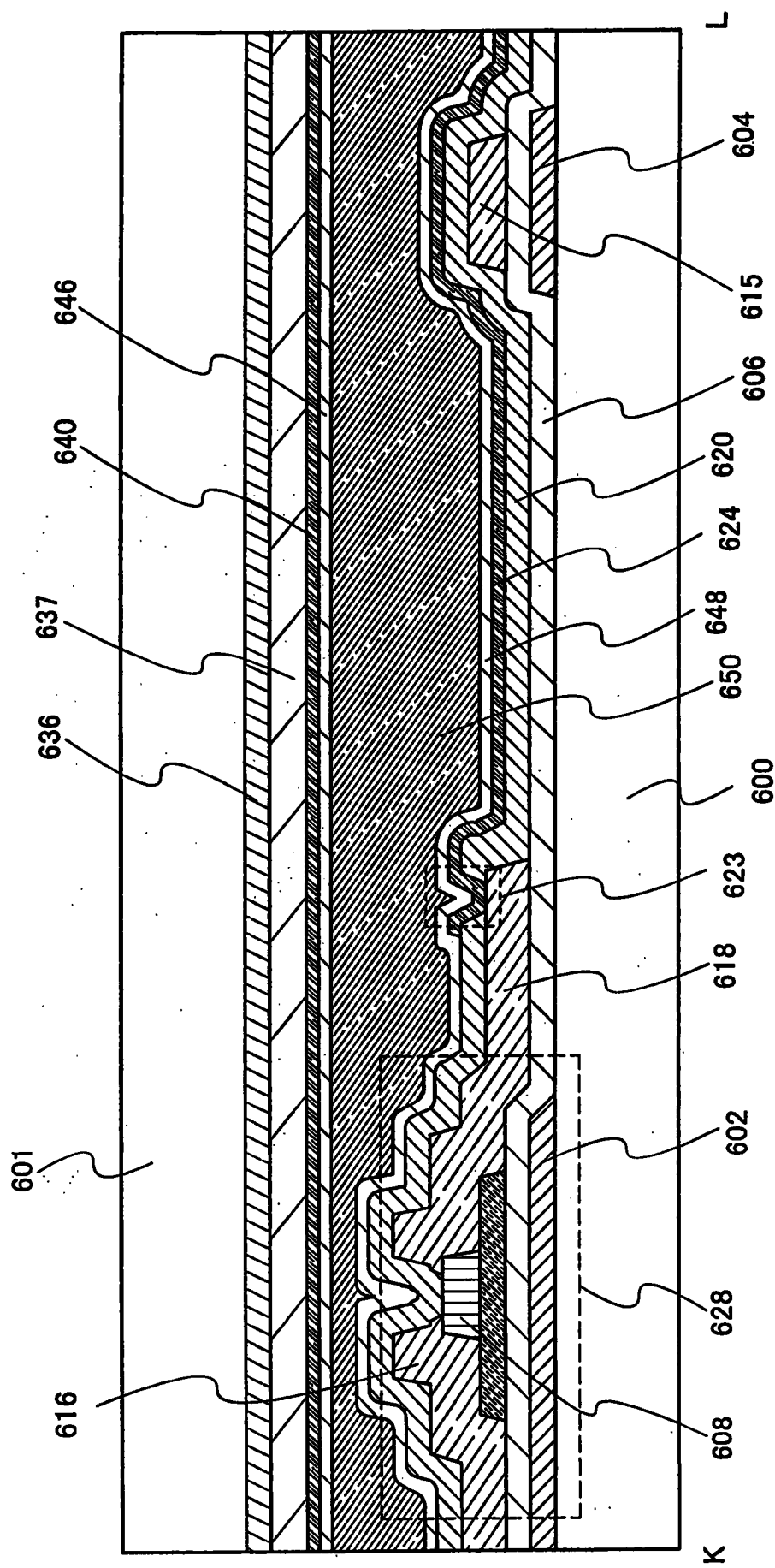


圖 38

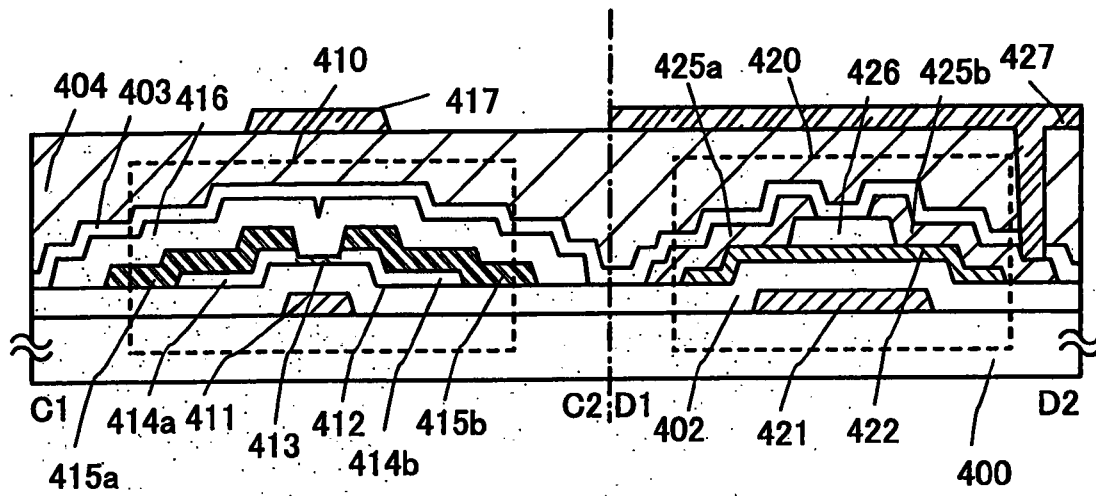


圖 39A

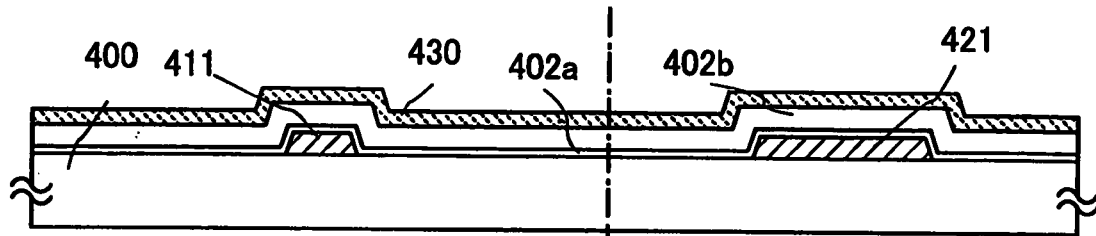


圖 39B

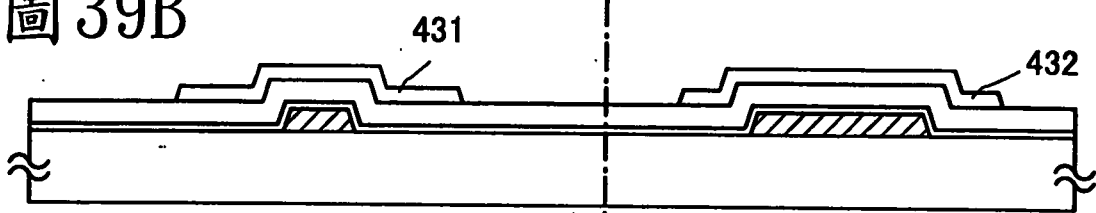


圖 39C

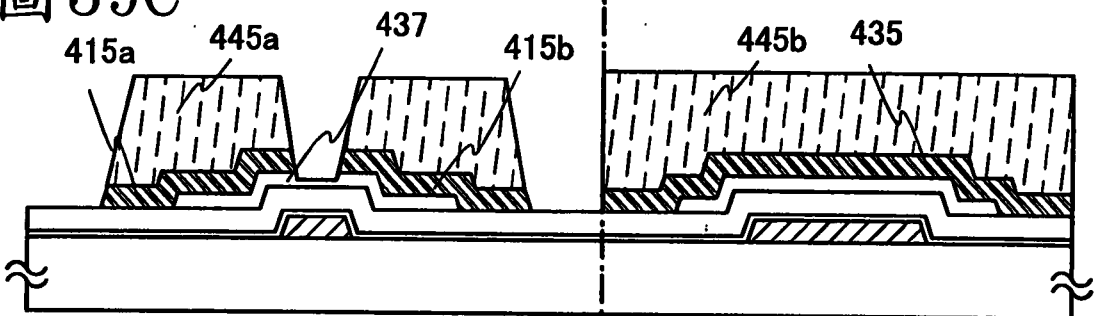


圖 39D

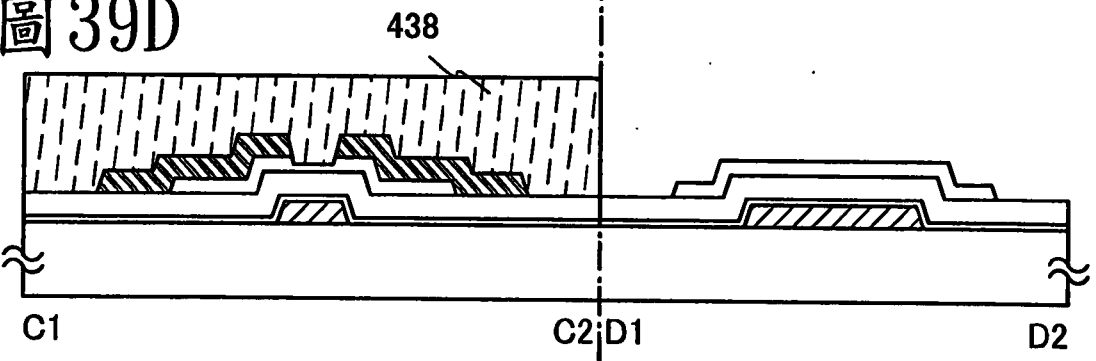


圖 40A

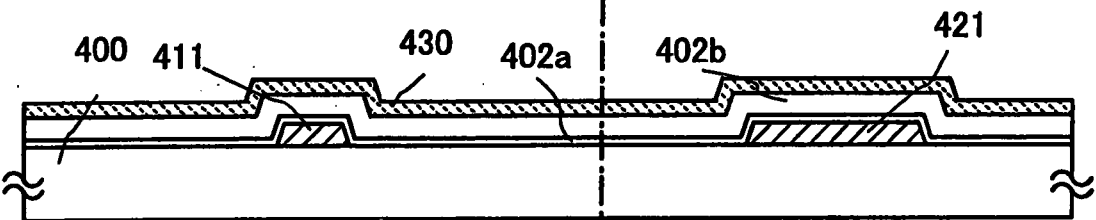


圖 40B

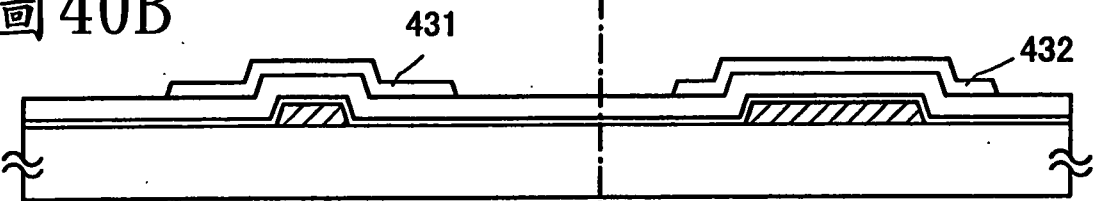
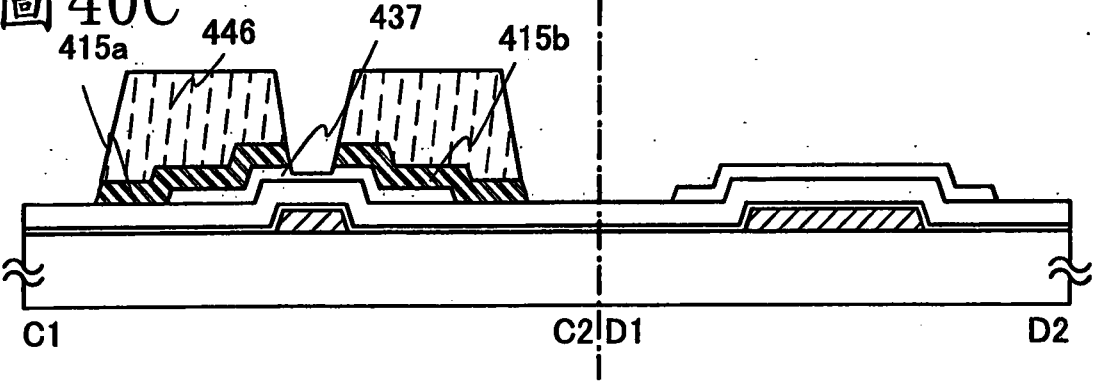


圖 40C



【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

- 400：基底
- 402a：第一閘極絕緣層
- 402b：第二閘極絕緣層
- 403：保護絕緣層
- 404：平坦化絕緣層
- 410：薄膜電晶體
- 411：閘極電極層
- 412：氧化物半導體層
- 413：通道形成區
- 414a：高電阻汲極區
- 414b：高電阻汲極區
- 415a：源極電極層
- 415b：汲極電極層
- 416：氧化物絕緣層
- 417：導電層
- 420：薄膜電晶體
- 421：閘極電極層
- 422：氧化物半導體層
- 425a：源極電極層
- 425b：汲極電極層
- 426：氧化物絕緣層
- 427：像素電極層
- C1、C2：線段
- D1、D2：線段

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無