



(12) 发明专利申请

(10) 申请公布号 CN 101859539 A

(43) 申请公布日 2010. 10. 13

(21) 申请号 201010163563. 4

(22) 申请日 2010. 04. 16

(71) 申请人 友达光电股份有限公司

地址 中国台湾新竹市

(72) 发明人 周佳伶

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 史新宏

(51) Int. Cl.

G09G 3/32(2006. 01)

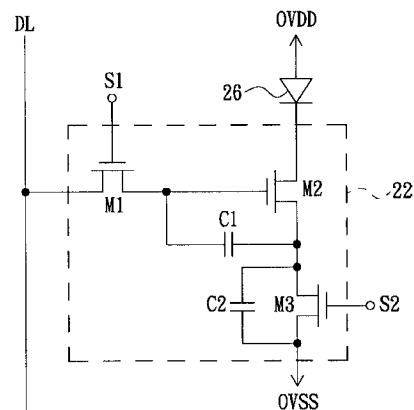
权利要求书 2 页 说明书 6 页 附图 7 页

(54) 发明名称

电流驱动元件的驱动电路以及驱动方法

(57) 摘要

一种适用驱动具有第一端与第二端的电流驱动元件的驱动电路,其中电流驱动元件的第一端电性耦接至第一预设电位。驱动电路包括开关模块、第一电容及第二电容。开关模块电性耦接于数据线、电流驱动元件的第二端及第二预设电位,用以决定是否使电流流过电流驱动元件;第一电容的第一端与第二端分别电性耦接于开关模块中的不同节点,且第一电容的第一端因电性耦接关系而在特定期间接收数据线上的电位;第二电容的第一端与第一电容的第二端电性耦接,且第二电容的第二端电性耦接至第二预设电位。本发明还提供适用于前述驱动电路的驱动方法。



1. 一种驱动电路,适于驱动电流驱动元件,该电流驱动元件具有第一端与第二端,且该电流驱动元件的该第一端电性耦接至第一预设电位,该驱动电路具有多个开关,每一该多个开关具有控制端、第一通路端与第二通路端,该驱动电路包括:

第一开关,该第一开关的该控制端电性耦接至第一控制信号,并根据该第一控制信号而决定是否将一数据线上的电位从该第一开关的该第一通路端传递至该第一开关的该第二通路端;

第二开关,该第二开关的该控制端电性耦接至该第一开关的该第二通路端,该第二开关的该第一通路端电性耦接至该电流驱动元件的该第二端;

第三开关,该第三开关的该控制端电性耦接至第二控制信号,该第三开关的该第一通路端电性耦接至该第二开关的该第二通路端,且该第三开关的该第二通路端电性耦接至第二预设电位;

第一电容,两端分别电性耦接于该第二开关的该控制端与该第二开关的该第二通路端;以及

第二电容,两端分别电性耦接于该第三开关的该第一通路端与该第三开关的该第二通路端。

2. 根据权利要求1所述的驱动电路,其中该第二电容的电容值大于该第一电容的电容值。

3. 根据权利要求1所述的驱动电路,其中该第一开关、该第二开关与该第三开关皆为N型晶体管。

4. 根据权利要求1所述的驱动电路,其中该第一开关与该第三开关为N型晶体管,该第二开关为P型晶体管。

5. 根据权利要求1所述的驱动电路,其中该第一开关、该第二开关与该第三开关皆为P型晶体管。

6. 一种电流驱动元件的驱动方法,适用于如权利要求1所述的驱动电路,该驱动方法包括:

在第一时间点,该第一开关、该第二开关及该第三开关皆导通,使该数据线上的预充电电位开始被传递至该第一电容的该第一端;

在第二时间点,该第一开关及该第二开关导通而该第三开关截止,开始使该第二预设电位停止被导入至该驱动电路内部;

在第三时间点,该第一开关导通而该第三开关截止,开始调整该数据线上的电位为写入数据电位后,该第二开关开始导通;以及

在第四时间点之后,该第一开关截止而该第二开关及该第三开关导通,使该数据线上的电位停止被传递至该第一电容的该第一端、使该第二预设电位开始被导入至该驱动电路内部,且使该数据线上的电位回到该预充电电位,

其中,该第二时间点晚于该第一时间点,该第三时间点晚于该第二时间点,且该第四时间点晚于该第三时间点。

7. 一种驱动电路,适于驱动电流驱动元件,该电流驱动元件具有第一端与第二端,且该电流驱动元件的该第一端电性耦接至第一预设电位,该驱动电路包括:

开关模块,电性耦接于数据线、该电流驱动元件的该第二端及第二预设电位,该开关模

块用以决定是否使电流流过该电流驱动元件；

第一电容,具有第一端与第二端,该第一电容的该第一端与该第二端分别电性耦接于该开关模块中的不同节点,且该第一电容的该第一端因电性耦接关系而在特定期间接收该数据线上的电位;以及

第二电容,具有第一端与第二端,该第二电容的该第一端与该第一电容的该第二端相电性耦接,该第二电容的该第二端电性耦接至该第二预设电位。

8. 根据权利要求7所述的驱动电路,其中该第二电容的电容值大于该第一电容的电容值。

9. 根据权利要求7所述的驱动电路,其中该开关模块具有多个开关,且每一该多个开关分别具有控制端、第一通路端与第二通路端,该开关模块包括:

第一开关,该第一开关的该控制端电性耦接至第一控制信号,并根据该第一控制信号而决定是否将该数据线上的电位从该第一开关的该第一通路端传递至该第一开关的该第二通路端;

第二开关,该第二开关的该控制端电性耦接至该第一开关的该第二通路端,该第二开关的该第一通路端电性耦接至该电流驱动元件的该第二端;

第三开关,该第三开关的该控制端电性耦接至第二控制信号,该第三开关的该第一通路端电性耦接至该第二开关的该第二通路端,且该第三开关的该第二通路端电性耦接至该第二预设电位。

10. 根据权利要求9所述的驱动电路,其中该第一电容的该第一端与该第二端分别电性耦接于该第二开关的该控制端与该第二开关的该第二通路端,而该第二电容的该第一端与该第二端则分别电性耦接于该第二开关的该第二通路端与该第三开关的该第二通路端。

电流驱动元件的驱动电路以及驱动方法

技术领域

[0001] 本发明是有关于显示技术领域,且特别是有关于适用于驱动电流驱动元件的驱动电路以及驱动方法。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,OLED)显示器的像素一般是以晶体管搭配储存电容来储存电荷,以控制有机发光二极管的亮度表现;其中有机发光二极管是一种电流驱动元件,其根据流经的电流大小不同而产生不同程度的亮光。请参见图1,其绘示为传统像素电路的示意图。像素电路10包括驱动电路12以及有机发光二极管16;驱动电路12用以控制有机发光二极管16的亮度表现,且为二晶体管一电容(2T1C)架构。具体地,驱动电路12包括N型晶体管M1、P型晶体管M2以及电容C1;N型晶体管M1的漏极电性耦接至数据线DL,N型晶体管M1的栅极接受控制信号SCAN的控制以决定是否使数据线DL上的写入数据电位传递至N型晶体管M1的源极;P型晶体管M2的栅极电性耦接至N型晶体管M1的源极,P型晶体管M2的源极电性耦接至电源电位OVDD,P型晶体管M2的漏极电性耦接至有机发光二极管16的正极,有机发光二极管16的负极电性耦接至另一电源电位OVSS;电容C1的两端跨接于P型晶体管M2的栅极与源极之间。

[0003] 然而,对于有机发光二极管显示器的各个像素电路,由于制程的影响,各个像素电路的晶体管的临界电压并非完全相同,使得即使给予相同的写入数据电位,不同像素电路中流经有机发光二极管16的电流仍有差异,导致显示器亮度不均匀。

发明内容

[0004] 本发明的目的是提供一种适于驱动电流驱动元件的驱动电路,以改善因晶体管的临界电压差异所造成的亮度不均匀问题。

[0005] 本发明的再一目的是提供一种适于驱动电流驱动元件的驱动方法,以改善因晶体管的临界电压差异所造成的亮度不均匀问题。

[0006] 本发明实施例提出的一种驱动电路,适于驱动电流驱动元件。其中,电流驱动元件具有第一端与第二端,且电流驱动元件的第一端电性耦接至第一预设电位。驱动电路具有多个开关,每一开关具有控制端、第一通路端与第二通路端。具体地,驱动电路包括第一开关、第二开关、第三开关、第一电容以及第二电容;第一开关的控制端电性耦接至第一控制信号,并根据第一控制信号而决定是否将数据线上的电位从第一开关的第一通路端传递至第一开关的第二通路端;第二开关的控制端电性耦接至第一开关的第二通路端,第二开关的第一通路端电性耦接至电流驱动元件的第二端;第三开关的控制端电性耦接至第二控制信号,第三开关的第一通路端电性耦接至第二开关的第二通路端,且第三开关的第二通路端电性耦接至第二预设电位;第一电容的两端分别电性耦接于第二开关的控制端与第二开关的第二通路端;第二电容的两端分别电性耦接于第三开关的第一通路端与第三开关的第二通路端。

[0007] 在本发明的一实施例中,上述的第二电容的电容值大于第一电容的电容值。

[0008] 在本发明的一实施例中,上述的第一开关、第二开关与第三开关皆为 N 型晶体管。

[0009] 在本发明的一实施例中,上述的第一开关与第三开关为 N 型晶体管,第二开关为 P 型晶体管。

[0010] 在本发明的一实施例中,上述的第一开关、第二开关与第三开关皆为 P 型晶体管。

[0011] 本发明实施例提出的一种电流驱动元件的驱动方法,适用于上述的驱动电路。本实施例中的驱动方法包括步骤:(1)在第一时间点,第一开关、第二开关及第三开关皆导通,使数据线上的预充电电位开始被传递至第一电容的第一端;(2)在第二时间点,第一开关及第二开关导通而第三开关截止,开始使第二预设电位停止被导入至驱动电路内部;(3)在第三时间点,第一开关导通而第三开关截止,开始调整数据线上的电位为写入数据电位后,第二开关开始导通;以及在第四时间点之后,第一开关截止而第二开关及第三开关导通,使数据线上的电位停止被传递至第一电容的第一端、使第二预设电位开始被导入至驱动电路内部,且使数据线上的电位回到预充电电位。其中,第二时间点晚于第一时间点,第三时间点晚于第二时间点,且第四时间点晚于第三时间点。

[0012] 本发明另一实施例提出的驱动电路,适于驱动电流驱动元件。其中,电流驱动元件具有第一端与第二端,且电流驱动元件的第一端电性耦接至第一预设电位;驱动电路包括开关模块、第一电容以及第二电容。开关模块电性耦接于数据线、电流驱动元件的第二端以及第二预设电位,用以决定是否使电流流过电流驱动元件;第一电容具有第一端与第二端,第一电容的第一端与第二端分别电性耦接于开关模块中的不同节点,且第一电容的第一端因电性耦接关系而在特定期间接收数据线上的电位;第二电容具有第一端与第二端,第二电容的第一端与第一电容的第二端相电性耦接,第二电容的第二端电性耦接至第二预设电位。

[0013] 在本发明的一实施例中,上述的第二电容的电容值大于第一电容的电容值。

[0014] 在本发明的一实施例中,上述的开关模块具有多个开关,且每一开关分别具有控制端、第一通路端与第二通路端。具体地,开关模块包括第一开关、第二开关以及第三开关;第一开关的控制端电性耦接至第一控制信号,并根据第一控制信号而决定是否将数据线上的电位从第一开关的第一通路端传递至第一开关的第二通路端;第二开关的控制端电性耦接至第一开关的第二通路端,第二开关的第一通路端电性耦接至电流驱动元件的第二端;第三开关的控制端电性耦接至第二控制信号,第三开关的第一通路端电性耦接至第二开关的第二通路端,且第三开关的第二通路端电性耦接至第二预设电位。

[0015] 在本发明的一实施例中,上述的第一电容的第一端与第二端分别电性耦接于第二开关的控制端与第二开关的第二通路端,而第二电容的第一端与第二端则分别电性耦接于第二开关的第二通路端与第三开关的第二通路端。

[0016] 本发明实施例通过对驱动电路的结构配置进行设计,使驱动电路包括三个开关例如晶体管以及两个电容,以致于流经电流驱动元件例如有机发光二极管的电流大小于发光阶段与晶体管的临界电压大小无关,排除了晶体管制程因素对流经有机发光二极管的电流的影响。

[0017] 为了让本发明的上述和其它目的、特征和优点能更明显易懂,下文特举较佳实施例,并配合所附图式,作详细说明如下。

附图说明

- [0018] 图 1 绘示传统像素电路的示意图。
- [0019] 图 2 绘示相关于本发明实施例的一种驱动电路与有机发光二极管的电连接关系。
- [0020] 图 3 绘示相关于图 2 所示驱动电路的多个信号的时序图。
- [0021] 图 4(a) 绘示相关于图 1 所示驱动电路驱动有机发光二极管的效果模拟图。
- [0022] 图 4(b) 绘示相关图 2 所示驱动电路于电容 C2 的电容值大于电容 C1 的电容值时驱动有机发光二极管的效果模拟图。
- [0023] 图 4(c) 绘示相关图 2 所示驱动电路于电容 C2 的电容值等于电容 C1 的电容值时驱动有机发光二极管的效果模拟图。
- [0024] 图 4(d) 绘示相关图 2 所示驱动电路不设置电容 C2 时驱动有机发光二极管的效果模拟图。
- [0025] 图 5 绘示相关于本发明实施例的再一种驱动电路与有机发光二极管的电连接关系。
- [0026] 图 6 绘示相关于本发明实施例的又一种驱动电路与有机发光二极管的电连接关系。
- [0027] 图 7 绘示相关于图 6 所示驱动电路的多个信号的时序图。
- [0028] [主要元件标号说明]
- | | |
|-----------------------------|-------------------|
| [0029] 10 :像素电路 | 12、22、32、42 :驱动电路 |
| [0030] 16、26、36、46 :有机发光二极管 | M1、M2、M3 :晶体管 |
| [0031] C1、C2 :电容 | DL :数据线 |
| [0032] SCAN :控制信号 | OVDD、OVSS :电源电位 |
| [0033] S1、S2 :控制信号 | Data :数据信号 |

具体实施方式

[0034] 参见图 2,其绘示出相关于本发明实施例的一种驱动电路与有机发光二极管的电连接关系。如图 2 所示,驱动电路 22 适于电流驱动元件例如有机发光二极管 26,其为三晶体管两电容 (3T2C) 架构。驱动电路 22 包括晶体管 M1、M2 及 M3 以及电容 C1 及 C2,且各个晶体管 M1、M2 及 M3 皆为 N 型晶体管。于本实施例中,晶体管 M1、M2 及 M3 皆作为开关使用,每一晶体管 M1、M2 及 M3 的栅极、漏极与源极分别为开关的控制端、第一通路端与第二通路端;并且晶体管 M1、M2 及 M3 构成用以决定是否使电流流过有机发光二极管 26 的开关模块。

[0035] 具体地,N 型晶体管 M1 的栅极电性耦接至控制信号 S1,并根据控制信号 S1 而决定是否将数据线 DL 上的电位从 N 型晶体管 M1 的漏极传递至 N 型晶体管 M1 的源极,N 型晶体管 M1 的漏极与数据线 DL 电性耦接。N 型晶体管 M2 的栅极电性耦接至 N 型晶体管 M1 的源极,N 型晶体管 M2 的漏极电性耦接至有机发光二极管 26 的负极,有机发光二极管 26 的正极电性耦接至电源电位 OVDD。N 型晶体管 M3 的栅极电性耦接至控制信号 S2,N 型晶体管 M3 的漏极电性耦接至 N 型晶体管 M2 的源极,且 N 型晶体管 M3 的源极电性耦接至另一电源电位 OVSS。电容 C1 的第一端与第二端分别电性耦接于 N 型晶体管 M2 的栅极与 N 型晶体管 M2 的源极。电容 C2 的第一端与第二端分别电性耦接于 N 型晶体管 M3 的漏极与 N 型晶

晶体管 M3 的源极。

[0036] 下面将结合图 2 与图 3 详细描述驱动电路 22 的具体作动过程,图 3 绘示出相关于驱动电路 22 的多个信号的时序图。

[0037] 具体地,在时间点 t1,控制信号 S1 跳变为高电平、控制信号 S2 为高电平、且数据线 DL 提供至 N 型晶体管 M1 的漏极的数据信号 Data 为预充电电位(以下将以 Vref 表示之),此时 N 型晶体管 M1、M2 与 M3 皆导通,使得数据线 DL 上的预充电电位 Vref 开始被传递至电容 C1 的第一端;N 型晶体管 M2 的栅极电位(以下将以 Vg 表示之)为 Vref,而 N 型晶体管 M2 的源极电位(以下将以 Vs 表示之)为 0VSS。

[0038] 在时间点 t2,控制信号 S1 为高电平、控制信号 S2 跳变为低电平、且数据线 DL 提供至 N 型晶体管 M1 的漏极的数据信号 Data 仍为预充电电位 Vref,此时 N 型晶体管 M1 及 M2 导通而 N 型晶体管 M3 截止,使得电源电位 0VSS 被停止导入至驱动电路 22 内部的 N 型晶体管 M3 的漏极;N 型晶体管 M2 的栅极电位 Vg 为 Vref,因 N 型晶体管 M2 导通,其导通电流对电容 C2 充电至 N 型晶体管 M2 的源极电位 Vs 升高达到 (Vref-Vth) 之后,晶体管 M2 截止,电流为零而不再继续充电,N 型晶体管 M2 的源极电位 Vs 被固定为 (Vref-Vth),其中 Vth 为 N 型晶体管 M2 的临界电压。

[0039] 在时间点 t3,控制信号 S1 为高电平、控制信号 S2 为低电平,N 型晶体管 M1 导通而 N 型晶体管 M3 截止,且在数据线 DL 上的预充电电位 Vref 开始调整为写入数据电位(以下将以 Vdata 表示之)后,N 型晶体管 M2 开始导通;N 型晶体管 M2 的栅极电位 Vg 为 Vdata,而 N 型晶体管 M2 的源极电位 Vs 变为 $[(Vref-Vth)+a(Vdata-Vref)]$,其中 $a = C1/(C1+C2)$ 。

[0040] 在时间点 t4 之后,发光二极管 26 处于发光阶段,控制信号 S1 为低电平、控制信号 S2 为高电平、且数据线 DL 提供至 N 型晶体管 M1 的漏极的数据信号 Data 由写入数据电位 Vdata 回到预充电电位 Vref,此时 N 型晶体管 M1 截止而 N 型晶体管 M2 及 M3 导通,使得数据线 DL 上的电位停止被传递至驱动电路 22 内部的电容 C1 的第一端;N 型晶体管 M2 的栅极电位 Vg 为 $[Vdata+0VSS-Vref+Vth-a(Vdata-Vref)]$,而 N 型晶体管 M2 的源极电位 Vs 变为 0VSS,此时流过发光二极管 26 的电流 $I_{ds} = k(V_{gs}-V_{th})^2 = k[(1-a)(Vdata-Vref)]^2$,由此可以看出,流过发光二极管 26 的电流与 N 型晶体管 M2 的临界电压 Vth 无关,排除了晶体管制程因素对流经有机发光二极管 26 的电流的影响。

[0041] 图 4(a) 绘示出相关于先前技术的驱动电路 12(如图 1 所示)驱动有机发光二极管的效果模拟图,图 4(b) 绘示出相关图 2 所示驱动电路 22 于电容 C2 的电容值大于电容 C1 的电容值时驱动有机发光二极管的效果模拟图,图 4(c) 绘示出相关图 2 所示驱动电路 22 于电容 C2 的电容值等于电容 C1 的电容值时驱动有机发光二极管的效果模拟图,图 4(d) 绘示出相关图 2 所示驱动电路 22 不设置电容 C2 时驱动有机发光二极管的效果模拟图,且于图 4(a) 至图 4(d) 中均绘示出晶体管 M2 的临界电压 Vth 为 Vt0、负漂移至 (Vt0-0.3) 以及正漂移至 (Vt0+0.3) 三种情形下 I_{ds} vs. Vdata 特性曲线。比较图 4(a) 至图 4(d) 可知,相较于先前技术而言,采用本实施例的驱动电路 22 可获得较佳的驱动效果;而于本实施例中,驱动电路配置有电容 C1 与 C2,当电容 C2 的电容值大于电容 C1 的电容值时可获得更佳的驱动效果,若不设置电容 C2 而仅设置电容 C1,流经有机发光二极管的电流 I_{ds} 随写入数据电位 Vdata 的变化小,进而导致驱动效果较差。

[0042] 在此需要说明的是,本发明实施例提供的驱动电路并不限于如图 2 所示的电路结

构配置,其还可采用其它变更设计,例如图 5 所示的电路结构配置或图 6 所示的电路结构配置,详述如下。

[0043] 具体地,图 5 绘示出相关于本发明实施例的再一种驱动电路与有机发光二极管的电连接关系。如图 5 所示,驱动电路 32 适于电流驱动元件例如有机发光二极管 36,其为三晶体管两电容 (3T2C) 架构。驱动电路 32 包括晶体管 M1、M2 及 M3 以及电容 C1 及 C2,晶体管 M1 及 M3 皆为 N 型晶体管,而晶体管 M2 为 P 型晶体管。于本实施例中,晶体管 M1、M2 及 M3 皆作为开关使用,每一晶体管 M1、M2 及 M3 的栅极、漏极与源极分别为开关的控制端、第一通路端与第二通路端;并且晶体管 M1、M2 及 M3 构成用以决定是否使电流流过有机发光二极管 36 的开关模块。

[0044] 承上述,N 型晶体管 M1 的栅极电性耦接至控制信号 S1,并根据控制信号 S1 而决定是否将数据线 DL 上的电位从 N 型晶体管 M1 的漏极传递至 N 型晶体管 M1 的源极,N 型晶体管 M1 的漏极与数据线 DL 电性耦接。P 型晶体管 M2 的栅极电性耦接至 N 型晶体管 M1 的源极,P 型晶体管 M2 的漏极电性耦接至有机发光二极管 36 的正极,有机发光二极管 36 的负极电性耦接至电源电位 OVSS。N 型晶体管 M3 的栅极电性耦接至控制信号 S2,N 型晶体管 M3 的漏极电性耦接至另一电源电位 OVDD,且 N 型晶体管 M3 的源极电性耦接至 P 型晶体管 M2 的源极。电容 C1 的两端分别电性耦接于 P 型晶体管 M2 的栅极与 P 型晶体管 M2 的源极。电容 C2 的两端分别电性耦接于 N 型晶体管 M3 的漏极与 N 型晶体管 M3 的源极。对于驱动电路 32 的具体作动过程,其与图 2 所示的驱动电路 22 的具体作动过程基本相同,故在此不再赘述。

[0045] 图 6 绘示出相关于本发明实施例的又一种驱动电路与有机发光二极管的电连接关系。如图 6 所示,驱动电路 42 适于电流驱动元件例如有机发光二极管 46,其为三晶体管两电容 (3T2C) 架构。驱动电路 42 包括晶体管 M1、M2 及 M3 以及电容 C1 及 C2,且各个晶体管 M1、M2 及 M3 皆为 P 型晶体管。于本实施例中,晶体管 M1、M2 及 M3 皆作为开关使用,每一晶体管 M1、M2 及 M3 的栅极、漏极与源极分别为开关的控制端、第一通路端与第二通路端;并且晶体管 M1、M2 及 M3 构成用以决定是否使电流流过有机发光二极管 46 的开关模块。

[0046] 具体地,P 型晶体管 M1 的栅极电性耦接至控制信号 S1,并根据控制信号 S1 而决定是否将数据线 DL 上的电位从 P 型晶体管 M1 的源极传递至 P 型晶体管 M1 的漏极,P 型晶体管 M1 的源极与数据线 DL 电性耦接。P 型晶体管 M2 的栅极电性耦接至 P 型晶体管 M1 的漏极,P 型晶体管 M2 的漏极电性耦接至有机发光二极管 46 的正极,有机发光二极管 46 的负极电性耦接至电源电位 OVSS。P 型晶体管 M3 的栅极电性耦接至控制信号 S2,P 型晶体管 M3 的漏极电性耦接至 P 型晶体管 M2 的源极,且 P 型晶体管 M3 的源极电性耦接至另一电源电位 OVDD。电容 C1 的第一端与第二端分别电性耦接于 P 型晶体管 M2 的栅极与 P 型晶体管 M2 的源极。电容 C2 的第一端与第二端分别电性耦接于 P 型晶体管 M3 的漏极与 P 型晶体管 M3 的源极。

[0047] 下面将结合图 6 与图 7 详细描述驱动电路 42 的具体作动过程,图 7 绘示出相关于驱动电路 42 的多个信号的时序图。

[0048] 具体地,在时间点 t1,控制信号 S1 跳变为低电平、控制信号 S2 为低电平、且数据线 DL 提供至 P 型晶体管 M1 的源极的数据信号 Data 为预充电电位(以下将以 Vref 表示之),此时 P 型晶体管 M1、M2 与 M3 皆导通,使得数据线 DL 上的预充电电位 Vref 开始被传递至电

容 C1 的第一端 ;P 型晶体管 M2 的栅极电位 (以下将以 V_g 表示之) 为 V_{ref} , 而晶体管 M2 的源极电位 (以下将以 V_s 表示之) 为 $OVDD$ 。

[0049] 在时间点 t_2 , 控制信号 S1 为低电平、控制信号 S2 跳变为高电平、且数据线 DL 提供至 P 型晶体管 M1 的源极的数据信号 Data 仍为预充电电位 V_{ref} , 此时 P 型晶体管 M1 及 M2 导通而 P 型晶体管 M3 截止, 使得电源电位 $OVDD$ 被停止导入至驱动电路 42 内部的 P 型晶体管 M3 的漏极 ;P 型晶体管 M2 的栅极电位 V_g 为 V_{ref} , 因 P 型晶体管 M2 导通, 其导通电流对电容 C2 充电至 P 型晶体管 M2 的源极电位 V_s 升高达到 $(V_{ref}+V_{th})$ 之后, P 型晶体管 M2 截止, 电流为零而不再继续充电, P 型晶体管 M2 的源极电位 V_s 被固定为 $(V_{ref}+V_{th})$, 其中 V_{th} 为 P 型晶体管 M2 的临界电压。

[0050] 在时间点 t_3 , 控制信号 S1 为低电平、控制信号 S2 为高电平, P 型晶体管 M1 导通而 P 型晶体管 M3 截止, 且在数据线 DL 上的预充电电位 V_{ref} 开始调整为写入数据电位 (以下将以 V_{data} 表示之) 后, P 型晶体管 M2 开始导通 ;P 型晶体管 M2 的栅极电位 V_g 为 V_{data} , 而 P 型晶体管 M2 的源极电位 V_s 变为 $[(V_{ref}+V_{th})+a(V_{data}-V_{ref})]$, 其中 $a = C1/(C1+C2)$ 。

[0051] 在时间点 t_4 之后, 发光二极管 46 处于发光阶段, 控制信号 S1 为高电平、控制信号 S2 为低电平、且数据线 DL 提供至 P 型晶体管 M1 的源极的数据信号 Data 由写入数据电位 V_{data} 回到预充电电位 V_{ref} , 此时 P 型晶体管 M1 截止而 P 型晶体管 M2 及 M3 导通, 使得数据线 DL 上的电位停止被传递至驱动电路 42 内部的电容 C1 的第一端 ;P 型晶体管 M2 的栅极电位 V_g 为 $[V_{data}+OVDD-V_{ref}-V_{th}-a(V_{data}-V_{ref})]$, 而 P 型晶体管 M2 的源极电位 V_s 变为 $OVDD$, 此时流过发光二极管 46 的电流 $I_{ds} = k(V_{sg}-V_{th})^2 = k[(1-a)(V_{ref}-V_{data})]^2$, 由此可以看出, 流过发光二极管 46 的电流与 P 型晶体管 M2 的临界电压 V_{th} 无关, 排除了晶体管制程因素对流经有机发光二极管 46 的电流的影响。

[0052] 综上所述, 本发明实施例通过对驱动电路的结构配置进行设计, 使驱动电路包括三个开关例如晶体管以及两个电容, 以致于流经电流驱动元件例如有机发光二极管的电流大小于发光阶段与晶体管的临界电压大小无关, 排除了晶体管制程因素对流经有机发光二极管的电流的影响。

[0053] 此外, 任何本领域技术人员还可对本发明上述实施例提出的驱动电路以及驱动方法作适当变更, 例如适当变更晶体管的种类 (P 型或 N 型)、将各个晶体管的源极与漏极的电连接关系互换等等。

[0054] 虽然本发明已以较佳实施例揭露如上, 然其并非用以限定本发明, 任何本领域技术人员, 在不脱离本发明的精神和范围内, 当可作些许的更动与润饰, 因此本发明的保护范围当视所附的权利要求范围所界定者为准。

10

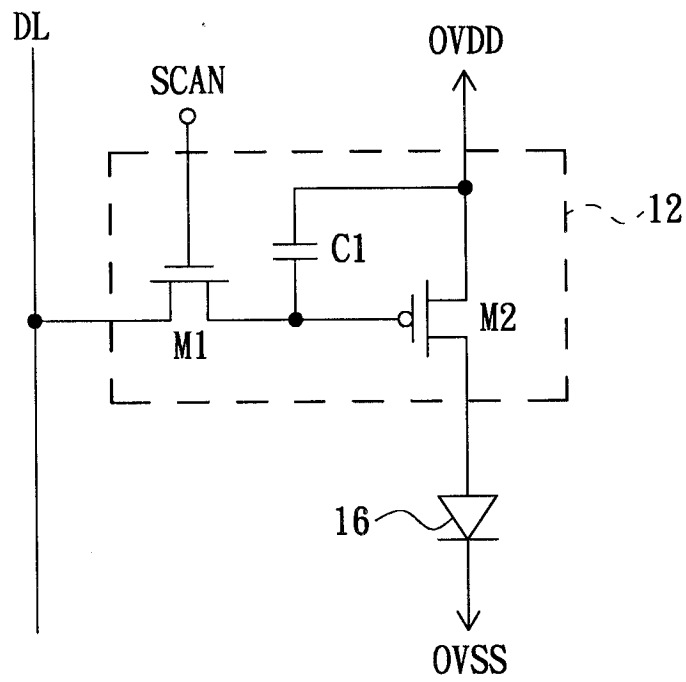


图 1

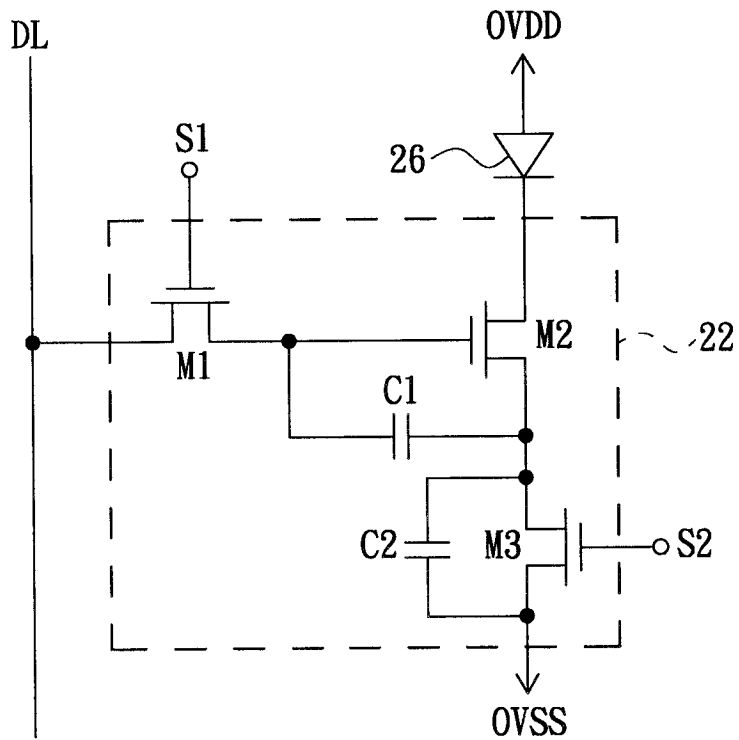


图 2

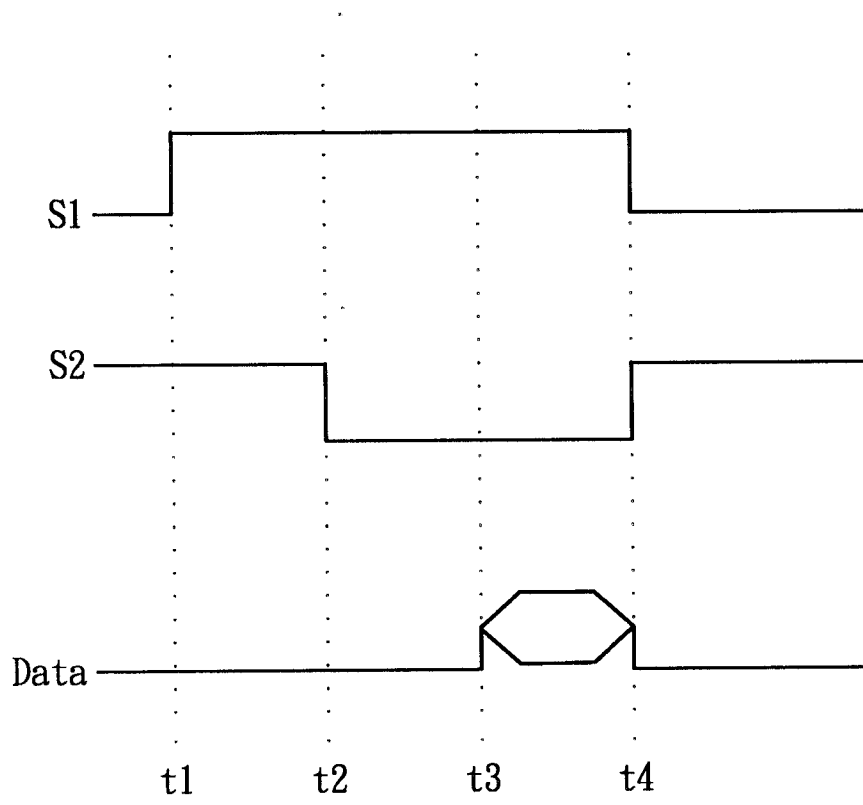


图 3

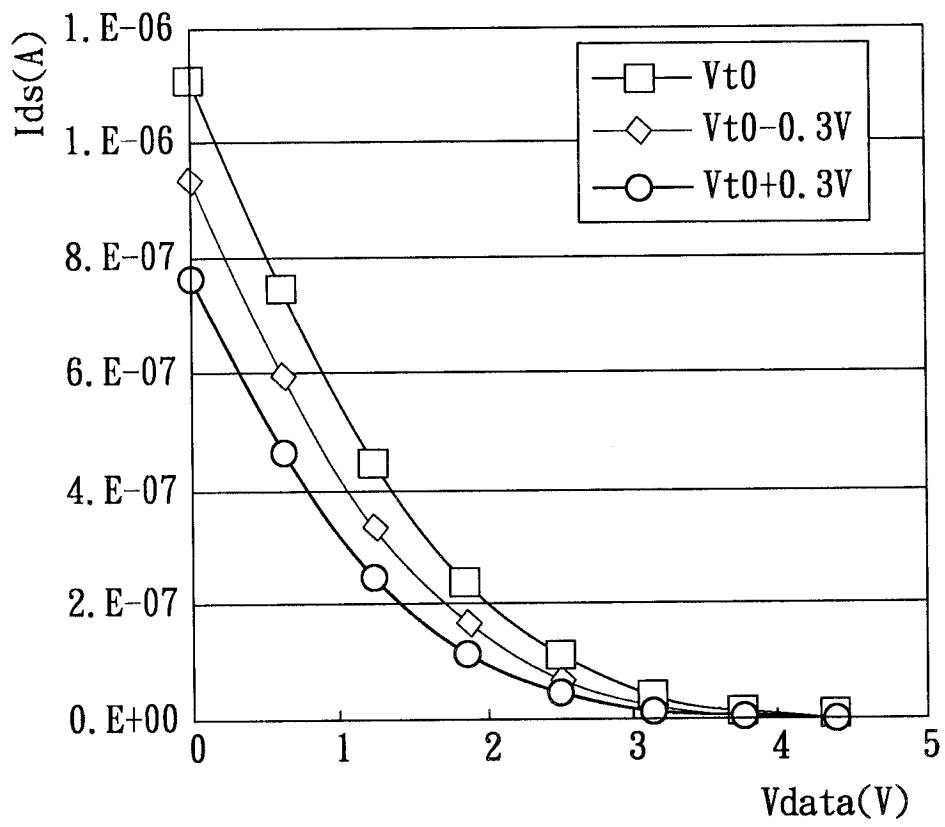


图 4(a)

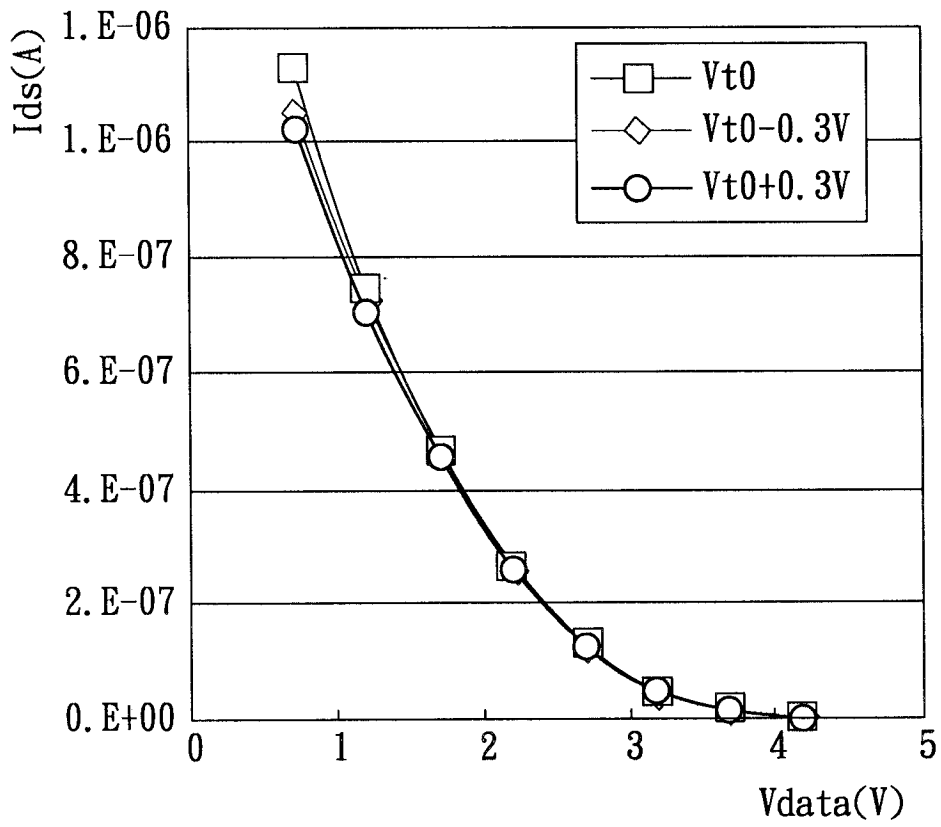


图 4(b)

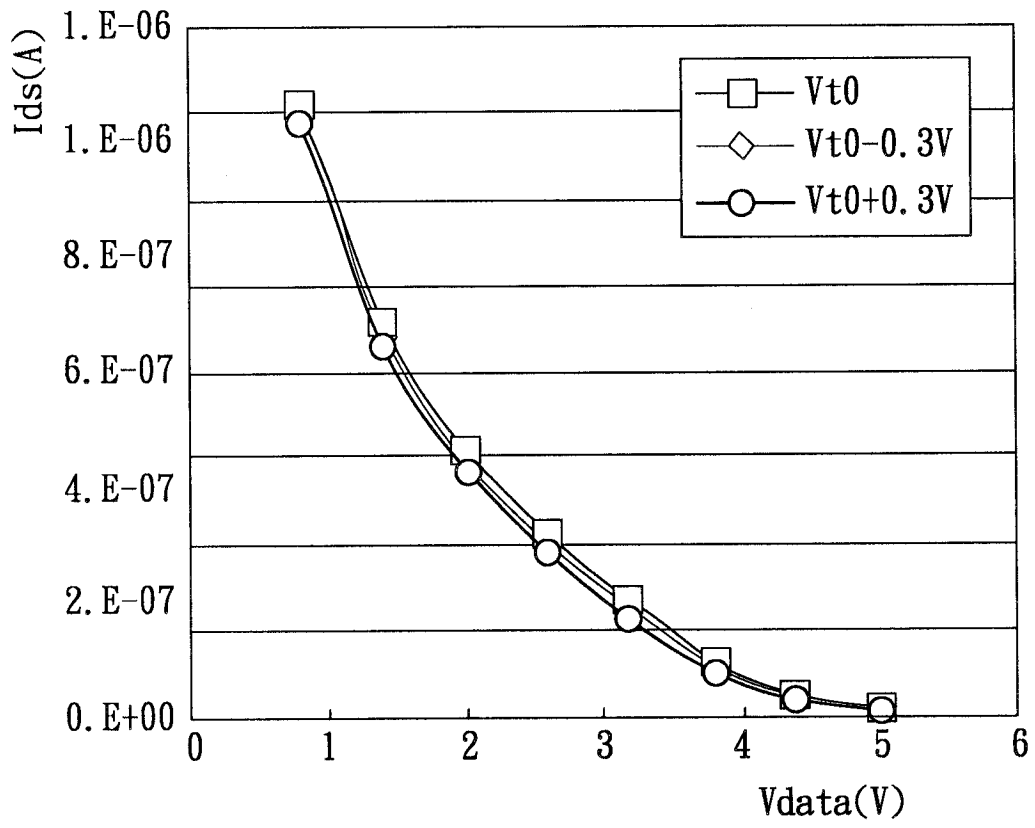


图 4(c)

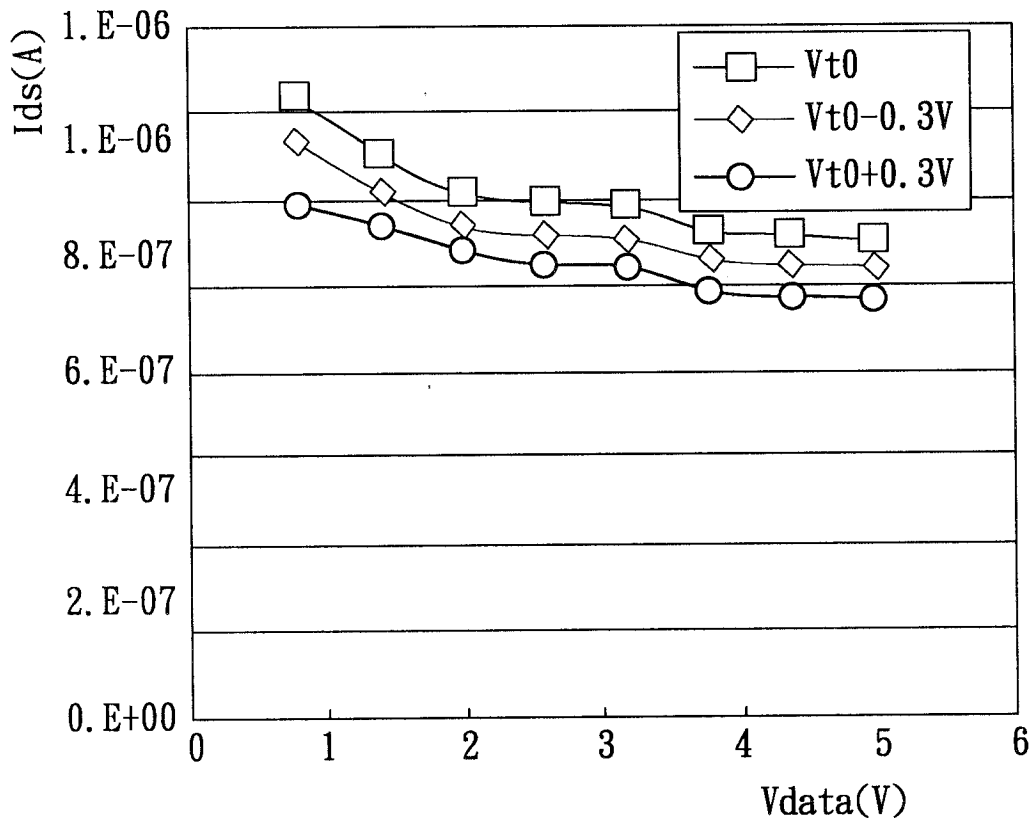


图 4(d)

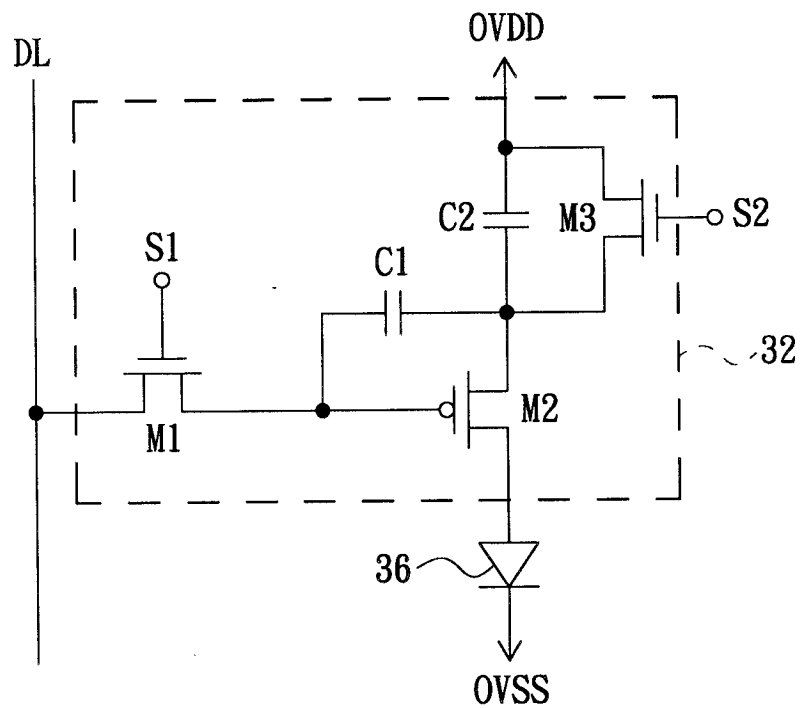


图 5

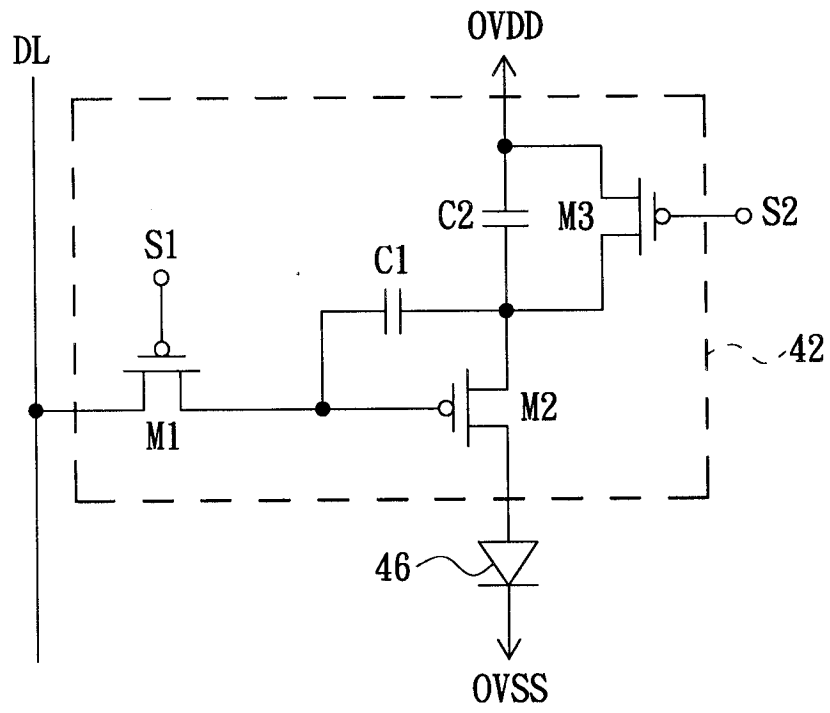


图 6

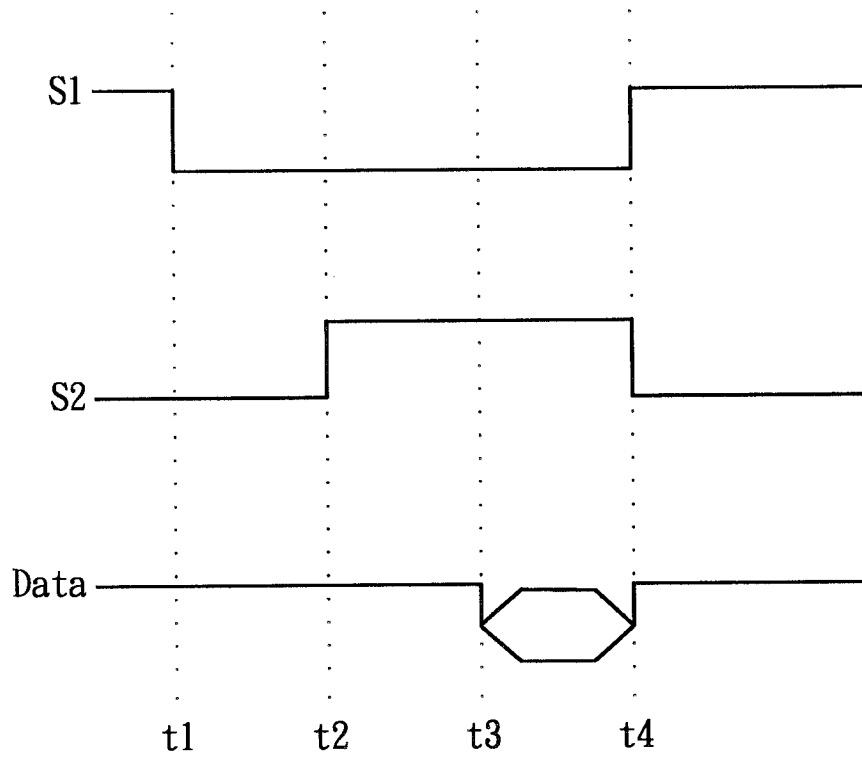


图 7