

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5649379号  
(P5649379)

(45) 発行日 平成27年1月7日(2015.1.7)

(24) 登録日 平成26年11月21日(2014.11.21)

(51) Int.Cl.

F I

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 2 7 F

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 8 B

H O 5 B 33/14 (2006.01)

H O 5 B 33/14 Z

H O 1 L 51/50 (2006.01)

H O 5 B 33/14 A

請求項の数 7 (全 66 頁)

(21) 出願番号 特願2010-197001 (P2010-197001)  
 (22) 出願日 平成22年9月2日(2010.9.2)  
 (65) 公開番号 特開2011-77514 (P2011-77514A)  
 (43) 公開日 平成23年4月14日(2011.4.14)  
 審査請求日 平成25年8月23日(2013.8.23)  
 (31) 優先権主張番号 特願2009-205328 (P2009-205328)  
 (32) 優先日 平成21年9月4日(2009.9.4)  
 (33) 優先権主張国 日本国(JP)  
 (31) 優先権主張番号 特願2009-206490 (P2009-206490)  
 (32) 優先日 平成21年9月7日(2009.9.7)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 津吹 将志  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 吉富 修平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 辻 隆博  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 細羽 みゆき  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

絶縁表面を有する基板上に、ゲート電極層を形成し、  
 前記ゲート電極層上にゲート絶縁層を形成し、  
 前記ゲート絶縁層上に酸化物半導体層を形成し、  
 前記酸化物半導体層に第1の熱処理を行い、前記酸化物半導体層の脱水化または脱水素化を行い、  
 前記酸化物半導体層上に、ソース電極層及びドレイン電極層を形成し、  
 前記ゲート絶縁層、前記酸化物半導体層、前記ソース電極層及び前記ドレイン電極層上に、前記酸化物半導体層の一部と接する絶縁層を形成し、  
 前記絶縁層を形成した後、第2の熱処理を行い、  
 前記第2の熱処理は、前記第1の熱処理より低い温度で行い、  
 前記第2の熱処理は、昇温と降温とを複数回繰り返すことを特徴とする半導体装置の作製方法。

【請求項 2】

請求項 1 において、  
 前記ゲート絶縁層は、第1の層と第2の層とを有し、  
 前記第1の層は、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜または窒化酸化珪素膜を有し、  
 前記第2の層は、酸化珪素膜素膜、酸化窒化珪素膜または窒化酸化珪素膜を有し、

前記第 1 の層と前記第 2 の層とは異なることを特徴とする半導体装置の作製方法。

【請求項 3】

請求項 1 または請求項 2 において、

前記絶縁層は、第 3 の層と、前記第 3 の層上の第 4 の層とを有し、

前記第 3 の層は酸化珪素膜を有し、

前記第 4 の層は窒化珪素膜を有することを特徴とする半導体装置の作製方法。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記酸化物半導体層の膜厚は、5 nm 以上 200 nm 以下であることを特徴とする半導体装置の作製方法。

10

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 の熱処理は、窒素雰囲気または希ガス雰囲気下で行うことを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記第 1 の熱処理は、350 以上 750 以下の温度で行うことを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、

前記第 2 の熱処理は、100 以上 300 以下の温度で行うことを特徴とする半導体装置の作製方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

酸化物半導体を用いる半導体装置の作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

30

【0003】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 nm 程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタは IC や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。金属酸化物は多様に存在しさまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶ディスプレイなどで必要とされる透明電極材料として用いられている。

【0004】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域とする薄膜トランジスタが既に知られている（特許文献 1 及び特許文献 2）。

40

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2007 - 123861 号公報

【特許文献 2】特開 2007 - 96055 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

50

アクティブマトリクス型の表示装置においては、回路を構成する薄膜トランジスタの電気特性が重要であり、この電気特性が表示装置の性能を左右する。特に、薄膜トランジスタの電気特性のうち、しきい値電圧 ( $V_{th}$ ) が重要である。電界効果移動度が高くともしきい値電圧値が高い、或いはしきい値電圧値がマイナスであると、回路として制御することが困難である。しきい値電圧値が高く、しきい値電圧の絶対値が大きい薄膜トランジスタの場合には、駆動電圧が低い状態では T F T としてのスイッチング機能を果たすことができず、負荷となる恐れがある。また、しきい値電圧値がマイナスであると、ゲート電圧が 0 V でもソース電極とドレイン電極の間に電流が流れる、所謂ノーマリーオンとなりやすい。

【 0 0 0 7 】

10

nチャネル型の薄膜トランジスタの場合、ゲート電圧に正の電圧を印加してはじめてチャネルが形成されて、ドレイン電流が流れ出すトランジスタが望ましい。駆動電圧を高くしないとチャネルが形成されないトランジスタや、負の電圧状態でもチャネルが形成されてドレイン電流が流れるトランジスタは、回路に用いる薄膜トランジスタとしては不向きである。

【 0 0 0 8 】

酸化物半導体膜を用いる薄膜トランジスタのゲート電圧が 0 V にできるだけ近い正のしきい値電圧でチャネルが形成される構造の作製方法を提供することを課題の一つとする。

【 0 0 0 9 】

また、薄膜トランジスタの高速化及び省電力化を図るに当たって、薄膜トランジスタのチャネル長を短くすることが挙げられる。しかし、特にチャネル長の短い薄膜トランジスタでは、しきい値電圧がマイナスにシフトしやすいといった所謂短チャネル効果の問題がある。

20

【 0 0 1 0 】

また、酸化物半導体膜を用いる薄膜トランジスタのしきい値電圧のバラツキを低減することも課題の一つとする。特に、液晶表示装置においては、個々の素子間でのバラツキが大きい場合、そのしきい値電圧のバラツキに起因する表示むらが発生する恐れがある。

【課題を解決するための手段】

【 0 0 1 1 】

本明細書で開示する本発明の一態様は、第 1 の熱処理によって脱水化または脱水素化させた酸化物半導体層を有する、薄膜トランジスタを覆うように保護絶縁層を形成し、第 1 の熱処理より低い温度で、昇温と降温を複数回繰り返す第 2 の熱処理を行うことを特徴とする半導体装置の作製方法である。

30

【 0 0 1 2 】

また、本明細書で開示する本発明の一態様は、第 1 の熱処理によって脱水化または脱水素化させた酸化物半導体層を有する、薄膜トランジスタを覆うように保護絶縁層を形成し、第 1 の熱処理より低い温度で、且つ第 1 の熱処理より長時間連続で第 2 の熱処理を行うことを特徴とする半導体装置の作製方法である。

【 0 0 1 3 】

本明細書で開示する本発明の一態様は、絶縁表面を有する基板上に、ゲート電極層を形成し、ゲート電極層上にゲート絶縁層を形成し、ゲート絶縁層上に酸化物半導体層を形成し、酸化物半導体層を形成した後、第 1 の熱処理を行い、酸化物半導体層上に、ソース電極層及びドレイン電極層を形成し、ゲート絶縁層、酸化物半導体層、ソース電極層及びドレイン電極層上に酸化物半導体層の一部と接する保護絶縁層を形成し、保護絶縁層を形成した後、昇温と降温を複数回繰り返す第 2 の熱処理を行い、第 2 の熱処理は、第 1 の熱処理より低い温度で行うことを特徴とする半導体装置の作製方法である。

40

【 0 0 1 4 】

なお、酸化物半導体層のチャネル長は、20  $\mu\text{m}$  以下であることが好ましい。また、第 1 の熱処理は、室素雰囲気または希ガス雰囲気下で行うことが好ましい。また、第 1 の熱処理は、350 以上 750 以下の温度で行うことが好ましい。また、第 2 の熱処理は、

50

大気雰囲気、酸素雰囲気、窒素雰囲気または希ガス雰囲気下で行うことが好ましい。また、第2の熱処理は、100 以上300 以下の温度に昇温して行うことが好ましい。また、第2の熱処理は、昇温後室温まで降温することが好ましい。また、第2の熱処理は、昇温と降温との間に高温維持過程を有し、降温と昇温との間に低温維持過程を有し、高温維持過程と低温維持過程は1分以上60分以下とすることが好ましい。また、第2の熱処理は、昇温と降温を3回乃至50回繰り返すことが好ましい。

【0015】

上記構成は、上記課題の少なくとも一つを解決する。

【0016】

また、本明細書で開示する本発明の一態様は、絶縁表面を有する基板上に、ゲート電極層を形成し、ゲート電極層上にゲート絶縁層を形成し、ゲート絶縁層上に酸化物半導体層を形成し、酸化物半導体層を形成した後、第1の熱処理を行い、酸化物半導体層上に、ソース電極層及びドレイン電極層を形成し、ゲート絶縁層、酸化物半導体層、ソース電極層及びドレイン電極層上に酸化物半導体層の一部と接する保護絶縁層を形成した後、昇温後第1の熱処理より長時間温度を保つ第2の熱処理を行い、第2の熱処理は、第1の熱処理より低い温度で行うことを特徴とする半導体装置の作製方法である。

【0017】

なお、酸化物半導体層のチャネル長は、20  $\mu\text{m}$ 以下であることが好ましい。また、第1の熱処理は、窒素雰囲気または希ガス雰囲気下で行うことが好ましい。また、第1の熱処理は、350 以上750 以下の温度で行うことが好ましい。また、第2の熱処理は、大気雰囲気、酸素雰囲気、窒素雰囲気または希ガス雰囲気下で行うことが好ましい。また、第2の熱処理は、100 以上300 以下の温度に昇温して行うことが好ましい。また、第2の熱処理は、1時間以上50時間以下行うことが好ましい。

【0018】

本明細書中で用いる酸化物半導体は、 $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) で表記される薄膜を形成し、その薄膜を酸化物半導体層として用いた薄膜トランジスタを作製する。ただし、 $m$ は必ずしも整数にはならない。なお、 $M$ は、 $\text{Ga}$ 、 $\text{Fe}$ 、 $\text{Ni}$ 、 $\text{Mn}$ 及び $\text{Co}$ から選ばれた一の金属元素または複数の金属元素を示す。例えば $M$ として、 $\text{Ga}$ の場合があるものの他、 $\text{Ga}$ と $\text{Ni}$ または $\text{Ga}$ と $\text{Fe}$ など、 $\text{Ga}$ 以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、 $M$ として含まれる金属元素の他に、不純物元素として $\text{Fe}$ 、 $\text{Ni}$ その他の遷移金属元素、または該遷移金属の酸化物が含まれているものがある。本明細書においては、 $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) で表記される構造の酸化物半導体層のうち、 $M$ として $\text{Ga}$ を含む構造の酸化物半導体を $\text{In-Ga-Zn-O}$ 系酸化物半導体とよび、その薄膜を $\text{In-Ga-Zn-O}$ 系薄膜とも呼ぶ。

【0019】

また、酸化物半導体層に適用する酸化物半導体として上記の他にも、 $\text{In-Sn-Zn-O}$ 系、 $\text{In-Al-Zn-O}$ 系、 $\text{Sn-Ga-Zn-O}$ 系、 $\text{Al-Ga-Zn-O}$ 系、 $\text{Sn-Al-Zn-O}$ 系、 $\text{In-Zn-O}$ 系、 $\text{Sn-Zn-O}$ 系、 $\text{Al-Zn-O}$ 系、 $\text{In-O}$ 系、 $\text{Sn-O}$ 系、 $\text{Zn-O}$ 系の酸化物半導体を適用することができる。また上記酸化物半導体層中に酸化珪素を含ませてもよい。酸化物半導体層に結晶化を阻害する酸化珪素( $\text{SiO}_x$  ( $x > 0$ ))を含ませることで、製造プロセス中において酸化物半導体層の形成後に加熱処理した場合に、結晶化してしまうのを抑制することができる。なお、酸化物半導体層は非晶質な状態であることが好ましく、一部結晶化していてもよい。

【0020】

また、加熱処理の条件または酸化物半導体層の材料によっては、酸化物半導体層が非晶質な状態から微結晶膜または多結晶膜となる場合もある。微結晶膜または多結晶膜となる場合であっても、 $\text{TFT}$ としてスイッチング特性を得ることができる。

【0021】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称

10

20

30

40

50

を示すものではない。

【発明の効果】

【0022】

第1の熱処理によって脱水化または脱水素化させた酸化物半導体層を有する、薄膜トランジスタを覆うように保護絶縁層を形成し、第1の熱処理より低い温度で、昇温と降温を複数回繰り返す第2の熱処理を行うことによって、チャネル長に依存せず、酸化物半導体層を有する薄膜トランジスタのゲート電圧が0Vにできるだけ近い正のしきい値電圧でチャネルが形成される薄膜トランジスタを作製することができる。

【図面の簡単な説明】

【0023】

10

【図1】本発明の一態様を示す作製工程の断面図である。

【図2】第2の熱処理の時間と温度の関係を示すグラフ。

【図3】本発明の一態様を示す半導体装置を説明する図である。

【図4】実施例1における第2の熱処理の時間と温度の関係を示すグラフ。

【図5】実施例1の薄膜トランジスタのしきい値電圧と移動度を示すグラフ。

【図6】実施例2の薄膜トランジスタの電流電圧特性を示すグラフ。

【図7】半導体装置を説明する図。

【図8】半導体装置を説明する図。

【図9】半導体装置の画素等価回路を説明する図。

【図10】半導体装置を説明する図。

20

【図11】半導体装置のブロック図を説明する図。

【図12】信号線駆動回路の構成を説明する図。

【図13】シフトレジスタの構成を示す回路図。

【図14】シフトレジスタの構成を説明する図及び動作を説明するタイミングチャート。

【図15】半導体装置を説明する図。

【図16】半導体装置を説明する図。

【図17】電子書籍の一例を示す外観図。

【図18】テレビジョン装置およびデジタルフォトフレームの例を示す外観図。

【図19】遊技機の例を示す外観図。

【図20】携帯型のコンピュータ及び携帯電話機の一例を示す外観図。

30

【図21】半導体装置を説明する図。

【図22】半導体装置を説明する図。

【図23】半導体装置を説明する図。

【図24】半導体装置を説明する図。

【図25】半導体装置を説明する図。

【図26】半導体装置を説明する図。

【図27】半導体装置を説明する図。

【図28】半導体装置を説明する図。

【図29】半導体装置を説明する図。

【図30】半導体装置を説明する図。

40

【図31】半導体装置を説明する図。

【図32】半導体装置を説明する図。

【図33】半導体装置を説明する図。

【図34】半導体装置を説明する図。

【図35】半導体装置を説明する図。

【図36】第2の熱処理の時間と温度の関係を示すグラフ。

【図37】実施例3の薄膜トランジスタのしきい値電圧と移動度を示すグラフ。

【発明を実施するための形態】

【0024】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は

50

以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

#### 【0025】

(実施の形態1)

本実施の形態では、図1(E)に示す薄膜トランジスタ461の作製方法の一形態について、薄膜トランジスタ作製工程の断面図である図1(A)乃至図1(E)を用いて説明する。ここで、図1(E)に示す薄膜トランジスタ461は、チャネルエッチ型と呼ばれるボトムゲート構造の一つである。

#### 【0026】

まず、絶縁表面を有する基板である基板400上に、フォトリソグラフィ工程によりゲート電極層401を設ける。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソマスクを使用しないため、製造コストを低減できる。

#### 【0027】

基板400としては、後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いると良い。また、基板400としてガラス基板を用いる場合には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、ホウ酸と比較して酸化バリウム(BaO)を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 $B_2O_3$ よりBaOを多く含むガラス基板を用いることが好ましい。

#### 【0028】

なお、上記のガラス基板に代えて、セラミック基板、石英ガラス基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。

#### 【0029】

また、下地膜となる絶縁膜を基板400とゲート電極層401の間に設けてもよい。下地膜は、基板400からの不純物元素の拡散を防止する機能があり、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、または酸化窒化珪素膜から選ばれた一または複数の膜による積層構造により形成することができる。

#### 【0030】

ゲート電極層401としては、金属導電膜を用いることができる。金属導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金等を用いるのが好ましい。例えば、チタン層上にアルミニウム層と、該アルミニウム層上にチタン層が積層された三層の積層構造、またはモリブデン層上にアルミニウム層と、該アルミニウム層上にモリブデン層を積層した三層の積層構造とすることが好ましい。勿論、金属導電膜として単層、または2層構造、または4層以上の積層構造としてもよい。

#### 【0031】

次いで、ゲート電極層401上にゲート絶縁層402を形成する。

#### 【0032】

ゲート絶縁層402は、プラズマCVD法またはスパッタリング法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層または窒化酸化珪素層を単層でまたは積層して形成することができる。例えば、成膜ガスとして、 $SiH_4$ 、酸素及び窒素を用いてプラズマCVD法により酸化窒化珪素層を形成すればよい。ゲート絶縁層402の膜厚は、100nm以上500nm以下とし、積層の場合は、例えば、膜厚50nm以上200nm以下の第1のゲート絶縁層と、第1のゲート絶縁層上に膜厚5nm以上300nm以下の第2のゲート絶縁層の積層とする。

#### 【0033】

本実施の形態では、プラズマCVD法により、酸化珪素膜である膜厚100nmのゲート

10

20

30

40

50

絶縁層 402 を形成する。

【0034】

また、酸化物半導体膜の成膜前に、不活性ガス雰囲気（窒素、またはヘリウム、ネオン、アルゴン等）下において加熱処理（400 以上基板の歪み点未満）を行い、層内に含まれる水素及び水などの不純物を除去したゲート絶縁層 402 としてもよい。

【0035】

次いで、ゲート絶縁層 402 上に、膜厚 5 nm 以上 200 nm 以下、好ましくは 10 nm 以上 50 nm 以下の酸化物半導体膜を形成する。酸化物半導体膜の形成後に脱水化または脱水素化のための加熱処理を行っても酸化物半導体膜を非晶質な状態とするため、膜厚を 50 nm 以下と薄くすることが好ましい。酸化物半導体膜の膜厚を薄くすることで酸化物半導体層の形成後に加熱処理した場合に、酸化物半導体層が結晶化してしまうのを抑制することができる。

10

【0036】

なお、酸化物半導体膜をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層 402 の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。

【0037】

酸化物半導体膜は、In - Ga - Zn - O 系、In - Sn - Zn - O 系、In - Al - Zn - O 系、Sn - Ga - Zn - O 系、Al - Ga - Zn - O 系、Sn - Al - Zn - O 系、In - Zn - O 系、Sn - Zn - O 系、Al - Zn - O 系、In - O 系、Sn - O 系、Zn - O 系の酸化物半導体膜を用いる。本実施の形態では、In - Ga - Zn - O 系酸化物半導体成膜用ターゲットを用いてスパッタ法により成膜する。また、酸化物半導体膜 130 は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素雰囲気下においてスパッタ法により形成することができる。また、スパッタ法を用いる場合、SiO<sub>2</sub> を 2 重量% 以上 10 重量% 以下含むターゲットを用いて成膜を行い、酸化物半導体膜に結晶化を阻害する SiO<sub>x</sub> (x > 0) を含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に結晶化してしまうのを抑制することが好ましい。

20

30

【0038】

また、酸化物半導体成膜用ターゲット中の酸化物半導体の相対密度は 99% 以上とするのが好ましい。これにより、形成された酸化物半導体膜中の不純物濃度を低減することができる。電気特性または信頼性の高い薄膜トランジスタを得ることができる。本実施の形態では、酸化物半導体の相対密度が 97% の酸化物半導体ターゲットを用いる。

【0039】

ここでは、In、Ga、及び Zn を含む酸化物半導体ターゲット (In<sub>2</sub>O<sub>3</sub> : Ga<sub>2</sub>O<sub>3</sub> : ZnO = 1 : 1 : 1 [mol %]、In : Ga : Zn = 1 : 1 : 0.5 [at %]) を用いて、基板とターゲットの間との距離を 100 mm、圧力 0.2 Pa、直流 (DC) 電源 0.5 kW、アルゴン及び酸素 (アルゴン : 酸素 = 30 sccm : 20 sccm 酸素流量比率 40%) 雰囲気下で成膜する。なお、パルス直流 (DC) 電源を用いると、成膜時に発生する粉状物質 (パーティクル、ゴミともいう) が軽減でき、膜厚分布も均一となるために好ましい。In - Ga - Zn - O 系薄膜の膜厚は、5 nm ~ 200 nm とする。本実施の形態では、酸化物半導体膜として、In - Ga - Zn - O 系酸化物半導体成膜用ターゲットを用いてスパッタ法により膜厚 20 nm の In - Ga - Zn - O 系薄膜を成膜する。

40

【0040】

スパッタ法にはスパッタ用電源に高周波電源を用いる RF スパッタ法、直流電源を用いる DC スパッタ法、さらにパルスのバイアスを与えるパルス DC スパッタ法がある。RF

50

スパッタ法は主に絶縁膜を成膜する場合に用いられ、D C スパッタ法は主に金属膜を成膜する場合に用いられる。

【 0 0 4 1 】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【 0 0 4 2 】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるE C Rスパッタ法を用いるスパッタ装置がある。

10

【 0 0 4 3 】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法もある。

【 0 0 4 4 】

また、ゲート絶縁層 4 0 2、及び酸化物半導体膜を大気に触れさせることなく連続的に形成してもよい。大気に触れさせることなく成膜することで、界面が、水やハイドロカーボンなどの、大気成分や大気中に浮遊する不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

【 0 0 4 5 】

20

次いで、酸化物半導体膜をフォトリソグラフィ工程により島状の酸化物半導体層 4 3 2 に加工する（図 1（A）参照。）。また、島状の酸化物半導体層 4 3 2 を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【 0 0 4 6 】

次いで、第 1 の熱処理を行って、酸化物半導体層 4 3 2 の脱水化または脱水素化を行う。脱水化または脱水素化を行う第 1 の熱処理の温度は、3 5 0 以上 7 5 0 以下、好ましくは 4 2 5 以上とする。なお、4 2 5 以上であれば熱処理時間は 1 時間以下でよいが、4 2 5 未満であれば加熱処理時間は、1 時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層 4 3 2 を得る。本実施の形態では、酸化物半導体層 4 3 2 の脱水化または脱水素化を行う加熱温度 T から、再び水が入らないような十分な温度まで同じ炉を用い、具体的には加熱温度 T よりも 1 0 0 以上下がるまで窒素雰囲気下で徐冷する。また、窒素雰囲気限定されず、希ガス雰囲気（ヘリウム、ネオン、アルゴン等）下等において脱水化または脱水素化を行う。

30

【 0 0 4 7 】

なお、第 1 の熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6 N（9 9 . 9 9 9 9 %）以上、好ましくは 7 N（9 9 . 9 9 9 9 9 %）以上、（即ち不純物濃度を 1 p p m 以下、好ましくは 0 . 1 p p m 以下）とすることが好ましい。

40

【 0 0 4 8 】

また、第 1 の熱処理は、電気炉を用いた加熱方法を用いることができる。なお、第 1 の熱処理は、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、G R T A（G a s R a p i d T h e r m a l A n n e a l）装置、L R T A（L a m p R a p i d T h e r m a l A n n e a l）装置等の R T A（R a p i d T h e r m a l A n n e a l）装置を用いることができる。L R T A 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高

50



圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

【0049】

また、第1の熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶膜または多結晶膜となる場合もある。ここで、酸化物半導体層は、結晶化率が80%以上または90%以上の微結晶膜となることがある。また、酸化物半導体層の材料によっては、結晶を有さない酸化物半導体層となることもある。

【0050】

また、酸化物半導体層の第1の熱処理は、島状の酸化物半導体層432に加工する前の酸化物半導体膜に行うこともできる。その場合には、第1の熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0051】

次いで、ゲート絶縁層402、及び酸化物半導体層432上にソース電極層及びドレイン電極層を形成するための導電膜を成膜する。

【0052】

ソース電極層及びドレイン電極層を形成するための導電膜としては、ゲート電極層401と同様に、金属導電膜を用いることができる。金属導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金が、上述した元素を組み合わせた合金等を用いるのが好ましい。例えば、チタン層上にアルミニウム層と、該アルミニウム層上にチタン層が積層された三層の積層構造、またはモリブデン層上にアルミニウム層と、該アルミニウム層上にモリブデン層を積層した三層の積層構造とすることが好ましい。勿論、金属導電膜として単層、または2層構造、または4層以上の積層構造としてもよい。

【0053】

フォトマスクを用いてフォトリソグラフィ工程により、ソース電極層及びドレイン電極層を形成するための導電膜から、ソース電極層またはドレイン電極層405a、405bを形成する（図1（B）参照。）。また、このとき酸化物半導体層432も一部がエッチングされ、溝部（凹部）を有する酸化物半導体層432となる。なお、薄膜トランジスタのチャンネル長の長さは、ソース電極層405aとドレイン電極層405bとの距離で定義される。

【0054】

なお、ソース電極層またはドレイン電極層405a、405bを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0055】

次に、ゲート絶縁層402、酸化物半導体層432、ソース電極層405a及びドレイン電極層405bを覆い、酸化物半導体層432の一部と接する保護絶縁層407を成膜する（図1（C）参照。）。保護絶縁層407は、少なくとも1nm以上の膜厚とし、スパッタリング法など、保護絶縁層407に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。ここでは、保護絶縁層407は、スパッタリング法を用いて形成する。酸化物半導体層432の一部と接して形成される保護絶縁層407は、水分や、水素イオンや、OH<sup>-</sup>などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、酸化珪素膜を用いるのが好ましく、窒化酸化珪素膜、窒化珪素膜、酸化アルミニウム膜、酸化窒化アルミニウム膜又は窒化アルミニウム膜、を用いてもよい。

【0056】

また、保護絶縁層407は、酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜又は酸化窒化アルミニウム膜の上に窒化珪素膜又は窒化アルミニウム膜を積層する構造としてもよ

10

20

30

40

50

い。特に窒化珪素膜は水分や、水素イオンや、 $\text{OH}^-$ などの不純物を含まず、これらが外部から侵入することをブロックしやすいので好ましい。

【0057】

ここで、酸化物半導体層に水や水素が混入すると、酸化物半導体層がn型化し、薄膜トランジスタがノーマリーオンとなる恐れがある。また、酸化物半導体層に水や水素が混入すると、薄膜トランジスタの信頼性が低減する恐れがある。よって、保護絶縁層407により、酸化物半導体層432に水や水素等の不純物を混入させないようにするのは重要である。

【0058】

また、保護絶縁層407に水や水素が混入すると、保護絶縁層407中の水や水素が酸化物半導体層中の酸素を引き抜き、酸化物半導体層がn型化し、薄膜トランジスタがノーマリーオンとなる恐れがある。また、保護絶縁層407に水や水素が混入すると、薄膜トランジスタの信頼性が低減する恐れがある。よって、保護絶縁層407に水や水素等の不純物を混入させないようにするのは重要である。

【0059】

本実施の形態では、保護絶縁層407として膜厚300nmの酸化珪素膜を成膜する。成膜時の基板温度は、室温以上300℃以下とすればよく、本実施の形態では100℃とする。酸化珪素膜のスパッタリング法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス（代表的にはアルゴン）及び酸素混合雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタリング法により酸化珪素を形成することができる。

【0060】

次いで、ソース電極層405a、ドレイン電極層405b、ゲート絶縁層402及び酸化物半導体層432に大気雰囲気下、酸素雰囲気下、窒素雰囲気下又は希ガス雰囲気（ヘリウム、ネオン、アルゴン等）下において昇温と降温を複数回繰り返す第2の熱処理を行って、酸化物半導体層403を形成する。（図1（D）および図1（E）参照。）。ここで、第2の熱処理は、第1の熱処理より低い温度で行う。本実施の形態では、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して酸素雰囲気下において第2の熱処理を行う。

【0061】

第2の熱処理では、昇温過程、高温維持過程、降温過程及び低温維持過程からなるサイクルを複数回繰り返す。図2に第2の熱処理工程を、縦軸に温度、横軸に時間をとったグラフで示す。図2に示すように、第2の熱処理のサイクルは、時間 $t_1$ で温度 $T_1$ から温度 $T_2$ まで昇温する昇温過程と、時間 $t_2$ の間温度 $T_2$ を維持する高温維持過程と、時間 $t_3$ で温度 $T_2$ から温度 $T_1$ まで冷却する降温過程と、時間 $t_4$ の間温度 $T_1$ を維持する低温維持過程と、からなる。1回目のサイクルが終わると、同様に2回目のサイクルを開始し、N回目までサイクルを繰り返して第2の熱処理は終了する。

【0062】

ここで、温度 $T_1$ は、室温程度とするのが好ましく、温度 $T_2$ は、100℃以上300℃以下とするのが好ましく、より好ましくは、125℃以上250℃以下とする。また、第2の熱処理のサイクルは、3回乃至50回とするのが好ましい。また、時間 $t_1$ 、時間 $t_2$ 、時間 $t_3$ 及び時間 $t_4$ は、1分乃至60分程度とするのが好ましい。もちろん時間 $t_1$ 、時間 $t_2$ 、時間 $t_3$ 及び時間 $t_4$ は、適宜それぞれ異なる時間にすればよい。また、時間 $t_1$ 、時間 $t_2$ 、時間 $t_3$ 及び時間 $t_4$ のいずれかを同じ時間としてもよい。ただし、時間 $t_1$ 、時間 $t_2$ 、時間 $t_3$ 及び時間 $t_4$ は、必ずしも1分乃至60分程度とする必要はない。例えば、時間 $t_2$ 及び時間 $t_4$ を1分未満とし、図2に示す第2の熱処理工程のグラフの概形が昇温と降温を頻繁に繰り返すような形状としてもよい。

【0063】

また、第2の熱処理は、全く同じサイクルを複数回繰り返す必要はない。例えば、サイク

10

20

30

40

50

ル1回ごとに温度 $T_1$ 、温度 $T_2$ 、時間 $t_1 \sim$ 時間 $t_4$ が異なるようにしても良い。

【0064】

また、降温過程では、冷却された気体を送風して基板の降温を行ってもよい。冷却された気体を送風して基板の降温を行うことにより、自然冷却よりも基板の降温を急峻にすることができる。

【0065】

ここで、薄膜トランジスタのしきい値電圧が0Vから大きく離れる、または同一基板上に複数形成された薄膜トランジスタのしきい値電圧にバラツキが生じることの原因として、ゲート絶縁層402と酸化物半導体層432の界面及び、酸化物半導体層432と保護絶縁層407の界面に形成されるダングリングボンドや、第1の熱処理の脱水化または脱水素化によって酸化物半導体層432中に空間が生じることが考えられる。

10

【0066】

しかし、第2の熱処理を行うことによって、ゲート絶縁層402と酸化物半導体層432の界面及び、酸化物半導体層432と保護絶縁層407の界面に形成されるダングリングボンドの末端や、酸化物半導体層432中に空間の周辺に存在する原子の再配列を少しずつ行い、当該部位の構造を安定なものとした酸化物半導体層403を形成することができる。

【0067】

また、保護絶縁層407として酸化珪素膜を用いている場合、酸化物半導体層432内の金属原子に結合しているヒドロキシル基中の水素原子が、酸化珪素膜中の珪素と結合している酸素原子のダングリングボンドに引き抜かれ、金属酸化物及び、ヒドロキシル基が結合した珪素が形成されると推測される。これにより、酸化物半導体層403中のさらなる脱水素化が図られ、薄膜トランジスタの信頼性向上を図ることができる。

20

【0068】

よって、酸化物半導体層403を有する薄膜トランジスタのゲート電圧が0Vにできるだけ近い正のしきい値電圧でチャネルが形成されるようにすることができる。特に、チャネル長が20 $\mu$ m以下と短い場合においても、同様に薄膜トランジスタのゲート電圧が0Vにできるだけ近い正のしきい値電圧でチャネルが形成されるようにすることができる。また、この第2の熱処理により電界効果移動度の向上を図ることもできる。

【0069】

30

また、酸化物半導体層403を有する薄膜トランジスタを、同一基板上に複数形成しても、薄膜トランジスタのしきい値電圧にバラツキが生じるのを防ぐことができる。

【0070】

また、BTストレス試験（バイアス・温度ストレス試験）を行った際のしきい値電圧のシフト量を低減することができ、信頼性の高い薄膜トランジスタを得ることができる。なお、本明細書中で、BTストレス試験（バイアス・温度ストレス試験）とは、薄膜トランジスタに高温雰囲気下で、高ゲート電圧を印加する試験のことを指す。

【0071】

よって、本実施の形態に示す作製方法を用いて表示装置の画素部の薄膜トランジスタを作製することにより、各画素の薄膜トランジスタのしきい値電圧のバラツキに起因する表示ムラを抑制することができる。

40

【0072】

また、本実施の形態に示す作製方法を用いて表示装置の駆動回路部の薄膜トランジスタを作製することにより、しきい値電圧をマイナスシフトさせることなく、チャネル長を短くすることができるので、駆動回路部の薄膜トランジスタの高速動作を実現し、省電力化を図ることができる。

【0073】

なお、第2の熱処理においては、酸素、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）

50

以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0074】

また、第2の熱処理は、電気炉を用いた加熱方法などを用いることができる。

【0075】

なお、本実施の形態では、保護絶縁層407を成膜したすぐ後に第2の熱処理を行ったが、保護絶縁層上に、層間膜や配線層などを形成してから第2の熱処理を行ってもよい。つまり、保護絶縁層407を成膜した後ならば、いつ第2の熱処理を行ってもよい。例えば、表示装置の画素部に用いる薄膜トランジスタを作製する場合には、画素電極層形成後に第2の熱処理を行ってもよい。

10

【0076】

また、第2の熱処理を行う前に、不活性ガス雰囲気下、または窒素ガス雰囲気下で加熱処理(好ましくは200以上400以下)を行ってもよい。ここで、該加熱処理は、第1の熱処理温度より低い温度、且つ、第2の熱処理温度より高い温度とするのが好ましい。例えば、窒素雰囲気下で250、1時間程度行えばよい。

【0077】

以上の工程より、絶縁表面を有する基板である基板400上にゲート電極層401が設けられ、ゲート電極層401の上にゲート絶縁層402が設けられ、ゲート絶縁層402の上に酸化物半導体層403が設けられ、酸化物半導体層403の上にソース電極層またはドレイン電極層405a、405bが設けられ、ゲート絶縁層402、酸化物半導体層403、ソース電極層405a及びドレイン電極層405bを覆い、酸化物半導体層403の一部と接する保護絶縁層407が設けられている、チャンネルエッチ型の薄膜トランジスタ461を形成することができる(図1(E)参照。)

20

【0078】

また、薄膜トランジスタ461はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャンネル形成領域を複数有するマルチゲート構造の薄膜トランジスタや、保護絶縁層407上に第2のゲート電極層を有する構造の薄膜トランジスタとすることもできる。

【0079】

また、本実施の形態では、チャンネルエッチ型の薄膜トランジスタ461の作製方法について説明したが、本実施の形態の構成はこれに限られるものではない。図3(A)に示すような、ボトムゲート構造のボトムコンタクト型(逆コプラナ型とも呼ぶ)の薄膜トランジスタ460や、図3(B)に示すような、チャンネルストップ型の薄膜トランジスタ481等も同様の材料、方法を用いて形成することができる。

30

【0080】

ここで、薄膜トランジスタ460は、絶縁表面を有する基板である基板450上にゲート電極層451が設けられ、ゲート電極層451の上にゲート絶縁層452が設けられ、ゲート絶縁層452の上にソース電極層またはドレイン電極層455a、455bが設けられ、ソース電極層またはドレイン電極層455a、455b及びゲート絶縁層452の上に酸化物半導体層453が設けられ、ゲート絶縁層452、酸化物半導体層453、ソース電極層455a及びドレイン電極層455bを覆い、酸化物半導体層453の一部と接する保護絶縁層457が設けられている。

40

【0081】

なお、薄膜トランジスタ460の基板450、ゲート電極層451、ゲート絶縁層452、ソース電極層またはドレイン電極層455a、455b、酸化物半導体層453及び保護絶縁層457は、図1に示す薄膜トランジスタ461の基板400、ゲート電極層401、ゲート絶縁層402、ソース電極層またはドレイン電極層405a、405b、酸化物半導体層403及び保護絶縁層407と対応しており、同様の材料、方法を用いて作製することができる。

【0082】

50

また、薄膜トランジスタ481は、絶縁表面を有する基板である基板470上にゲート電極層471が設けられ、ゲート電極層471の上にゲート絶縁層472が設けられ、ゲート絶縁層472の上に酸化物半導体層473が設けられ、酸化物半導体層473の上にチャネル保護層480が設けられ、酸化物半導体層473及びチャネル保護層480の上にソース電極層またはドレイン電極層475a、475bが設けられ、ゲート絶縁層472、酸化物半導体層473、チャネル保護層480、ソース電極層475a及びドレイン電極層475bを覆い、チャネル保護層480の一部と接する保護絶縁層477が設けられている。

#### 【0083】

また、チャネル保護層480は、保護絶縁層407と同様の材料、方法で絶縁膜を成膜した後、エッチングにより形状を加工する。例えば、酸化物半導体層473上にスパッタ法により酸化珪素膜を形成し、フォトリソグラフィによるマスクを用いてエッチング加工することにより、チャネル保護層480を形成する。また、チャネル保護層480は、酸化物半導体層473の形成後大気に触れることなく、連続的に形成することもできる。これにより、水やハイドロカーボンなどの、大気成分や大気中に浮遊する不純物元素に汚染されることがなく積層界面を形成することができる。

10

#### 【0084】

なお、薄膜トランジスタ481の基板470、ゲート電極層471、ゲート絶縁層472、ソース電極層またはドレイン電極層475a、475b、酸化物半導体層473及び保護絶縁層477は、薄膜トランジスタ461の基板400、ゲート電極層401、ゲート絶縁層402、ソース電極層またはドレイン電極層405a、405b、酸化物半導体層403及び保護絶縁層407と対応しており、同様の材料、方法を用いて作製することができる。

20

#### 【0085】

以上のように、第1の熱処理によって脱水化または脱水素化させた酸化物半導体層を有する、薄膜トランジスタを覆うように保護絶縁層を形成し、第1の熱処理より低い温度で、昇温と降温を複数回繰り返す第2の熱処理を行うことによって、チャネル長に殆ど依存せず、酸化物半導体層を有する薄膜トランジスタのゲート電圧が0Vにできるだけ近い正のしきい値電圧でチャネルが形成される薄膜トランジスタを作製することができる。

#### 【0086】

30

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

#### 【0087】

##### (実施の形態2)

本実施の形態では、実施の形態1とは異なる方法で第2の熱処理を行う。実施の形態1では、第2の熱処理として、第1の熱処理より低い温度で、昇温と降温を複数回繰り返して熱処理を行ったが、本実施の形態では、第2の熱処理として、第1の熱処理より低い温度に保ったまま、第1の熱処理より長時間連続して熱処理を行う。

#### 【0088】

第2の熱処理までは、実施の形態1と同様の工程で薄膜トランジスタを作製する(図1(C)参照。)

40

#### 【0089】

ソース電極層405a、ドレイン電極層405b、ゲート絶縁層402及び酸化物半導体層432に大気雰囲気下、酸素雰囲気下、窒素雰囲気下又は希ガス(ヘリウム、ネオン、アルゴン等)雰囲気下において第1の熱処理より低い温度に保ったまま、第1の熱処理より長時間連続して第2の熱処理を行って、酸化物半導体層403を形成する。(図1(D)および図1(E)参照。)。本実施の形態では、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して酸素雰囲気下において第2の熱処理を行う。

#### 【0090】

本実施の形態に示す第2の熱処理は、昇温過程、高温維持過程、降温過程及び低温維持過

50

程の4工程からなるが、各工程を一度ずつしか行わない。つまり、一度昇温すると降温過程を経て第2の熱処理が終わるまで、温度 $T_2$ のままで高温維持過程を続けることになる。図36に第2の熱処理工程を、縦軸に温度、横軸に時間をとったグラフで示す。図36に示すように、第2の熱処理工程は、時間 $t_1$ で温度 $T_1$ から温度 $T_2$ まで昇温する昇温過程と、時間 $t_2$ の間温度 $T_2$ を維持する高温維持過程と、時間 $t_3$ で温度 $T_2$ から温度 $T_1$ まで冷却する降温過程と、時間 $t_4$ の間温度 $T_1$ を維持する低温維持過程と、からなる。なお、低温維持過程については必ずしも行う必要はない。

#### 【0091】

ここで、温度 $T_1$ は、室温程度とするのが好ましく、温度 $T_2$ は、100 以上300 以下とするのが好ましく、より好ましくは、125 以上250 以下とする。また、時間 $t_1$ 、時間 $t_3$ 及び時間 $t_4$ は、1分乃至60分程度とするのが好ましい。時間 $t_2$ は、1時間以上50時間以下とするのが好ましい。時間 $t_1$ 、時間 $t_2$ 、時間 $t_3$ 及び時間 $t_4$ は、適宜それぞれ異なる時間としてもよいが、 $t_2 > t_1 + t_3 + t_4$ となるようにする。

10

#### 【0092】

また、降温過程では、冷却された気体を送風して基板の降温を行ってもよい。冷却された気体を送風して基板の降温を行うことにより、自然冷却よりも基板の降温を急峻にすることができる。

#### 【0093】

第1の熱処理より低温度、長時間連続の第2の熱処理を行うことによって、実施の形態1に記載した昇温と降温を繰り返す第2の熱処理と同様に、ゲート絶縁層402と酸化物半導体層432の界面及び、酸化物半導体層432と保護絶縁層407の界面に形成されるダングリングボンドの終端や、酸化物半導体層432中に空間の周辺に存在する原子の再配列を少しずつ行い、当該部位の構造を安定なものとした酸化物半導体層403を形成することができる。

20

#### 【0094】

よって、酸化物半導体層403を有する薄膜トランジスタのゲート電圧が0Vにできるだけ近い正のしきい値電圧でチャネルが形成されるようにすることができる。特に、チャネル長が20  $\mu\text{m}$ 以下と短い場合においても、同様に薄膜トランジスタのゲート電圧が0Vにできるだけ近い正のしきい値電圧でチャネルが形成されるようにすることができる。また、この第2の熱処理により電界効果移動度の向上を図ることもできる。

30

#### 【0095】

また、酸化物半導体層403を有する薄膜トランジスタを、同一基板上に複数形成しても、薄膜トランジスタのしきい値電圧にバラツキが生じるのを防ぐことができる。

#### 【0096】

また、BTストレス試験（バイアス・温度ストレス試験）を行った際のしきい値電圧のシフト量を低減することができ、信頼性の高い薄膜トランジスタを得ることができる。

#### 【0097】

よって、本実施の形態に示す作製方法を用いて表示装置の画素部の薄膜トランジスタを作製することにより、各画素の薄膜トランジスタのしきい値電圧のバラツキに起因する表示ムラを抑制することができる。

40

#### 【0098】

また、本実施の形態に示す作製方法を用いて表示装置の駆動回路部の薄膜トランジスタを作製することにより、しきい値電圧を殆どマイナスシフトさせることなく、チャネル長を短くすることができるので、駆動回路部の薄膜トランジスタの高速動作を実現し、省電力化を図ることができる。

#### 【0099】

なお、第2の熱処理においては、酸素、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)

50

以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0100】

また、第2の熱処理は、電気炉を用いた加熱方法などを用いることができる。

【0101】

なお、第2の熱処理は、必ずしも保護絶縁層407を形成したすぐ後に行う必要はない。保護絶縁層上に、層間膜や配線層などを形成してから第2の熱処理を行ってもよい。つまり、保護絶縁層407を形成した後ならば、いつ第2の熱処理を行ってもよい。例えば、表示装置の画素部に用いる薄膜トランジスタを作製する場合には、画素電極層形成後に第2の熱処理を行ってもよい。

10

【0102】

また、第2の熱処理を行う前に、不活性ガス雰囲気下、または窒素ガス雰囲気下で加熱処理(好ましくは200以上400以下)を行ってもよい。ここで、該加熱処理は、第1の熱処理温度より低い温度、且つ、第2の熱処理温度より高い温度とするのが好ましい。例えば、窒素雰囲気下で250、1時間程度行えばよい。

【0103】

以上の工程より、実施の形態1と同様に、絶縁表面を有する基板である基板400上にゲート電極層401が設けられ、ゲート電極層401の上にゲート絶縁層402が設けられ、ゲート絶縁層402の上に酸化物半導体層403が設けられ、酸化物半導体層403の上にソース電極層またはドレイン電極層405a、405bが設けられ、ゲート絶縁層402、酸化物半導体層403、ソース電極層405a及びドレイン電極層405bを覆い、酸化物半導体層403の一部と接する保護絶縁層407が設けられている、チャネルエッチ型の薄膜トランジスタ461を形成することができる(図1(E)参照。)

20

【0104】

よって、第1の熱処理によって脱水化または脱水素化させた酸化物半導体層を有する、薄膜トランジスタを覆うように保護絶縁層を形成し、第1の熱処理より低い温度に保ったまま、第1の熱処理より長時間連続して第2の熱処理を行うことによって、チャネル長に依存せず、酸化物半導体層を有する薄膜トランジスタのゲート電圧が0Vにできるだけ近い正のしきい値電圧でチャネルが形成される薄膜トランジスタを作製することができる。

【0105】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

30

【0106】

(実施の形態3)

本実施の形態では、実施の形態1及び実施の形態2とは異なり、保護絶縁層407を形成する前に第3の熱処理を行って、薄膜トランジスタを作製する。

【0107】

ソース電極層またはドレイン電極層405a、405bを形成するまでは、実施の形態1と同様の工程で薄膜トランジスタを作製する(図1(B)参照。)

【0108】

それから、第3の熱処理を行って、酸化物半導体層432の、ソース電極層またはドレイン電極層405a、405bから露出した領域(バックチャネル)の脱水または脱水素化を行う。第3の熱処理は、100乃至300の温度で行うのが好ましく、真空中、酸素雰囲気下、希ガス雰囲気(ヘリウム、ネオン、アルゴン等)下または減圧下において行うのが好ましい。また、第3の熱処理の時間は、1分乃至60分とするのが好ましい。

40

【0109】

第3の熱処理によって、水や水素の侵入によりバックチャネルに形成される余剰キャリアを除去することができる。これにより、後の工程で行う、実施の形態1及び実施の形態2で示した第2の熱処理の熱処理時間を短縮しても同様の効果を得ることができるようになる。

50

## 【0110】

次に、実施の形態1で示したように、ゲート絶縁層402、酸化物半導体層432、ソース電極層405a及びドレイン電極層405bを覆い、酸化物半導体層432の一部と接する保護絶縁層407を形成する(図1(C)参照)。保護絶縁層407は、少なくとも1nm以上の膜厚とし、スパッタリング法など、保護絶縁層407に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。ここでは、保護絶縁層407は、酸素雰囲気下とし、大気に触れさせることなく、室温以上100℃以下程度の成膜温度でスパッタリング法を用いて形成する。酸化物半導体層432の一部と接して形成される保護絶縁層407は、水分や、水素イオンや、 $\text{OH}^-$ などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、酸化珪素膜を用いるのが好ましい。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。

10

## 【0111】

また、保護絶縁層407は、酸化珪素膜上に窒化珪素膜を積層する構造としてもよく、窒化珪素膜は水分や、水素イオンや、 $\text{OH}^-$ などの不純物を含まず、これらが外部から侵入することをブロックしやすいので好ましい。窒化珪素膜の積層も大気に触れさせることなく行い、保護絶縁層407に水、水素等の不純物を混入させないことが重要である。

## 【0112】

次いで、実施の形態1または実施の形態2に示す、第1の熱処理より低い温度で、昇温と降温を複数回繰り返す第2の熱処理か、第1の熱処理より低い温度に保ったまま、第1の熱処理より長時間連続して行う第2の熱処理を行って、酸化物半導体層403を形成し、チャンネルエッチ型の薄膜トランジスタ461を作製することができる(図1(E)参照)。

20

## 【0113】

このとき、第2の熱処理の前に第3の熱処理を行っておくことによって、第2の熱処理の時間を短くしても、酸化物半導体層403を有する薄膜トランジスタのゲート電圧が0Vにできるだけ近い正のしきい値電圧でチャンネルが形成されるようにすることができる。特に、チャンネル長が20 $\mu\text{m}$ 以下と短い場合においても、同様に薄膜トランジスタのゲート電圧が0Vにできるだけ近い正のしきい値電圧でチャンネルが形成されるようにすることができる。また、この第2の熱処理により電界効果移動度の向上を図ることもできる。

30

## 【0114】

また、第2の熱処理の前に第3の熱処理を行っておくことによって、第2の熱処理の時間を短くしても、酸化物半導体層403を有する薄膜トランジスタを、同一基板上に複数形成しても、薄膜トランジスタのしきい値電圧バラツキが生じるのを防ぐことができる。

## 【0115】

また、第2の熱処理の前に第3の熱処理を行っておくことによって、第2の熱処理の時間を短くしても、BTストレス試験(バイアス・温度ストレス試験)を行った際のしきい値電圧のシフト量を低減することができ、信頼性の高い薄膜トランジスタを得ることができる。

## 【0116】

よって、本実施の形態に示す作製方法を用いて表示装置の画素部の薄膜トランジスタを作製することにより、各画素の薄膜トランジスタのしきい値電圧のバラツキに起因する表示ムラを抑制することができる。

40

## 【0117】

また、本実施の形態に示す作製方法を用いて表示装置の駆動回路部の薄膜トランジスタを作製することにより、しきい値電圧をマイナスシフトさせることなく、チャンネル長を短くすることができるので、駆動回路部の薄膜トランジスタの高速動作を実現し、省電力化を図ることができる。

## 【0118】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能

50



である。

#### 【0119】

(実施の形態4)

本実施の形態では、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

#### 【0120】

画素部に配置する薄膜トランジスタは、実施の形態1乃至実施の形態3に従って形成する。また、実施の形態1乃至実施の形態3に示す薄膜トランジスタはnチャネル型TFTであるため、駆動回路のうち、nチャネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

10

#### 【0121】

アクティブマトリクス型表示装置のブロック図の一例を図11(A)に示す。表示装置の基板5300上には、画素部5301、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304を有する。画素部5301には、複数の信号線が信号線駆動回路5304から延伸して配置され、複数の走査線が第1の走査線駆動回路5302、及び第2の走査線駆動回路5303から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に配置されている。また、表示装置の基板5300はFPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路5305(コントローラ、制御ICともいう)に接続されている。

20

#### 【0122】

図11(A)では、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304は、画素部5301と同じ基板5300上に形成される。そのため、外部に設ける駆動回路等の部品数が減るので、コストの低減を図ることができる。また、基板5300外部に駆動回路を設けた場合の配線を延伸させることによる接続部での接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

#### 【0123】

なお、タイミング制御回路5305は、第1の走査線駆動回路5302に対し、一例として、第1の走査線駆動回路用スタート信号(GSP1)、走査線駆動回路用クロック信号(GCK1)を供給する。また、タイミング制御回路5305は、第2の走査線駆動回路5303に対し、一例として、第2の走査線駆動回路用スタート信号(GSP2)(スタートパルスともいう)、走査線駆動回路用クロック信号(GCK2)を供給する。信号線駆動回路5304に、信号線駆動回路用スタート信号(SSP)、信号線駆動回路用クロック信号(SCK)、ビデオ信号用データ(DATA)(単にビデオ信号ともいう)、ラッチ信号(LAT)を供給するものとする。なお各クロック信号は、周期のずれた複数のクロック信号でもよいし、クロック信号を反転させた信号(CKB)とともに供給されるものであってもよい。なお、第1の走査線駆動回路5302と第2の走査線駆動回路5303との一方を省略することが可能である。

30

#### 【0124】

図11(B)では、駆動周波数が低い回路(例えば、第1の走査線駆動回路5302、第2の走査線駆動回路5303)を画素部5301と同じ基板5300に形成し、信号線駆動回路5304を画素部5301とは別の基板に形成する構成について示している。当該構成により、単結晶半導体を用いたトランジスタと比較すると電界効果移動度が小さい薄膜トランジスタによって、基板5300に形成する駆動回路を構成することができる。したがって、表示装置の大型化、工程数の削減、コストの低減、又は歩留まりの向上などを行うことができる。

40

#### 【0125】

また、実施の形態1乃至実施の形態3に示す薄膜トランジスタは、nチャネル型TFTである。図12(A)、図12(B)ではnチャネル型TFTで構成する信号線駆動回路の構成、動作について一例を示し説明する。

50

## 【 0 1 2 6 】

信号線駆動回路は、シフトレジスタ 5 6 0 1、及びスイッチング回路 5 6 0 2 を有する。スイッチング回路 5 6 0 2 は、スイッチング回路 5 6 0 2 \_\_ 1 ~ 5 6 0 2 \_\_ N ( N は自然数 ) という複数の回路を有する。スイッチング回路 5 6 0 2 \_\_ 1 ~ 5 6 0 2 \_\_ N は、各々、薄膜トランジスタ 5 6 0 3 \_\_ 1 ~ 5 6 0 3 \_\_ k ( k は自然数 ) という複数のトランジスタを有する。薄膜トランジスタ 5 6 0 3 \_\_ 1 ~ 5 6 0 3 \_\_ k が、Nチャネル型 T F T である例を説明する。

## 【 0 1 2 7 】

信号線駆動回路の接続関係について、スイッチング回路 5 6 0 2 \_\_ 1 を例にして説明する。薄膜トランジスタ 5 6 0 3 \_\_ 1 ~ 5 6 0 3 \_\_ k の第 1 端子は、各々、配線 5 6 0 4 \_\_ 1 ~ 5 6 0 4 \_\_ k と接続される。薄膜トランジスタ 5 6 0 3 \_\_ 1 ~ 5 6 0 3 \_\_ k の第 2 端子は、各々、信号線 S 1 ~ S k と接続される。薄膜トランジスタ 5 6 0 3 \_\_ 1 ~ 5 6 0 3 \_\_ k のゲートは、配線 5 6 0 5 \_\_ 1 と接続される。

10

## 【 0 1 2 8 】

シフトレジスタ 5 6 0 1 は、配線 5 6 0 5 \_\_ 1 ~ 5 6 0 5 \_\_ N に順番に H レベル ( H 信号、高電源電位レベル、ともいう ) の信号を出力し、スイッチング回路 5 6 0 2 \_\_ 1 ~ 5 6 0 2 \_\_ N を順番に選択する機能を有する。

## 【 0 1 2 9 】

スイッチング回路 5 6 0 2 \_\_ 1 は、配線 5 6 0 4 \_\_ 1 ~ 5 6 0 4 \_\_ k と信号線 S 1 ~ S k との導通状態 ( 第 1 端子と第 2 端子との間の導通 ) を制御する機能、即ち配線 5 6 0 4 \_\_ 1 ~ 5 6 0 4 \_\_ k の電位を信号線 S 1 ~ S k に供給するか否かを制御する機能を有する。このように、スイッチング回路 5 6 0 2 \_\_ 1 は、セレクトとしての機能を有する。また薄膜トランジスタ 5 6 0 3 \_\_ 1 ~ 5 6 0 3 \_\_ k は、各々、配線 5 6 0 4 \_\_ 1 ~ 5 6 0 4 \_\_ k と信号線 S 1 ~ S k との導通状態を制御する機能、即ち配線 5 6 0 4 \_\_ 1 ~ 5 6 0 4 \_\_ k の電位を信号線 S 1 ~ S k に供給する機能を有する。このように、薄膜トランジスタ 5 6 0 3 \_\_ 1 ~ 5 6 0 3 \_\_ k は、各々、スイッチとしての機能を有する。

20

## 【 0 1 3 0 】

なお、配線 5 6 0 4 \_\_ 1 ~ 5 6 0 4 \_\_ k には、各々、ビデオ信号用データ ( D A T A ) が入力される。ビデオ信号用データ ( D A T A ) は、画像情報又は画像信号に応じたアナログ信号である場合が多い。

30

## 【 0 1 3 1 】

次に、図 1 2 ( A ) の信号線駆動回路の動作について、図 1 2 ( B ) のタイミングチャートを参照して説明する。図 1 2 ( B ) には、信号 S o u t \_\_ 1 ~ S o u t \_\_ N、及び信号 V d a t a \_\_ 1 ~ V d a t a \_\_ k の一例を示す。信号 S o u t \_\_ 1 ~ S o u t \_\_ N は、各々、シフトレジスタ 5 6 0 1 の出力信号の一例であり、信号 V d a t a \_\_ 1 ~ V d a t a \_\_ k は、各々、配線 5 6 0 4 \_\_ 1 ~ 5 6 0 4 \_\_ k に入力される信号の一例である。なお、信号線駆動回路の 1 動作期間は、表示装置における 1 ゲート選択期間に対応する。1 ゲート選択期間は、一例として、期間 T 1 ~ 期間 T N に分割される。期間 T 1 ~ T N は、各々、選択された行に属する画素にビデオ信号用データ ( D A T A ) を書き込むための期間である。

40

## 【 0 1 3 2 】

なお、本実施の形態の図面等において示す各構成の、信号波形のなまり等は、明瞭化のために誇張して表記している場合がある。よって、必ずしもそのスケールに限定されないものであることを付記する。

## 【 0 1 3 3 】

期間 T 1 ~ 期間 T N において、シフトレジスタ 5 6 0 1 は、H レベルの信号を配線 5 6 0 5 \_\_ 1 ~ 5 6 0 5 \_\_ N に順番に出力する。例えば、期間 T 1 において、シフトレジスタ 5 6 0 1 は、ハイレベルの信号を配線 5 6 0 5 \_\_ 1 に出力する。すると、薄膜トランジスタ 5 6 0 3 \_\_ 1 ~ 5 6 0 3 \_\_ k はオンになるので、配線 5 6 0 4 \_\_ 1 ~ 5 6 0 4 \_\_ k と、信号線 S 1 ~ S k とが導通状態になる。このとき、配線 5 6 0 4 \_\_ 1 ~ 5 6 0 4 \_\_ k には、

50

Data (S1) ~ Data (Sk) が入力される。Data (S1) ~ Data (Sk) は、各々、薄膜トランジスタ 5603\_\_1 ~ 5603\_\_k を介して、選択される行に属する画素のうち、1列目 ~ k列目の画素に書き込まれる。こうして、期間 T1 ~ TN において、選択された行に属する画素に、k列ずつ順番にビデオ信号用データ (DATA) が書き込まれる。

#### 【0134】

以上のように、ビデオ信号用データ (DATA) が複数の列ずつ画素に書き込まれることによって、ビデオ信号用データ (DATA) の数、又は配線の数減らすことができる。よって、外部回路との接続数を減らすことができる。また、ビデオ信号が複数の列ずつ画素に書き込まれることによって、書き込み時間を長くすることができ、ビデオ信号の書き込み不足を防止することができる。

10

#### 【0135】

なお、シフトレジスタ 5601 及びスイッチング回路 5602 としては、実施の形態 1 乃至実施の形態 3 に示す薄膜トランジスタで構成される回路を用いることが可能である。この場合、シフトレジスタ 5601 が有する全てのトランジスタの極性を N チャンネル型、又は P チャンネル型のいずれかの極性のみで構成することができる。

#### 【0136】

走査線駆動回路及び/または信号線駆動回路の一部に用いるシフトレジスタの一形態について図 13 及び図 14 を用いて説明する。

#### 【0137】

走査線駆動回路は、シフトレジスタを有している。また場合によってはレベルシフタやバッファなどを有していても良い。走査線駆動回路において、シフトレジスタにクロック信号 (CK) 及びスタートパルス信号 (SP) が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲート電極が接続されている。そして、1ライン分の画素のトランジスタを一斉に ON にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

20

#### 【0138】

シフトレジスタは、第 1 のパルス出力回路 10\_\_1 乃至第 N のパルス出力回路 10\_\_N (N は 3 以上の自然数) を有している (図 13 (A) 参照)。図 13 (A) に示すシフトレジスタの第 1 のパルス出力回路 10\_\_1 乃至第 N のパルス出力回路 10\_\_N には、第 1 の配線 11 より第 1 のクロック信号 CK1、第 2 の配線 12 より第 2 のクロック信号 CK2、第 3 の配線 13 より第 3 のクロック信号 CK3、第 4 の配線 14 より第 4 のクロック信号 CK4 が供給される。また第 1 のパルス出力回路 10\_\_1 では、第 5 の配線 15 からのスタートパルス SP1 (第 1 のスタートパルス) が入力される。また 2 段目以降の第 n のパルス出力回路 10\_\_n (n は、2 以上 N 以下の自然数) では、一段前段のパルス出力回路からの信号 (前段信号 OUT (n-1) という) (n は 2 以上の自然数) が入力される。また第 1 のパルス出力回路 10\_\_1 では、2 段後段の第 3 のパルス出力回路 10\_\_3 からの信号が入力される。同様に、2 段目以降の第 n のパルス出力回路 10\_\_n では、2 段後段の第 (n+2) のパルス出力回路 10\_\_n+2 からの信号 (後段信号 OUT (n+2) という) が入力される。従って、各段のパルス出力回路からは、後段及び/または二つ前段のパルス出力回路に入力するための第 1 の出力信号 (OUT (1) (SR) ~ OUT (N) (SR))、別の配線等に電氣的に接続される第 2 の出力信号 (OUT (1) ~ OUT (N)) が出力される。なお、図 13 (A) に示すように、シフトレジスタの最終段の 2 つの段には、後段信号 OUT (n+2) が入力されないため、一例としては、別途第 2 のスタートパルス SP2、第 3 のスタートパルス SP3 をそれぞれ入力する構成とすればよい。

30

40

#### 【0139】

なお、クロック信号 (CK) は、一定の間隔で H レベルと L レベル (L 信号、低電源電位レベル、ともいう) を繰り返す信号である。ここで、第 1 のクロック信号 (CK1) ~ 第

50

4のクロック信号(C K 4)は、順に1/4周期分遅延している。本実施の形態では、第1のクロック信号(C K 1)~第4のクロック信号(C K 4)を利用して、パルス出力回路の駆動の制御等を行う。なお、クロック信号は、入力される駆動回路に応じて、G C K、S C Kということもあるが、ここではC Kとして説明を行う。

#### 【0140】

第1の入力端子21、第2の入力端子22及び第3の入力端子23は、第1の配線11~第4の配線14のいずれかと電氣的に接続されている。例えば、図13(A)において、第1のパルス出力回路10\_\_1は、第1の入力端子21が第1の配線11と電氣的に接続され、第2の入力端子22が第2の配線12と電氣的に接続され、第3の入力端子23が第3の配線13と電氣的に接続されている。また、第2のパルス出力回路10\_\_2は、第1の入力端子21が第2の配線12と電氣的に接続され、第2の入力端子22が第3の配線13と電氣的に接続され、第3の入力端子23が第4の配線14と電氣的に接続されている。

10

#### 【0141】

第1のパルス出力回路10\_\_1~第Nのパルス出力回路10\_\_Nの各々は、第1の入力端子21、第2の入力端子22、第3の入力端子23、第4の入力端子24、第5の入力端子25、第1の出力端子26、第2の出力端子27を有しているとする(図13(B)参照)。第1のパルス出力回路10\_\_1において、第1の入力端子21に第1のクロック信号C K 1が入力され、第2の入力端子22に第2のクロック信号C K 2が入力され、第3の入力端子23に第3のクロック信号C K 3が入力され、第4の入力端子24にスタートパルスが入力され、第5の入力端子25に後段信号O U T (3)が入力され、第1の出力端子26より第1の出力信号O U T (1)(S R)が出力され、第2の出力端子27より第2の出力信号O U T (1)が出力されていることとなる。

20

#### 【0142】

なお第1のパルス出力回路10\_\_1~第Nのパルス出力回路10\_\_Nは、3端子の薄膜トランジスタの他に、4端子の薄膜トランジスタを用いることができる。図13(C)に4端子の薄膜トランジスタ28のシンボルについて示す。図13(C)に示す薄膜トランジスタ28のシンボルは、4端子の薄膜トランジスタを意味し、図面等で以下用いることとする。薄膜トランジスタ28は、第1のゲート電極に入力される第1の制御信号G 1及び第2のゲート電極に入力される第2の制御信号G 2によって、I n端子とO u t端子間の電氣的な制御を行うことのできる素子である。

30

#### 【0143】

図13(C)に示す薄膜トランジスタ28のしきい値電圧は、薄膜トランジスタ28のチャネル形成領域の上下にゲート絶縁膜を介してゲート電極を設け、上部及び/または下部のゲート電極の電位を制御することにより所望の値に制御することができる。

#### 【0144】

次に、図13(B)に示したパルス出力回路の具体的な回路構成の一例について、図13(D)で説明する。

#### 【0145】

図13(D)に示す第1のパルス出力回路10\_\_1は、第1のトランジスタ31~第13のトランジスタ43を有している。また、上述した第1の入力端子21~第5の入力端子25、及び第1の出力端子26、第2の出力端子27に加え、第1の高電源電位V D Dが供給される電源線51、第2の高電源電位V C Cが供給される電源線52、低電源電位V S Sが供給される電源線53から、第1のトランジスタ31~第13のトランジスタ43に信号、または電源電位が供給される。ここで図13(D)の各電源線の電源電位の大小関係は、第1の電源電位V D Dは第2の電源電位V C C以上の電位とし、第2の電源電位V C Cは第3の電源電位V S Sより大きい電位とする。なお、第1のクロック信号(C K 1)~第4のクロック信号(C K 4)は、一定の間隔でHレベルとLレベルを繰り返す信号であるが、HレベルのときV D D、LレベルのときV S Sであるとする。なお電源線51の電位V D Dを、電源線52の電位V C Cより高くすることにより、動作に影響を与え

40

50

ることなく、トランジスタのゲート電極に印加される電位を低く抑えることができ、トランジスタのしきい値のシフトを低減し、劣化を抑制することができる。なお図 13 (D) に図示するように、第 1 のトランジスタ 31 ~ 第 13 のトランジスタ 43 のうち、第 1 のトランジスタ 31、第 6 のトランジスタ 36 乃至第 9 のトランジスタ 39 には、図 13 (C) で示した 4 端子の薄膜トランジスタ 28 を用いることが好ましい。第 1 のトランジスタ 31、第 6 のトランジスタ 36 乃至第 9 のトランジスタ 39 の動作は、ソースまたはドレインとなる電極の一方が接続されたノードの電位を、ゲート電極の制御信号によって切り替えることが求められるトランジスタであり、ゲート電極に入力される制御信号に対する応答が速い（オン電流の立ち上がりが急峻）ことでよりパルス出力回路の誤動作を低減することができるトランジスタである。そのため、図 13 (C) で示した 4 端子の薄膜トランジスタ 28 を用いることによりしきい値電圧を制御することができ、誤動作がより低減できるパルス出力回路とすることができる。なお図 13 (D) では第 1 の制御信号 G1 及び第 2 の制御信号 G2 が同じ制御信号としたが、異なる制御信号が入力される構成としてもよい。

10

#### 【0146】

図 13 (D) において第 1 のトランジスタ 31 は、第 1 端子が電源線 51 に電氣的に接続され、第 2 端子が第 9 のトランジスタ 39 の第 1 端子に電氣的に接続され、ゲート電極（第 1 のゲート電極及び第 2 のゲート電極）が第 4 の入力端子 24 に電氣的に接続されている。第 2 のトランジスタ 32 は、第 1 端子が電源線 53 に電氣的に接続され、第 2 端子が第 9 のトランジスタ 39 の第 1 端子に電氣的に接続され、ゲート電極が第 4 のトランジスタ 34 のゲート電極に電氣的に接続されている。第 3 のトランジスタ 33 は、第 1 端子が第 1 の入力端子 21 に電氣的に接続され、第 2 端子が第 1 の出力端子 26 に電氣的に接続されている。第 4 のトランジスタ 34 は、第 1 端子が電源線 53 に電氣的に接続され、第 2 端子が第 1 の出力端子 26 に電氣的に接続されている。第 5 のトランジスタ 35 は、第 1 端子が電源線 53 に電氣的に接続され、第 2 端子が第 2 のトランジスタ 32 のゲート電極及び第 4 のトランジスタ 34 のゲート電極に電氣的に接続され、ゲート電極が第 4 の入力端子 24 に電氣的に接続されている。第 6 のトランジスタ 36 は、第 1 端子が電源線 52 に電氣的に接続され、第 2 端子が第 2 のトランジスタ 32 のゲート電極及び第 4 のトランジスタ 34 のゲート電極に電氣的に接続され、ゲート電極（第 1 のゲート電極及び第 2 のゲート電極）が第 5 の入力端子 25 に電氣的に接続されている。第 7 のトランジスタ 37 は、第 1 端子が電源線 52 に電氣的に接続され、第 2 端子が第 8 のトランジスタ 38 の第 2 端子に電氣的に接続され、ゲート電極（第 1 のゲート電極及び第 2 のゲート電極）が第 3 の入力端子 23 に電氣的に接続されている。第 8 のトランジスタ 38 は、第 1 端子が第 2 のトランジスタ 32 のゲート電極及び第 4 のトランジスタ 34 のゲート電極に電氣的に接続され、ゲート電極（第 1 のゲート電極及び第 2 のゲート電極）が第 2 の入力端子 22 に電氣的に接続されている。第 9 のトランジスタ 39 は、第 1 端子が第 1 のトランジスタ 31 の第 2 端子及び第 2 のトランジスタ 32 の第 2 端子に電氣的に接続され、第 2 端子が第 3 のトランジスタ 33 のゲート電極及び第 10 のトランジスタ 40 のゲート電極に電氣的に接続され、ゲート電極（第 1 のゲート電極及び第 2 のゲート電極）が電源線 52 に電氣的に接続されている。第 10 のトランジスタ 40 は、第 1 端子が第 1 の入力端子 21 に電氣的に接続され、第 2 端子が第 2 の出力端子 27 に電氣的に接続され、ゲート電極が第 9 のトランジスタ 39 の第 2 端子に電氣的に接続されている。第 11 のトランジスタ 41 は、第 1 端子が電源線 53 に電氣的に接続され、第 2 端子が第 2 の出力端子 27 に電氣的に接続され、ゲート電極が第 2 のトランジスタ 32 のゲート電極及び第 4 のトランジスタ 34 のゲート電極に電氣的に接続されている。第 12 のトランジスタ 42 は、第 1 端子が電源線 53 に電氣的に接続され、第 2 端子が第 2 の出力端子 27 に電氣的に接続され、ゲート電極が第 7 のトランジスタ 37 のゲート電極（第 1 のゲート電極及び第 2 のゲート電極）に電氣的に接続されている。第 13 のトランジスタ 43 は、第 1 端子が電源線 53 に電氣的に接続され、第 2 端子が第 1 の出力端子 26 に電氣的に接続され、ゲート電極が第 7 のトランジスタ 37 のゲート電極（第 1 のゲート電極及び第 2 のゲート電極）に電氣

20

30

40

50

的に接続されている。

【 0 1 4 7 】

図 1 3 ( D ) において、第 3 のトランジスタ 3 3 のゲート電極、第 1 0 のトランジスタ 4 0 のゲート電極、及び第 9 のトランジスタ 3 9 の第 2 端子の接続箇所をノード A とする。また、第 2 のトランジスタ 3 2 のゲート電極、第 4 のトランジスタ 3 4 のゲート電極、第 5 のトランジスタ 3 5 の第 2 端子、第 6 のトランジスタ 3 6 の第 2 端子、第 8 のトランジスタ 3 8 の第 1 端子、及び第 1 1 のトランジスタ 4 1 のゲート電極の接続箇所をノード B とする ( 図 1 4 ( A ) 参照 ) 。

【 0 1 4 8 】

図 1 4 ( A ) に、図 1 3 ( D ) で説明したパルス出力回路を第 1 のパルス出力回路 1 0 \_ 1 に適用した場合に、第 1 の入力端子 2 1 乃至第 5 の入力端子 2 5 と第 1 の出力端子 2 6 及び第 2 の出力端子 2 7 に入力または出力される信号を示している。

【 0 1 4 9 】

具体的には、第 1 の入力端子 2 1 に第 1 のクロック信号 C K 1 が入力され、第 2 の入力端子 2 2 に第 2 のクロック信号 C K 2 が入力され、第 3 の入力端子 2 3 に第 3 のクロック信号 C K 3 が入力され、第 4 の入力端子 2 4 にスタートパルスが入力され、第 5 の入力端子 2 5 に後段信号 O U T ( 3 ) が入力され、第 1 の出力端子 2 6 より第 1 の出力信号 O U T ( 1 ) ( S R ) が出力され、第 2 の出力端子 2 7 より第 2 の出力信号 O U T ( 1 ) が出力される。

【 0 1 5 0 】

なお、薄膜トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。また、ゲートと重畳した領域にチャネル領域が形成される半導体を有しており、ゲートの電位を制御することで、チャネル領域を介してドレインとソースの間に流れる電流を制御することが出来る。ここで、ソースとドレインとは、薄膜トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第 1 端子、第 2 端子と表記する場合がある。

【 0 1 5 1 】

なお図 1 3 ( D ) 、図 1 4 ( A ) において、ノード A を浮遊状態とすることによりブートストラップ動作を行うための、容量素子を別途設けても良い。またノード B の電位を保持するため、一方の電極をノード B に電氣的に接続した容量素子を別途設けてもよい。

【 0 1 5 2 】

ここで、図 1 4 ( A ) に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについて図 1 4 ( B ) に示す。なおシフトレジスタが走査線駆動回路である場合、図 1 4 ( B ) 中の期間 6 1 は垂直帰線期間であり、期間 6 2 はゲート選択期間に相当する。

【 0 1 5 3 】

なお、図 1 4 ( A ) に示すように、ゲートに第 2 の電源電位 V C C が印加される第 9 のトランジスタ 3 9 を設けておくことにより、ブートストラップ動作の前後において、以下のような利点がある。

【 0 1 5 4 】

ゲート電極に第 2 の電源電位 V C C が印加される第 9 のトランジスタ 3 9 がない場合、ブートストラップ動作によりノード A の電位が上昇すると、第 1 のトランジスタ 3 1 の第 2 端子であるソースの電位が上昇していき、第 1 の電源電位 V D D より大きくなる。そして、第 1 のトランジスタ 3 1 のソースが第 1 端子側、即ち電源線 5 1 側に切り替わる。そのため、第 1 のトランジスタ 3 1 においては、ゲートとソースの間、ゲートとドレインの間ともに、大きな電圧が印加されるために大きなストレスがかかり、トランジスタの劣化の要因となりうる。そこで、ゲート電極に第 2 の電源電位 V C C が印加される第 9 のトランジスタ 3 9 を設けておくことにより、ブートストラップ動作によりノード A の電位は上昇

10

20

30

40

50

するものの、第1のトランジスタ31の第2端子の電位の上昇を生じないようにすることができる。つまり、第9のトランジスタ39を設けることにより、第1のトランジスタ31のゲートとソースの間に印加される負の電圧の値を小さくすることができる。よって、本実施の形態の回路構成とすることにより、第1のトランジスタ31のゲートとソースの間に印加される負の電圧も小さくできるため、ストレスによる第1のトランジスタ31の劣化を抑制することができる。

#### 【0155】

なお、第9のトランジスタ39を設ける箇所については、第1のトランジスタ31の第2端子と第3のトランジスタ33のゲートとの間に第1端子と第2端子を介して接続されるように設ける構成であればよい。なお、本実施形態でのパルス出力回路を複数具備するシフトレジスタの場合、走査線駆動回路より段数の多い信号線駆動回路では、第9のトランジスタ39を省略してもよく、トランジスタ数を削減することに利点がある。

10

#### 【0156】

なお第1のトランジスタ31乃至第13のトランジスタ43の半導体層として、酸化物半導体を用いることにより、薄膜トランジスタのオフ電流を低減すると共に、オン電流及び電界効果移動度を高めることが出来ると共に、劣化の度合いを低減することが出来るため、回路内の誤動作を低減することができる。また酸化物半導体を用いたトランジスタは、アモルファスシリコンを用いたトランジスタに比べ、ゲート電極に高電位が印加されることによるトランジスタの劣化の程度が小さい。そのため、第2の電源電位VCCを供給する電源線に、第1の電源電位VDDを供給しても同様の動作が得られ、且つ回路間を引き回す電源線の数を低減することができるため、回路の小型化を図ることが出来る。

20

#### 【0157】

なお、第7のトランジスタ37のゲート電極（第1のゲート電極及び第2のゲート電極）に第3の入力端子23によって供給されるクロック信号、第8のトランジスタ38のゲート電極（第1のゲート電極及び第2のゲート電極）に第2の入力端子22によって供給されるクロック信号は、第7のトランジスタ37のゲート電極（第1のゲート電極及び第2のゲート電極）に第2の入力端子22によって供給されるクロック信号、第8のトランジスタ38のゲート電極（第1のゲート電極及び第2のゲート電極）に第3の入力端子23によって供給されるクロック信号となるように、結線関係を入れ替えても同様の作用を奏する。なお、図14(A)に示すシフトレジスタにおいて、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオフ、第8のトランジスタ38がオンの状態、次いで第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じる、ノードBの電位の低下が第7のトランジスタ37のゲート電極の電位の低下、及び第8のトランジスタ38のゲート電極の電位の低下に起因して2回生じることとなる。一方、図14(A)に示すシフトレジスタにおいて、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオン、第8のトランジスタ38がオフの状態、次いで、第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じるノードBの電位の低下を、第8のトランジスタ38のゲート電極の電位の低下による一回に低減することができる。そのため、第7のトランジスタ37のゲート電極（第1のゲート電極及び第2のゲート電極）に第3の入力端子23によってクロック信号を供給し、第8のトランジスタ38のゲート電極（第1のゲート電極及び第2のゲート電極）に第2の入力端子22によってクロック信号を供給される接続関係とすることが好適である。なぜなら、ノードBの電位の変動回数が低減され、ノイズを低減することが出来るからである。

30

40

#### 【0158】

このように、第1の出力端子26及び第2の出力端子27の電位をLレベルに保持する期間に、ノードBに定期的にHレベルの信号が供給される構成とすることにより、パルス出力回路の誤動作を抑制することができる。

50

## 【 0 1 5 9 】

実施の形態 1 に示す薄膜トランジスタの作製方法を用いて上記駆動回路の薄膜トランジスタを作製することにより、しきい値電圧をマイナスシフトさせることなく、チャネル長を短くすることができるので、駆動回路部の薄膜トランジスタの高速動作を実現し、省電力化を図ることができる。

## 【 0 1 6 0 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

## 【 0 1 6 1 】

( 実施の形態 5 )

薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置（表示装置ともいう）を作製することができる。また、薄膜トランジスタを駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

## 【 0 1 6 2 】

表示装置は表示素子を含む。表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機 EL ( E l e c t r o L u m i n e s c e n c e )、有機 EL 等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

## 【 0 1 6 3 】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含む IC 等を実装した状態にあるモジュールとを含む。さらに、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

## 【 0 1 6 4 】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えば FPC ( F l e x i b l e p r i n t e d c i r c u i t ) もしくは TAB ( T a p e A u t o m a t e d B o n d i n g ) テープもしくは TCP ( T a p e C a r r i e r P a c k a g e ) が取り付けられたモジュール、TAB テープや TCP の先にプリント配線板が設けられたモジュール、または表示素子に COG ( C h i p O n G l a s s ) 方式により IC ( 集積回路 ) が直接実装されたモジュールも全て表示装置に含むものとする。

## 【 0 1 6 5 】

半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図 7 を用いて説明する。図 7 ( A 1 ) ( A 2 ) は、薄膜トランジスタ 4010、4011、及び液晶素子 4013 を、第 1 の基板 4001 と第 2 の基板 4006 との間にシール材 4005 によって封止した、パネルの平面図であり、図 7 ( B ) は、図 7 ( A 1 ) ( A 2 ) の M - N における断面図に相当する。

## 【 0 1 6 6 】

第 1 の基板 4001 上に設けられた画素部 4002 と、走査線駆動回路 4004 とを囲むようにして、シール材 4005 が設けられている。また画素部 4002 と、走査線駆動回路 4004 の上に第 2 の基板 4006 が設けられている。よって画素部 4002 と、走査線駆動回路 4004 とは、第 1 の基板 4001 とシール材 4005 と第 2 の基板 4006 とによって、液晶層 4008 と共に封止されている。また第 1 の基板 4001 上のシール材 4005 によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路 4003 が実装されている。



## 【0167】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図7(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図7(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

## 【0168】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図7(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4020、4041、4021が設けられている。

10

## 【0169】

薄膜トランジスタ4010、4011は、実施の形態1で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

## 【0170】

絶縁層4021上において、駆動回路用の薄膜トランジスタ4011の酸化物半導体層のチャネル形成領域と重なる位置に導電層4040が設けられている。導電層4040を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT試験前後における薄膜トランジスタ4011のしきい値電圧の変化量を低減することができる。また、導電層4040は、電位が薄膜トランジスタ4011のゲート電極層と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層4040の電位がGND、0V、或いはフローティング状態であってもよい。

20

## 【0171】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電気的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する酸化物絶縁層4032、4033が設けられ、酸化物絶縁層4032、4033を介して液晶層4008を挟持している。

30

## 【0172】

なお、第1の基板4001、第2の基板4006としては、透光性基板を用いることができ、ガラス、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。

## 【0173】

またスペーサ4035は、絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なおスペーサ4035として球状のスペーサを用いてもよい。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電気的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電気的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

40

## 【0174】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1msec

50

以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

【0175】

なお透過型液晶表示装置の他に、半透過型液晶表示装置でも適用できる。

【0176】

また、液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層（カラーフィルタ）、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。

【0177】

薄膜トランジスタ4011は、保護絶縁膜としてチャンネル形成領域を含む半導体層に接して絶縁層4041が形成されている。絶縁層4041は、例えば実施の形態1で示した保護絶縁層407と同様な材料及び方法で形成すればよい。ここでは、絶縁層4041として、実施の形態1と同様にスパッタリング法により酸化珪素膜を形成する。

10

【0178】

また、絶縁層4041上に保護絶縁層4020が形成されている。保護絶縁層4020は、実施の形態1で示した保護絶縁層407と同様な材料及び方法で形成すればよい。ここでは、絶縁層4020として、PCVD法により窒化珪素膜を形成する。

【0179】

また、薄膜トランジスタの表面凹凸を低減するため、絶縁層4020上に平坦化絶縁膜として機能する絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

20

【0180】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

30

【0181】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

【0182】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

40

【0183】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1・cm以下であることが好ましい。

【0184】

導電性高分子としては、いわゆる電子共役系導電性高分子を用いることができる。例え

50

ば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0185】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0186】

接続端子電極4015は、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【0187】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0188】

また図7においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているがこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0189】

図16は、本明細書に開示する作製方法により作製されるTFT基板2600を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

【0190】

図16は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

【0191】

液晶表示モジュールには、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モードなどを用いることができる。

【0192】

以上の工程により、半導体装置として信頼性の高い液晶表示パネルを作製することができる。

【0193】

実施の形態1に示す薄膜トランジスタの作製方法を用いて上記液晶表示装置の画素部の薄膜トランジスタを作製することにより、各画素の薄膜トランジスタのしきい値電圧のバラツキに起因する表示ムラを抑制することができる。

【0194】

また、実施の形態1に示す薄膜トランジスタの作製方法を用いて液晶表示装置の駆動回路

10

20

30

40

50

の薄膜トランジスタを作製することにより、しきい値電圧をマイナスシフトさせることなく、チャネル長を短くすることができるので、駆動回路部の薄膜トランジスタの高速動作を実現し、省電力化を図ることができる。

【0195】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせる実施することが可能である。

【0196】

(実施の形態6)

半導体装置の一形態として電子ペーパーの例を示す。

【0197】

実施の形態1の薄膜トランジスタは、スイッチング素子と電氣的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置(電気泳動ディスプレイ)とも呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【0198】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの(無色を含む)とする。

【0199】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的效果を利用したディスプレイである。

【0200】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0201】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態1の薄膜トランジスタによって得られるアクティブマトリクス基板を用いることができる。

【0202】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【0203】

図15は、半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ581としては、実施の形態1で示す薄膜トランジスタと同様に作製でき、酸化物半導体層を含む信頼性の高い薄膜トランジスタである。

【0204】

図15の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

【0205】

基板580上に形成された薄膜トランジスタ581はボトムゲート構造の薄膜トランジスタ

10

20

30

40

50

タであり、半導体層と接する絶縁膜 583 に覆われている。薄膜トランジスタ 581 のソース電極層又はドレイン電極層は第 1 の電極層 587 と、絶縁層 585 に形成する開口で接しており電氣的に接続している。第 1 の電極層 587 と基板 596 上に形成された第 2 の電極層 588 との間には黒色領域 590 a 及び白色領域 590 b を有し、周りに液体で満たされているキャピティ 594 を含む球形粒子 589 が設けられており、球形粒子 589 の周囲は樹脂等の充填材 595 で充填されている（図 15 参照。）。第 1 の電極層 587 が画素電極に相当し、第 2 の電極層 588 が共通電極に相当する。第 2 の電極層 588 は、薄膜トランジスタ 581 と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して第 2 の電極層 588 と共通電位線とを電氣的に接続することができる。

10

#### 【0206】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径  $10\ \mu\text{m} \sim 200\ \mu\text{m}$  程度のマイクロカプセルを用いる。第 1 の電極層と第 2 の電極層との間に設けられるマイクロカプセルは、第 1 の電極層と第 2 の電極層によって、電場を与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

20

#### 【0207】

以上の工程により、半導体装置として信頼性の高い電子ペーパーを作製することができる。

#### 【0208】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

#### 【0209】

実施の形態 1 乃至実施の形態 3 に示す薄膜トランジスタの作製方法を用いて上記電子ペーパーの画素部の薄膜トランジスタを作製することにより、各画素の薄膜トランジスタのしきい値電圧のバラツキに起因する表示ムラを抑制することができる。

30

#### 【0210】

（実施の形態 7）

半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 EL 素子、後者は無機 EL 素子と呼ばれている。

#### 【0211】

有機 EL 素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

40

#### 【0212】

無機 EL 素子は、その素子構成により、分散型無機 EL 素子と薄膜型無機 EL 素子とに分類される。分散型無機 EL 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー - アクセプター再結合型発光である。薄膜型無機 EL 素子は、発光層を誘電体層で挟み込み、

50

さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

#### 【0213】

図9は、半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

#### 【0214】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層をチャネル形成領域に用いるnチャネル型のトランジスタを1つの画素に2つ用いる例を示す。

#### 【0215】

画素6400は、スイッチング用トランジスタ6401、駆動用トランジスタ6402、発光素子6404及び容量素子6403を有している。スイッチング用トランジスタ6401はゲートが走査線6406に接続され、第1電極（ソース電極及びドレイン電極の一方）が信号線6405に接続され、第2電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ6402のゲートに接続されている。駆動用トランジスタ6402は、ゲートが容量素子6403を介して電源線6407に接続され、第1電極が電源線6407に接続され、第2電極が発光素子6404の第1電極（画素電極）に接続されている。発光素子6404の第2電極は共通電極6408に相当する。共通電極6408は、同一基板上に形成される共通電位線と電氣的に接続される。

#### 【0216】

なお、発光素子6404の第2電極（共通電極6408）には低電源電位が設定されている。なお、低電源電位とは、電源線6407に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子6404に印加して、発光素子6404に電流を流して発光素子6404を発光させるため、高電源電位と低電源電位との電位差が発光素子6404の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

#### 【0217】

なお、容量素子6403は駆動用トランジスタ6402のゲート容量を代用して省略することも可能である。駆動用トランジスタ6402のゲート容量については、チャネル領域とゲート電極との間で容量が形成されていてもよい。

#### 【0218】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ6402のゲートには、駆動用トランジスタ6402が十分にオンするか、オフするかとの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ6402は線形領域で動作させる。駆動用トランジスタ6402は線形領域で動作させるため、電源線6407の電圧よりも高い電圧を駆動用トランジスタ6402のゲートにかける。なお、信号線6405には、（電源線電圧+駆動用トランジスタ6402の $V_{th}$ ）以上の電圧をかける。

#### 【0219】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図9と同じ画素構成を用いることができる。

#### 【0220】

アナログ階調駆動を行う場合、駆動用トランジスタ6402のゲートに発光素子6404の順方向電圧+駆動用トランジスタ6402の $V_{th}$ 以上の電圧をかける。発光素子6404の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ6402が飽和領域で動作するようなビデオ信号を入力することで、発光素子6404に電流を流すことができる。駆動用トランジスタ6402を飽和領域で動作させるため、電源線6407の電位は、駆動用トランジスタ6402のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子

10

20

30

40

50

6404にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0221】

なお、図9に示す画素構成は、これに限定されない。例えば、図9に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

【0222】

次に、発光素子の構成について、図10を用いて説明する。ここでは、駆動用TFTがn型の場合を例に挙げて、画素の断面構造について説明する。図10(A)(B)(C)の半導体装置に用いられる駆動用TFTである駆動用TFT7001、7011、7021は、実施の形態1で示す薄膜トランジスタと同様に作製でき、酸化物半導体層を含む信頼性の高い薄膜トランジスタである。

10

【0223】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、画素構成はどの射出構造の発光素子にも適用することができる。

【0224】

下面射出構造の発光素子について図10(A)を用いて説明する。

【0225】

駆動用TFT7011がn型で、発光素子7012から発せられる光が陰極7013側に射出する場合の、画素の断面図を示す。図10(A)では、駆動用TFT7011と電氣的に接続された透光性を有する導電膜7017上に、発光素子7012の陰極7013が形成されており、陰極7013上にEL層7014、陽極7015が順に積層されている。なお、透光性を有する導電膜7017は、酸化物絶縁層7031に形成されたコンタクトホールを介して駆動用TFT7011のドレイン電極層と電氣的に接続されている。

20

【0226】

透光性を有する導電膜7017としては、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いることができる。

30

【0227】

また、陰極7013は様々な材料を用いることができるが、仕事関数が小さい材料、例えば、具体的には、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金(Mg:Ag、Al:Liなど)の他、YbやEr等の希土類金属等が好ましい。図10(A)では、陰極7013の膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウム膜を、陰極7013として用いる。

【0228】

なお、透光性を有する導電膜とアルミニウム膜を積層成膜した後、選択的にエッチングして透光性を有する導電膜7017と陰極7013を形成してもよく、この場合、同じマスクを用いてエッチングすることができ、好ましい。

40

【0229】

また、陰極7013の周縁部は、隔壁7019で覆う。隔壁7019は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁7019は、特に感光性の樹脂材料を用い、陰極7013上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7019として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0230】

50

また、陰極 7013 及び隔壁 7019 上に形成する E L 層 7014 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。E L 層 7014 が複数の層で構成されている場合、陰極 7013 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。

#### 【0231】

また、上記積層順に限定されず、陰極 7013 上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。ただし、消費電力を比較する場合、陰極 7013 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが消費電力が少ないため好ましい。

10

#### 【0232】

また、E L 層 7014 上に形成する陽極 7015 としては、様々な材料を用いることができるが、仕事関数が高い材料、例えば、窒化チタン、ZrN、Ti、W、Ni、Pt、Cr 等や、ITO、IZO（酸化インジウム酸化亜鉛）、ZnO などの透明導電性材料が好ましい。また、陽極 7015 上に遮蔽膜 7016、例えば光を遮光する金属、光を反射する金属等を用いる。本実施の形態では、陽極 7015 として ITO 膜を用い、遮蔽膜 7016 として Ti 膜を用いる。

#### 【0233】

陰極 7013 及び陽極 7015 で、E L 層 7014 を挟んでいる領域が発光素子 7012 に相当する。図 10 (A) に示した素子構造の場合、発光素子 7012 から発せられる光は、矢印で示すように陰極 7013 側に射出する。

20

#### 【0234】

なお、図 10 (A) ではゲート電極層として透光性を有する導電膜を用いる例を示しており、発光素子 7012 から発せられる光は、カラーフィルタ層 7033 を通過し、駆動用 TFT 7011 のゲート電極層やソース電極層を通過して射出させる。駆動用 TFT 7011 のゲート電極層やソース電極層として透光性を有する導電膜を用い、開口率を向上することができる。

#### 【0235】

カラーフィルタ層 7033 はインクジェット法などの液滴吐出法や、印刷法、フォトリソグラフィ技術を用いたエッチング方法などでそれぞれ形成する。

30

#### 【0236】

また、カラーフィルタ層 7033 はオーバーコート層 7034 で覆われ、さらに保護絶縁層 7035 によって覆う。なお、図 10 (A) ではオーバーコート層 7034 は薄い膜厚で図示したが、オーバーコート層 7034 は、カラーフィルタ層 7033 に起因する凹凸を平坦化する機能を有している。

#### 【0237】

また、保護絶縁層 7035 及び絶縁層 7032 に形成され、且つ、ドレイン電極層に達するコンタクトホールは、隔壁 7019 と重なる位置に配置する。図 10 (A) では、ドレイン電極層 7030 に達するコンタクトホールと、隔壁 7019 と、を重ねるレイアウトとすることで開口率の向上を図ることができる。

40

#### 【0238】

次に、両面射出構造の発光素子について、図 10 (B) を用いて説明する。

#### 【0239】

図 10 (B) では、駆動用 TFT 7021 と電氣的に接続された透光性を有する導電膜 7027 上に、発光素子 7022 の陰極 7023 が形成されており、陰極 7023 上に E L 層 7024、陽極 7025 が順に積層されている。なお、透光性を有する導電膜 7027 は酸化物絶縁層 7041 に形成されたコンタクトホールを介して駆動用 TFT 7021 のドレイン電極層と電氣的に接続されている。

#### 【0240】

透光性を有する導電膜 7027 としては、酸化タングステンを含むインジウム酸化物、酸

50



化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いることができる。

#### 【0241】

また、陰極7023は様々な材料を用いることができるが、仕事関数が小さい材料、例えば、具体的には、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金（Mg：Ag、Al：Liなど）の他、YbやEr等の希土類金属等が好ましい。本実施の形態では、陰極7023の膜厚は、光を透過する程度（好ましくは、5nm～30nm程度）とする。例えば20nmの膜厚を有するアルミニウム膜を、陰極7023として用いる。

10

#### 【0242】

なお、透光性を有する導電膜とアルミニウム膜を積層成膜した後、選択的にエッチングして透光性を有する導電膜7027と陰極7023を形成してもよく、この場合、同じマスクを用いてエッチングすることができ、好ましい。

#### 【0243】

また、陰極7023の周縁部は、隔壁7029で覆う。隔壁7029は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁7029は、特に感光性の樹脂材料を用い、陰極7023上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7029として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

20

#### 【0244】

また、陰極7023及び隔壁7029上に形成するEL層7024は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。EL層7024が複数の層で構成されている場合、陰極7023上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。

#### 【0245】

また、上記積層順に限定されず、陰極7023上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。ただし、消費電力を比較する場合、陰極7023上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが消費電力が少ないため好ましい。

30

#### 【0246】

また、EL層7024上に形成する陽極7025としては、様々な材料を用いることができるが、仕事関数が大きい材料、例えば、ITO、IZO、ZnOなどの透明導電性材料が好ましい。本実施の形態では、陽極7025として酸化珪素を含むITO膜を用いる。

#### 【0247】

陰極7023及び陽極7025で、EL層7024を挟んでいる領域が発光素子7022に相当する。図10(B)に示した素子構造の場合、発光素子7022から発せられる光は、矢印で示すように陽極7025側と陰極7023側の両方に射出する。

40

#### 【0248】

なお、図10(B)ではゲート電極層として透光性を有する導電膜を用いる例を示しており、発光素子7022から陰極7023側に発せられる光は、カラーフィルタ層7043を通過し、駆動用TFT7021のゲート電極層やソース電極層を通過して射出させる。駆動用TFT7021のゲート電極層やソース電極層として透光性を有する導電膜を用いることで、陽極7025側の開口率と陰極7023側の開口率をほぼ同一とすることができる。

#### 【0249】

カラーフィルタ層7043はインクジェット法などの液滴吐出法や、印刷法、フォトリソ

50

グラフィ技術を用いたエッチング方法などでそれぞれ形成する。

【0250】

また、カラーフィルタ層7043はオーバーコート層7044で覆われ、さらに保護絶縁層7045によって覆う。

【0251】

また、保護絶縁層7045及び絶縁層7042に形成され、且つ、ドレイン電極層に達するコンタクトホールは、隔壁7029と重なる位置に配置する。ドレイン電極層に達するコンタクトホールと、隔壁7029とを重ねるレイアウトとすることで陽極7025側の開口率と陰極7023側の開口率をほぼ同一とすることができる。

【0252】

また、保護絶縁層7045及び絶縁層7042に形成され、且つ、透光性を有する導電膜7027に達するコンタクトホールは、隔壁7029と重なる位置に配置する。

【0253】

ただし、両面射出構造の発光素子を用い、どちらの表示面もフルカラー表示とする場合、陽極7025側からの光はカラーフィルタ層7043を通過しないため、別途カラーフィルタ層を備えた封止基板を陽極7025上方に設けることが好ましい。

【0254】

次に、上面射出構造の発光素子について、図10(C)を用いて説明する。

【0255】

図10(C)に、駆動用TFTである駆動用TFT7001がn型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図10(C)では、駆動用TFT7001と接続電極層7050を介して電氣的に接続された発光素子7002の陰極7003が形成されており、陰極7003上にEL層7004、陽極7005が順に積層されている。

【0256】

また、陰極7003は様々な材料を用いることができるが、仕事関数が小さい材料、例えば、具体的には、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金(Mg:Ag、Al:Liなど)の他、YbやEr等の希土類金属等が好ましい。

【0257】

また、陰極7003の周縁部は、隔壁7009で覆う。隔壁7009は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁7009は、特に感光性の樹脂材料を用い、陰極7003上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7009として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0258】

また、陰極7003及び隔壁7009上に形成するEL層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。EL層7004が複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。

【0259】

また、上記積層順に限定されず、陰極7003上にホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層してもよい。この順に積層する場合は、陰極7003は陽極として機能することとなる。

【0260】

図10(C)ではTi膜、アルミニウム膜、Ti膜の順に積層した積層膜上に、ホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層し、その上にMg:Ag合金薄膜とITOとの積層を形成する。

10

20

30

40

50

## 【 0 2 6 1 】

ただし、消費電力を比較する場合、陰極 7 0 0 3 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層するほうが消費電力が少ないため好ましい。

## 【 0 2 6 2 】

陽極 7 0 0 5 は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

## 【 0 2 6 3 】

陰極 7 0 0 3 及び陽極 7 0 0 5 で E L 層 7 0 0 4 を挟んでいる領域が発光素子 7 0 0 2 に相当する。図 1 0 ( C ) に示した画素の場合、発光素子 7 0 0 2 から発せられる光は、矢印で示すように陽極 7 0 0 5 側に射出する。

## 【 0 2 6 4 】

また、図 1 0 ( C ) において、駆動用 T F T 7 0 0 1 は薄膜トランジスタ 4 6 1 を用いる例を示しているが、特に限定されず、薄膜トランジスタ 4 6 0 または薄膜トランジスタ 4 8 1 を用いることができる。

## 【 0 2 6 5 】

また、図 1 0 ( C ) において、駆動用 T F T 7 0 0 1 のドレイン電極層は、接続電極層 7 0 5 0 と酸化物絶縁層 7 0 5 1 を介して電氣的に接続し、接続電極層は、保護絶縁層 7 0 5 2 及び絶縁層 7 0 5 5 を介して陰極 7 0 0 3 と電氣的に接続する。平坦化絶縁層 7 0 5 3 は、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の樹脂材料を用いることができる。また上記樹脂材料の他に、低誘電率材料 ( l o w - k 材料 )、シロキサン系樹脂、P S G ( リンガラス )、B P S G ( リンボロンガラス ) 等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層 7 0 5 3 を形成してもよい。平坦化絶縁層 7 0 5 3 の形成法は、特に限定されず、その材料に応じて、スパッタ法、S O G 法、スピンコート、ディップ、スプレー塗布、液滴吐出法 ( インクジェット法、スクリーン印刷、オフセット印刷等 )、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

## 【 0 2 6 6 】

また、図 1 0 ( C ) の構造においては、フルカラー表示を行う場合、例えば発光素子 7 0 0 2 として緑色発光素子とし、隣り合う一方の発光素子を赤色発光素子とし、もう一方の発光素子を青色発光素子とする。また、3 種類の発光素子だけでなく白色発光素子を加えた 4 種類の発光素子でフルカラー表示ができる発光表示装置を作製してもよい。

## 【 0 2 6 7 】

また、図 1 0 ( C ) の構造においては、配置する複数の発光素子を全て白色発光素子として、発光素子 7 0 0 2 上方にカラーフィルタなどを有する封止基板を配置する構成とし、フルカラー表示ができる発光表示装置を作製してもよい。白色などの単色の発光を示す材料を形成し、カラーフィルタや色変換層を組み合わせることによりフルカラー表示を行うことができる。

## 【 0 2 6 8 】

もちろん単色発光の表示を行ってもよい。例えば、白色発光を用いて照明装置を形成してもよいし、単色発光を用いてエリアカラータイプの発光装置を形成してもよい。

## 【 0 2 6 9 】

また、必要があれば、円偏光板などの偏光フィルムなどの光学フィルムを設けてもよい。

## 【 0 2 7 0 】

なお、ここでは、発光素子として有機 E L 素子について述べたが、発光素子として無機 E L 素子を設けることも可能である。

## 【 0 2 7 1 】

なお、発光素子の駆動を制御する薄膜トランジスタ ( 駆動用 T F T ) と発光素子が電氣的

10

20

30

40

50

に接続されている例を示したが、駆動用 T F T と発光素子との間に電流制御用 T F T が接続されている構成であってもよい。

【 0 2 7 2 】

また、発光素子、及び隔壁を設けない構成であれば液晶表示装置にも適用することができる。液晶表示装置の場合について図 3 5 に示す。

【 0 2 7 3 】

駆動用 T F T 7 0 7 1 が n 型の場合について示す。図 3 5 では、駆動用 T F T 7 0 7 1 と電氣的に接続された透光性を有する導電膜 7 0 6 7 を有し、透光性を有する導電膜 7 0 6 7 は、酸化物絶縁層 7 0 6 1 及び保護絶縁層 7 0 6 2 に形成されたコンタクトホールを介して駆動用 T F T 7 0 7 1 のドレイン電極層と電氣的に接続されている。

10

【 0 2 7 4 】

透光性を有する導電膜 7 0 6 7 としては、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、I T O と示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いることができる。

【 0 2 7 5 】

なお、図 3 5 ではゲート電極層として透光性を有する導電膜を用いる例を示しており、バックライトなどから発せられる光は、カラーフィルタ層 7 0 6 3 を通過して射出させる。よって、駆動用 T F T 7 0 7 1 のゲート電極層やソース電極層として透光性を有する導電膜を用い、開口率を向上することができる。

20

【 0 2 7 6 】

カラーフィルタ層 7 0 6 3 はインクジェット法などの液滴吐出法や、印刷法、フォトリソグラフィ技術を用いたエッチング方法などでそれぞれ形成する。

【 0 2 7 7 】

また、カラーフィルタ層 7 0 6 3 はオーバーコート層 7 0 6 4 で覆われ、さらに保護絶縁層 7 0 6 5 によって覆われる。なお、図 3 5 ではオーバーコート層 7 0 6 4 は薄い膜厚で図示したが、オーバーコート層 7 0 6 4 は、カラーフィルタ層 7 0 6 3 に起因する凹凸を平坦化する機能を有している。

【 0 2 7 8 】

30

さらに透光性を有する導電膜 7 0 6 7 の上に液晶層を設けることにより、液晶表示装置にも適用することができる。

【 0 2 7 9 】

次に、半導体装置の一形態に相当する発光表示パネル（発光パネルともいう）の外観及び断面について、図 8 を用いて説明する。図 8（A）は、第 1 の基板上に形成された薄膜トランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの平面図であり、図 8（B）は、図 8（A）の H - I における断面図に相当する。

【 0 2 8 0 】

第 1 の基板 4 5 0 1 上に設けられた画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b を囲むようにして、シール材 4 5 0 5 が設けられている。また画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b の上に第 2 の基板 4 5 0 6 が設けられている。よって画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b は、第 1 の基板 4 5 0 1 とシール材 4 5 0 5 と第 2 の基板 4 5 0 6 とによって、充填材 4 5 0 7 と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

40

【 0 2 8 1 】

また第 1 の基板 4 5 0 1 上に設けられた画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b は、薄膜トランジスタを複数有し

50

ており、図 8 ( B ) では、画素部 4 5 0 2 に含まれる薄膜トランジスタ 4 5 1 0 と、信号線駆動回路 4 5 0 3 a に含まれる薄膜トランジスタ 4 5 0 9 とを例示している。

【 0 2 8 2 】

薄膜トランジスタ 4 5 0 9、4 5 1 0 は、実施の形態 1 で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ 4 5 0 9、4 5 1 0 は n チャネル型薄膜トランジスタである。

【 0 2 8 3 】

絶縁層 4 5 4 4 上において駆動回路用の薄膜トランジスタ 4 5 0 9 の酸化物半導体層のチャネル形成領域と重なる位置に導電層 4 5 4 0 が設けられている。導電層 4 5 4 0 を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、B T 試験前後における薄膜トランジスタ 4 5 0 9 のしきい値電圧の変化量を低減することができる。また、導電層 4 5 4 0 は、電位が薄膜トランジスタ 4 5 0 9 のゲート電極層と同じでもよいし、異なっても良く、第 2 のゲート電極層として機能させることもできる。また、導電層 4 5 4 0 の電位が G N D、0 V、或いはフローティング状態であってもよい。

【 0 2 8 4 】

薄膜トランジスタ 4 5 0 9 は、保護絶縁膜としてチャネル形成領域を含む半導体層に接して絶縁層 4 5 4 1 が形成されている。絶縁層 4 5 4 1 は実施の形態 1 で示した保護絶縁層 4 0 7 と同様な材料及び方法で形成すればよい。また、薄膜トランジスタの表面凹凸を低減するため平坦化絶縁膜として機能する絶縁層 4 5 4 4 で覆う構成となっている。ここでは、絶縁層 4 5 4 1 として、実施の形態 1 に示す保護絶縁層 4 0 7 を用いてスパッタ法により酸化珪素膜を形成する。

【 0 2 8 5 】

また、絶縁層 4 5 4 1 上に保護絶縁層 4 5 4 3 が形成されている。保護絶縁層 4 5 4 3 は実施の形態 1 で示した保護絶縁層 4 0 7 と同様な材料及び方法で形成すればよい。ここでは、保護絶縁層 4 5 4 3 として、P C V D 法により窒化珪素膜を形成する。

【 0 2 8 6 】

また、平坦化絶縁膜として絶縁層 4 5 4 4 を形成する。絶縁層 4 5 4 4 としては、実施の形態 5 で示した絶縁層 4 0 2 1 と同様な材料及び方法で形成すればよい。ここでは、平坦化絶縁層 4 5 4 4 としてアクリルを用いる。

【 0 2 8 7 】

また 4 5 1 1 は発光素子に相当し、発光素子 4 5 1 1 が有する画素電極である第 1 の電極層 4 5 1 7 は、薄膜トランジスタ 4 5 1 0 のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子 4 5 1 1 の構成は、第 1 の電極層 4 5 1 7、電界発光層 4 5 1 2、第 2 の電極層 4 5 1 3 の積層構造であるが、示した構成に限定されない。発光素子 4 5 1 1 から取り出す光の方向などに合わせて、発光素子 4 5 1 1 の構成は適宜変えることができる。

【 0 2 8 8 】

隔壁 4 5 2 0 は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第 1 の電極層 4 5 1 7 上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【 0 2 8 9 】

電界発光層 4 5 1 2 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【 0 2 9 0 】

発光素子 4 5 1 1 に酸素、水素、水分、二酸化炭素等が侵入しないように、第 2 の電極層 4 5 1 3 及び隔壁 4 5 2 0 上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、D L C 膜等を形成することができる。

【 0 2 9 1 】

また、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、走査線駆動回路 4 5 0 4 a、4 5 0 4 b、または画素部 4 5 0 2 に与えられる各種信号及び電位は、F P C 4 5 1 8 a、4 5 1 8

10

20

30

40

50

b から供給されている。

【 0 2 9 2 】

接続端子電極 4 5 1 5 が、発光素子 4 5 1 1 が有する第 1 の電極層 4 5 1 7 と同じ導電膜から形成され、端子電極 4 5 1 6 は、薄膜トランジスタ 4 5 0 9、4 5 1 0 が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

【 0 2 9 3 】

接続端子電極 4 5 1 5 は、F P C 4 5 1 8 a が有する端子と、異方性導電膜 4 5 1 9 を介して電氣的に接続されている。

【 0 2 9 4 】

発光素子 4 5 1 1 からの光の取り出し方向に位置する第 2 の基板は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

10

【 0 2 9 5 】

また、充填材 4 5 0 7 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、P V C (ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、P V B (ポリビニルブチラル)またはE V A (エチレンビニルアセテート)を用いることができる。例えば充填材として窒素を用いればよい。

【 0 2 9 6 】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板(楕円偏光板を含む)、位相差板( / 4 板、 / 2 板)、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

20

【 0 2 9 7 】

信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b は、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、図 8 の構成に限定されない。

【 0 2 9 8 】

以上の工程により、半導体装置として信頼性の高い発光表示装置(表示パネル)を作製することができる。

30

【 0 2 9 9 】

実施の形態 1 乃至実施の形態 3 に示す薄膜トランジスタの作製方法を用いて上記発光表示装置の画素部の薄膜トランジスタを作製することにより、各画素の薄膜トランジスタのしきい値電圧のバラツキに起因する表示ムラを抑制することができる。

【 0 3 0 0 】

また、実施の形態 1 乃至実施の形態 3 に示す薄膜トランジスタの作製方法を用いて発光表示装置の駆動回路の薄膜トランジスタを作製することにより、しきい値電圧をマイナスシフトさせることなく、チャネル長を短くすることができるので、駆動回路部の薄膜トランジスタの高速動作を実現し、省電力化を図ることができる。

40

【 0 3 0 1 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 3 0 2 】

(実施の形態 8)

本明細書に開示する半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍(電子ブック)、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図 1 7 に示す。

50

## 【0303】

図17は、電子書籍の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

## 【0304】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図17では表示部2705)に文章を表示し、左側の表示部(図17では表示部2707)に画像を表示することができる。

10

## 【0305】

また、図17では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

20

## 【0306】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

## 【0307】

(実施の形態9)

本明細書に開示する半導体装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

30

## 【0308】

図18(A)は、テレビジョン装置の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

## 【0309】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機9610から出力する情報を表示する表示部9607を設ける構成としてもよい。

40

## 【0310】

なお、テレビジョン装置9600は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことも可能である。

## 【0311】

図18(B)は、デジタルフォトフレームの一例を示している。例えば、デジタルフォト

50

フレーム 9700 は、筐体 9701 に表示部 9703 が組み込まれている。表示部 9703 は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【0312】

なお、デジタルフォトフレーム 9700 は、操作部、外部接続用端子（USB 端子、USB ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部 9703 と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレーム 9700 の記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部 9703 に表示させることができる。

10

【0313】

また、デジタルフォトフレーム 9700 は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0314】

図 19（A）は携帯型遊技機であり、筐体 9881 と筐体 9891 の 2 つの筐体で構成されており、連結部 9893 により、開閉可能に連結されている。筐体 9881 には表示部 9882 が組み込まれ、筐体 9891 には表示部 9883 が組み込まれている。また、図 19（A）に示す携帯型遊技機は、その他、スピーカ部 9884、記録媒体挿入部 9886、LED ランプ 9890、入力手段（操作キー 9885、接続端子 9887、センサ 9888（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に おい又は赤外線を測定する機能を含むもの）、マイクロフォン 9889）等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図 19（A）に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図 19（A）に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

20

【0315】

図 19（B）は大型遊技機であるスロットマシンの一例を示している。スロットマシン 9900 は、筐体 9901 に表示部 9903 が組み込まれている。また、スロットマシン 9900 は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン 9900 の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

30

【0316】

図 20（A）は携帯型のコンピュータの一例を示す斜視図である。

【0317】

図 20（A）の携帯型のコンピュータは、上部筐体 9301 と下部筐体 9302 とを接続するヒンジユニットを閉状態として表示部 9303 を有する上部筐体 9301 と、キーボード 9304 を有する下部筐体 9302 とを重ねた状態とすることができ、持ち運ぶことが便利であるとともに、使用者がキーボード入力する場合には、ヒンジユニットを開状態として、表示部 9303 を見て入力操作を行うことができる。

40

【0318】

また、下部筐体 9302 はキーボード 9304 の他に入力操作を行うポインティングデバイス 9306 を有する。また、表示部 9303 をタッチ入力パネルとすれば、表示部の一部に触れることで入力操作を行うこともできる。また、下部筐体 9302 は CPU やハードディスク等の演算機能部を有している。また、下部筐体 9302 は他の機器、例えば USB の通信規格に準拠した通信ケーブルが差し込まれる外部接続ポート 9305 を有して

50



いる。

【0319】

上部筐体9301には更に上部筐体9301内部にスライドさせて収納可能な表示部9307を有しており、広い表示画面を実現することができる。また、収納可能な表示部9307の画面の向きを使用者は調節できる。また、収納可能な表示部9307をタッチ入力パネルとすれば、収納可能な表示部の一部に触れることで入力操作を行うこともできる。

【0320】

表示部9303または収納可能な表示部9307は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。

【0321】

また、図20(A)の携帯型のコンピュータは、受信機などを備えた構成として、テレビ放送を受信して映像を表示部に表示することができる。また、上部筐体9301と下部筐体9302とを接続するヒンジユニットを閉状態としたまま、表示部9307をスライドさせて画面全面を露出させ、画面角度を調節して使用者がテレビ放送を見ることができ、この場合には、ヒンジユニットを開状態として表示部9303を表示させず、さらにテレビ放送を表示するだけの回路の起動のみを行うため、最小限の消費電力とすることができ、バッテリー容量の限られている携帯型のコンピュータにおいて有用である。

【0322】

また、図20(B)は、腕時計のように使用者の腕に装着可能な形態を有している携帯電話の一例を示す斜視図である。

【0323】

この携帯電話は、少なくとも電話機能を有する通信装置及びバッテリーを有する本体、本体を腕に装着するためのバンド部9204、腕に対するバンド部9204の固定状態を調節する調節部9205、表示部9201、スピーカ9207、及びマイク9208から構成されている。

【0324】

また、本体は、操作スイッチ9203を有し、電源入力スイッチや、表示切り替えスイッチや、撮像開始指示スイッチの他、例えばスイッチを押すとインターネット用のプログラムが起動されるなど、各ファンクションに対応づけることができる。

【0325】

この携帯電話の入力操作は、表示部9201に指や入力ペンなどで触れること、又は操作スイッチ9203の操作、またはマイク9208への音声入力により行われる。なお、図20(B)では、表示部9201に表示された表示ボタン9202を図示しており、指などで触れることにより入力を行うことができる。

【0326】

また、本体は、撮影レンズを通して結像される被写体像を電子画像信号に変換する撮像手段を有するカメラ部9206を有する。なお、特にカメラ部は設けなくともよい。

【0327】

また、図20(B)に示す携帯電話は、テレビ放送の受信機などを備えた構成として、テレビ放送を受信して映像を表示部9201に表示することができ、さらにメモリなどの記憶装置などを備えた構成として、テレビ放送をメモリに録画できる。また、図20(B)に示す携帯電話は、GPSなどの位置情報を収集できる機能を有していてもよい。

【0328】

表示部9201は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。図20(B)に示す携帯電話は、小型、且つ、軽量であるため、バッテリー容量が限られており、表示部9201に用いる表示装置は低消費電力で駆動できるパネルを用いることが好ましい。

【0329】

なお、図20(B)では「腕」に装着するタイプの電子機器を図示したが、特に限定されず、携行できる形状を有しているものであればよい。

10

20

30

40

50

## 【0330】

(実施の形態10)

本実施の形態では、半導体装置の一形態として、実施の形態1で示す薄膜トランジスタを有する表示装置の例を図21乃至図34を用いて説明する。本実施の形態は、表示素子として液晶素子を用いた液晶表示装置の例を図21乃至図34を用いて説明する。図21乃至図34の液晶表示装置に用いられるTFT628、629は、実施の形態1で示す薄膜トランジスタを適用することができ、実施の形態1で示す工程で同様に作製できる電気特性及び信頼性の高い薄膜トランジスタである。TFT628及びTFT629は、酸化物半導体層をチャネル形成領域とする薄膜トランジスタである。図21乃至図34では、薄膜トランジスタの一例として図4に示す薄膜トランジスタを用いる場合について説明するが、これに限定されるものではない。

10

## 【0331】

はじめにVA(Vertical Alignment)型の液晶表示装置について示す。VA型とは、液晶表示パネルの液晶分子の配列を制御する方式の一種であり、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施の形態では、特に画素(ピクセル)をいくつかの領域(サブピクセル)に分け、それぞれ別の方向に分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。

20

## 【0332】

図22及び図23は、それぞれ画素電極層及び対向電極層を示している。なお、図22は画素電極層が形成される基板側の平面図であり、図中に示す切断線E-Fに対応する断面構造を図21に表している。また、図23は対向電極層が形成される基板側の平面図である。以下の説明ではこれらの図を参照して説明する。

## 【0333】

図21は、TFT628とそれに接続する画素電極層624、及び保持容量部630が形成された基板600と、対向電極層640等が形成される対向基板601とが重ね合わせられ、液晶が注入された状態を示している。

## 【0334】

対向基板601においてスペーサ(図示せず)が形成される位置には、第1の着色膜、第2の着色膜、第3着色膜(図示せず)、対向電極層640が形成されている。この構造により、液晶の配向を制御するための突起644とスペーサの高さを異ならせている。画素電極層624上には配向膜648が形成され、同様に対向電極層640上にも配向膜646が形成されている。基板600と対向基板601の間に液晶層650が形成されている。

30

## 【0335】

スペーサはここでは柱状スペーサを用いて示したがビーズスペーサを散布してもよい。さらには、スペーサを基板600上に形成される画素電極層624上に形成してもよい。

## 【0336】

基板600上には、TFT628とそれに接続する画素電極624、及び保持容量部630が形成される。画素電極層624は、TFT628、配線616、及び保持容量部630を覆う絶縁膜620、絶縁膜620を覆う絶縁膜696、絶縁膜696を覆う第3絶縁膜622をそれぞれ貫通するコンタクトホール623で、配線618と接続する。TFT628は実施の形態1で示す薄膜トランジスタを適宜用いることができる。また、保持容量部630は、TFT628のゲート配線602と同時に形成した第1の容量配線である容量配線604と、ゲート絶縁膜606と、配線616、618と同時に形成した第2の容量配線である容量配線617で構成される。

40

## 【0337】

画素電極層624と液晶層650と対向電極層640が重なり合うことで、液晶素子が形成されている。

50

## 【0338】

図22に基板600上の平面構造を示す。画素電極層624は実施の形態1で示した材料を用いて形成する。画素電極層624にはスリット625を設ける。スリット625は液晶の配向を制御するためのものである。

## 【0339】

図22に示すTFT629とそれに接続する画素電極層626及び保持容量部631は、それぞれTFT628、画素電極層624及び保持容量部630と同様に形成することができる。TFT628とTFT629は共に配線616と接続している。この液晶表示パネルの画素（ピクセル）は、画素電極層624と画素電極層626により構成されている。画素電極層624と画素電極層626はサブピクセルである。

10

## 【0340】

図23に対向基板側の構造を示す。対向電極層640は、画素電極層624と同様の材料を用いて形成することが好ましい。対向電極層640上には液晶の配向を制御する突起644が形成されている。なお、図23に基板600上に形成される画素電極層624及び画素電極層626を破線で示し、対向電極層640と、画素電極層624及び画素電極層626が重なり合って配置されている様子を示している。

## 【0341】

この画素構造の等価回路を図24に示す。TFT628とTFT629は、共にゲート配線602、配線616と接続している。この場合、容量配線604と容量配線605の電位を異ならせることで、液晶素子651と液晶素子652の動作を異ならせることができる。すなわち、容量配線604と容量配線605の電位を個別に制御することにより液晶の配向を精密に制御して視野角を広げている。

20

## 【0342】

スリット625を設けた画素電極層624に電圧を印加すると、スリット625の近傍には電界の歪み（斜め電界）が発生する。このスリット625と、対向基板601側の突起644とを交互に咬み合うように配置することで、斜め電界を効果的に発生させて液晶の配向を制御することで、液晶が配向する方向を場所によって異ならせている。すなわち、マルチドメイン化して液晶表示パネルの視野角を広げている。

## 【0343】

次に、上記とは異なるVA型の液晶表示装置について、図25乃至図28を用いて説明する。

30

## 【0344】

図25と図26は、VA型液晶表示パネルの画素構造を示している。図26は基板600の平面図であり、図中に示す切断線Y-Zに対応する断面構造を図25に表している。以下の説明ではこの両図を参照して説明する。

## 【0345】

この画素構造は、一つの画素に複数の画素電極が有り、それぞれの画素電極にTFTが接続されている。各TFTは、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素電極に印加する信号を、独立して制御する構成を有している。

40

## 【0346】

画素電極層624は、絶縁膜620、絶縁膜696及び絶縁膜622をそれぞれ貫通するコンタクトホール623において、配線618でTFT628と接続している。また、画素電極層626は、絶縁膜620、絶縁膜696及び絶縁膜622をそれぞれ貫通するコンタクトホール627において、配線619でTFT629と接続している。TFT628のゲート配線602と、TFT629のゲート配線603には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能する配線616は、TFT628とTFT629で共通に用いられている。TFT628とTFT629は実施の形態1で示す薄膜トランジスタを適宜用いることができる。また、容量配線690が設けられている。なお、ゲート配線602、ゲート配線603及び容量配線690上には

50

ゲート絶縁膜 606 が形成されている。

【0347】

画素電極層 624 と画素電極層 626 の形状は異っており、スリット 625 によって分離されている。V 字型に広がる画素電極層 624 の外側を囲むように画素電極層 626 が形成されている。画素電極層 624 と画素電極層 626 に印加する電圧のタイミングを、TFT 628 及び TFT 629 により異ならせることで、液晶の配向を制御している。この画素構造の等価回路を図 28 に示す。TFT 628 はゲート配線 602 と接続し、TFT 629 はゲート配線 603 と接続している。また、TFT 628 と TFT 629 は、共に配線 616 と接続している。ゲート配線 602 とゲート配線 603 に異なるゲート信号を与えることで、液晶素子 651 と液晶素子 652 の動作を異ならせることができる。すなわち、TFT 628 と TFT 629 の動作を個別に制御することにより、液晶素子 651 と液晶素子 652 の液晶の配向を精密に制御して視野角を広げることができる。

10

【0348】

対向基板 601 には、着色膜 636、対向電極層 640 が形成されている。また、着色膜 636 と対向電極層 640 の間には平坦化膜 637 が形成され、液晶の配向乱れを防いでいる。図 27 に対向基板側の構造を示す。対向電極層 640 は異なる画素間で共通化されている電極であるが、スリット 641 が形成されている。このスリット 641 と、画素電極層 624 及び画素電極層 626 側のスリット 625 とを交互に咬み合うように配置することで、斜め電界を効果的に発生させて液晶の配向を制御することができる。これにより、液晶が配向する方向を場所によって異ならせることができ、視野角を広げている。なお、図 27 に基板 600 上に形成される画素電極層 624 及び画素電極層 626 を破線で示し、対向電極層 640 と、画素電極層 624 及び画素電極層 626 が重なり合っている様子を示している。

20

【0349】

画素電極層 624 及び画素電極層 626 上には配向膜 648 が形成され、同様に対向電極層 640 上にも配向膜 646 が形成されている。基板 600 と対向基板 601 の間に液晶層 650 が形成されている。また、画素電極層 624 と液晶層 650 と対向電極層 640 が重なり合うことで、第 1 の液晶素子が形成されている。また、画素電極層 626 と液晶層 650 と対向電極層 640 が重なり合うことで、第 2 の液晶素子が形成されている。また、図 25 乃至図 28 で説明する表示パネルの画素構造は、一画素に第 1 の液晶素子と第 2 の液晶素子が設けられたマルチドメイン構造となっている。

30

【0350】

次に、横電界方式の液晶表示装置について示す。横電界方式は、セル内の液晶分子に対して水平方向に電界を加えることで液晶を駆動して階調表現する方式である。この方式によれば、視野角を約 180 度にまで広げることができる。以下の説明では、横電界方式を採用する液晶表示装置について説明する。

【0351】

図 29 は、TFT 628 とそれに接続する画素電極層 624 が形成された基板 600 と、対向基板 601 を重ね合わせ、液晶を注入した状態を示している。対向基板 601 には着色膜 636、平坦化膜 637 などが形成されている。なお、対向基板 601 側に対向電極は設けられていない。基板 600 と対向基板 601 の間に、配向膜 646 及び配向膜 648 を介して液晶層 650 が形成されている。

40

【0352】

基板 600 上には、第 1 の画素電極である画素電極層 607 及び画素電極層 607 に接続する容量配線 604、並びに実施の形態 1 で示す TFT 628 が形成される。また、画素電極層 607 は略画素の形状に区画化した形状で形成する。なお、画素電極層 607 及び容量配線 604 上にはゲート絶縁膜 606 が形成される。

【0353】

TFT 628 の配線 616、配線 618 がゲート絶縁膜 606 上に形成される。配線 616 は液晶表示パネルにおいてビデオ信号をのせるデータ線であり一方向に伸びる配線であ

50

ると同時に、T F T 6 2 8 のソース領域又はドレイン領域と接続し、ソース及びドレインの一方の電極となる。配線 6 1 8 はソース及びドレインの他方の電極となり、第 2 の画素電極となる画素電極層 6 2 4 と接続する配線である。

【 0 3 5 4 】

配線 6 1 6、配線 6 1 8 上に絶縁膜 6 2 0 が形成され、絶縁膜 6 2 0 の上に絶縁膜 6 9 6 が形成される。また、絶縁膜 6 9 6 上には、絶縁膜 6 2 0 及び絶縁膜 6 9 6 に形成されるコンタクトホールにおいて、配線 6 1 8 に接続する画素電極層 6 2 4 が形成される。画素電極層 6 2 4 は実施の形態 5 で示した画素電極層 4 0 3 0 と同様の材料を用いて形成する。

【 0 3 5 5 】

このようにして、基板 6 0 0 上に T F T 6 2 8 とそれに接続する画素電極層 6 2 4 が形成される。なお、保持容量は第 1 の画素電極である画素電極層 6 0 7 と第 2 の画素電極である画素電極層 6 2 4 の間で形成している。

【 0 3 5 6 】

図 3 0 は、画素電極の構成を示す平面図である。図 3 0 に示す切断線 O - P に対応する断面構造を図 2 9 に表している。画素電極層 6 2 4 にはスリット 6 2 5 が設けられる。スリット 6 2 5 は液晶の配向を制御するためのものである。この場合、電界は画素電極層 6 0 7 と画素電極層 6 2 4 の間で発生する。画素電極層 6 0 7 と画素電極層 6 2 4 の間にはゲート絶縁膜 6 0 6 が形成されているが、ゲート絶縁膜 6 0 6 の厚さは 5 0 ~ 2 0 0 n m であり、2 ~ 1 0 μ m である液晶層の厚さと比較して十分薄いので、実質的に基板 6 0 0 と平行な方向（水平方向）に電界が発生する。この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。また、第 1 の画素電極層 6 0 7 と画素電極層 6 2 4 は共に透光性の電極であるので、開口率を向上させることができる。

【 0 3 5 7 】

次に、横電界方式の液晶表示装置の他の一例について示す。

【 0 3 5 8 】

図 3 1 と図 3 2 は、I P S 型の液晶表示装置の画素構造を示している。図 3 2 は平面図であり、図中に示す切断線 V - W に対応する断面構造を図 3 1 に表している。以下の説明ではこの両図を参照して説明する。

【 0 3 5 9 】

図 3 1 は、T F T 6 2 8 とそれに接続する画素電極層 6 2 4 が形成された基板 6 0 0 と、対向基板 6 0 1 を重ね合わせ、液晶を注入した状態を示している。対向基板 6 0 1 には着色膜 6 3 6、平坦化膜 6 3 7 などが形成されている。なお、対向基板 6 0 1 側に対向電極は設けられていない。基板 6 0 0 と対向基板 6 0 1 の間に、配向膜 6 4 6 及び配向膜 6 4 8 を介して液晶層 6 5 0 が形成されている。

【 0 3 6 0 】

基板 6 0 0 上には、共通電位線 6 0 9、及び実施の形態 1 で示す T F T 6 2 8 が形成される。共通電位線 6 0 9 は T F T 6 2 8 のゲート配線 6 0 2 と同時に形成することができる。また、第 1 の画素電極である画素電極層 6 0 7 は略画素の形状に区画化した形状で形成する。

【 0 3 6 1 】

T F T 6 2 8 の配線 6 1 6、配線 6 1 8 がゲート絶縁膜 6 0 6 上に形成される。配線 6 1 6 は液晶表示パネルにおいてビデオ信号をのせるデータ線であり一方向に伸びる配線であると同時に、T F T 6 2 8 のソース領域又はドレイン領域と接続し、ソース及びドレインの一方の電極となる。配線 6 1 8 は、ソース及びドレインの他方の電極となり第 2 の画素電極である画素電極層 6 2 4 と接続する配線である。

【 0 3 6 2 】

配線 6 1 6、配線 6 1 8 上に絶縁膜 6 2 0 が形成され、絶縁膜 6 2 0 上に絶縁膜 6 9 6 が

10

20

30

40

50

形成される。また、絶縁膜 6 9 6 上には、絶縁膜 6 2 0 及び絶縁膜 6 9 6 に形成されるコンタクトホール 6 2 3 において、配線 6 1 8 に接続する画素電極層 6 2 4 が形成される。画素電極層 6 2 4 は実施の形態 5 で示した画素電極層 4 0 3 0 と同様の材料を用いて形成する。なお、図 3 2 に示すように、画素電極層 6 2 4 は、共通電位線 6 0 9 と同時に形成した櫛形の電極と横電界が発生するように形成される。また、画素電極層 6 2 4 の櫛歯の部分が共通電位線 6 0 9 と同時に形成した櫛形の電極と交互に咬み合うように形成される。

#### 【0363】

画素電極層 6 2 4 に印加される電位と共通電位線 6 0 9 の電位との間に電界が生じると、この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。

10

#### 【0364】

このようにして、基板 6 0 0 上に T F T 6 2 8 とそれに接続する画素電極層 6 2 4 が形成される。保持容量は共通電位線 6 0 9 と容量電極 6 1 5 の間にゲート絶縁膜 6 0 6 を設け、それにより形成している。容量電極 6 1 5 と画素電極層 6 2 4 はコンタクトホール 6 3 3 を介して接続されている。

#### 【0365】

次に、T N 型の液晶表示装置の形態について示す。

#### 【0366】

20

図 3 3 と図 3 4 は、T N 型の液晶表示装置の画素構造を示している。図 3 4 は平面図であり、図中に示す切断線 K - L に対応する断面構造を図 3 3 に表している。以下の説明ではこの両図を参照して説明する。

#### 【0367】

画素電極層 6 2 4 はコンタクトホール 6 2 3 により、配線 6 1 8 で T F T 6 2 8 と接続している。データ線として機能する配線 6 1 6 は、T F T 6 2 8 と接続している。T F T 6 2 8 は実施の形態 1 に示す T F T のいずれかを適用することができる。

#### 【0368】

画素電極層 6 2 4 は、先の実施の形態に示す画素電極層と同様の材料を用いて形成される。容量配線 6 0 4 は T F T 6 2 8 のゲート配線 6 0 2 と同時に形成することができる。ゲート配線 6 0 2 及び容量配線 6 0 4 上にはゲート絶縁膜 6 0 6 が形成される。保持容量は、容量配線 6 0 4 と容量電極 6 1 5 の間にゲート絶縁膜 6 0 6 を介して形成している。容量電極 6 1 5 と画素電極層 6 2 4 はコンタクトホール 6 2 3 を介して接続されている。

30

#### 【0369】

対向基板 6 0 1 には、着色膜 6 3 6、対向電極層 6 4 0 が形成されている。また、着色膜 6 3 6 と対向電極層 6 4 0 の間には平坦化膜 6 3 7 が形成され、液晶の配向乱れを防いでいる。液晶層 6 5 0 は画素電極層 6 2 4 と対向電極層 6 4 0 の間に配向膜 6 4 8 及び配向膜 6 4 6 を介して形成されている。

#### 【0370】

画素電極層 6 2 4 と液晶層 6 5 0 と対向電極層 6 4 0 が重なり合うことで、液晶素子が形成されている。

40

#### 【0371】

また、基板 6 0 0 または対向基板 6 0 1 にカラーフィルタなどが形成されていても良い。また、基板 6 0 0 の薄膜トランジスタが形成されている面とは逆の面に偏光板を貼り合わせ、また対向基板 6 0 1 の対向電極層 6 4 0 が形成されている面とは逆の面に、偏光板を貼り合わせておく。

#### 【0372】

以上の工程により、表示装置として液晶表示装置を作製することができる。本実施の形態の液晶表示装置は、開口率が高い液晶表示装置である。

#### 【0373】

50

実施の形態 1 乃至実施の形態 3 に示す薄膜トランジスタの作製方法を用いて上記液晶表示装置の画素部の薄膜トランジスタを作製することにより、各画素の薄膜トランジスタのしきい値電圧のバラツキに起因する表示ムラを抑制することができる。

【0374】

また、実施の形態 1 乃至実施の形態 3 に示す薄膜トランジスタの作製方法を用いて液晶表示装置の駆動回路の薄膜トランジスタを作製することにより、しきい値電圧をマイナスシフトさせることなく、チャネル長を短くすることができるので、駆動回路部の薄膜トランジスタの高速動作を実現し、省電力化を図ることができる。

【実施例 1】

【0375】

本実施例では、本発明の一形態に示す薄膜トランジスタの作製方法を用いて薄膜トランジスタを作製し、昇温と降温を繰り返す第 2 の熱処理による、薄膜トランジスタのしきい値電圧のチャネル長依存性及び電界効果移動度の変化について評価した結果を示す。

【0376】

本実施例では、同一基板上にチャネル長  $L$  の長さを  $3\ \mu\text{m}$ 、 $4\ \mu\text{m}$ 、 $5\ \mu\text{m}$ 、 $6\ \mu\text{m}$ 、 $8\ \mu\text{m}$ 、 $10\ \mu\text{m}$ 、 $15\ \mu\text{m}$ 、 $20\ \mu\text{m}$ 、 $30\ \mu\text{m}$ 、 $40\ \mu\text{m}$ 、 $50\ \mu\text{m}$  とする薄膜トランジスタを作製し、昇温と降温を繰り返す第 2 の熱処理による、薄膜トランジスタのしきい値電圧のチャネル長依存性及び電界効果移動度の変化について評価した。まず、薄膜トランジスタの作製方法について説明する。

【0377】

まず、ガラス基板の上に下地膜として、CVD 法により膜厚  $100\ \text{nm}$  の酸化窒化珪素膜を形成し、酸化窒化珪素膜上にゲート電極層としてスパッタ法により膜厚  $150\ \text{nm}$  のタングステン膜を形成し、ゲート電極層上にゲート絶縁層として CVD 法により膜厚  $100\ \text{nm}$  の酸化窒化珪素膜を形成した。

【0378】

次に、ゲート絶縁層上に、 $\text{In-Ga-Zn-O}$  系酸化物半導体成膜用ターゲット ( $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ ) を用いて、基板とターゲットの間との距離を  $60\ \text{mm}$ 、圧力  $0.4\ \text{Pa}$ 、直流 (DC) 電源  $0.5\ \text{kW}$ 、アルゴン及び酸素 (アルゴン : 酸素 =  $30\ \text{sccm} : 15\ \text{sccm}$ ) 雰囲気下で成膜し、膜厚  $50\ \text{nm}$  の酸化物半導体層を形成した。

【0379】

次に、酸化物半導体層を窒素雰囲気下、 $450^\circ\text{C}$  で 1 時間、第 1 の熱処理を行った。

【0380】

酸化物半導体層上にソース電極層及びドレイン電極層としてチタン膜 (膜厚  $50\ \text{nm}$ )、アルミニウム膜 (膜厚  $200\ \text{nm}$ )、及びチタン膜 (膜厚  $50\ \text{nm}$ ) の積層を、スパッタ法により形成した。その後、電極層をエッチングしてソース電極層及びドレイン電極層を形成し、薄膜トランジスタのチャネル長  $L$  の長さが  $3\ \mu\text{m}$ 、 $4\ \mu\text{m}$ 、 $5\ \mu\text{m}$ 、 $6\ \mu\text{m}$ 、 $8\ \mu\text{m}$ 、 $10\ \mu\text{m}$ 、 $15\ \mu\text{m}$ 、 $20\ \mu\text{m}$ 、 $30\ \mu\text{m}$ 、 $40\ \mu\text{m}$ 、 $50\ \mu\text{m}$ 、チャネル幅  $W$  が  $20\ \mu\text{m}$  となるようにした。

【0381】

次に、酸化物半導体層に接するように保護絶縁層としてスパッタ法により膜厚  $300\ \text{nm}$  の酸化珪素膜を形成した。さらに保護絶縁層上に配線層としてシリコンを 5 重量% 含む酸化インジウム酸化スズ合金 (ITO) 膜を膜厚  $110\ \text{nm}$  で、スパッタ法を用いて成膜した。それから酸化物半導体層を窒素雰囲気下、 $250^\circ\text{C}$  で 1 時間、熱処理を行った。

【0382】

次に、大気雰囲気下で昇温と降温を繰り返す第 2 の熱処理を行った。図 4 に第 2 の熱処理工程を縦軸に温度 [  $^\circ\text{C}$  ]、横軸に時間 [ 分 ] をとったグラフで示す。図 4 に示すように、第 2 の熱処理は、0 分 ~ 20 分の 20 分間で  $25^\circ\text{C}$  から  $150^\circ\text{C}$  に昇温する昇温過程と、20 分 ~ 60 分の 40 分間、温度を  $150^\circ\text{C}$  に維持する高温維持過程と、60 分 ~ 105 分の 45 分間で  $150^\circ\text{C}$  から  $25^\circ\text{C}$  に冷却する降温過程と、105 分 ~ 120 分の 15 分

10

20

30

40

50

間、温度を25℃に維持する低温維持過程と、からなるサイクルを10回繰り返す。

【0383】

以上の工程により、チャネル幅Wの長さを20μm、チャネル長Lの長さを3μm、4μm、5μm、6μm、8μm、10μm、15μm、20μm、30μm、40μm、50μmとする薄膜トランジスタを同一基板上に作製した。

【0384】

第2の熱処理の前後で各薄膜トランジスタの電流電圧特性を測定し、第2の熱処理による、薄膜トランジスタのしきい値電圧のチャネル長依存性及び電界効果移動度の変化について評価した。

【0385】

図5(A)に第2の熱処理前の各薄膜トランジスタのしきい値電圧及び電界効果移動度を、図5(B)に第2の熱処理後の各薄膜トランジスタのしきい値電圧及び電界効果移動度を示す。図5(A)、図5(B)は縦軸にしきい値電圧( $V_{th1}$  [V]、 $V_{th2}$  [V])及び電界効果移動度( $\mu_{FE}$  [ $cm^2/Vs$ ])をとり、横軸にチャネル長(L [μm])をとる。ここで、しきい値電圧 $V_{th1}$ 、しきい値電圧 $V_{th2}$ はしきい値電圧の評価方法が異なる。

【0386】

しきい値電圧 $V_{th1}$ は、ゲート電圧( $V_g$  [V])を横軸、ドレイン電流の平方根( $I_d^{1/2}$ )を縦軸にプロットしたグラフにおいて、最大傾きである $I_d^{1/2}$ の接線を外挿したときの $V_g$ 軸との交点で定義する。また、しきい値電圧 $V_{th2}$ は、ゲート電圧( $V_g$  [V])を横軸、ドレイン電流の対数を縦軸にプロットしたグラフにおいて、最大傾きである $I_d$ の接線を外挿したときの $I_d = 1.0 \times 10^{-12}$  [A]軸との交点で定義する。

【0387】

図5(A)を見ると、しきい値電圧 $V_{th1}$ 、 $V_{th2}$ はチャネル長Lが短くなるにつれて減少しており、チャネル長Lが20μm以下になるとその傾向が顕著になる。特にしきい値電圧 $V_{th2}$ は、チャネル長Lが10μm以下になるとマイナスとなっている。それに対して、図5(B)では、しきい値電圧 $V_{th1}$ 、 $V_{th2}$ がチャネル長Lの減少と共に減少する傾向は見られるが、図5(A)に比べると緩和されている。特に、チャネル長Lが20μm以下の部分では、図5(A)よりしきい値電圧 $V_{th1}$ 、 $V_{th2}$ の減少が抑えられており、最もチャネル長の短い $L = 3\mu m$ の場合も、しきい値電圧 $V_{th1}$ 、 $V_{th2}$ が0より大きく、ノーマリーオフとなっている。

【0388】

よって、チャネル長Lを短くすることに伴うしきい値電圧のマイナスシフトが、第2の熱処理により、抑制されることが分かった。

【0389】

また、図5(A)では、電界効果移動度 $\mu_{FE}$ が $10.7 cm^2/Vs \sim 11.5 cm^2/Vs$ 程度だが、図5(B)では、電界効果移動度 $\mu_{FE}$ が $11.3 cm^2/Vs \sim 12.2 cm^2/Vs$ 程度に増加している。よって、第2の熱処理により電界効果移動度 $\mu_{FE}$ が増加している。

【0390】

以上のことから、第1の熱処理によって脱水化または脱水素化させた酸化物半導体層を有する、薄膜トランジスタを覆うように保護絶縁層を形成し、昇温と降温を複数回繰り返す第2の熱処理を行うことによって、チャネル長Lを短くすることに伴うしきい値電圧のマイナスシフトが抑制されることが分かった。また、第2の熱処理により、薄膜トランジスタの電界効果移動度 $\mu_{FE}$ を増加できることが分かった。

【実施例2】

【0391】

本実施例では、本発明の一形態に示す薄膜トランジスタの作製方法を用いて薄膜トランジスタを作製し、昇温と降温を繰り返す第2の熱処理による、同一基板上の薄膜トランジスタ

10

20

30

40

50



タのしきい値電圧のバラツキの変化について評価した結果を示す。

【0392】

本実施例では、同一基板上にチャネル長 $L$ の長さを $3\mu\text{m}$ 、チャネル幅の長さを $20\mu\text{m}$ 、とする複数の薄膜トランジスタを作製し、昇温と降温を繰り返す第2の熱処理による、同一基板上の薄膜トランジスタのしきい値電圧のバラツキの変化について評価した。薄膜トランジスタの作製方法については、実施例1と同様なので実施例1を参照されたい。

【0393】

実施例1と同様に、第2の熱処理の前後で各薄膜トランジスタの電流電圧特性を測定し、第2の熱処理による、同一基板上の薄膜トランジスタのしきい値電圧のバラツキについて評価した。

10

【0394】

図6(A)に第2の熱処理前の各薄膜トランジスタの電流電圧特性及び電界効果移動度を、図6(B)に第2の熱処理後の各薄膜トランジスタの電流電圧特性及び電界効果移動度を示す。図6(A)、図6(B)は縦軸にドレイン電流( $I_D$  [A])及び電界効果移動度( $\mu_{FE}$  [ $\text{cm}^2/\text{Vs}$ ])をとり、横軸にゲート電圧( $V_G$  [V])をとる。ここで、図6(A)、図6(B)は、ドレイン電流 $I_D$ はドレイン電圧 $V_D$ を1V、10Vとして測定したものを、電界効果移動度 $\mu_{FE}$ はドレイン電圧 $V_D$ を10Vとして測定したものを表示している。

【0395】

図6(A)を見ると、第2の熱処理の前の薄膜トランジスタは、ドレイン電圧 $V_D$ が1V、10Vに関わらず、しきい値電圧が0Vより小さく、同一基板面内でしきい値電圧の値にバラツキがある。それに対して図6(B)では、薄膜トランジスタのしきい値電圧の値は、ドレイン電圧の値に関わらず、同一基板面内で $V_G = 0\text{V}$ にほぼ同じ値をとっている。よって、第2の熱処理により、同一基板面上の薄膜トランジスタのしきい値電圧のバラツキが抑制されることが確認された。

20

【0396】

また、図6(A)と図6(B)の電界効果移動度 $\mu_{FE}$ を比較すると、実施例1と同様に、第2の熱処理によって増加しているのが見受けられる。

【0397】

以上のことから、第1の熱処理によって脱水化または脱水素化させた酸化物半導体層を有する、薄膜トランジスタを覆うように保護絶縁層を形成し、昇温と降温を複数回繰り返す第2の熱処理を行うことによって、同一基板面上の薄膜トランジスタのしきい値電圧のバラツキが抑制され、しきい値電圧を0Vに近い正のゲート電圧にできることが分かった。また、第2の熱処理により、薄膜トランジスタの電界効果移動度 $\mu_{FE}$ を増加できることが分かった。

30

【実施例3】

【0398】

本実施例では、実施例1とは異なる方法で第2の熱処理を行って、薄膜トランジスタを作製し、薄膜トランジスタのしきい値電圧のチャネル長依存性及び電界効果移動度の変化について評価した結果を示す。

40

【0399】

実施例1では、第2の熱処理として、第1の熱処理より低い温度で昇温と降温を10回繰り返す熱処理を行ったが、本実施例では、第2の熱処理として、第1の熱処理より低い温度を保ったまま、第1の熱処理より長時間連続して熱処理を行った。なお、本実施例は、第2の熱処理以外の工程は、実施例1と同様なので、それまでの過程は、実施例1を参考にされたい。

【0400】

第2の熱処理として、大気雰囲気下で、第1の熱処理より低い温度を保ったまま、第1の熱処理より長時間連続して熱処理を行った。詳しくは、第2の熱処理として、35分間で25 から150 に昇温する昇温過程と、565分間、温度を150 に維持する高温

50

維持過程と、45分間で150 から25 に冷却する降温過程と、を行った。

#### 【0401】

以上の工程により、チャネル幅Wの長さを20  $\mu\text{m}$ 、チャネル長Lの長さを3  $\mu\text{m}$ 、4  $\mu\text{m}$ 、5  $\mu\text{m}$ 、6  $\mu\text{m}$ 、8  $\mu\text{m}$ 、10  $\mu\text{m}$ 、15  $\mu\text{m}$ 、20  $\mu\text{m}$ 、30  $\mu\text{m}$ 、40  $\mu\text{m}$ 、50  $\mu\text{m}$ とする薄膜トランジスタを同一基板上に作製した。

#### 【0402】

実施例1と同様に、第2の熱処理の前後で各薄膜トランジスタの電流電圧特性を測定し、第2の熱処理による、薄膜トランジスタのしきい値電圧のチャネル長依存性及び電界効果移動度の変化について評価した。

#### 【0403】

図37(A)に第2の熱処理前の各薄膜トランジスタのしきい値電圧及び電界効果移動度を、図37(B)に第2の熱処理後の各薄膜トランジスタのしきい値電圧及び電界効果移動度を示す。図37(A)、図37(B)は縦軸にしきい値電圧( $V_{th1}$  [V]、 $V_{th2}$  [V])及び電界効果移動度( $\mu_{FE}$  [ $\text{cm}^2/\text{Vs}$ ])をとり、横軸にチャネル長(L [ $\mu\text{m}$ ])をとる。ここで、しきい値電圧 $V_{th1}$ 、しきい値電圧 $V_{th2}$ の定義は、実施例1と同様である。

#### 【0404】

図37(A)を見ると、実施例1と同様に、チャネル長の減少に伴い、しきい値電圧 $V_{th1}$ 、 $V_{th2}$ が減少している。それに対して、図37(B)では、チャネル長の減少に伴い、しきい値電圧 $V_{th1}$ 、 $V_{th2}$ が減少する傾向が緩和され、特に、チャネル長Lが20  $\mu\text{m}$ 以下の部分では、図37(A)よりしきい値電圧 $V_{th1}$ 、 $V_{th2}$ の減少が抑えられており、最もチャネル長の短いL = 3  $\mu\text{m}$ の場合も、しきい値電圧 $V_{th1}$ 、 $V_{th2}$ が0より大きく、ノーマリーオフとなっている。

#### 【0405】

よって、実施例1と同様に、チャネル長Lを短くすることに伴うしきい値電圧のマイナスシフトが、第1の熱処理より低い温度を保ったまま、第1の熱処理より長時間連続して熱処理を行う第2の熱処理により、抑制されることが分かった。

#### 【0406】

また、図37(A)、図37(B)を比較すると、第2の熱処理により電界効果移動度 $\mu_{FE}$ が増加している。

#### 【0407】

以上のことから、第1の熱処理によって脱水化または脱水素化させた酸化物半導体層を有する、薄膜トランジスタを覆うように保護絶縁層を形成し、第1の熱処理より低い温度を保ったまま、第1の熱処理より長時間連続して熱処理を行う第2の熱処理を行うことによって、チャネル長Lを短くすることに伴うしきい値電圧のマイナスシフトが抑制されることが分かった。また、第2の熱処理により、薄膜トランジスタの電界効果移動度 $\mu_{FE}$ を増加できることが分かった。

#### 【符号の説明】

#### 【0408】

- 400 基板
- 401 ゲート電極層
- 402 ゲート絶縁層
- 403 酸化物半導体層
- 405a ソース電極層
- 405b ドレイン電極層
- 407 保護絶縁層
- 432 酸化物半導体層
- 450 基板
- 451 ゲート電極層
- 452 ゲート絶縁層

10

20

30

40

50

4 5 3	酸化物半導体層	
4 5 5 a	ソース電極層	
4 5 5 b	ドレイン電極層	
4 5 7	保護絶縁層	
4 6 0	薄膜トランジスタ	
4 6 1	薄膜トランジスタ	
4 7 0	基板	
4 7 1	ゲート電極層	
4 7 2	ゲート絶縁層	
4 7 3	酸化物半導体層	10
4 7 5 a	ソース電極層	
4 7 5 b	ドレイン電極層	
4 7 7	保護絶縁層	
4 8 0	チャネル保護層	
4 8 1	薄膜トランジスタ	
5 8 0	基板	
5 8 1	薄膜トランジスタ	
5 8 3	絶縁膜	
5 8 5	絶縁層	
5 8 7	電極層	20
5 8 8	電極層	
5 8 9	球形粒子	
5 9 4	キャビティ	
5 9 5	充填材	
5 9 6	基板	
6 0 0	基板	
6 0 1	対向基板	
6 0 2	ゲート配線	
6 0 3	ゲート配線	
6 0 4	容量配線	30
6 0 5	容量配線	
6 0 6	ゲート絶縁膜	
6 0 7	画素電極層	
6 0 9	共通電位線	
6 1 5	容量電極	
6 1 6	配線	
6 1 7	容量配線	
6 1 8	配線	
6 1 9	配線	
6 2 0	絶縁膜	40
6 2 2	絶縁膜	
6 2 3	コンタクトホール	
6 2 4	画素電極層	
6 2 5	スリット	
6 2 6	画素電極層	
6 2 7	コンタクトホール	
6 2 8	T F T	
6 2 9	T F T	
6 3 0	保持容量部	
6 3 1	保持容量部	50

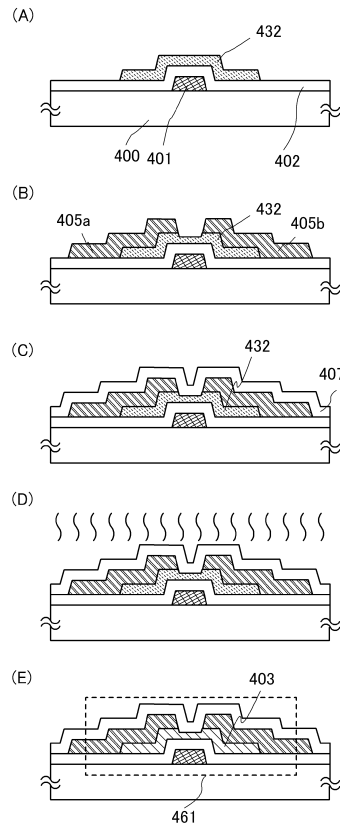
6 3 3	コンタクトホール	
6 3 6	着色膜	
6 3 7	平坦化膜	
6 4 0	対向電極層	
6 4 1	スリット	
6 4 4	突起	
6 4 6	配向膜	
6 4 8	配向膜	
6 5 0	液晶層	
6 5 1	液晶素子	10
6 5 2	液晶素子	
6 9 0	容量配線	
6 9 6	絶縁膜	
2 6 0 0	T F T 基板	
2 6 0 1	対向基板	
2 6 0 2	シール材	
2 6 0 3	画素部	
2 6 0 4	表示素子	
2 6 0 5	着色層	
2 6 0 6	偏光板	20
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	
2 6 1 2	回路基板	
2 6 1 3	拡散板	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	30
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	40
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	50

4 0 2 0	保護絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	酸化物絶縁層	
4 0 3 5	スペーサ	
4 0 4 0	導電層	
4 0 4 1	絶縁層	
4 5 0 1	基板	
4 5 0 2	画素部	10
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	電極層	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	20
4 5 1 7	電極層	
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	
4 5 4 0	導電層	
4 5 4 1	絶縁層	
4 5 4 3	保護絶縁層	
4 5 4 4	絶縁層	
5 3 0 0	基板	
5 3 0 1	画素部	
5 3 0 2	走査線駆動回路	30
5 3 0 3	走査線駆動回路	
5 3 0 4	信号線駆動回路	
5 3 0 5	タイミング制御回路	
5 4 4 4	平坦化絶縁層	
5 6 0 1	シフトレジスタ	
5 6 0 2	スイッチング回路	
5 6 0 3	薄膜トランジスタ	
5 6 0 4	配線	
5 6 0 5	配線	
5 9 0 a	黒色領域	40
5 9 0 b	白色領域	
6 4 0 0	画素	
6 4 0 1	スイッチング用トランジスタ	
6 4 0 2	駆動用トランジスタ	
6 4 0 3	容量素子	
6 4 0 4	発光素子	
6 4 0 5	信号線	
6 4 0 6	走査線	
6 4 0 7	電源線	
6 4 0 8	共通電極	50

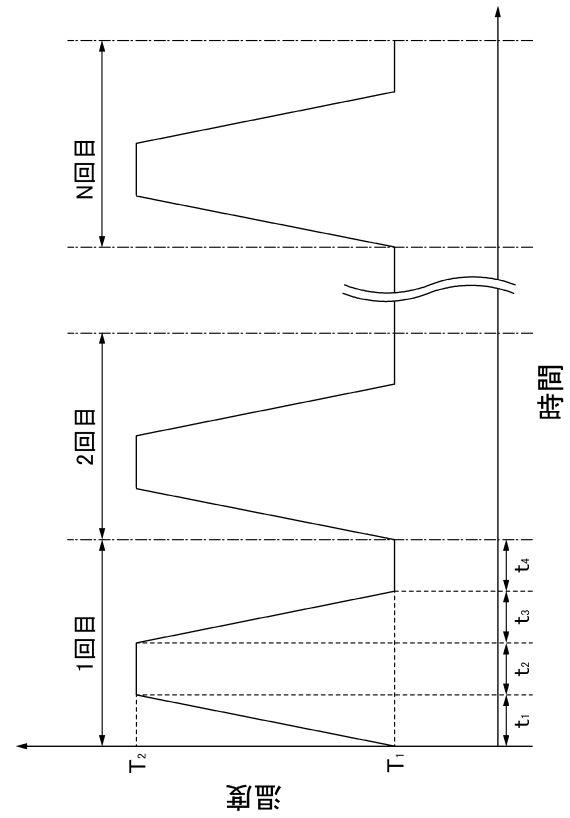
7 0 0 1	駆動用 T F T	
7 0 0 2	発光素子	
7 0 0 3	陰極	
7 0 0 4	E L 層	
7 0 0 5	陽極	
7 0 0 8	陰極	
7 0 0 9	隔壁	
7 0 1 1	駆動用 T F T	
7 0 1 2	発光素子	
7 0 1 3	陰極	10
7 0 1 4	E L 層	
7 0 1 5	陽極	
7 0 1 6	遮蔽膜	
7 0 1 7	導電膜	
7 0 1 9	隔壁	
7 0 2 1	駆動用 T F T	
7 0 2 2	発光素子	
7 0 2 3	陰極	
7 0 2 4	E L 層	
7 0 2 5	陽極	20
7 0 2 7	導電膜	
7 0 2 9	隔壁	
7 0 3 0	ドレイン電極層	
7 0 3 1	酸化物絶縁層	
7 0 3 2	絶縁層	
7 0 3 3	カラーフィルタ層	
7 0 3 4	オーバーコート層	
7 0 3 5	保護絶縁層	
7 0 4 1	酸化物絶縁層	
7 0 4 2	絶縁層	30
7 0 4 3	カラーフィルタ層	
7 0 4 4	オーバーコート層	
7 0 4 5	保護絶縁層	
7 0 5 0	接続電極層	
7 0 5 1	酸化物絶縁層	
7 0 5 2	保護絶縁層	
7 0 5 3	平坦化絶縁層	
7 0 5 5	絶縁層	
7 0 6 1	酸化物絶縁層	
7 0 6 2	保護絶縁層	40
7 0 6 3	カラーフィルタ層	
7 0 6 4	オーバーコート層	
7 0 6 5	保護絶縁層	
7 0 6 7	導電膜	
7 0 7 1	駆動用 T F T	
9 2 0 1	表示部	
9 2 0 2	表示ボタン	
9 2 0 3	操作スイッチ	
9 2 0 5	調節部	
9 2 0 6	カメラ部	50

9 2 0 7	スピーカ	
9 2 0 8	マイク	
9 3 0 1	上部筐体	
9 3 0 2	下部筐体	
9 3 0 3	表示部	
9 3 0 4	キーボード	
9 3 0 5	外部接続ポート	
9 3 0 6	ポインティングデバイス	
9 3 0 7	表示部	
9 6 0 0	テレビジョン装置	10
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	
9 6 1 0	リモコン操作機	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	
9 7 0 3	表示部	
9 8 8 1	筐体	20
9 8 8 2	表示部	
9 8 8 3	表示部	
9 8 8 4	スピーカ部	
9 8 8 5	操作キー	
9 8 8 6	記録媒体挿入部	
9 8 8 7	接続端子	
9 8 8 8	センサ	
9 8 8 9	マイクロフォン	
9 8 9 0	L E D ランプ	
9 8 9 1	筐体	30
9 8 9 3	連結部	
9 9 0 0	スロットマシン	
9 9 0 1	筐体	
9 9 0 3	表示部	
4 5 0 3 a	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	
4 5 1 8 a	F P C	

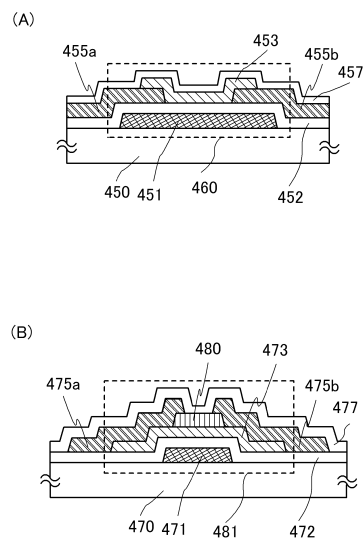
【図 1】



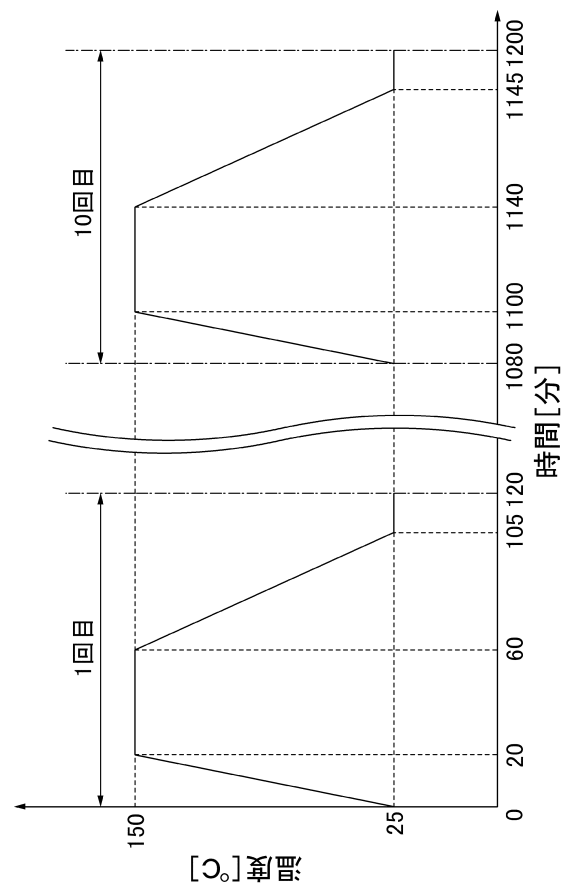
【図 2】



【図 3】



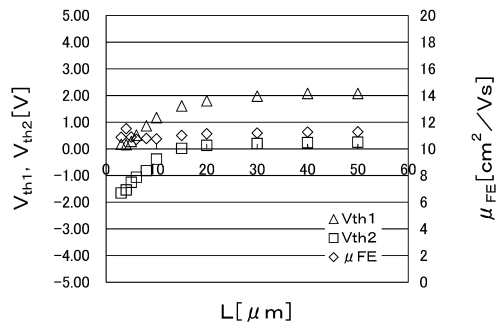
【図 4】



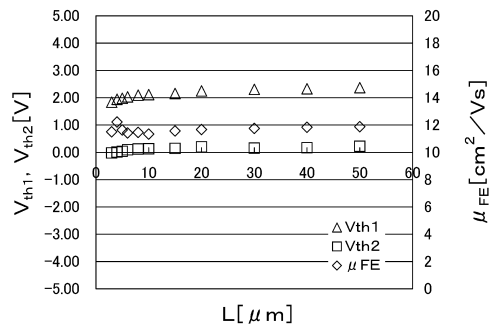


【図 5】

(A)

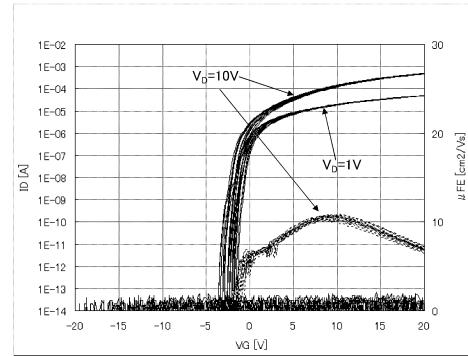


(B)

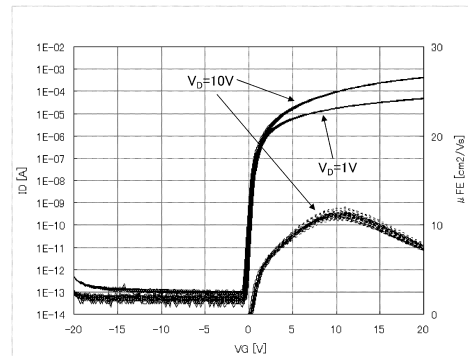


【図 6】

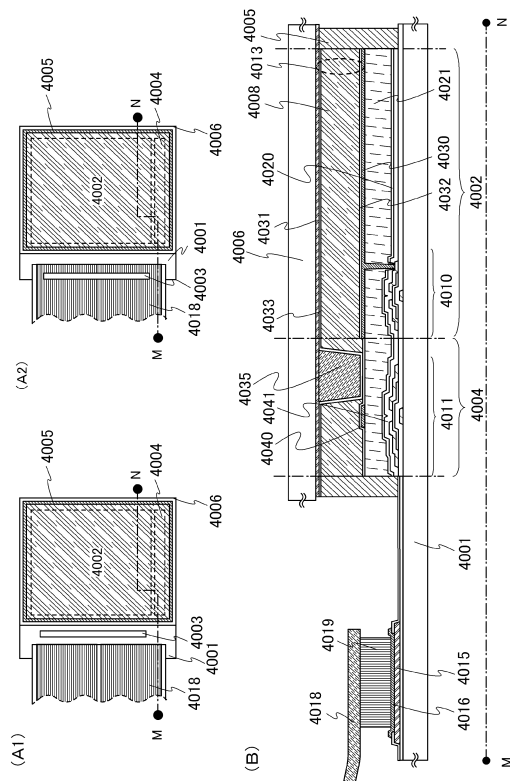
(A)



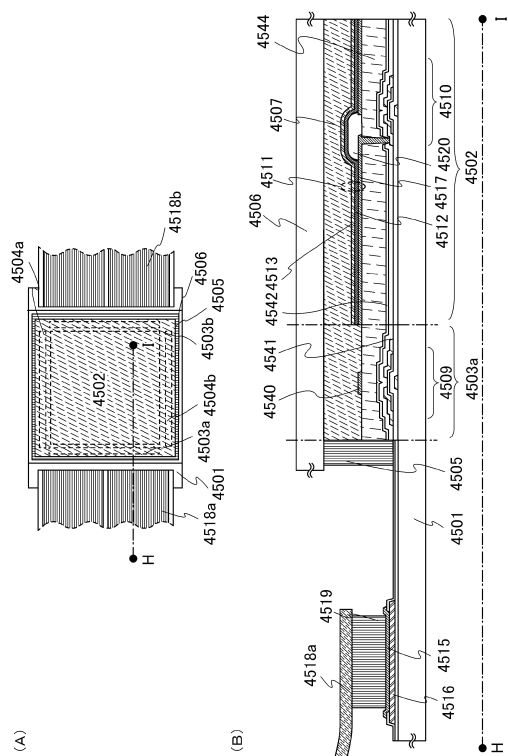
(B)



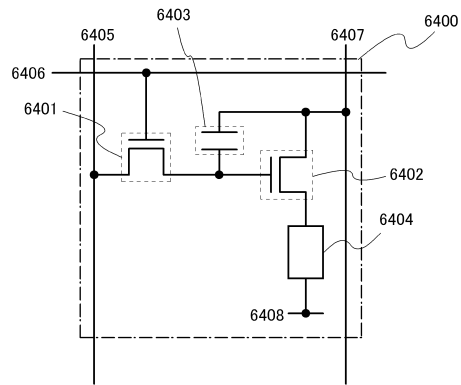
【図 7】



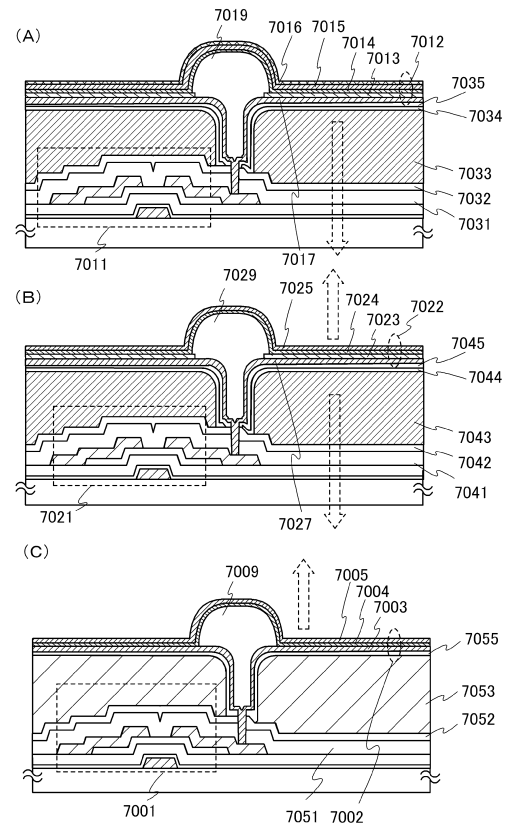
【図 8】



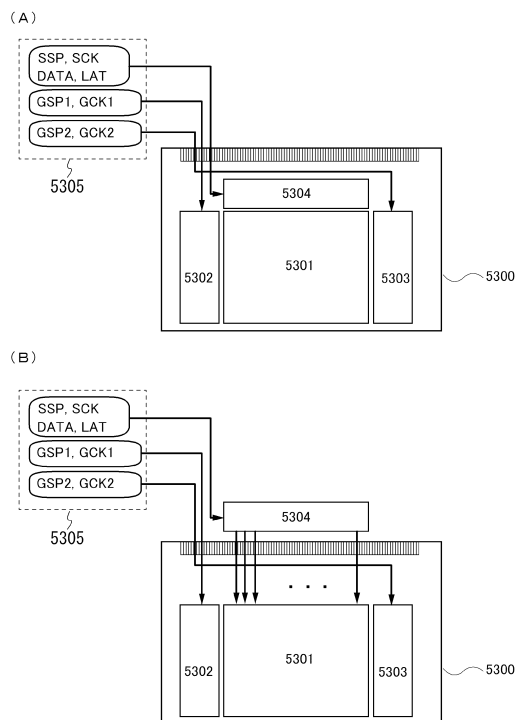
【図 9】



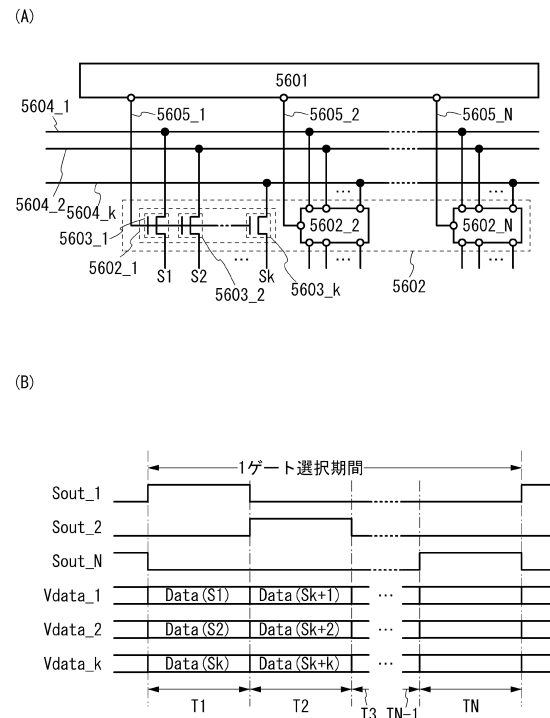
【図 10】



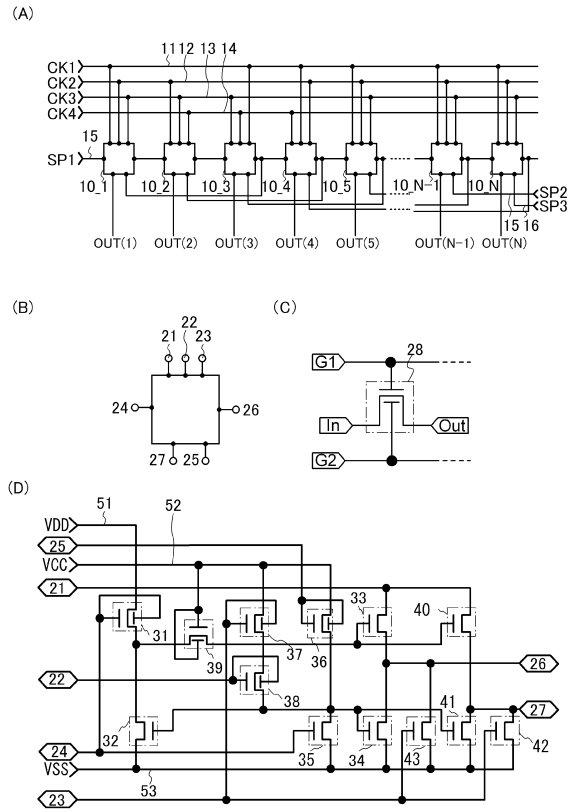
【図 11】



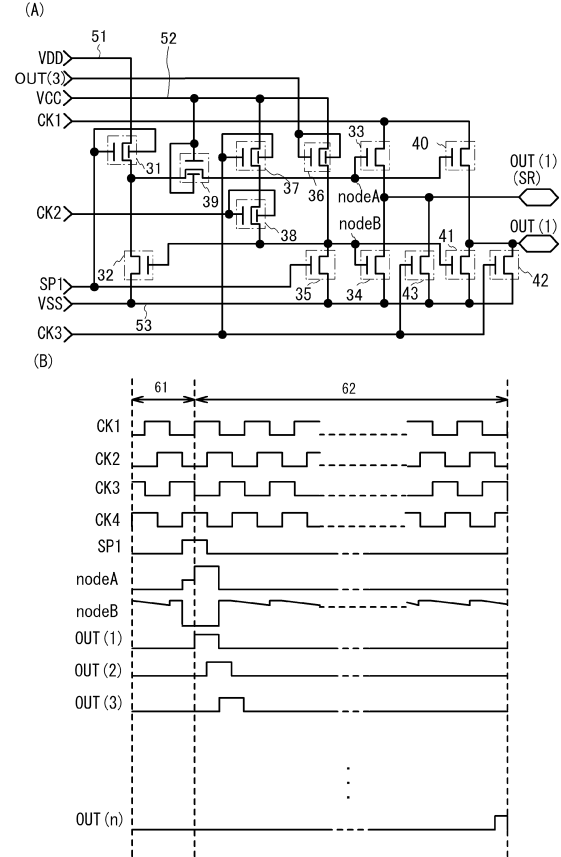
【図 12】



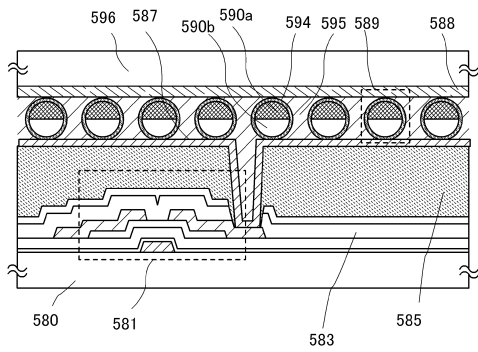
【図 13】



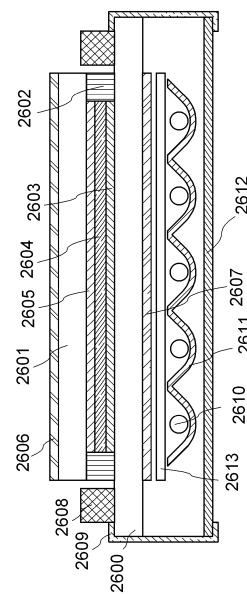
【図 14】



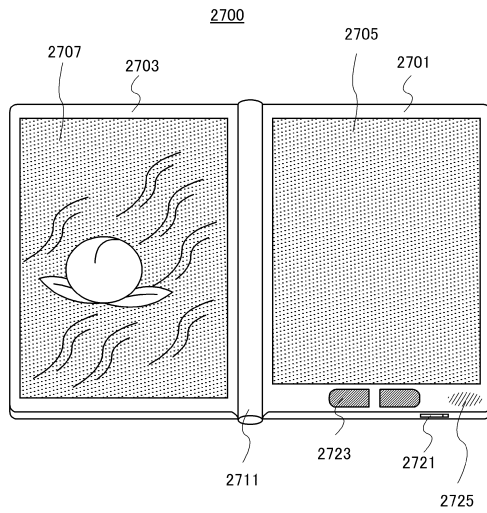
【図 15】



【図 16】

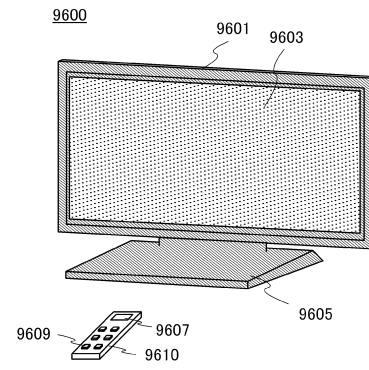


【図 17】

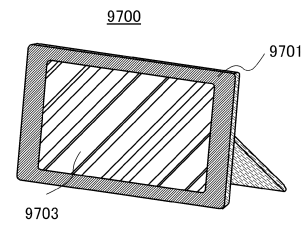


【図 18】

(A)

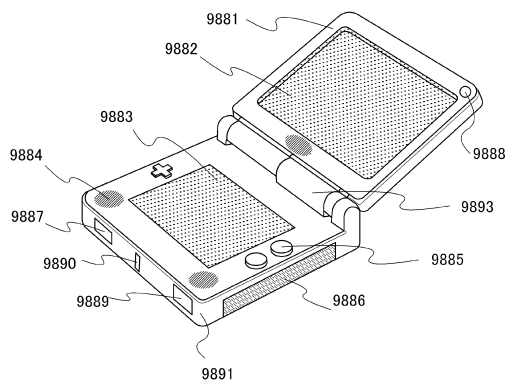


(B)

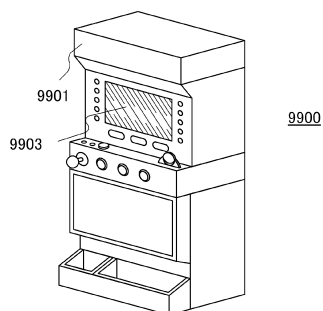


【図 19】

(A)

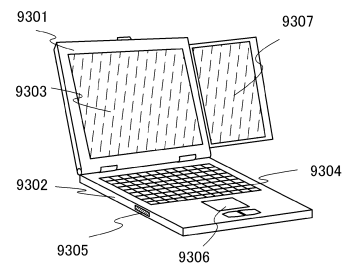


(B)

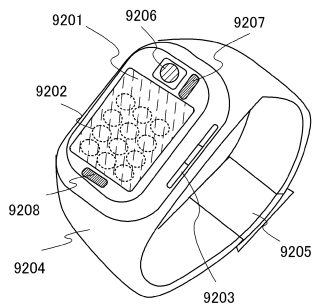


【図 20】

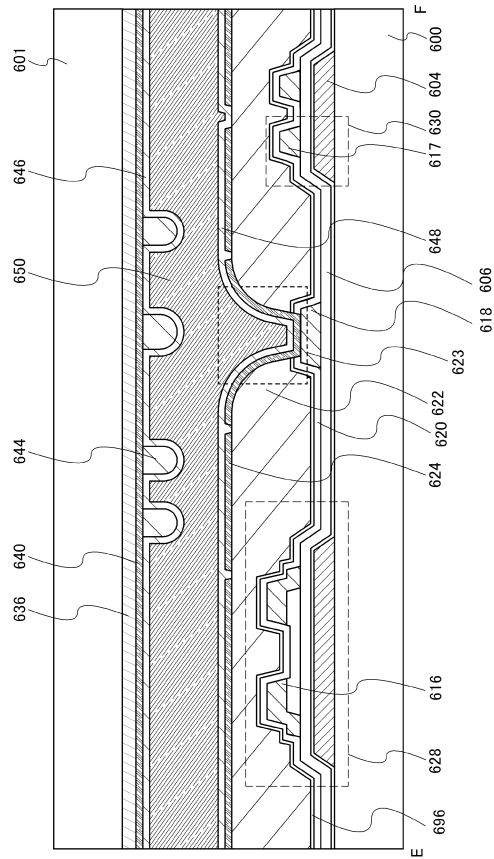
(A)



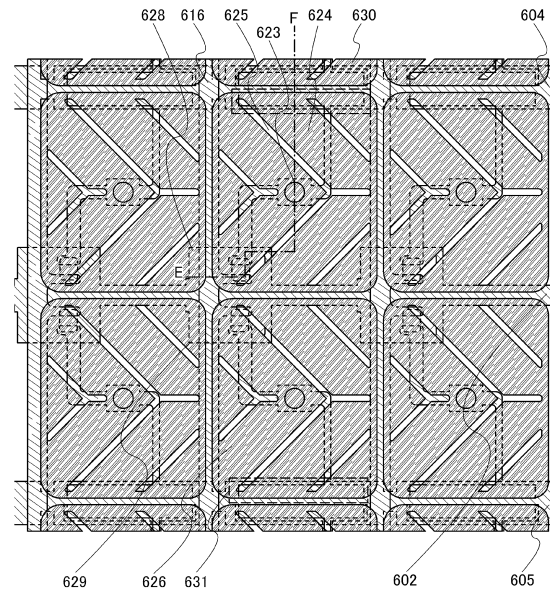
(B)



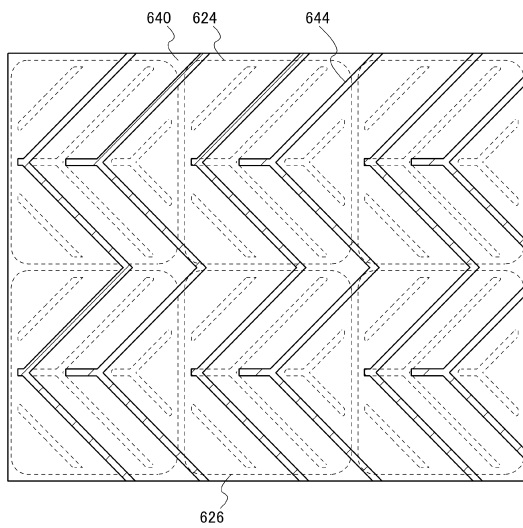
【図 2 1】



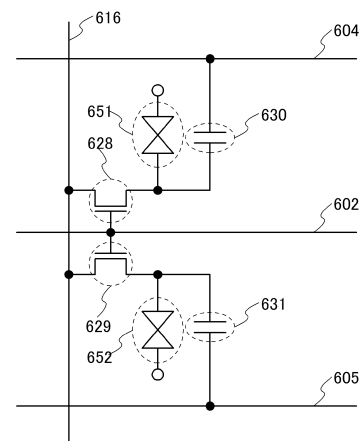
【図 2 2】



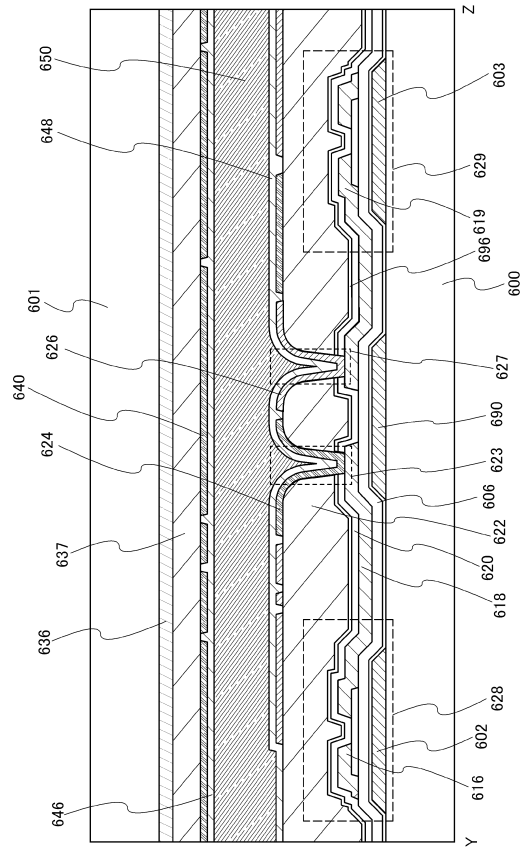
【図 2 3】



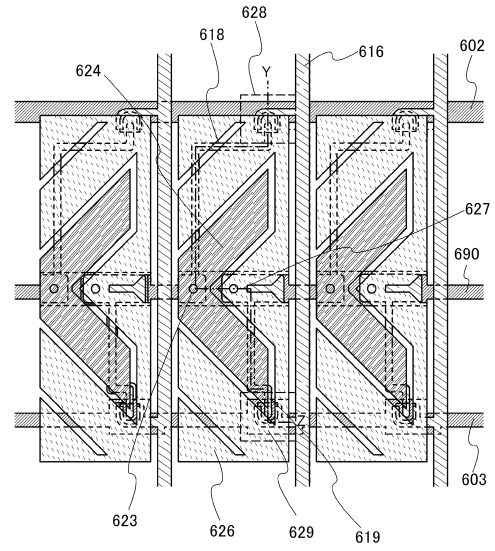
【図 2 4】



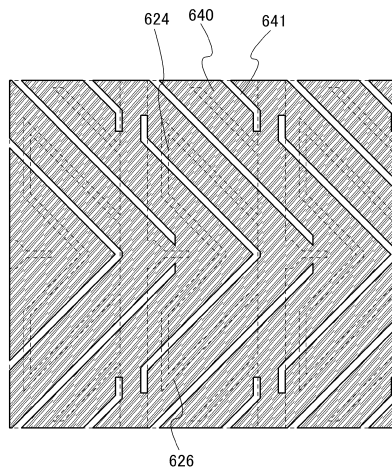
【図 25】



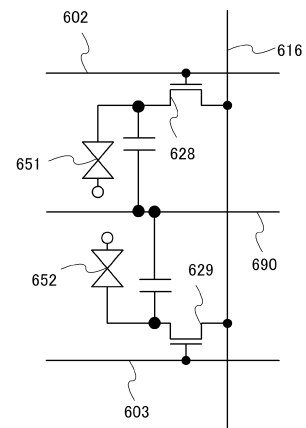
【図 26】



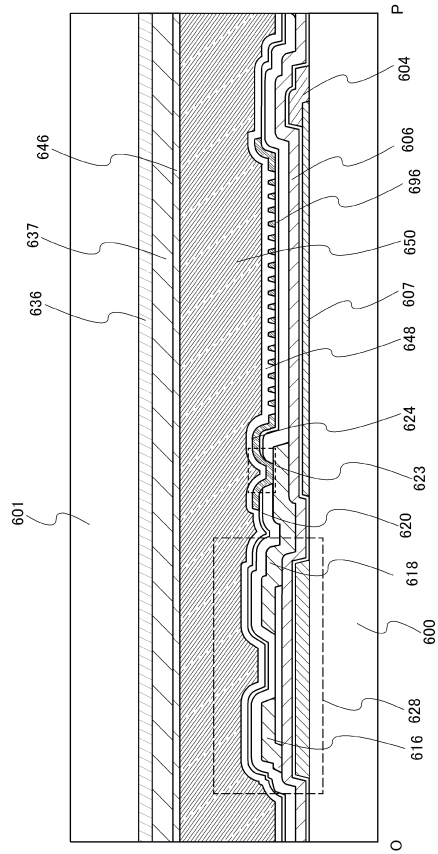
【図 27】



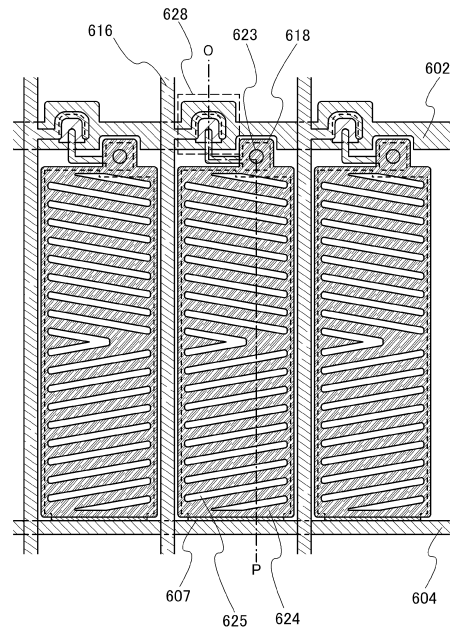
【図 28】



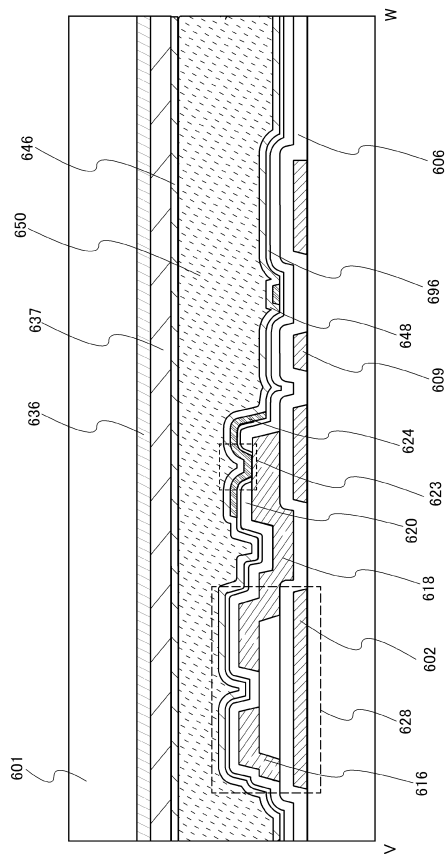
【図 29】



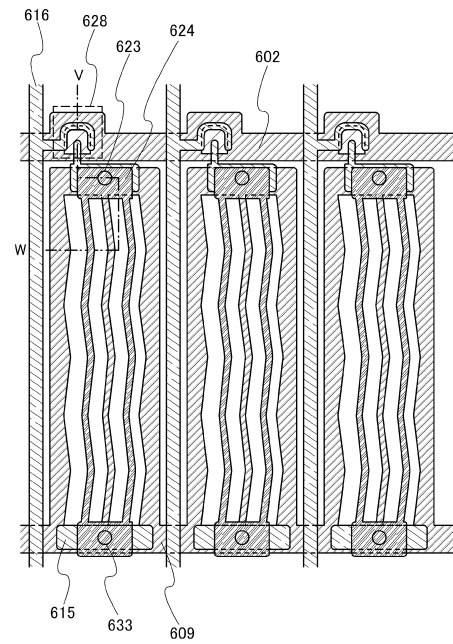
【図 30】



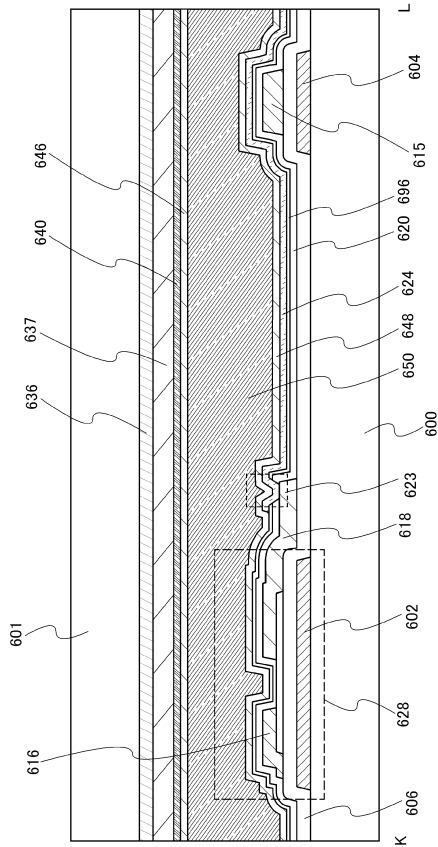
【図 31】



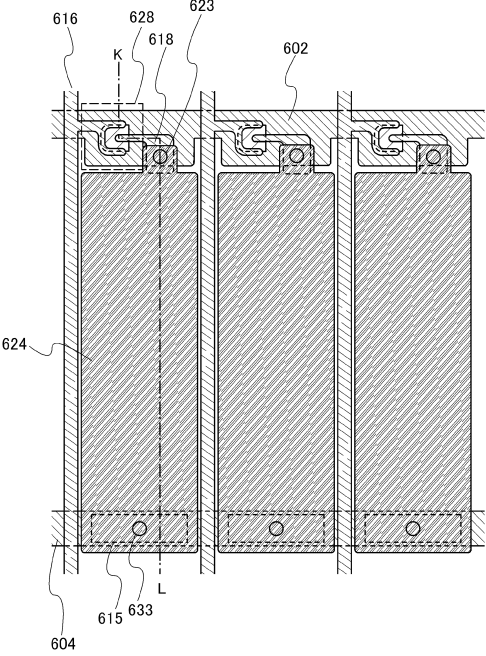
【図 32】



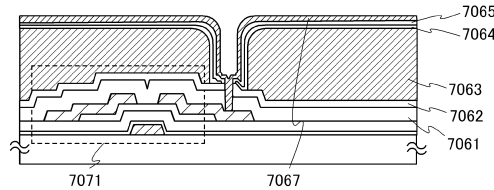
【図 3 3】



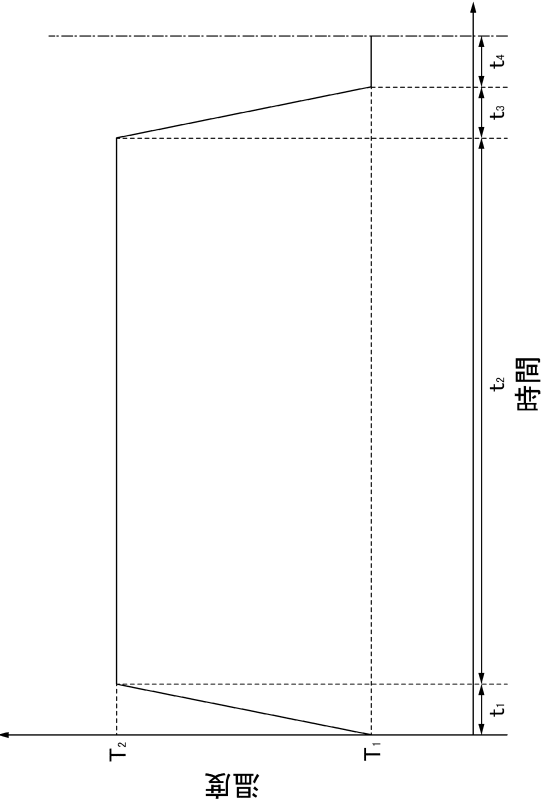
【図 3 4】



【図 3 5】



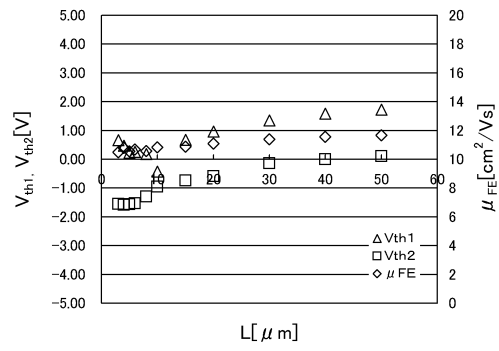
【図 3 6】



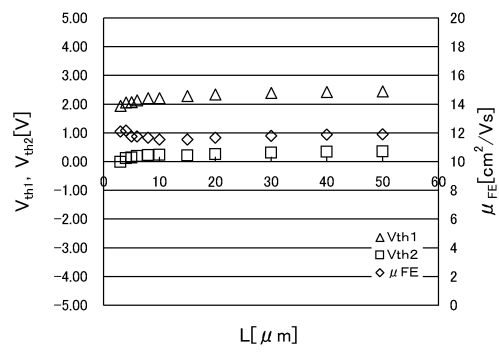


【図 37】

(A)



(B)



---

フロントページの続き

- (72)発明者 坂田 淳一郎  
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
- (72)発明者 戸松 浩之  
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
- (72)発明者 早川 昌彦  
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 岩本 勉

- (56)参考文献 特開 2 0 0 8 - 2 8 1 9 8 8 ( J P , A )  
米国特許出願公開第 2 0 1 0 / 0 0 8 4 6 4 8 ( U S , A 1 )  
特開 2 0 0 9 - 1 4 1 0 0 2 ( J P , A )  
米国特許出願公開第 2 0 1 0 / 0 2 8 3 0 4 9 ( U S , A 1 )  
米国特許出願公開第 2 0 0 9 / 0 0 5 0 8 8 4 ( U S , A 1 )  
特表 2 0 1 0 - 5 3 5 4 3 1 ( J P , A )  
国際公開第 2 0 0 9 / 0 7 5 2 8 1 ( W O , A 1 )

- (58)調査した分野(Int.Cl. , D B 名)
- |         |             |
|---------|-------------|
| H 0 1 L | 2 1 / 3 3 6 |
| H 0 1 L | 2 9 / 7 8 6 |