

公告本

申請日期	90. 7. 3
案 號	90 116 257
類 別	Hyk 23/60

A4
C4

526596

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	半導體裝置及形成該裝置之方法
	英 文	SEMICONDUCTOR DEVICE AND A PROCESS FOR FORMING THE SAME
二、發明 創作人	姓 名	1.斯瑞肯斯 B. 薩瑪凡丹 SRIKANTH B. SAMAVEDAM 2.菲利普 J. 托賓 PHILIP J. TOBIN 3.威廉 J. 泰勒 二世 WILLIAM J. TAYLOR, JR.
	國 籍	1.印度 2.3.均美國
三、申請人	住、居所	1.美國德州奧斯丁市伯納迪諾區2913號 2.美國德州奧斯丁市溫德梅爾區11410號 3.美國德州圓石市席達灣大道1905號
	姓 名 (名稱)	美商摩托羅拉公司 MOTOROLA INC.
	國 籍	美國
	住、居所 (事務所)	美國伊利諾州史堪伯市東阿崗崑路1303號摩托羅拉中心
	代 表 人 姓 名	F. 強 莫辛格 F. JOHN MOTSINGER

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

美國 2000 年 07 月 21 日 09/621,804 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

先前申請案之參考

本案已經於美國提出申請為專利申請案第 09/621,804 號，申請日 2000 年 7 月 21 日。

發明範疇

概略而言本發明係關於半導體裝置及處理範疇。特別本發明係關於半導體裝置及形成該半導體裝置之方法，該半導體裝置包括一個具有不同組成的導體。

相關技藝

多晶矽鍺合金(SiGe)閘極有助於於 N-及 P-MOSFETS 減少多晶矽耗盡效應。但矽鍺合金典型於某些矽化物的集成不相容。特別，SiGe 與金屬矽化物的集成例如鈷矽化物集成或鈦矽化物集成不相容。此種情況下，鈷與下方的鍺或鈦形成例如鍺化鈷(CoGe)、二鍺化鈷(CoGe₂)、鍺化鈦(TiGe)或二鍺化鈦(TiGe₂)而形成高電阻相。

進一步，鍺傾向於隔離於矽化物/多晶矽界面。此種隔離的不利之處在於鍺可能由閘介電質界面被拉離。如此又對裝置的功函數造成負面影響；特別功函數升高。

為了克服此項問題，可形成矽層於矽鍺合金上俾提供進行矽化反應用的矽層。於矽化程序過程中，部份矽層被耗用。雖然此項技術至少有某種程度的用途，雖言如此仍有問題。特別鍺傾向於裝置形成時進行的各次且每次時間-溫度週期期間擴散入矽層。如此耗盡接近於介電質的矽鍺層，且部份來自矽鍺閘極(降低多晶矽耗盡效應)的效果喪失。即使有此種額外矽層存在，擴散於矽層的鍺可能形成

五、發明說明 (2)

CoGe₂，CoGe，TiGe及/或TiGe₂而對閘矽化物的片電阻造成不良影響。特別由於存在有此等鍺化合物可能造成片電阻升高。

一種參考方法中，薄氮化矽層設置於矽層頂上。此種氮化矽薄膜可減少向上擴散量；但因氮化矽膜為絕緣層，故由於較高片電阻故，該層對裝置效能造成負面影響。

前述問題絕非意圖羅列盡淨，反而係多種可能有損先前已知裝置之技術效果的問題。也存在有其它值得注意的問題但上示問題足夠證實業界方法並非全然滿意。特別既有技術未適當考慮及/或防止某些可能對裝置效能造成不良影響的元素的向上擴散，也無法防止有礙效能的化合物如CoGe，CoGe₂，TiGe或TiGe₂的生成。

圖式之簡單說明

本發明係於附圖舉例說明而非限制性，附圖中類似的參考編號表示類似元件，附圖中：

圖1包括部份半導體裝置之剖面圖，該部份包括隔離區及閘介電質。

圖2包括圖1於形成第一導電部後之說明圖；

圖3包括圖2於形成第二導電部後之說明圖；

圖4包括圖3於形成第三導電部後之說明圖；

圖5包括圖4於形成側壁間隔層以及擴展植體及源/汲植體後之說明圖；

圖6包括圖5於沉積金屬膜後之說明圖；

圖7包括圖6於反應金屬膜而形成矽化物後之說明圖；以

五、發明說明 (3)

及

圖 8 包括圖 7 於形成實質上完成的半導體裝置後之說明圖。

熟諳技藝人士了解附圖中之各元件係為求簡單清晰說明而無需照比例繪製。例如附圖之部份元件維度可相對於其它元件誇大俾有助於了解本發明之具體實施例。

詳細說明

一個具體實施例中，本揭示內容說明一種包括絕緣層及導體之半導體裝置及其形成方法。絕緣層形成於半導體基板上方，導體形成於絕緣層上方。導體包括第一導電部、第二導電部及第三導電部。第二導電部係位於第一與第三導電部間。第一導電部包括第一元素，第三導電部包括金屬及矽而不含顯著量的第一元素。

於另一具體實施例中，本揭示內容說明一種半導體裝置包括絕緣層及導體。絕緣層覆於半導體基板上方，以及導體覆於絕緣層上方。導體為閘極或電容器電極。導體包括第一導電部、第二導電部、第三導電部及第四導電部。第二導電部位於第一與第三導電部間且具有與第一、第三及第四導電部不同的組成。第三導電部係位於第二與第四導電部間且具有與第一及第四導電部不同的組成。本發明係由隨附之申請專利範圍界定，參照此處所述具體實施例研讀將更為了解本發明。

圖 1 包括根據本揭示文之一個具體實施例之半導體裝置 10。於本半導體裝置包括半導體裝置基板 12，隔離區 13 及

五、發明說明(4)

閘介電質14。半導體裝置基板12包括矽晶圓，矽鍺晶圓，絕緣層上矽晶圓或任何其它用於形成半導體裝置的基板。隔離區13包括熱二氧化矽、沉積二氧化矽、氧氮化矽、或任何其它業界已知的絕緣材料。隔離區13可藉加熱生長、化學氣相沉積(CVD)或任何其它業界已知方法形成。閘介電質14為絕緣層，其包括二氧化矽、氧化鋯或任何其它介電質薄膜。閘介電膜14厚度可有變化，但一個具體實施例中該厚度約為0.2-12.0毫微米。

其次參照圖2，第一導電膜20形成於閘介電層14上。一個具體實施例中，第一導電膜20包括閘極或電容器電極。通常第一導電膜20包含一或多種IVA族元素(亦即C，Si，Ge，Sn，Pb)。特別第一導電膜20包括矽鍺。一個具體實施例中，第一導電膜含約5-75原子百分比鍺。第一導電膜20也包括矽-鍺-碳合金。雖然熟諳技藝人士了解第一導電膜20厚度可有相當變化，但於一個具體實施例中，可使用約20-150毫微米範圍之厚度。一個特定具體實施例中，第一導電膜厚度為約120毫微米。如業界已知，第一導電膜20可藉多種不同方法包括但非限於CVD沉積。如業界已知，第一導電膜20可摻雜一或多種元素。一個具體實施例中，於沉積如圖3-8所示之隨後形成的各薄膜之前，第一導電膜20可接受一次或多次摻雜步驟。此種植入可稱作為前摻雜順序。

其次參考圖3，第二導電部30形成於第一導電薄膜20(也稱作第一導電部)上方。一個具體實施例中，第二導電部

五、發明說明(5)

30可為阻擋薄膜(或阻擋層)。特別阻擋薄膜包括金屬或帶有氮、氧及碳等元素的金屬例如金屬氮化物、金屬碳化物及/或金屬氧氮化物及/或金屬氧氮化物碳化物。一個具體實施例中，第二導電部可用以減少或防止一或多種元素由第一導電部20向上擴散。特別一個具體實施例中，其中第一導電部20包括矽鍺，第二導電部30可為阻擋薄膜其防止鍺的向上擴散。如前文討論，防止此種向上擴散有利於減少或全然防止有害化合物如鍺化鈷的形成。如此又導致例如由於片電阻減低而讓裝置效能較佳。

第二導電部30如熟諳技藝人士了解有各種厚度；但一個具體實施例中厚度係於約3-50毫微米之範圍。一個具體實施例中，該範圍例如為約10-30毫微米，又更特定具體實施例之厚度為約15毫微米。薄膜可藉業界已知之任一種方法沉積。例如可使用CVD或PVD。一個具體實施例中，於前攪雜順序，可經由第二導電部30植入第一導電部20。

其次參考圖4，第三導電部40形成於第二導電部30上方。一個具體實施例中，第三導電部40為多晶矽。特別此種導電膜可為有助於矽化處理的蓋膜。雖然厚度可有顯著變化。但於一具體實施例中，厚度係於約20-200毫微米之範圍。一個具體實施例中，厚度係於約30-100毫微米之範圍。又更特定具體實施例中厚度為約50毫微米。蓋膜可藉業界已知之任一種方法沉積，例如但非限於CVD沉積。如業界人士已知，蓋膜可植入一或多種提升導電性攪雜劑俾提高其導電性。

五、發明說明 (6)

又於圖4顯示視需要添加之抗反射塗層(ARC)42。一個具體實施例中，抗反射塗層42可為氮化矽膜。氮化矽膜的厚度係於約10-50毫微米之範圍。須了解於微影術期間可涵括氮化矽膜俾改良解析度。抗反射塗層42可藉業界已知之任一種方法沉積。

其次參考圖5，形成側壁間隔層50、襯墊介電層52、輕度撓雜源區及汲區55及54、重度撓雜源區及汲區57及56。為了獲得圖5所示裝置，如業界已知圖4裝置可經圖樣化。側壁間隔層50可為任一種業界常用的間隔層。一個具體實施例中，側壁間隔層50可為藉CVD沉積的氮化矽。襯墊介電層52可以TEOS沉積。厚度可有顯著變化。一個具體實施例中，襯墊介電層厚度係於約5-25毫微米之範圍。區54及55為如業界已知可藉離子植入形成的撓雜區。區56及57如業界已知可經由離子植入而以類似方式形成。區54及55之劑量為每平方厘米約 2×10^{14} 至約 1×10^{15} 離子。區56及57之劑量為每平方厘米約 2×10^{15} 至約 6×10^{15} 離子。熟諳技藝人士了解可使用不同劑量及種類於此種撓雜。

其次參考圖6，沉積薄膜60。雖然如業界已知任何金屬皆可用於此種薄膜，但於一個具體實施例中，金屬膜60包括鈷、鈦及/或鎳。雖然厚度可有變化，但於一具體實施例中，其厚度為約5-25毫微米。一個具體實施例中，其厚度為約10-20毫微米。又更特定具體實施例中，其厚度為約10毫微米。金屬膜可藉業界已知之任一種手段包括但非限於CVD或PVD沉積。

五、發明說明(7)

其次參考圖7，矽化物膜70及72係經由沉積金屬膜60與暴露的矽反應形成。密切檢查圖7可知，至少部份矽已經耗用於形成矽化物薄膜70及72。雖然耗用的矽量有顯著變化，但於一具體實施例中，預期消耗約30毫微米。

最後參照圖8，形成介電膜80、導電插塞83、互連導電膜82及鈍化膜84。介電膜80包括多種不同物質包括但非限於TEOS或BPSG。如業界已知，互連插塞83包括鎢或任何其它導電金屬。互連導電膜82包括鋁、銅或任何其它業界已知金屬。鈍化膜84包括氧氮化矽、由氮化矽覆蓋的PSG等。薄膜80、83、82及84組成厚度如業界已知可各異。

參照圖1-8區別本揭示內容的優點。特別參照圖5，第二導電膜30提供顯著優點。特別於側壁間隔層50形成期間，半導體裝置10接受超過約700°C之溫度。於此溫度範圍，第一導電區20內部的一或多個元素朝向第三導電區40向上擴散。若無第二導電區30隔開第一導電區20與第三導電區40，則此種向上擴散進行導致一或多種元素變成第三導電區40的一部份，而對整個裝置造成不利影響。特別向上擴散可能提高片電阻。更特別，若第一導電區20包括矽鍺，則鍺的向上擴散至第三導電區40可能導致於圖6及7所示反應步驟期間形成例如鍺化鈷、二鍺化鈷、鍺化鈦及/或二鍺化鈦。

進一步由第一導電層損失鍺離子也將提高該層的功函數。但由於第二導電膜30的存在，向上擴散可被減少或全然消除。此外，由於第二導電膜30為導電性，故如薄膜

五、發明說明 (8)

20、30及40顯示的堆疊的垂直電阻率不會受到負面影響。

參照圖5，半導體裝置10於源及汲撓雜劑活化退火步驟期間也接受高溫。於此步驟期間，裝置經歷高達約1050°C之溫度。如前文說明，此種高溫可能導致第一導電膜20內部的某些元素向上擴散。此種向上擴散又再度由於提高片電阻以及具有不同功函數而對裝置效能造成負面影響。存在有第二導電膜30可防止此種現象發生，同時對堆疊的垂直電阻係數不會造成負面影響。

同理，參照圖7，於矽化物反應步驟期間，裝置10置於高溫下。特別此步驟溫度超過800°C。如前文說明，如此高溫可能造成的向上擴散可藉第二導電膜30減少或去除。

參照圖2-3，了解本揭示文之另一項有利特色。於沉積第一導電膜20後，膜20可被植入，故一或多種元素的濃度側繪圖分級。特別利用者於第一導電膜20之具體實施例中，進行植入，接近第一導電膜20上表面鍺濃度顯著低於接近閘極氧化物14鍺濃度。如業界已知，鍺濃度可有顯著差異。一個具體實施例中，鍺濃度差異與第一導電膜20上表面間閘介電層14上表面可改變一或多次冪幅度。前文討論的濃度分級可有利地減少或消除一或多種元素的向上擴散，因而防止由於形成非期望的高電阻化合物例如CoGe，CoGe₂，TiGe及/或TiGe₂造成效能降低。

綜合若干具體實施例，導電阻擋膜可用於二導電部間(直接介於二導電部間，或藉一或多層中介薄膜或層隔開)，因而防止或全然消除導電部間的一或多種元素的擴散。一

五、發明說明(9)

個具體實施例中，此種薄導電阻擋膜包括金屬、金屬氮化物、金屬碳化物、金屬氧化物及/或金屬氧氮化物及/或金屬氧氮化物-碳化物(例如TiCNO)。此種薄膜的功能係防止某些元素如鍺向上擴散入毗鄰薄膜如矽蓋膜。一個具體實施例中，於阻擋膜形成前，可植入矽鍺膜俾確保於接近介電層/矽鍺膜界面的矽鍺膜具有高摻雜劑濃度。頂矽膜可於阻擋膜形成後植入俾確保與矽化物例如矽化鈷有低電阻接觸。矽鍺膜的鍺濃度可分級下降至接近阻擋膜/矽鍺膜界面俾降低鍺向上擴散的驅動力。前述各步驟之個別膜厚度如業界已知可調整而獲得最理想結構。

前文說明書中，參照特定具體實施例討論本發明。但熟諳技藝人士了解可未悖離如下申請專利範圍陳述之本發明範圍作出多種修改及變化。如此說明書及附圖部份被視為舉例說明而非限制性，所有此等修改意圖皆涵括於本發明之範圍。

前文已經就特定具體實施例討論其效果、其它優勢以及問題的解決辦法。但效果、優勢、問題解決之道以及任何可造成效果、優勢或解決發生或變顯著的元體絕非視為任何或全部申請專利範圍之關鍵、要求或主要特色或元體。用於此處「包含」一詞或其任何其它變化意圖涵蓋非排它性的包括，因此製程、方法、物件或裝置包含一系列元體並非僅包括該等元體反而可包括此等製程、方法、物件或裝置中未明白列舉或特有的其它元體。

四、中文發明摘要(發明之名稱:半導體裝置及形成該裝置之方法)

一種包括導體覆於絕緣層上之半導體裝置以及一種形成該裝置之方法。在一個具體實施例中，該導體包括第一導電部、第二導電部及第三導電部。第二導電部係位於第一與第三導電部間。第一導電部包括第一元素，第三導電部包括金屬及矽而不含顯著量的第一元素。於另一具體實施例中，導體為閘極電極或電容器電極。導體包括第一導電部、第二導電部、第三導電部及第四導電部。第二導電部係位於第一與第三導電部間，且具有與第一、第三及第四導電部不同的組成。第三導電部係位於第二與第四導電部間且具有與第一及第四導電部不同的組成。

SEMICONDUCTOR DEVICE AND A PROCESS
英文發明摘要(發明之名稱:FOR FORMING THE SAME)

A semiconductor device and a process for forming the device includes a conductor that overlies an insulating layer. In one embodiment, the conductor includes a first conductive portion, a second conductive portion, and a third conductive portion. The second conductive portion lies between the first and third conductive portions. The first conductive portion includes a first element, and the third conductive portion includes a metal and silicon without a significant amount of the first element. In another embodiment, the conductor is a gate electrode or a capacitor electrode. The conductor includes a first conductive portion, a second conductive portion, a third conductive portion, and a fourth conductive portion. The second conductive portion lies between the first and third conductive portions and has a different

四、中文發明摘要（發明之名稱：

）

英文發明摘要（發明之名稱：

）

composition compared to the first, third, and fourth conductive portion. The third conductive portion lies between the second and fourth conductive portions and has a different composition compared to the first and fourth conductive portions.

六、申請專利範圍

1. 一種半導體裝置，包含：

一層絕緣層，其係覆於基板上；以及

一層導體，其係覆於絕緣層上，其中：

該導體包括第一導電部、第二導電部及第三導電部；

第二導電部係位於第一與第三導電部間；

第一導電部包括第一元素；以及

第三導電部包括金屬及矽而不含顯著量的第一元素。

2. 如申請專利範圍第1項之半導體裝置，其中該第二導體部包括阻擋層。

3. 如申請專利範圍第1項之半導體裝置，其中該導體進一步包含介於第二導電部與第三導電部間之含矽層。

4. 如申請專利範圍第1項之半導體裝置，其中：

第三導電部包括金屬矽化物；以及

第二導電部包括阻擋層。

5. 如申請專利範圍第1項之半導體裝置，其中：

第一元素為IVA族元素；

第一導電部進一步包括一種不同的IVA族元素；以及

第三導電部包括該不同的IVA族元素。

6. 如申請專利範圍第1項之半導體裝置，其中：

該第一元素為鍺；以及

該第一導電部包括矽且具有5-75原子百分比鍺。

7. 一種半導體裝置，包含：

六、申請專利範圍

一層絕緣層，其係覆蓋於基板上；以及

一層導體，其係覆蓋於絕緣層上，其中：

該導體係選自由閘極電極及電容器電極所組成的群組；

該導體包括第一導電部、第二導電部、第三導電部及第四導電部；

第二導電部係位於第一與第三導電部間，且具有與第一、第三及第四導電部不同的組成；以及

第三導電部係位於第二與第四導電部間，且具有與第一及第四導電部不同的組成。

8. 如申請專利範圍第7項之半導體裝置，其中該第二導體部包括阻擋層。

9. 如申請專利範圍第7項之半導體裝置，其中該第一導體部含有約5-75原子百分比鍺。

10. 如申請專利範圍第7項之半導體裝置，其中：

該第一導體部具有第一區及比第二區更接近基板，而該第二區係比第一區更接近第二導電部；以及

該第一區具有比第二區顯著更高的鍺濃度。

11. 一種形成半導體裝置之方法，包含：

形成一層絕緣層覆蓋於基板上；以及

形成一層導體覆蓋於絕緣層上，其中：

該導體層包括第一導電部、第二導電部及第三導電部；

第二導電部係位於第一與第三導電部間；

六、申請專利範圍

第一導電部包括第一元素；以及

第三導電部包括金屬及矽而不含顯著量的第一元素。

12. 如申請專利範圍第11項之方法，其中該第二導體部包括阻擋層。

13. 如申請專利範圍第11項之方法，其中：

第一元素為IVA族元素；

第一導電部進一步包括一種不同的IVA族元素；以及

第三導電部包括該不同的IVA族元素。

14. 如申請專利範圍第11項之方法，其中：

該導體為閘極電極；

該第一導電部包括矽；

該第一元素為鍺；

該第二導電部包括阻擋層；

該阻擋層包括金屬以及一種選自由氮、氧及碳所組成的群組之第二元素；以及

該第三導電部包括金屬矽化物。

15. 如申請專利範圍第11項之方法，其中：

該第一元素為鍺；以及

該第一導電部包括矽且具有5-75原子百分比鍺。

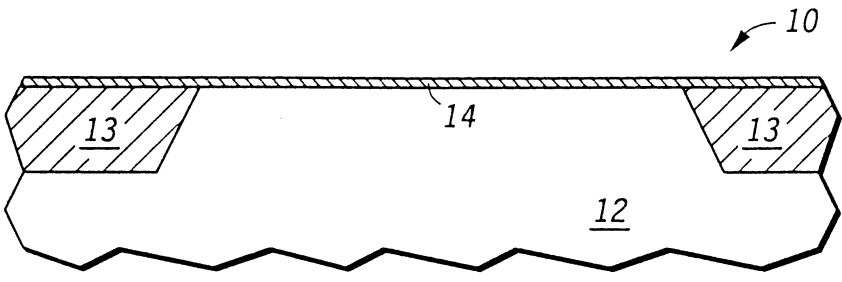


圖 1

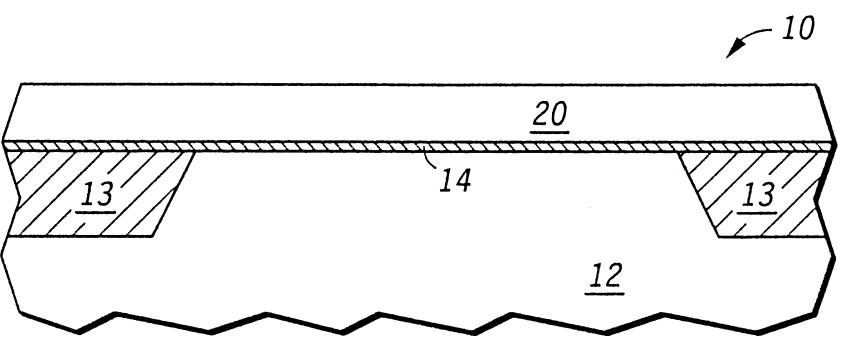


圖 2

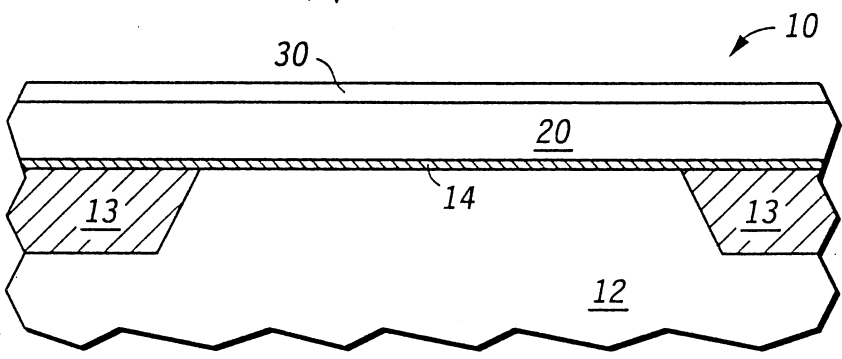


圖 3

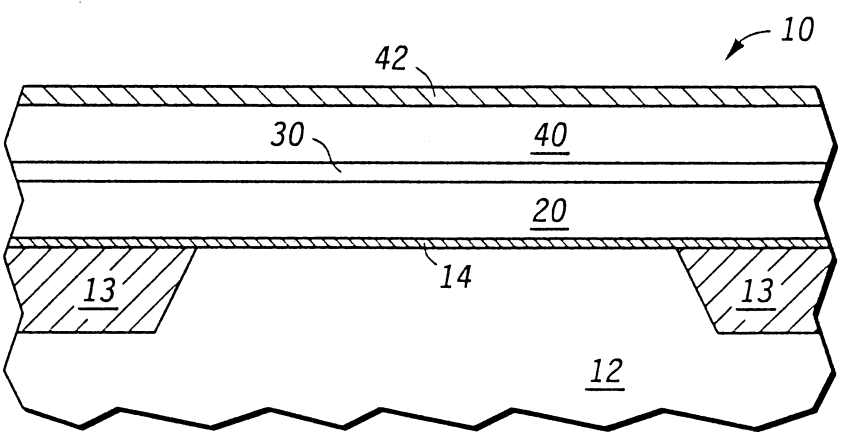


圖 4

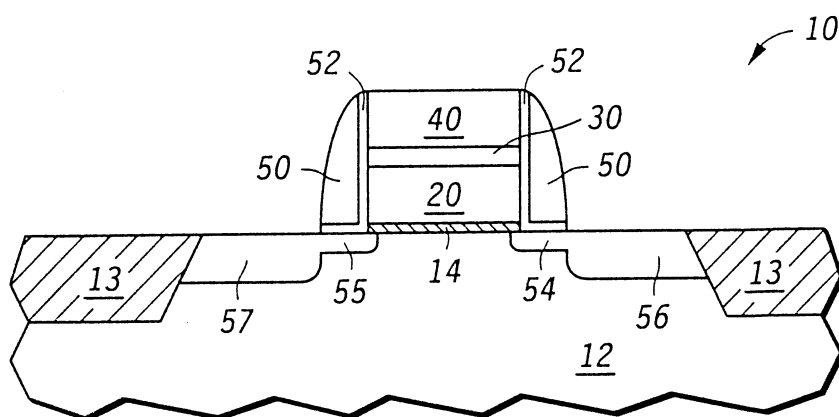


圖 5

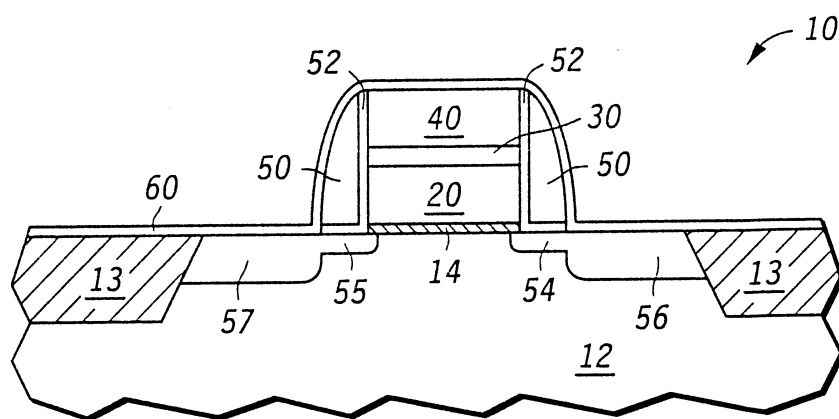


圖 6

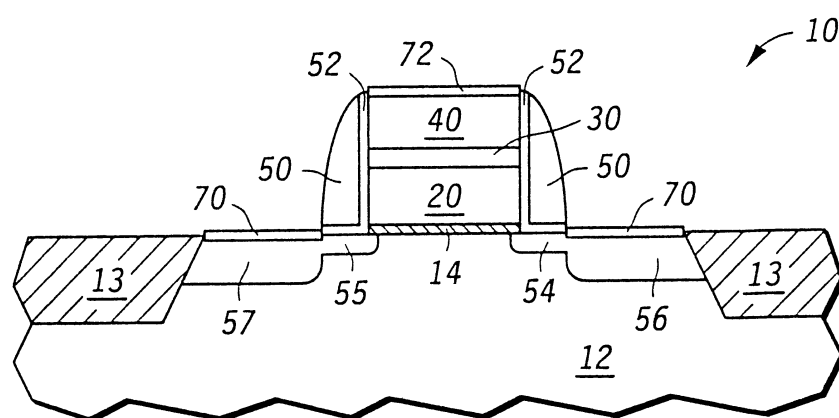


圖 7

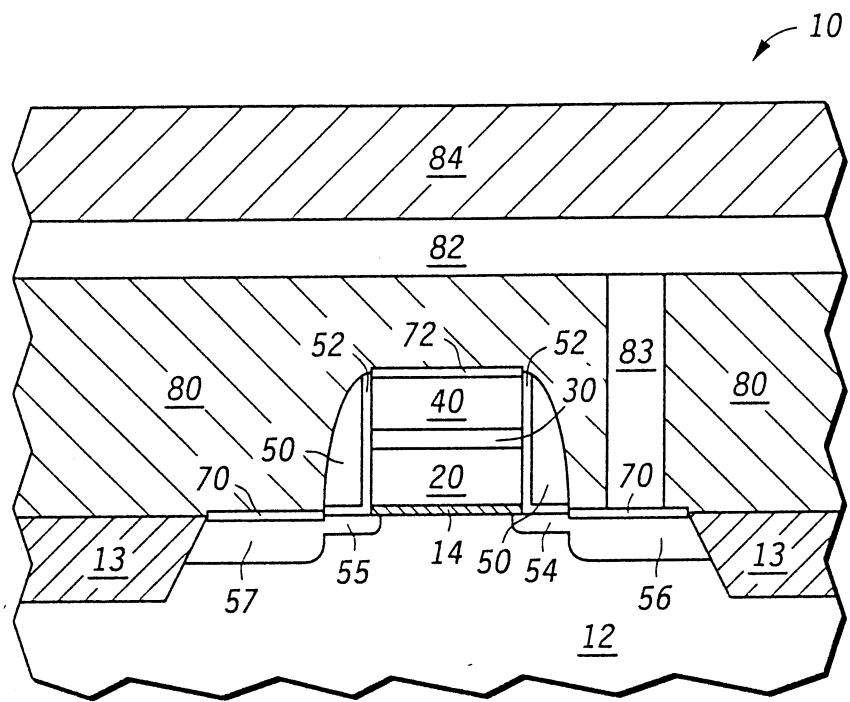


圖 8

五、發明說明 (9a)

元 件 符 號 說 明

10	半 導 體 裝 置
12	基 板
13	隔 離 區
14	閘 介 電 膜
20	第 一 導 電 膜
30	第 二 導 電 部
40	第 三 導 電 部
42	抗 反 射 塗 層
50	側 壁 間 隔 層
52	襯 墊 介 電 質
54, 56	汲 極 區
55, 57	源 極 區
60	金 屬 薄 膜
70, 72	矽 化 物 薄 膜
80	介 電 膜
82	導 電 膜
83	互 連 導 電 膜
84	鈍 化 膜