

# (19)대한민국특허청(KR)

## (12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2006-0086880  
*H01L 21/77* (2006.01) (43) 공개일자 2006년08월01일

(21) 출원번호 10-2006-0008212

(22) 출원일자 2006년01월26일

(30) 우선권주장 JP-P-2005-00020111 2005년01월27일 일본(JP)

(71) 출원인 가부시끼가이샤 르네사스 테크놀로지  
 일본 100-6334 도쿄도 지요다구 마루노우찌 2-쵸메 4-1

(72) 발명자 나카무라 다다시  
 일본 효고켄 이타미시 미즈하라 4-1 가부시끼가이샤 르네사스세미콘덕  
 터 엔지니어링 내  
 사카키바라 기요히코  
 일본 도쿄도 지요다구 마루노우치 2쵸메 4-1 가부시끼가이샤르네사스  
 테크놀로지 내  
 다키카와 유타카  
 일본 효고켄 이타미시 츄오 3쵸메 1-17 가부시끼가이샤 르네사스엘에  
 스아이 디자인 내

(74) 대리인 김창세

심사청구 : 없음

### (54) 반도체 집적 회로

#### 요약

버퍼(B1~B9)는, 패드(P1~P9)로부터 떨어진 영역(SP1)에 집합적으로 배치된다. 영역(SP1)은 반도체 집적 회로의 주 영역(MS) 중, 중앙 처리 장치(2), 비휘발성 메모리(4) 및 휘발성 메모리(6)를 제외한 영역이다. 넓은 면적을 필요로 하는 버퍼가 패드 주변부에 마련되지 않기 때문에 패드 간의 간극이나 패드와 내부 회로(예를 들면, 중앙 처리 장치(2))와의 간격을 짧게 할 수 있다. 따라서, 칩 사이즈를 작게 할 수 있다. 따라서, 칩 사이즈를 작게 하는 것이 가능한 반도체 집적 회로를 제공할 수 있다.

#### 대표도

도 1

#### 명세서

#### 도면의 간단한 설명

도 1은 실시예 1의 반도체 집적 회로의 레이아웃을 도시하는 도면,

도 2는 종래의 배치 방법에 따른 반도체 집적 회로의 레이아웃을 도시하는 도면,

도 3은 실시예 1의 반도체 집적 회로의 변형예의 레이아웃을 도시하는 도면,

도 4는 실시예 2의 반도체 집적 회로의 레이아웃을 도시하는 도면,

도 5는 실시예 3의 반도체 집적 회로의 레이아웃을 도시하는 도면,

도 6은 도 5의 vi-vi부의 단면도,

도 7은 실시예 4의 반도체 집적 회로의 레이아웃을 도시하는 도면,

도 8는 도 7의 viii-viii부의 단면도,

도 9는 도 8의 측벽 SW의 제조 방법을 모식적으로 설명하는 도면,

도 10은 실시예 5의 반도체 집적 회로의 레이아웃을 도시하는 도면.

#### 도면의 주요 부분에 대한 부호의 설명

1 : 반도체 집적 회로 2 : 중앙 처리 장치

4 : 비휘발성 메모리 6 : 휘발성 메모리

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체 집적 회로에 관한 것으로, 특히 반도체 칩에 있어서의 레이아웃에 관한 것이다.

최근, 마이크로 컴퓨터 등의 반도체 집적 회로에 있어서는, 비용 저감의 관점에서 칩 면적의 축소가 요구되고 있다. 또한, 반도체 집적 회로에는, 동작의 고속화나 저 소비 전력 등이 요구되고 있다.

예를 들어, 일본 특허 공개 평성 제 08-125130 호 공보는, 다층 배선을 갖는 반도체 집적 회로에 있어서, 배선층이 상이한 신호 배선 사이의 용량 결합에 의한 크로스토크나 노이즈를 감소시켜 회로 동작의 안정화를 도모하는 반도체 집적 회로를 개시한다. 이 반도체 집적 회로는 복수의 금속 배선층을 갖는 반도체 집적 회로이며, 신호 배선과 신호 배선의 양측에 평행하여 신호 배선과 동일한 배선층으로 배치되어, 각각 접지 전위와 전원 전압 전위로 고정된 접지 배선 및 전원 배선을 갖는다. 이 반도체 집적 회로는, 신호 배선, 접지 배선 및 전원 배선은, 상이한 배선층의 배선을 전기적으로 절연하는 층간 절연층의 두께와 동등하거나 혹은 그 이하의 거리까지 근접하여 배치되는 것을 특징으로 한다.

종래의 반도체 집적 회로에 있어서, 패드와 I/O 버퍼(또는, 트랜지스터나 다이오드 등의 보호 회로)는 근접하여 칩 주변에 배치되어 있었다. 그러나, 이와 같이 패드 및 I/O 버퍼(또는 보호 회로)가 배치되면, 칩 사이즈의 축소가 제약된다.

예를 들면, 반도체 집적 회로가 마이크로 컴퓨터이면, 칩 내에 CPU(Central Processing Unit)나 ROM(Read Only Memory)나 RAM(Random Access Memory) 등의 회로가 탑재된다. 각 회로는 MOS(Metal Oxide Semiconductor) 트랜지스터나 캐패시터 등의 소자에 의해 구성되어 있다. 미세화 프로세스에 의해 이들 소자의 사이즈가 축소되기 때문에, 각 회로의 규모를 작게 하는 것이 가능하게 된다.

그러나, 패드나 I/O 버퍼(또는 보호 회로)를 CPU 등의 회로에 추종하여 작게 하는 것은 불가능하다. I/O 버퍼나 보호 회로는 외부로부터 침입하는 노이즈 혹은 서지로부터 내부 회로(CPU나 ROM, RAM 등)를 보호하기 위해서, 충분히 넓은 면적

이 필요하다. 종래의 반도체 집적 회로에서는, I/O 버퍼 또는 보호 회로는 패드에 근접하여 배치된다. 따라서 패드 사이의 영역이나 패드와 CPU와의 사이의 영역에 큰 면적을 갖는 보호 회로가 마련되면, 패드 및 보호 회로에 의해서 칩의 4 변의 길이가 정해져 버리므로 칩 사이즈를 축소화할 수 없다.

또한, 패드의 면적을 대폭 작게 하거나, 패드 사이의 간격을 대폭 작게 하거나 하면, 다이싱(dicing)이나 와이어 본딩 등의 조립 공정에 있어서, 제조 불량이 증대할 가능성이 있다. 따라서, 칩 사이즈의 축소화를 위해서 패드의 면적이나 패드 사이의 피치를 대폭 변경하는 것은 불가능하다.

고객의 다양한 요망에 대응하기 위해서 품종 개발을 실행한 경우, CPU에 거의 변경을 가하지 않고, RAM의 용량이나 ROM의 용량을 변경함으로써 제품의 종류를 늘리는 것이 일반적으로 실행된다. 그러나, 임의의 제품에 있어서 반도체 칩에 빈 영역이 발생하지 않도록 CPU, RAM, ROM을 배치하였다고 해도, 그 제품보다도 RAM의 사이즈를 작게 한 새로운 제품에 있어서는 칩에 빈 영역이 발생한다. 이러한 제품에 있어서도 I/O 버퍼 또는 보호 회로는 패드에 근접하여 배치되어 있었다.

### 발명이 이루고자 하는 기술적 과제

요약하면, 종래, 칩 사이즈의 축소화를 위해 회로 소자를 미세화하거나, 혹은 CPU나 RAM, ROM을 가능한 한 극단 없이 배열한다고 하는 방법이 실행되고 있었지만, 일단 칩 사이즈가 결정되면 RAM이나 ROM의 사이즈가 변경된 경우에 칩 사이즈를 축소하는 것은 용이하지 않았다.

본 발명의 목적은, 칩 사이즈를 축소하는 것이 가능한 반도체 집적 회로를 제공하는 것이다.

### 발명의 구성 및 작용

본 발명은, 요약하면 반도체 집적 회로로서, 중앙 회로 장치와, 비휘발성 메모리와, 휘발성 메모리와, 복수의 버퍼 또는 복수의 보호 회로와, 복수의 패드와, 복수의 금속 배선을 구비한다. 비휘발성 메모리는 중앙 처리 장치에서 실행되는 처리에 관한 정보를 비휘발적으로 기억한다. 휘발성 메모리는 정보를 일시적으로 기억한다. 복수의 버퍼 또는 복수의 보호 회로는, 반도체 기판의 주 표면에서, 중앙 처리 장치, 비휘발성 메모리 및 휘발성 메모리가 마련되는 주 영역 중, 중앙 처리 장치, 비휘발성 메모리 및 휘발성 메모리를 제외한 영역에 배치된다. 복수의 패드는 복수의 버퍼 또는 복수의 보호 회로에 각각 대응하여 마련된다. 복수의 금속 배선은, 복수의 버퍼 또는 복수의 보호 회로의 각각과, 복수의 패드 중의 대응하는 패드를 직접 접속한다.

따라서, 본 발명의 주요한 이점은, 반도체 기판 표면의 영역에서 CPU나 RAM, ROM 등의 회로를 제외한 영역에 I/O 버퍼 또는 보호 회로를 집합적으로 배치함으로써, 패드 사이의 거리나 패드와 CPU 등의 회로와의 간격을 축소하는 것이 가능하게 되기 때문에 칩 사이즈가 축소화되는 것이다.

본 발명의 상기 및 다른 목적, 특징, 국면 및 이점은, 첨부 도면과 관련하여 이해되는 본 발명에 관한 다음의 상세한 설명으로부터 명확하게 될 것이다.

### (발명의 실시예)

이하에 있어서, 본 발명의 실시예에 대해 도면을 참조하여 상세하게 설명한다. 또, 도면 중 동일 부호는 동일 또는 상당 부분을 나타낸다.

### (실시예 1)

도 1은, 실시예 1의 반도체 집적 회로의 레이아웃을 도시하는 도면이다. 도 1을 참조하여, 반도체 집적 회로(1)는, 중앙 처리 장치(도면 중, CPU로 나타냄)(2), 중앙 처리 장치(2)에서 실행되는 소정의 처리에 관한 정보를 비휘발적으로 기억하는 비휘발성 메모리(4), 및 그 정보를 일시적으로 기억하는 휘발성 메모리(6)를 포함한다. 비휘발성 메모리(4)는, 예를 들면 플래시 메모리이다. 휘발성 메모리(6)는, 예를 들면 SRAM(Static Random Access Memory)이다.

반도체 집적 회로(1)는, I/O 버퍼인 버퍼 B1~B9를 더 포함한다. 버퍼 B1~B9는, 반도체 기판 표면의 주 영역 MS 중, 중앙 처리 장치(2), 비휘발성 메모리(4) 및 휘발성 메모리(6)의 각각을 제외한 단수의 영역 SP1로 집합적으로 배치된다.

반도체 집적 회로(1)는, 버퍼 B1~B9의 각각에 대응하여 마련되는 패드 P1~P9, 및 버퍼 B1~B9와 패드 P1~P9를 직접 접속하는 금속 배선 L1~L9를 더 포함한다.

반도체 집적 회로(1)는 다층 배선을 갖는다. 금속 배선 L1~L9의 각각은, 동일한 배선층에 형성된다. 금속 배선 L1~L9의 각각은, 중앙 처리 장치(2)에 포함되는 금속 배선이 마련되는 배선층, 비휘발성 메모리(4)에 포함되는 금속 배선이 마련되는 배선층 및 휘발성 메모리(6)에 포함되는 금속 배선이 마련되는 배선층 중 어느 하나보다도, 반도체 기판의 표면에 대해 상층의 배선층에 마련된다.

구체적으로 설명하면, 금속 배선 L3~L5는 비휘발성 메모리(4)가 갖는 복수의 비트선 BL1보다도 상층에 마련된다. 금속 배선 L6, L7은 휘발성 메모리(6)가 갖는 복수의 비트선 BL2보다도 상층에 마련된다. 금속 배선 L8, L9는 중앙 처리 장치(2)가 갖는 신호선 SL1, SL2보다도 상층의 배선층에 마련된다.

실시에 1의 반도체 집적 회로(1)의 구성의 특징을 요약하여 설명한다. 버퍼 B1~B9는 패드 P1~P9로부터 떨어진 영역 SP1에 집합적으로 배치된다. 영역 SP1은 주 영역 MS 중, 중앙 처리 장치(2), 비휘발성 메모리(4) 및 휘발성 메모리(6)를 제외한 영역이다. 넓은 면적을 필요로 하는 버퍼가 패드 주변부에 마련되지 않기 때문에 패드 사이의 간격이나 패드와 내부 회로(예를 들면, 중앙 처리 장치(2))와의 간격을 짧게 할 수 있다. 따라서 칩 사이즈를 작게 할 수 있다.

여기서, 본 발명의 반도체 집적 회로에서는, 종래의 반도체 집적 회로와 비교하여 패드와 버퍼를 연결하는 금속 배선의 길이가 길어진다. 따라서, 본 발명의 반도체 집적 회로는 패드와 버퍼와의 사이의 배선 저항이 커짐으로써 노이즈나 서지의 영향을 받기 쉽게 되는 것을 생각할 수 있다. 그러나, 금속 배선 L1~L9의 각각을 최상층의 배선층에 형성함으로써, 이러한 문제를 해결할 수 있다.

일반적으로, 다층 배선 구조에 있어서는, 상층에 마련되는 금속 배선일수록 배선의 폭이나 두께에 관한 설계의 자유도가 증가한다. 따라서, 최상층의 배선층에 금속 배선 L1~L9의 각각을 배치하면, 패드와 버퍼와의 사이의 배선 저항이 충분히 작아지도록 배선의 폭이나 두께를 설정할 수 있다.

도 2는, 종래의 배치 방법에 따른 반도체 집적 회로의 레이아웃을 도시하는 도면이다. 도 2를 참조하여, 반도체 집적 회로(11)는, 패드에 근접하여 마련된 버퍼 BA~BD를 포함하는 점에서 도 1의 반도체 집적 회로(1)와 상이하다. 반도체 집적 회로(11)의 다른 부분의 구성에 대해서는 반도체 집적 회로(1)의 대응하는 부분의 구성과 마찬가지로 하기 때문에 이후의 설명은 반복하지 않는다.

반도체 집적 회로(11)의 내부에는 영역 SP4가 마련된다. 소정의 반도체 집적 회로에서는 영역 SP4가 마련되지 않더라도, 비휘발성 메모리(4)의 사이즈를 작게 하거나 휘발성 메모리(6)의 사이즈를 작게 하거나 함으로써 영역 SP4가 발생한다.

버퍼를 집합적으로 배치하는데 충분한 면적을 갖는 빈 영역이 반도체 기판 표면에, 마련되더라도, 종래의 레이아웃에서는 버퍼나 보호 회로는 패드에 근접하여 마련되기 때문에 칩 사이즈의 축소가 제한되어 있었다.

또한, 칩의 4개의 변에 패드를 배치한 레이아웃에서는, 4 개소의 코너부에 각각 마련된 패드 PA~PD의 주변 부분에는 버퍼나 보호 회로를 배치할 수 없다. 코너부의 패드의 주변부에 발생하는 빈 영역도 칩 사이즈의 축소가 제약되는 요인으로 되어 있었다.

한편, 도 1의 반도체 집적 회로(1)에 있어서 버퍼 B1~B9는 영역 SP1에 집합적으로 배치되기 때문에 칩의 빈 영역을 유효하게 활용하는 것에 의해 칩이 축소된다. 또, 도 1에 있어서 영역 SP1에는 버퍼와 보호 회로가 마련되더라도 좋다. 혹은 보호 회로는 패드 사이에 마련된 영역이나 패드와 내부 회로와의 사이의 영역에 마련되어도 좋으며, 구체적으로는 보호 회로는 패드 P1과 패드 P2와의 사이에 영역 SP2 혹은 패드 P5, P6과 비휘발성 메모리(4), 휘발성 메모리(6)와의 사이의 영역 SP3에 마련되더라도 좋다.

도 3은, 실시에 1의 반도체 집적 회로의 변형예의 레이아웃을 도시하는 도면이다. 도 3을 참조하여, 반도체 집적 회로(1A)는 버퍼 B1~B9 대신에 영역 SP1에 마련되는 보호 회로 PR1~PR9를 포함하는 점에서 도 1의 반도체 집적 회로(1)와 상이하다. 보호 회로는, 예를 들면 오프 트랜지스터나 다이오드이다. 반도체 집적 회로(1A)의 다른 부분의 구성에 대해서는 반도체 집적 회로(1)의 대응하는 부분의 구성과 마찬가지로 하기 때문에, 이후의 설명은 반복하지 않는다. 실시에 1의 변형예와 같이, 보호 회로를 칩의 빈 영역에 배치하는 것에 의해서도 칩 사이즈를 축소할 수 있다.

또, 실시예 1의 변형예의 경우, 버퍼 B1~B9는 영역 SP1에 마련되더라도 좋고, 영역 SP2이나 영역 SP3에 마련되더라도 좋다.

이상과 같이, 실시예 1에 의하면 반도체 기판 표면의 빈 영역에 버퍼 또는 보호 회로를 집합적으로 배치하는 것에 의해 반도체 집적 회로의 칩 사이즈를 축소화할 수 있다.

(실시예 2)

도 4는, 실시예 2의 반도체 집적 회로의 레이아웃을 도시하는 도면이다. 도 4를 참조하여, 반도체 집적 회로(21)는 영역 SP1 대신에, 복수의 영역 SP5, SP6을 포함하는 점에서 도 1의 반도체 집적 회로(1)와 상이하다. 실시예 2에 있어서 버퍼(또는 보호 회로)는 영역 SP5, SP6으로 블록화되어 배치된다. 도 4에서는 영역 SP5, SP6에 배치된 블록을 각각 블록 BC1, BC2로서 나타낸다.

또, 반도체 집적 회로(21)의 다른 부분의 구성은 반도체 집적 회로(1)의 대응하는 부분의 구성과 마찬가지로이기 때문에 이후의 설명은 반복하지 않는다.

실시예 1에서는 버퍼 또는 보호 회로는 단수의 빈 영역에 집합적으로 배치되어 있었다. 이 때문에, 단수의 빈 영역의 면적이 버퍼 또는 보호 회로를 합한 면적보다도 작은 경우에는, 빈 영역에 버퍼 또는 보호 회로를 배치할 수 없다. 따라서, 이러한 경우에는, 종래의 배치 방법에 따라서 버퍼 또는 보호 회로가 패드의 주변에 배치되기 때문에 칩 사이즈를 축소화할 수 없다.

실시예 2의 반도체 집적 회로에서는 복수의 빈 영역 각각의 면적이 작더라도, 복수의 빈 영역의 면적 합계가 버퍼 또는 보호 회로를 합한 면적보다도 크면, 복수의 빈 영역의 각각에 버퍼 또는 보호 회로를 배치함으로써 칩 내부의 빈 영역을 유효하게 활용할 수 있다. 따라서, 실시예 1과 마찬가지로 칩 사이즈를 작게 할 수 있다.

이상과 같이 실시예 2에 의하면 칩 내부의 복수의 빈 영역에 버퍼 또는 보호 회로를 집합적으로 배치함으로써 칩 사이즈의 축소화를 실행할 수 있다.

(실시예 3)

도 5는, 실시예 3의 반도체 집적 회로의 레이아웃을 도시하는 도면이다. 도 5를 참조하여, 반도체 집적 회로(31)는 금속 배선 L1~L9와 동일한 배선층에 각각형성되어, 소정의 전위가 인가되는 금속 배선인 더미 배선 DL1~DL8을 더 포함하는 점에서 도 1의 반도체 집적 회로(1)와 상이하다. 반도체 집적 회로(31)의 다른 구성은 반도체 집적 회로(1)의 대응하는 부분의 구성과 마찬가지로이기 때문에 이후의 설명은 반복하지 않는다. 또, 반도체 집적 회로(31)에 있어서 버퍼 또는 보호 회로는 영역 SP1에 마련되는 블록 BC3으로서 도시된다.

더미 배선 DL1~DL8은 패드와 버퍼(또는 보호 회로)를 접속하는 복수의 금속 배선 중, 복수의 비트선 BL1 중 어느 하나, 또는, 복수의 비트선 BL2 중 어느 하나와 평행한 부분을 갖는 금속 배선에 대해, 평행한 부분을 측면으로부터 사이에 유지하도록 마련된다. 도 5에 있어서, 더미 배선 DL1, DL2는 금속 배선 L3 중 비트선 BL1에 평행한 부분을 측면으로부터 사이에 유지하도록 마련된다. 마찬가지로, 금속 배선 L4 중의 비트선 BL1에 평행한 부분에 대해 더미 배선 DL3, DL4가 마련되고, 금속 배선 L5 중의 비트선 BL1에 평행한 부분에 대해 더미 배선 DL5, DL6이 마련된다. 또한, 금속 배선 L6 중의 비트선 BL2에 평행한 부분에 대해 더미 배선 DL7, DL8이 마련된다.

본 발명의 반도체 집적 회로에서는 패드와 버퍼를 연결하는 금속 배선의 일부 또는 패드와 보호 회로를 연결하는 금속 배선의 일부가 비휘발성 메모리나 휘발성 메모리 상에 배치된다. 이 경우, 상층에 마련된 금속 배선을 전달하는 신호에 따라 하층에 마련되는 비휘발성 메모리의 비트선이나 휘발성 메모리의 비트선의 전위가 변화함으로써, 비휘발성 메모리나 휘발성 메모리로부터 잘못된 정보가 판독되는 현상(크로스토크)이 발생한다.

크로스토크의 원인은 상층의 금속 배선과 하층의 비트선이 평행하여 배치되기 때문에, 국소적으로 양 배선층 간의 층간 용량이 커지는 것이다. 실시예 3에서는 상층의 금속 배선의 양면에 소정의 전위가 인가되는 더미 배선을 배치하여 층간 용량을 저감하기 때문에 크로스토크의 발생을 억제할 수 있다.

또, 더미 배선에 인가되는 소정의 전위는, 전원 전위 또는 접지 전위라면 용이하게 설정할 수 있지만, 특히 접지 전위인 것이 바람직하다. 일반적으로 패드의 주변에는 금속으로 구성되어 접지 전위가 인가되는 접지 영역이 설치된다. 따라서 더미 배선을 이 접지 영역에 접속함으로써, 더미 배선을 용이하게 배치할 수 있다.

또한, 반도체 기판으로서 도전형이 P형인 기판을 이용한 경우, 더미 배선을 기판에 접속하여 기판 전위를 접지 전위로 하는 것에 의해, 금속 배선과 더미 배선과의 사이에는 선간 용량 이외에도 용량 성분이 존재한다. 금속 배선을 전달하는 신호에 발생한 노이즈는 선간 용량의 다른 용량 성분에 의해서 흡수되기 쉽게 된다. 따라서, 크로스토크의 발생을 억제하기 위해서, 더미 배선의 전위는 접지 전위인 것이 바람직하다.

도 6은, 도 5의 VI-VI부의 단면도이다. 도 6을 참조하여, 비휘발성 메모리(4)의 비트선 BL1A~BL1C 및 금속 배선 L3, 더미 배선 DL1, DL2가 도시된다. 금속 배선 L3, 더미 배선 DL1, DL2는 절연막 LA1을 거쳐서, 비트선 BL1A~BL1C보다도 상층의 배선층에 마련된다. 또한, 금속 배선 L3, 더미 배선 DL1, DL2를 피복하기 위해서 절연막 LA2가 마련된다. 금속 배선 L3(및 더미 배선 DL1, DL2)이 최상층의 배선인 경우, 절연막 LA2는 칩 표면을 피복하는 보호막으로 된다.

금속 배선 L3과 비트선 BL1A와의 사이에는 층간 용량이 존재한다. 층간 용량은 비트선 BL1A의 상면과 금속 배선 L3의 하면과의 사이의 면간 용량  $C_s$ , 및 비트선 BL1A의 측면과 금속 배선 L3의 측면과의 사이의 프린지(fringe) 용량  $C_f$ 로 이루어진다.

또한, 금속 배선 L3과 더미 배선 DL1, DL2 각각과의 사이에는 선간 용량  $C_c$ 이 존재한다. 선간 용량  $C_c$ 은 금속 배선 L3의 측면과 더미 배선의 측면과의 사이의 용량이다.

일반적으로 전하를  $Q$ , 용량을  $C$ , 전위를  $V$ 라고 하면  $Q=CV$ 의 관계가 성립한다. 따라서, 층간 용량이 큰 경우, 금속 배선 L3에 있어서의 전위 변화에 의해서 비트선 BL1A 상의 전위 변화가 유지된다.

일반적인 메모리에서는, 메모리 셀로부터 판독된 정보는, 그 메모리 셀에 접속되는 2개의 비트선 사이의 전위차로 되어 발생한다. 2개의 비트선 사이의 전위차는 센스 앰프에 의해 검지 증폭되고, 2진수의 1 또는 0을 나타내는 논리 레벨로 된다. 따라서, 층간 용량이 크기 때문에, 금속 배선 L3에 있어서의 전위 변화에 의해서 2개의 비트선의 한쪽의 전위가 변화하면, 2개의 비트선 사이에 발생한 전위차가 센스 앰프에 의해서 검지 증폭되기 때문에, 메모리로부터 잘못된 정보가 판독된다. 또한 용량이 커짐으로써 시정수가 커져 비트선의 신호의 지연도 발생한다.

금속 배선 L3의 측면에 대한 용량은 선간 용량  $C_c$  및 프린지 용량  $C_f$ 이다. 선간 용량  $C_c$ 을 크게 하는 것에 의해 프린지 용량  $C_f$ 를 저감할 수 있다. 프린지 용량  $C_f$ 가 저감함으로써 층간 용량이 작아진다. 따라서, 크로스토크의 발생을 억제할 수 있다.

이상과 같이, 실시예 3에 의하면 패드와 버퍼 또는 보호 회로를 접속하는 금속 배선에 있어서, 메모리의 비트선에 평행한 부분의 양측에 소정의 전위로 고정된 더미 배선을 배치함으로써, 메모리로부터 판독되는 정보의 오류를 방지할 수 있기 때문에 동작의 신뢰성을 높일 수 있다.

(실시예 4)

도 7은, 실시예 4의 반도체 집적 회로의 레이아웃을 도시하는 도면이다. 도 7을 참조하여, 반도체 집적 회로(41)의 레이아웃은 도 5의 반도체 집적 회로(31)의 레이아웃과 마찬가지로 하기 때문에 이후의 설명은 반복하지 않는다. 금속 배선 L1~L9 및 더미 배선 DL1~DL8의 측면에는 유전체에 의해 구성되는 측벽이 마련되는 점에서 실시예 4는 실시예 3과 상위하다.

실시예 4에서는 금속 배선 및 더미 배선을 피복하는 절연막보다도 높은 유전율을 갖는 측벽을 금속 배선 및 더미 배선에 마련하는 것에 의해, 금속 배선과 더미 배선과의 사이의 선간 용량을 실시예 3보다도 크게 할 수 있다. 금속 배선과 비트선과의 사이의 층간 용량 중의 프린지 용량은 실시예 3의 경우보다 작아진다. 따라서, 층간 용량이 실시예 3보다도 작아지기 때문에, 실시예 3의 반도체 집적 회로보다도 크로스토크가 발생하기 어렵게 된다.

도 8은, 도 7의 viii-viii부의 단면도이다. 도 8을 참조하여, 금속 배선 L3, 더미 배선 DL1, DL2 각각의 양 측면에 측벽 SW가 마련된다. 측벽 SW는 절연막이다. 측벽 SW의 유전율은 절연막 LA2의 유전율보다도 높다. 측벽 SW는, 예를 들면 탄탈옥사이드( $Ta_2O_5$ )나 하프늄옥사이드( $HfO_2$ ) 등에 의해 구성된다. 한편, 절연막 LA2는, 예를 들어, 플라즈마 산화막이며, 보다

구체적으로는 플라즈마 TEOS(Tetraethylorthosilicate)이다. 또 절연막 LA2가 보호막이면, 보호막으로서 일반적으로 플라즈마 질화막이 이용된다. 바꾸어 말하면, 측벽 SW를 구성하는 재질은 플라즈마 산화막이나 플라즈마 질화막보다도 유전율이 높은 재질이면 좋다.

용량은 유전율이 높을수록 커진다. 실시예 3과 비교하면 실시예 4에서는, 금속 배선 L3, 더미 배선 DL1, DL2의 양 측면에, 측벽 SW가 마련된다. 따라서, 실시예 3과 비교하여 선간 용량 Cc이 커진다. 선간 용량이 크게 될수록 프린지 용량 Cf를 감소시킬 수 있기 때문에 층간 용량을 실시예 3보다도 작게 할 수 있다.

도 9는, 도 8의 측벽 SW의 제조 방법을 모식적으로 설명하는 도면이다. 도 9를 참조하여, 우선 단계 S1에서, 절연막 LA1 상에 금속막이 퇴적되어, 금속막 상에 포토레지스트 PH가 도포된다. 다음에 리소그래피 공정에 의해 배선 패턴이 포토 레지스트 PH에 전사된다. 에칭 공정에 의해, 포토 레지스트 PH로 덮혀진 부분 이외의 금속막이 제거되어 금속 배선 L3, 더미 배선 DL1, DL2가 형성된다.

다음에 단계 S2에서, 플라즈마 CVD(Chemical-Vapor Deposition)에 의해서 금속 배선 L3, 더미 배선 DL1, DL2 상에 절연막 LA3이 형성된다. 이 절연막이 최종적으로 측벽 SW로 된다. 또, 절연막 LA3은 등방적인 스텝 커버리지를 갖는 절연막이다.

계속해서 단계 S3에서, 수직 성분을 주체로 하는 이방성 에칭이 실행되는 것에 의해 측벽 SW가 형성된다.

계속해서 단계 S4에서, 플라즈마 CVD에 의해 금속 배선 L3, 더미 배선 DL1, DL2 및 측벽 SW를 피복하는 절연막 LA2(또는 보호막)가 형성된다.

이상과 같이 실시예 4에 의하면, 유전체에 의해 구성되는 측벽을 비트선의 상층에 마련되는 금속 배선의 측면 및 더미 배선의 측면에 마련하는 것에 의해, 상층의 배선과 하층의 비트선과의 층간 용량을 작게 하여 메모리로부터 판독되는 정보의 오류를 방지할 수 있기 때문에 동작의 신뢰성이 향상한다.

(실시예 5)

도 10은, 실시예 5의 반도체 집적 회로의 레이아웃을 도시하는 도면이다. 도 10을 참조하여, 반도체 집적 회로(51)는 금속 배선 L3, L4, L5, L6 대신에 지그재그 형상으로 형성된 부분을 갖는 금속 배선 L3B, L4B, L5B, L6B를 포함하는 점에서 도 1의 반도체 집적 회로(1)와 상이하다. 또 반도체 집적 회로(51)의 다른 부분의 구성에 대해서는 반도체 집적 회로(1)의 대응하는 부분의 구성과 마찬가지로 하기 때문에 이후의 설명은 반복하지 않는다.

이미 설명되는 바와 같이, 상층의 배선과 하층의 비트선과의 사이에는 면간 용량 및 프린지 용량으로 이루어지는 층간 용량이 존재한다. 실시예 3, 4에서는 프린지 용량을 저감함으로써 층간 용량을 저감한다. 이에 대해, 실시예 5에서는, 면간 용량을 저감함으로써 층간 용량을 저감한다.

하층의 비트선과 상층의 배선과의 사이에서 겹치는 부분의 면적을 작게 할수록 면간 용량은 작아진다. 따라서, 상층의 배선은 가능한 한 하층의 비트선과 평행한 부분이 적어지도록 지그재그 형상으로 형성된다. 보다 상세하게 설명하면, 지그재그 형상의 부분은, 금속 배선 L1~L9가 형성되는 배선층에 있어서, 복수의 비트선 BL1 중 어느 하나, 또는 복수의 비트선 BL2 중 어느 하나에 평행한 제 1 방향과, 제 1 방향과 상이한 제 2 방향으로 교대로 방향을 변경하여 복수회 굽어지도록 형성된다.

예를 들면, 금속 배선 L4B에 대해 대표적으로 설명하면, 금속 배선 L4B는 배선부 A1, A2를 포함한다. 배선부 A1, A2는 각각 비트선 BL1에 평행한 제 1 방향(LA1B)과, 제 1 방향과 상이한 제 2 방향(비트선 BL1에 수직인 방향(LA2B))으로 교대로 방향을 변경하여 복수회 굽어지도록 형성된다. 배선부 A1, A2에 의해, 금속 배선 L4B와 특징의 1개의 비트선이 겹치는 부분의 면적은 작아진다. 따라서, 금속 배선 L4B와 하층의 비트선과의 사이의 면간 용량이 저감되기 때문에 층간 용량이 저감된다.

도 10에서는 설명의 편의상, 배선 L3B, L4B는 비트선 BL1의 사이를 통과하도록 도시되지만, 일반적으로 패드에 접속되는 금속 배선은 비트선의 선폭 및 비트선의 간격에 비해 굵기 때문에, 병행한 2개의 비트선 중 어디에도 겹치지 않도록 상층의 금속 배선을 배치하는 것은 불가능하다. 실시예 5와 같이, 상층의 금속 배선에 지그재그 형상의 형상이 마련되는 것에 의해 비트선과 평행하게 겹치는 부분을 적게 할 수 있게 된다.

또, 지그재그 형상의 부분에 대해, 절곡되는 각도는 90°에 한정되지 않고, 0° 및 180°을 제외한 임의의 각도이면 좋다.

이상과 같이 실시예 5에 의하면 비트선과 겹치는 배선의 형상을, 비트선과 겹치는 부분을 작게 하는 것과 같은 배선 형상으로 하는 것에 의해 동작의 신뢰성을 향상시킬 수 있다.

본 발명을 상세하게 설명하여 나타내었으나, 이것은 예시를 위한 것일 뿐이며, 이에 한정하는 것은 아니며, 발명의 정신 및 범위는 첨부하는 청구 범위에 의해서만 한정되는 것이 명확하게 이해될 것이다.

## 발명의 효과

이상과 같은 본 발명에 의하면, 반도체 기판 표면의 영역에서 CPU나 RAM, ROM 등의 회로를 제외한 영역에 I/O 버퍼 또는 보호 회로를 집합적으로 배치함으로써, 패드 사이의 거리나 패드와 CPU 등의 회로와의 간격을 축소하는 것이 가능하게 되기 때문에 칩 사이즈를 축소화할 수 있게 된다.

## (57) 청구의 범위

### 청구항 1.

반도체 집적 회로로서,

중앙 처리 장치와,

상기 중앙 처리 장치에서 실행되는 처리에 관한 정보를 비휘발적으로 기억하는 비휘발성 메모리와,

상기 정보를 일시적으로 기억하는 휘발성 메모리와,

반도체 기판의 주 표면에서, 상기 중앙 처리 장치, 상기 비휘발성 메모리 및 상기 휘발성 메모리가 마련되는 주 영역 중, 상기 중앙 처리 장치, 상기 비휘발성 메모리 및 상기 휘발성 메모리를 제외한 영역에 배치되는, 복수의 버퍼 또는 복수의 보호 회로와,

상기 복수의 버퍼 또는 상기 복수의 보호 회로에 각각 대응하여 마련되는, 복수의 패드와,

상기 복수의 버퍼 또는 복수의 보호 회로의 각각과, 상기 복수의 패드 중의 대응하는 패드를 직접 접속하는, 복수의 금속 배선

을 구비하는 반도체 집적 회로.

### 청구항 2.

제 1 항에 있어서,

상기 반도체 집적 회로는, 다층 배선을 갖고,

상기 복수의 금속 배선의 각각은, 동일한 배선층에 마련되며,

상기 복수의 금속 배선은, 상기 중앙 처리 장치에 포함되는 금속 배선이 마련되는 배선층, 상기 비휘발성 메모리에 포함되는 금속 배선이 마련되는 배선층, 및 상기 휘발성 메모리에 포함되는 금속 배선이 마련되는 배선층 중 어느 하나의 배선층보다도 상기 주 표면에 대해 상측에 있는 반도체 집적 회로.



### 청구항 3.

제 2 항에 있어서,

상기 복수의 버퍼 또는 복수의 보호 회로는, 상기 주 표면에서 단수의 영역(a single region)으로 집합하여 배치되는 반도체 집적 회로.

### 청구항 4.

제 2 항에 있어서,

상기 복수의 버퍼 또는 상기 복수의 보호 회로는, 상기 주 표면에서 복수의 영역(a plurality of regions)으로 분할하여 배치되는 반도체 집적 회로.

### 청구항 5.

제 2 항에 있어서,

상기 비휘발성 메모리는, 금속에 의해 구성되는 복수의 제 1 비트선을 갖고,

상기 휘발성 메모리는, 금속에 의해 구성되는 복수의 제 2 비트선을 가지며,

상기 복수의 금속 배선은, 상기 복수의 제 1 비트선 중 어느 하나, 또는, 상기 복수의 제 2 비트선 중 어느 하나에 평행한 부분을 갖는 금속 배선을 포함하고,

상기 반도체 집적 회로는,

금속에 의해 구성되고, 상기 복수의 금속 배선의 각각과 동일한 배선층에, 상기 평행한 부분을 측면으로부터 사이에 유지하도록 마련되는 제 1, 제 2 더미 배선을 더 구비하며,

상기 제 1, 제 2 더미 배선에는, 소정의 전위가 인가되는

반도체 집적 회로.

### 청구항 6.

제 5 항에 있어서,

상기 소정의 전위는, 전원 전위 또는 접지 전위인 반도체 집적 회로.

### 청구항 7.

제 5 항에 있어서,

상기 반도체 집적 회로는,

절연체에 의해 구성되어, 상기 복수의 금속 배선의 각각의 측면 및 상기 제 1, 제 2 더미 배선의 각각의 측면에 마련되는 복수의 측벽과,

상기 복수의 금속 배선, 상기 제 1, 제 2 더미 배선, 및 상기 복수의 측벽을 덮는 절연막을 더 구비하며,  
상기 복수의 측벽 각각의 유전율은, 상기 절연막의 유전율보다도 높은 반도체 집적 회로.

## 청구항 8.

제 2 항에 있어서,

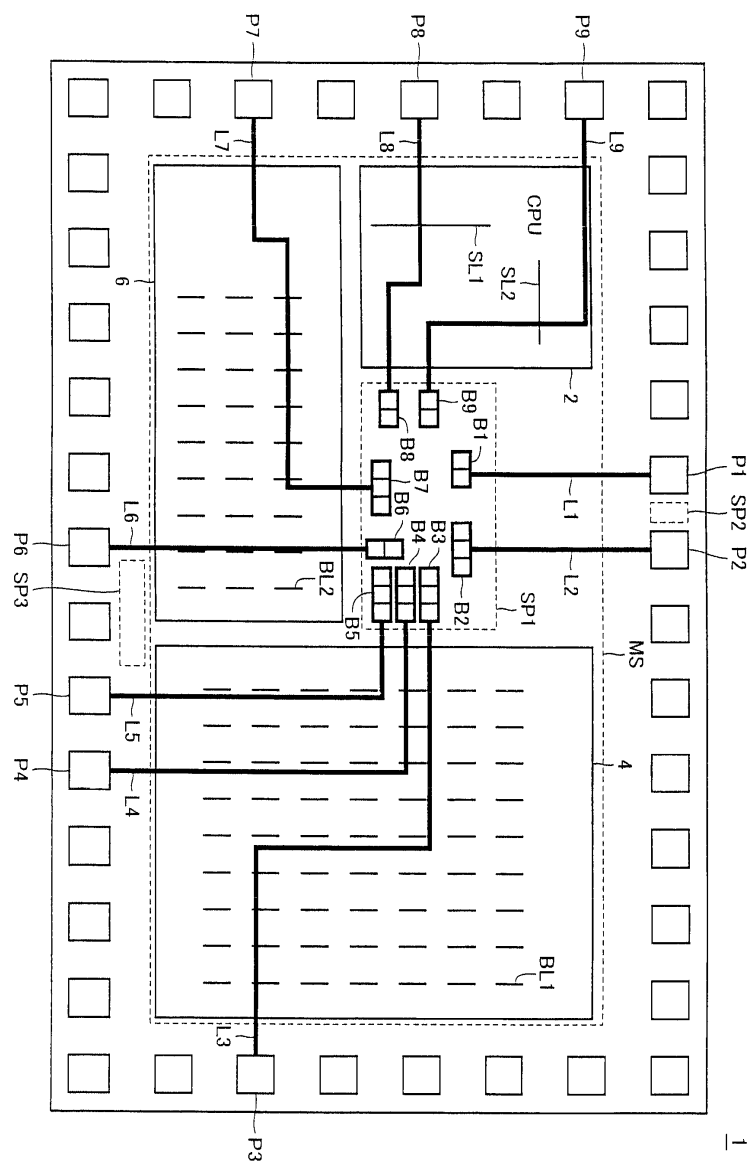
상기 비휘발성 메모리는, 금속에 의해 구성되는 복수의 제 1 비트선을 갖고,

상기 휘발성 메모리는, 금속에 의해 구성되는 복수의 제 2 비트선을 가지며,

상기 복수의 금속 배선은, 상기 복수의 금속 배선의 각각이 형성되는 배선층에서, 상기 복수의 제 1 비트선 중 어느 하나, 또는, 상기 복수의 제 2 비트선 중 어느 하나에 평행한 제 1 방향과, 상기 제 1 방향과 상이한 제 2 방향으로 교대로 방향을 변경하여 복수회 굽어지도록 형성되는 금속 배선을 포함하는 반도체 집적 회로.

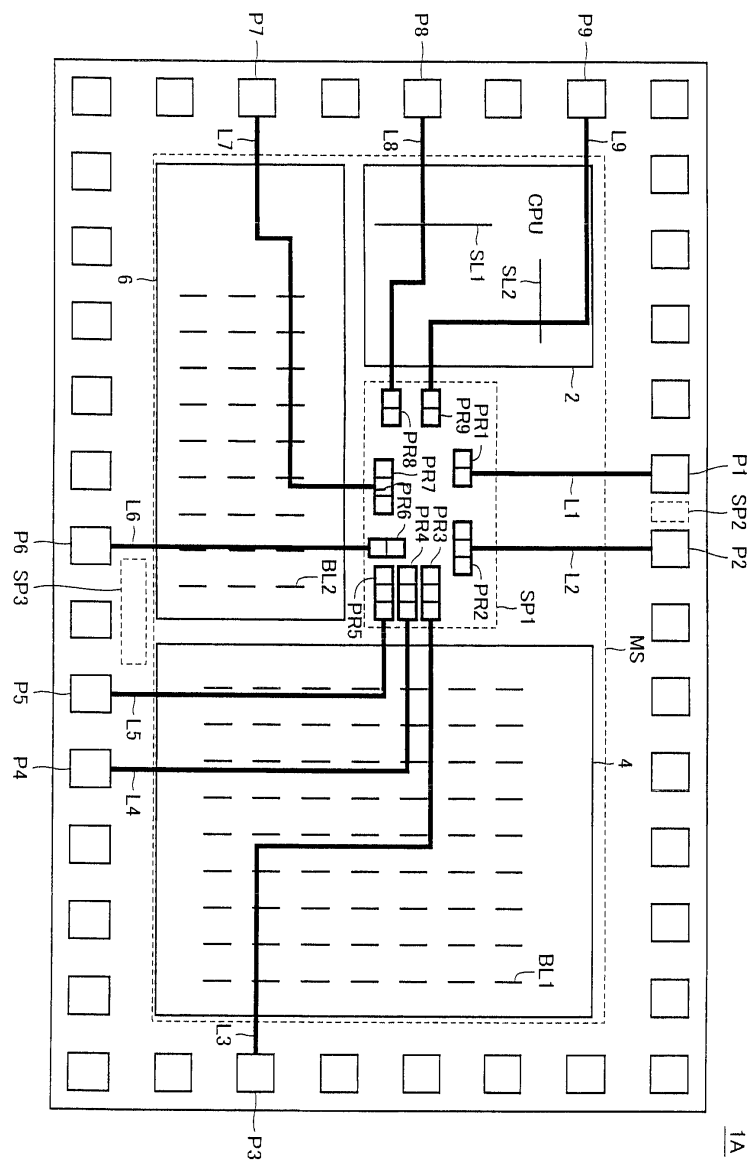
도면

도면1



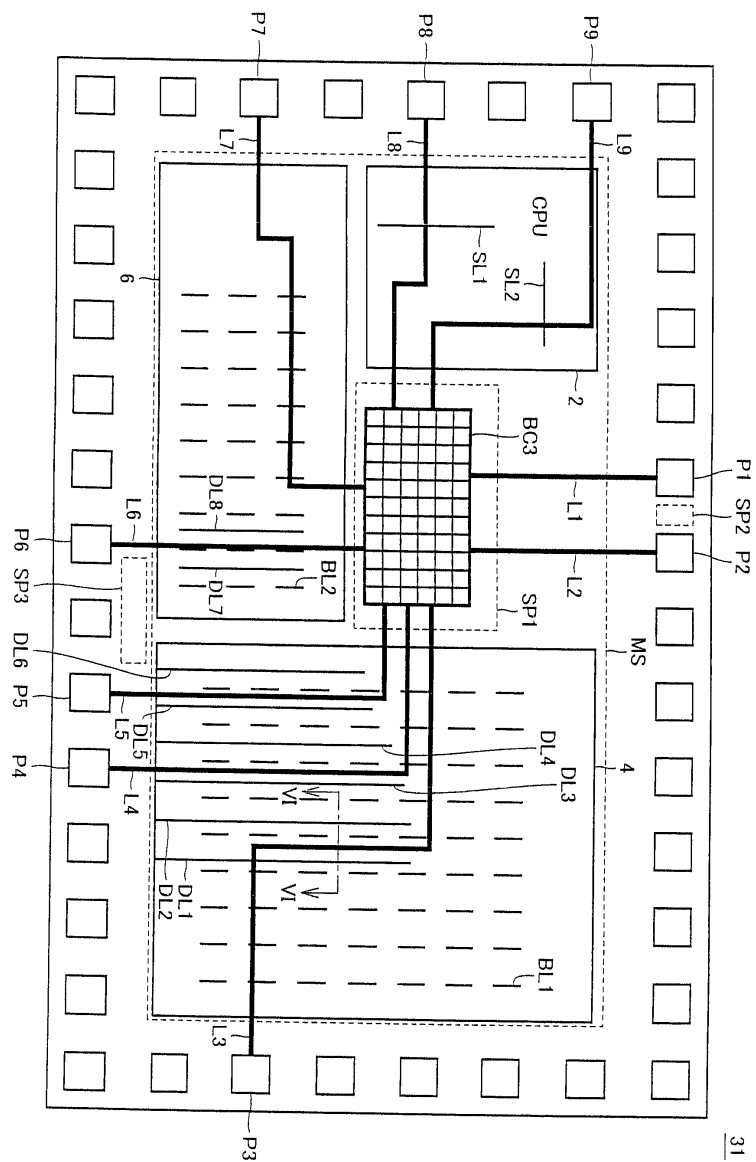


도면3



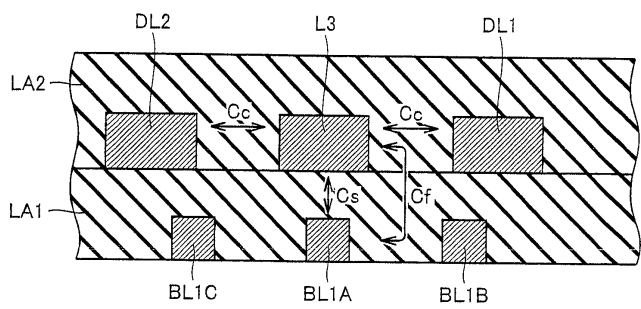


도면5

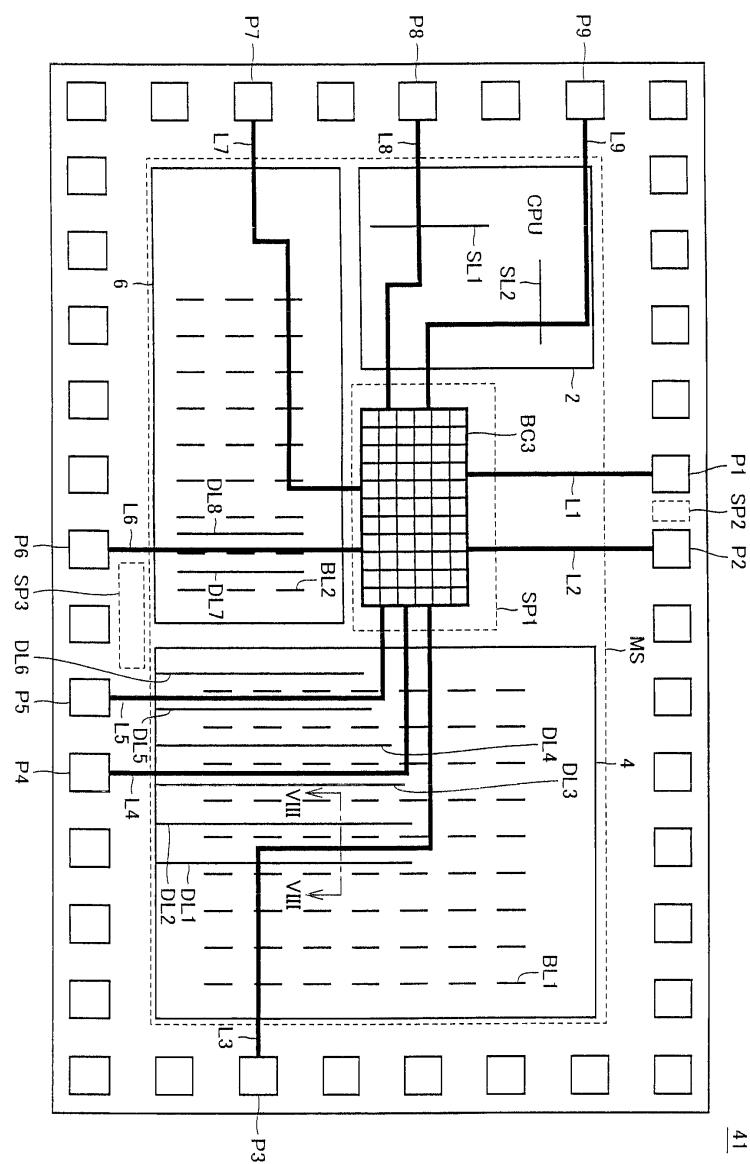


31

도면6

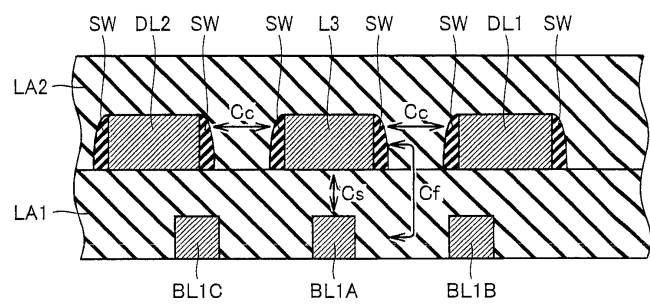


도면7



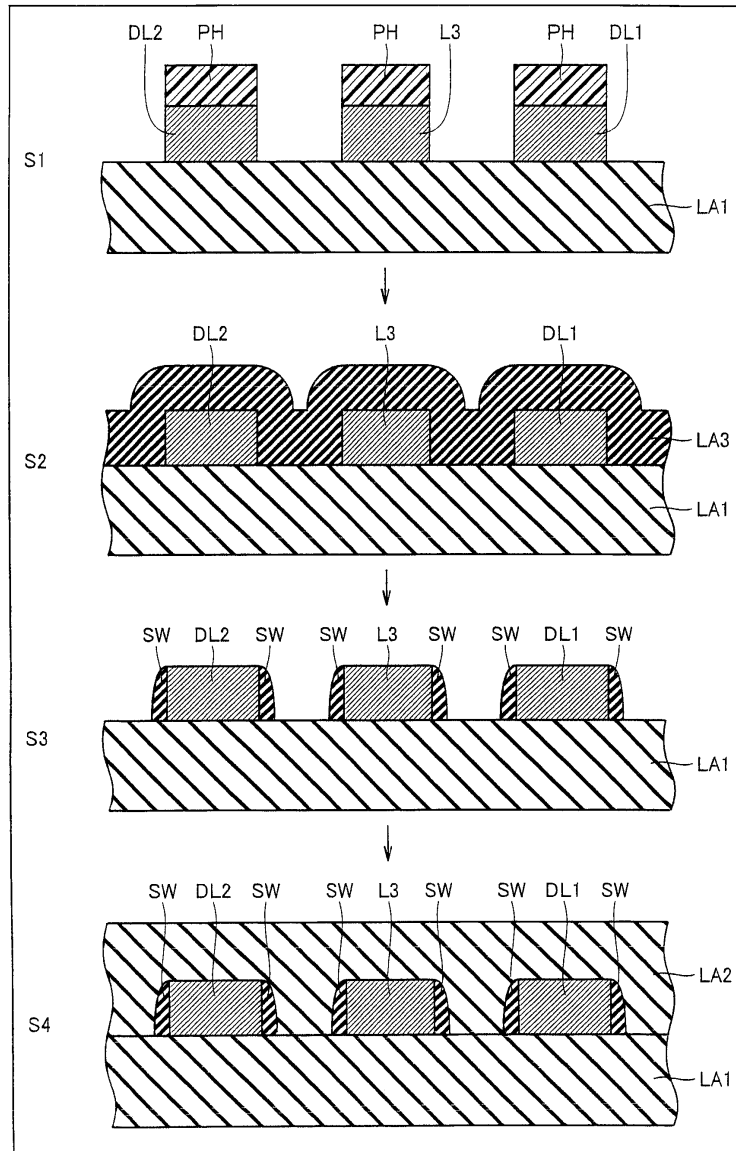
41

도면8





도면9



도면10

