

[12] 发明专利说明书

[21] ZL 专利号 98103106.4

[45] 授权公告日 2002 年 5 月 22 日

[11] 授权公告号 CN 1085440C

[22] 申请日 1998. 6. 17

[21] 申请号 98103106.4

[30] 优先权

[32] 1997. 6. 17 [33] JP [31] 160087/97

[73] 专利权人 日本电气株式会社

地址 日本东京都

[72] 发明人 渡会诚一

[56] 参考文献

EP 0438257 1991. 7. 24 H03F3/195

US 5270068 1993. 12. 14 H03F3/195

审查员 段成云

[74] 专利代理机构 中国专利代理(香港)有限公司

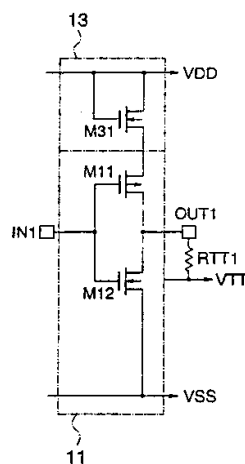
代理人 王 岳 叶恺东

权利要求书 2 页 说明书 14 页 附图页数 8 页

[54] 发明名称 小幅度信号的输出电路

[57] 摘要

一种小幅度信号的输出电路,它包括一个用于接收逻辑信号而输出小幅度信号的输出部分,该输出部分具有串联在第一电源线和第二电源线之间的第一和第二晶体管,连接在每个电源线和输出部之间的电压控制部分用于减小从输出节点提供的输出电压,因此容许输出部分晶体管的导通电阻较小。晶体管的小导通电阻又会使由生产工序变而引起的输出电路的输出电压的变化变得更小。电压控制部分可具有减小由于温度的变化而引起的输出电路的变化的功能。



I S S N 1 0 0 8 - 4 2 7 4

权 利 要 求 书

1. 一种小幅度信号输出电路, 它包括:

5 第一输出部分, 它具有第一导电型的第一晶体管和第二导电型的第二晶体管, 它们串联在第一电源线和第二电源线之间, 以接收第一逻辑信号, 并通过连接所述第一晶体管和所述第二晶体管的节点输出第一输出信号;

第一电压控制部分, 它连接在所述第一电源线和所述第一晶体管之间, 以减小所述输出部分的供电电压。

10 2. 如权利要求 1 所述的小幅度信号的输出电路, 其特征在于, 所述电压控制部分包括一个通过所述第一电源线和所述第二电源线正向偏置的二极管。

3. 如权利要求 2 所述的小幅度信号的输出电路, 其特征在于, 所述二极管是通过漏极和栅极连接在一起的 MOSFET 实现的。

15 4. 如权利要求 2 所述的小幅度信号的输出电路, 其特征在于, 所述二极管是通过基极和集电极连接在一起的双极晶体管实现的。

5. 如权利要求 1 所述的小幅度信号的输出电路, 还包括一个第二电压控制部分, 它连接在所述第二晶体管和所述第二电源线之间以减小所述输出部分的供电电压。

20 6. 如权利要求 5 所述的小幅度信号的输出电路, 其特征在于, 所述电压控制部分包括一个通过所述电压电源线和所述第二电源线正向偏置的二极管。

7. 如权利要求 1 所述的小幅度信号的输出电路, 其特征在于, 所述节点通过终端电阻连接于端电源线上。

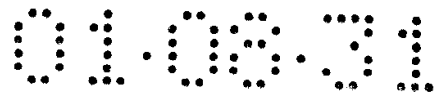
25 8. 如权利要求 1 所述的小幅度信号的输出电路, 其特征在于, 所述电压控制部分包括一第三晶体管和第一二极管, 它们串联在所述第一电源线和所述第一晶体管之间, 至少一第二二极管和一电阻, 它们串联在所述第一二极管和所述第二电源线之间, 其中与所述至少一第二二极管和所述电阻连接的节点连接于所述第三晶体管的控制电极上。

9. 如权利要求 1 所述的小幅度信号的输出电路, 其特征在于, 还包括一第二输出部分, 该输出部分具有串联在所述电压控制部分和所述第二电源线之间的第三晶体管和第四晶体管, 它用于接收第二逻辑信号, 并通过一个连接所述第三晶体管和所述第四晶体管的节点输出一个第二输出信号。

5

10. 如权利要求 9 所述的小幅度信号的输出电路, 其特征在于, 所述电压控制部分包括串联在所述第一电源线和所述第一晶体管之间的一个第五晶体管和一个第一二极管, 串联在所述第一二极管和所述第二电源线之间的至少一个第二二极管和电阻, 其中连接所述至少一个第二二极管和所述电阻的节点连接于所述第五晶体管的控制电极上。

10



说明书

小幅度信号的输出电路

5 本发明涉及一种弱放大信号的输出电路,特别是一种通过传输线在集成电路之间传输逻辑信号的小幅度信号的输出电路。

一些输出电路用作信号传输装置以经过传输通道,例如总线在两个或更多集成电路之间传输信号。在逻辑信号从输出电路将被传输出去时,逻辑信号的逻辑值要假定为高电位(H-level)或为低电位(L-level)。因此,在集成电路
10 的输出电路中,就必需存在一个接收来自集成电路的内部电路的内部逻辑信号的输入端,和一个向另一集成电路传送内部逻辑信号的输出端。

虽然绝大多数常用的传输信号具有接近于供给集成电路的电源电位的幅度,但是,近几年信号幅度已被减弱以利于传输。例如,在常用传输信号的CMOS接口的情况下,信号幅度基本上等于电源电位值,例如大约为5V或3V。
15 相反,最近的传输信号具有小幅度,例如用于低电位差分信号(LVDS)接口中,信号幅度为0.3V。信号幅度减小的理由是因为这种减小在信号以较高的速度传输的时候产生优越的效果,功耗越低,噪音越小。因此,就需要以实现高速和/或低功耗为其主要目的集成电路具有一个能够输出较低幅度信号的输出电路。作为输出低幅度信号的装置,已经提出一些建议,下面就是其中的一个例子。
20

参见图1,它表示作为第一常用输出电路的伪发射极耦合逻辑接口(PECL接口)的电路图,它是一个典型的低幅度接口的例子,该输出电路包括:一PMOS晶体管M11,它有一个与正电位的电源线VDD连接的源极,一个与输出低幅度信号的输出端OUT1连接的漏极和一个与输入端IN1连接的栅极;一NMOS型晶体管M12,它有一个与晶体管M11的漏极连接的漏极,一个与晶体管M11的栅极连接的栅极,和一个与零电位的电源线VSS连接的源极;一终端电阻(终接电阻)RTT1,它具有与输出端OUT1连接的第一端和与终端(终接)电源VTT连接的第二端。
25

通常,正电位从集成电路外部供给电源线VDD,而电源线VSS接地,在其

他情况下，电源线 VDD 接地时，负电位就供给电源线 VSS。

端电阻 R_{TT1} 的值和终端电源电位的值一般按标准给定，其中前者大约为 50Ω ，后者通过从电源电位 VDD 中减去大约 2V 而获得。

5 在工作时，当接近于电源线 VDD 的电位 VDD 的电位以高电平供给输入端 IN1 时，晶体管 M11 截止，而晶体管 M12 导通。因此，电流路径是从终端电源 VTT 到电源线 VSS，并经过终端电阻 R_{TT1} 和晶体管 M12。在此情况下，输出端 OUT1 的低电位 VOL 表达为：

$$VOL = VTT - \{(VTT - VSS) \times R_{TT}\} / (R_{TT} + R_{ONN}) \dots\dots\dots (1),$$

10 其中 VTT, VSS, R_{TT} 和 R_{ONN} 分别代表终端电源 VTT 的电位，电源线 VSS 的电位，电阻 R_{TT1} 的阻值和 NMOS 型晶体管 M12 的导通阻值。

当接近于电源线 VSS 的电位 VSS 的电位以低电平供给输入端 IN1 时，晶体管 M11 导通，而晶体管 M12 截止。因此，电流路径是从电源线 VDD 到终端电源 VTT，并经过终端电阻 R_{TT1} 和晶体管 M11 形成的。在此情况下，输出端 OUT1 的高电位值 VOH 表达为：

$$15 \quad VOH = VTT + \{(VDD - VTT) \times R_{TT}\} / (R_{TT} + R_{ONP}) \dots\dots\dots (2),$$

其中 R_{ONP} 表示 PMOS 型晶体管 M11 的导通电阻值

20 为了计算出输出端 OUT1 的高电位 VOH 和低电位 VOL 的实际值和相关的输出信号幅度 $(VOH - VOL)$ ，表达式或方程式(1)和(2)中的每个变量值设定如下：

$VDD = 3V$, $VSS = 0V$, $R_{TT} = 50\Omega$, $R_{ONN} = 200\Omega$, $R_{ONP} = 200\Omega$ 。

在上述数值替换表达式(1)和(2)中的变量之后，输出端 OUT 的高电位 VOH 和低电位 VOL 的值计算如下：

$$VOH = 1.8V \quad \dots\dots\dots (3)$$

$$25 \quad VOL = 1.2V \quad \dots\dots\dots (4)$$

因此，输出信号幅度被计算出如下：

$$VOH - VOL = 0.6V \quad \dots\dots\dots (5)$$

常用的输出电路具有这样的特征：它能够通过选择导通电阻 R_{ONP} 和 R_{ONN} 的阻值获得—所需的小信号幅度，这些阻值是根据集成电路中的晶体管元件的

规模，依据事先给定的电源电位值 V_{DD} ， V_{SS} ， V_{TT} 和终端电阻 R_{TT} 调节的。

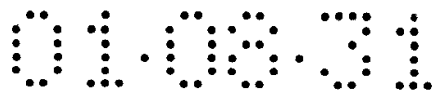
由于第一常用输出电路具有一个传输单信号的单输出端，它一般被称之为单向传输系统。

5 作如具有低信号幅度接口的另一个传输系统，即所谓差动传输系统也被使用，它从各自的输出端输出一对传输信号。在该差动传输系统中的这对传输信号具有这样的特征：这对信号的相位相反，具有相同的高电位和低电位。这种差动传输系统中的反相位的设计与单相位传输系统相比提供了一个两倍的动态范围。除此之外，它还具有这样的优点：受电源电位中噪音的影响和电磁感应的干扰减少了。从这个优点来看，差动传输系统是能够用于高速和高可靠性传输的。在差动传输系统发送差动信号的输出电路的建议已经提出，下面是其一个例子。

15 图 2 表示作为典型的差动传输系统的 LVDS 接口的第二个常用输出电路，其中相同的组成元件用与图 1 中使用的同一参考标号表示。该输出电路包括：第一输出部分 11，它具有晶体管 M_{11} 和 M_{12} ，终端电阻 R_{TT1} ，输入端 IN_1 和输出端 OUT_1 ，它们与第一常用输出电路相同；第二输出部分 12，它具有与第一输出部 11 相同的组成元件。更详细地说，第二输出部分 12 包括：一 PMOS 型晶体管 M_{21} ，它有一个与正电位的电源线 V_{DD} 连接的源极，一个与输出端 OUT_2 连接的漏极和一个与输入端 IN_2 连接的栅极；一 NMOS 型晶体管 M_{22} ，它有一个与晶体管 M_{21} 的漏极连接的漏极，一个与晶体管 M_{21} 的栅极连接的栅极，和一个与零电位的电源线 V_{SS} 连接的源极；一终端电阻 R_{TT2} ，它具有与输出端 OUT_2 连接的第一端和与端电源 V_{TT} 连接的第二端。

20 终端电阻 R_{TT1} 和 R_{TT2} 的值，端电源电压值 V_{TT} 一般按标准给定，其中 R_{TT1} 和 R_{TT2} 设定为大约 45Ω 至 65Ω ， V_{TT} 设定为大约 $1.1V$ 至 $1.4V$ 。

25 在工作时，当接近于电源线 V_{DD} 电位 V_{DD} 的高电平电位供给输入端 IN_1 时，同时，接近于电源线 V_{SS} 电位 V_{SS} 的低电平电位供给输入端 IN_2 时，晶体管 M_{12} 和 M_{21} 导通，而晶体管 M_{11} 和 M_{22} 截止。因此，电流路径是从电源线 V_{DD} 经晶体管 M_{21} 和终端电阻 R_{TT2} 到端电源 V_{TT} 形成的另一条电流路径是从端电源 V_{TT} 到电源线 V_{SS} ，并经过终端电阻 R_{TT1} 和晶体管 M_{12} 形成的。因此，输出端 OUT_1 输出一低电平信号，输出端 OUT_2 输出一高电平信号。高电平信号



的电位 V_{OH} 和低电平信号的电位 V_{OL} 由上述的表达式(1)和(2)给定。

当接近于电源线 V_{SS} 的电位 V_{SS} 的低电平电位供给输入端 IN_1 时, 同时, 接近于电源线 V_{DD} 的电位 V_{DD} 的高电平电位供给输入端 IN_2 时, 晶体管 M_{11} 和 M_{22} 导通, 而晶体管 M_{12} 和 M_{21} 截止。因此, 一条电流路径是从电源线 V_{DD} 到端电源 V_{TT} , 并经过和终端电阻 R_{TT1} 晶体管 M_{11} 形成的, 另一条电流路径从端电源 V_{TT} 到电源线 V_{SS} , 并经过终端电阻 R_{TT2} 和晶体管 M_{22} 形成的。因此, 输出端 OUT_1 输出一高电平信号, 输出端 OUT_2 输出一低电平信号。

如上所述, 这种在第二常用差动输出系统的输出电路中产生高电平和低电平的输出信号电位的技术方案与第一常用单相系统的输出电路的情况相似。因此, 如果表达式(1)和(2)中的变量在两个电路中是相同的话, 那么高电平信号 V_{OH} 和低电平信号 V_{OL} 的值就等于上述的数值(3), (4)和(5)。在第二常用输出电路中也能够获得所需的小幅度信号, 与第一常用输出电路的情况相似, 它能够通过选择 PMOS 型晶体管 M_{11} 和 M_{21} 的导通电阻 R_{ONP} 的阻值或 NMOS 型晶体管 M_{12} 和 M_{22} 的 R_{ONN} 的阻值, 这些阻值是根据集成电路中的晶体管的规模依据电源电位 V_{DD} , V_{SS} , V_{TT} 和事先给定的端电阻 R_{TT} 的值控制的。

虽然两种常用输出电路所具有如上描述的优点, 但是它们存在这样一个问题: 输出信号幅度的变化是相当大的。

除此之外, 根据控制第一常用输出电路的输出信号的高电平电压值 V_{OH} 和低电平电压值 V_{OL} , 下面三种因素也会引起导通电阻 R_{ONP} 和 R_{ONN} 的电阻值的变化。

第一种因素是受 MOS 晶体管生产工序的变化的影响。生产工序涉及许多变化因素, 这些变化因素影响组成输出电路的晶体管元件的形状变化。例如, MOS 晶体管的导通电阻根据晶体管的形状, 其变化范围一般为 $10\% \pm$ 至 $\pm 20\%$ 。

第二种因素是受, 装备有集成电路的电子设备用于各种环境下周围环境温度的影响。MOS 晶体管的导通电阻特别会随着环境温度的变化而改变: 例如, 相对于 100°C 的高温, 阻值的变化范围大约为 $\pm 8\%$ 至 $\pm 16\%$ 。

第三种因素是受电源电位变化的影响。从集成电路外部供给的电源的电位除了外部电源自身的电位变化外, 由于电源线的电位损耗而会产生变化。MOS 晶体管的导通电阻随着输入电压的变化而改变: 例如, 相对于电源电位 ± 10

%的变化量, 阻值变化范围一般大约为 $10\% \pm$ 至 $\pm 15\%$ 。

因此, 当考虑上述的全部三种因素时, MOS 晶体管的导通电阻的变化范围一般大约为 $\pm 28\%$ 至 $\pm 51\%$ 。由三种因素引起的变化导致高电平 V_{OH} , 低电平 V_{OL} 和信号幅度的变化范围如下:

5 $V_{OH} = 1.713V$ 至 $2.007V$ (6)

$V_{OL} = 0.993V$ 至 $1.287V$ (7)

$V_{OH} - V_{OL} = 0.426V$ 至 $1.014V$ (8)

10 信号幅度 $V_{OH} - V_{OL}$ 的变化量是在三种因素不作考虑时, 从 MOS 晶体管的导通电阻计算出的信号幅度的 1.7 倍, 即如表达式(3)所示的 0.6V。输出信号幅度的变化量, 特别是在较高方向的变化量的情况下, 能够减弱和消除上述小幅度传输的优点和效果。

总而言之, 第一和第二常用输出电路存在一个需要解决的信号幅度中较大变化量的问题, 引起传输速度降低。在信号传输的过程中引起功耗的增加和噪音的增强。

15 鉴于上述问题, 本发明的目的是提供一种能够解决上述问题的小幅度信号的输出电路。

本发明提供一种信号输出电路。

参见附图, 本发明的上述和其他目的, 特征和优点通过下面的描述将会变得更清楚。

20 图 1 是第一常用输出电路的电路图;

图 2 是第二常用输出电路的电路图;

图 3 是本发明第一实施例的输出电路的电路图;

图 4 是本发明第二实施例的输出电路的电路图;

图 5 是本发明第三实施例的输出电路的电路图;

25 图 6 是本发明第四实施例的输出电路的电路图;

图 7 是本发明第五实施例的输出电路的电路图;

图 8 是本发明第六实施例的输出电路的电路图。

现在, 参考附图对本发明做更详细地描述, 其中全部附图中相同的组成元件用同一或相似的参考标号表示。

参见图 3, 它表示本发明第一实施例的输出电路的电路图, 该输出电路包括一个第一输出部分 11, 它设有第一导电型的 pMOS 型第一晶体管 M11 和第二导电型的 nMOS 型第二晶体管 M12, 一个终端电阻 R_{TT1}, 一个输入端 IN1 和一个输出端 OUT1, 它们与第一常用输出电路的组成元件相同。除此之外, 该输出电路还包括一个连接在电源线 VDD 和晶体管 M11 的源极之间的一个第一电压控制部分 13, 它用于控制晶体管 M11 的电压值。

电压控制部分 13 包括一个 nMOS 型晶体管 M31, 它具有与电源线 VDD 连在一起的一个栅极和一个漏极, 以及与输出电路 11 的晶体管 M11 的源极连接的源极, 因此它形成一个二极管的结构, 即, 所述二极管是通过漏极和栅极连接在一起的一个 MOSFET 实现的。

在工作时, 当接近于电源电压 VSS 电位的信号电位以低电平供给输入端 IN1 时, 那么输出电路的晶体管 M11 导通, 晶体管 M12 截止, 然而电压控制部分 13 的晶体管 M31 在任何时候都是导通的。因此, 电流路径从电源线 VDD 经过晶体管 M31, 晶体管 M11 和终端电阻 R_{TT1} 到端电源线 V_{TT} 而形成。在此情况下, 输出端的高电平电压 V_{OH} 表达为:

$$V_{OH} = V_{TT} + \{(V_{DD} - V_{TN31} - V_{TT}) \times R_{TT}\} / (R_{TT} + R_{ONP}) \dots\dots\dots (9)$$

其中 V_{TN31} 表示 NMOS 晶体管 M31 的栅源电压。在此组成结构中, 输出高电平 V_{OH} 减少了 V_{TN31} × R_{TT} / (R_{TT} + R_{ONP})。在此晶体管 M31 的导通电阻被忽略不计, 这是因为它与晶体管 M11 的导通电阻 R_{ONP} 相比显得相当小。

在本实施例的输出电路中较小输出电压 V_{OH} 的构成能使晶体管 M11 的导通电阻 R_{ONP} 在与常用电路中的导通电阻相比时具有更小的绝对值构成。以此能够抑制输出信号的高电平 V_{OH} 的变化。晶体管 M11 的导通电阻一般受前述的三种因素的影响而变化, 也就是说, 受生产工序, 环境温度和/或电源电压的影响。

从确定第一常用输出电路中的输出信号的高电平的表达式(2)可以明白, 晶体管 M11 的导通电阻 R_{ONP} 的减小提高了输出的高电平 V_{OH}, 它是通过电压控制部 13 提供一个电位差抑制的, 如上所述并在下文详细地讨论。

电压控制部分 13 的输出电位, 即晶体管 M11 源极的电位通过从电源电压

VDD 中减去晶体管 M31 的栅源电压 V_{TN31} 获得。当电源电压 VDD 变化时，电压变化也会照原样在电压控制部分 13 的输出电位中出现。

如果表达式(9)中的每个变量设定为： $V_{DD} = 3V$ ， $V_{SS} = 0V$ ， $V_{TT} = 1.5V$ ， $R_{TT} = 50 \Omega$ ， $V_{TN31} = 1.0V$ 和 $R_{ONP} = 33\Omega$ ，本实施例的输出信号的高电平 V_{OH} 被如下计算：

$$V_{OH} = 1.8V \quad \dots\dots\dots (10)$$

该数值与现有技术中的表达式(3)的值一样。

假定晶体管 M11 的导通电阻 R_{ONP} 受三种因素的影响而变成较大值，输出信号的高电平 V_{OH} 的变化最大范围如现有技术中所述的一样在 $\pm 51\%$ 内。表达式(9)给出输出信号高电平 V_{OHC} 的范围如下，其中考虑了变化因素：

$$V_{OHC} = 1.750V \text{ 至 } 1.878V \quad \dots\dots\dots (11)$$

因此，高电平 V_{OHC} 在本实施例中从正常的电压 1.8V 在 -2.8% 至 $+4.8\%$ 之间变化，该事实表明与常用的变化范围 -4.8% 至 $+11.5\%$ 相比有重大的改进。

在上述实施例中，即使晶体管 M11 的导通电阻 R_{ONP} 以大百分比变化，由于晶体管 M11 的导通电阻中的绝对变化与常用电路相比较小，因此输出电位的变化就较小，这种情况通过晶体管 M11 的导通电阻的绝对值根据晶体管 M31 的栅源电压降而设定一个较小值来实现。即它能够抑制输出高电平 V_{OH} 的变化。

参考图 4，本发明的第二实施例的输出电路与第一实施例相似，它除了电压控制部分 14 连接在电源线 VSS 和 nMOS 晶体管 M12 的源极之间以控制晶体管 M12 的源极电压之外。

电压控制部分 14 包括一个 nMOS 晶体管 M14，它具有与晶体管 M12 的源极连接在一起的漏极和栅极，和与电源线 VSS 连接的源极，以此形成一个二极管结构。

输出电路起到抑制输出信号的低电平 V_{OL} 变化的作用。具体地说，与第一实施例相似，以较小绝对值选择输出电路 11 的晶体管 M12 的导通电阻 R_{ONN} ，使因三个因素的影响造成的导通电阻 R_{ONP} 的绝对值变化更小。

在工作时，当接近于电源电压 VDD 电位的高电平信号电位供给输入端 IN

时, 那么输出电路 11 的晶体管 M12 和 M11 分别导通和截止, 然而电压控制部分 14 的晶体管 M41 在任何时候都是导通的。因此, 电流路径从端电源 VTT 经过终端电阻 RTT1, 晶体管 M12 和晶体管 M41 到电源线 VSS 而形成。在此情况下, 输出端的低电平 VOL 表达为:

$$5 \quad \text{VOL} = \text{VTT} + \{(\text{VTT} - \text{VTN41} - \text{VSS}) \times \text{RTT}\} / (\text{RTT} + \text{RONN})$$

其中 VTN41 表示 NMOS 晶体管 M41 的栅源电压。晶体管 M41 的导通电阻由于较小被忽略不计。

从确定第一常用输出电路中的输出低电平 VOL 的表达式(1)可以明白, 如果晶体管 M12 的导通电阻 RONN 由于三种因素的影响以较小值变化时, 那么输出低电平 VOL 下降。电压控制部分 14 提供电位差以此抑制这种下降。

在本实施例中晶体管 M14 用作电压控制器, 电压控制部分 14 的输出电位通过把晶体管 M41 的栅源电压 VTN41 加给电源电压 VSS 而获得。当电源电压 VSS 变化时, 电压控制部分 14 的输出电位能够显示变化量。

当表达式(12)中的每个变量设定为: VDD = 3V, VSS = 0V, VTT = 1.5V, RTT = 50 Ω , VTN31 = 1.0V 和 RONN = 33 Ω , 本实施例的输出信号的低电平 VOL 计算如下:

$$\text{VOL} = 1.2\text{V} \quad \dots\dots\dots (13)$$

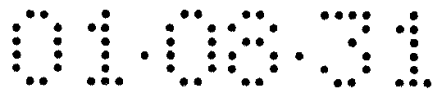
该数值与现有技术中的表达式(4)的值一样。

假定晶体管 M12 的导通电阻 RONN 受三种因素的影响而变成较大值, 输出信号的低电平 VOL 的变化最大范围如现有技术中所述的一样在 $\pm 51\%$ 内。表达式(12)给出输出信号低电平 VOLC 的范围如下, 其中考虑了变化因素:

$$\text{VOLC} = 1.1222\text{V 到 } 1.250 \quad \dots\dots (14)$$

因此, 低电平 VOLC 在本实施例中从正常的电压 1.2V 在 -6.5% 至 $+4.2\%$ 之间变化, 该事实表明与常用的变化范围 -17.3% 至 $+7.3\%$ 相比有重大的改进。

在上述实施例中, 即使晶体管 M12 的导通电阻 RONP 以大百分比变化, 由于晶体管 M12 的导通电阻的绝对值与常用电路相比较小, 因此输出电位的绝对变化就较小, 这种情况通过晶体管 M12 的导通电阻的绝对值根据晶体管 M41 的栅源电压降而设定一个较小值来实现。即它能够抑制本实施例输出低电平



VOL 的变化。

参见图 5, 本发明的第三实施例的一个输出电路包括第一和第二实施例的组成元件。具体地说, 本实施例的输出电路包括一个第一电压控制部分 13, 它设有输出部分 11, 该输出部分包括串联的 pMOS 第一晶体管 M11 和第二晶体管 M12, 电压控制部分 13, 它具有一个连接在电源线 VDD 和输出部分 11 之间的 nMOS 晶体管 M31, 以及一个电压控制部分 14, 它具有一个连接在电源线 VSS 和输出部分 11 之间 nMOS 晶体管 M41。

在工作时, 本实施例的输出电路能够抑制输出信号的高电平电压 VOH 和低电平电压 VOL 的变化。具体地说, 当接近于电源电压 VSS 的电位的信号电位以低电平供给输入端 IN1 时, 与第一实施例的情况相似, 输出信号的高电平 VOH 的变化就能被抑制。此外, 当接近于电源电压 VDD 的电位的信号电位以高电平供给输入端 IN, 与第二实施例的情况相似, 输出信号的低电平 VOL 的变化就能被抑制。

本实施例的输出信号的变化量与第一常用输出电路的输出信号的变化量相比。受三种因素的影响的本实施例的高电平 VOH 的变化量与第一实施例的情况相似, 低电平 VOL 的变化量与第二实施例的情况相似。考虑变化因素, 信号幅度 VOHC - VOLC 计算如下:

$$VOHC - VOLC = 0.500V \text{ 至 } 0.765V \quad \dots\dots\dots (15)$$

因此, 在不考虑三种因素的影响时, 本实施例的信号幅度 VOH - VOL 的变化量从正常的电压 1.2V 在 -16.7% 至 +26.0% 之间变化, 该事实表明与常用的变化范围 -29.0% 至 +69.0% 相比有重大的改进。

在上述实施例中, 电压控制部是通过连接 NMOS/PMOS 晶体管的栅极和漏极而形成一个二极管来实现的。它也能通过通过连接 NPN/PNP 双极性晶体管的基极和集电极而形成一个二极管来实现电压控制部分。

此外, 电压控制部分可以用一个电源电路来代替, 这种电源电路一般用于集成电路的内部或集成电路的外部以提供更精确和稳定的电位。

在上述的一些实施例中, 形成一个二极管结构或二极管连接的 nMOS/pMOS 晶体管的栅源电压用于电压控制部分中。形成一个二极管连接的 nMOS/pMOS 晶体管的基极 - 发射极电压也可以被代替使用。然而, 栅源电压或基极 - 发射

极的电压都会随温度的变化而改变。一般来说，较高的温度会产生较低的栅源电压或较低的基极-集电极电压。也就是说，输出信号的低电平 VOH 和高电平 VOL 会根据表达式(9)和(12)发生变化。下文描述的本发明的第四实施例能够用于抑制温度波动而引起的电压变化。

5 参见图 6，本实施例的输出电路与第一实施例相似，除了本实施例中设置的电压控制部分 15 代替第一实施例中的电压控制部分 13 之外。

电压控制部分 15 包括：一个 PNP 晶体管 M51，它设有与输出部分 11 的晶体管 M11 的源极连接在一起的集电极和基极；一个 PMOS 第三晶体管 M52，它设有一个与晶体管 M51 的发射极连接的漏极和一个与电源线 VDD 连接的源极；
10 一个 PNP 晶体管 M53，它设有一个与晶体管 M51 的集电极连接的发射极和连接在一起的集电极和基极；一个 PNP 晶体管 M54，它设有一个与晶体管 M53 的集电极连接的发射极和连接在一起的集电极和基极；一个电阻 R51，它设有与晶体管 M54 的集电极连接的第一端和与电源线 VSS 连接的第二端。

在工作时，输出电路 15 的功能是用于抑制输出信号的高电平 VOH 的变化，
15 它与第一实施例的情况相似。具体地说，输出电路 11 的晶体管 M11 的较小导通电阻 RONN 减小了由三种因素引起的导通电阻 RONN 的绝对变化量。

假定接近于电源电压 VSS 的电位的信号电位以低电平供给输入端 IN1，那么输出电路 11 的晶体管 M11 和 M12 分别导通和截止，然而电压控制部分 15 的晶体管 M51 和 M52 在任何时候都是导通的。因此，电流路径从电源 VDD 经过
20 晶体管 M51 和 M52，晶体管 M11 和终端电阻 RTT1 到端电源线 VTT 而形成。在此情况下，输出端的高电平的电压 VOH 表达为：

$$VOH = VTT + \{(VDD - VBP51 - VTT) \times RTT\} / (RTT + RONP11 + RONP52) = VTT + VRTTP$$

..... (16)

25 因此，终端电阻 RTT 的电压降 VRTTP 表达为：

$$VRTTP = \{(VDD - VBP51 - VTT) \times RTT\} / (RTT + RONP11 + RONP52)$$

..... (17)

其中，VBP51 表示 PNP 晶体管 M51 的基极-发射极的电压，RONP11 和 RONP52 分别表示 PMOS 晶体管 M11 和 M52 的栅源电压。

由于晶体管 M51 的导通电阻与其他电阻相比显得相当小，被忽略不计。

它通过相对于温度“T”对表达式(16)求微分，能够消除表达式(16)中的输出信号的高电平 VOH 的温漂，下面解方程 $dVOH/dT = 0$ 。

具体地说，表达式(16)的温漂计算如下：

$$5 \quad dVOH/dT = (dVBP51/dT) \times (RONP522 \times \alpha \times VRTTP - RTT) / (RTT + RONP11 + RONP52) \dots\dots\dots (18)$$

其中 $dVBP51/dT$ 表示晶体管 M51 的基极-发射极的电压 VBP51 的温漂，“ α ”表示每个具有二极管连接和连接在 PMOS 晶体管 M52 漏极和电阻 R51 之间的晶体的数量，即为“3”，在此情况下，它是通过计算晶体管 M51，M53 和 M54 的数量而获得的。

通过使表达式(18)等于“0”，就能解方程式：

$$RONP522 \times \alpha \times VRTTP - RTT = 0 \dots\dots\dots (19)$$

如果表达式(19)的每个变量设定为： $\alpha = 3$ ， $VRTTP = 0.3V$ 和 $RTT = 50\Omega$ ，就得出 RONP52 的值如下：

$$15 \quad RONP52 = 7.5\Omega \dots\dots\dots (20)$$

顾名思义，如果 PMOS 晶体管 M52 的导通电阻假定或大致等于表达式(20)所确定的值，那么输出信号高电平 VOH 的温漂就能被消除或抑制。晶体管 M52 的导通电阻通过调整晶体管的型式就能选择所期望的值。

20 虽然表达式(19)中的“ α ”设定为“3”，与本实施例的三个晶体管 M51，M53 和 M54 相对应，对于 α 的值来说，它通过根据电源电压 VDD 选择晶体的数量来任意选择。例如，如果电源电压为 3V，那么“ α ”可以设定在 1 和 4 之间。

25 参见图 7，本发明的第五实施例的输出电路与第四实施例相似，除了连接在电源线 VSS 和晶体管 M12 源极之间的、用于控制晶体管 M12 的源极电压的电压控制部分 16 具有温度补偿功能之外。

电压控制部分 16 包括一个 NPN 晶体管 M61，它具有与输出部分 11 中的晶体管 M12 的源极连接在一起的集电极和基极；一个 NMOS 晶体管 M62，它具有与晶体管 M61 的发射极连接的漏极和与电源线 VSS 连接的源极；一个 NPN 晶体

管 M63, 具有与晶体管 M61 的集电极连接的发射极和连接在一起的集电极和基极; 一个 NPN 晶体管 M64, 它具有与晶体管 M63 集电极连接的发射极和连接在一起的集电极和基极; 一个电阻 R61, 它具有与晶体管 M64 集电极连接的第一端和与电源线 VDD 连接的第二端。

- 5 在工作时, 该输出电路具有抑制输出信号低电平 VOL 变化的功能。具体地说, 输出电路 11 的晶体管 M12 的较小导通电阻 RONN 降低了受三种因素影响而引起的导通电阻 RONN 的绝对变化量, 从而抑制了输出信号的低电平 VOL 的变化。

10 假定接近于电源电压 VDD 的电位的信号电位以高电平供给输入端 IN1 时, 那么输出电路 11 的晶体管 M12 和 M11 分别导通和截止, 然而电压控制部分 16 的晶体管 M61 和晶体管 M62 在任何时候都是导通的。因此, 电流路径从端电源 VTT 经过端电阻 RTT1, 晶体管 M12 和晶体管 M61 以及晶体管 M62 到端电源线 VSS 而形成。在此情况下, 输出端的低电平 VOL 表达为:

$$15 \quad \text{VOL} = \text{VTT} - \{(\text{VTT} - \text{VBN61} - \text{VSS}) \times \text{RTT}\} / (\text{RTT} + \text{RONN12} + \text{RONN62}) = \text{VTT} + \text{VRTTN} \dots\dots\dots (21)$$

终端电阻 RTT 两端的电压降 VRTTN 表达为:

$$\text{VRTTN} = \{(\text{VTT} - \text{VBP61} - \text{VSS}) \times \text{RTT}\} / (\text{RTT} + \text{RONN12} + \text{RONN62}) \dots\dots\dots (22)$$

- 20 其中 VBP61 表示 NPN 晶体管 M61 的基极-发射极的电压, RONN12 和 RONN62 分别表示 NMOS 晶体管 M12 和 M62 的栅源电压。由于晶体管 M61 的导通电阻较小而被忽略不计。

对于第四实施例的这种情况, 相对于温度“T”对表达式(21)求微分如下:

$$25 \quad \text{dVOL/dT} = (\text{dVBN61/dT}) \times (\text{RONN62} \times \alpha \times \text{VRTTN} - \text{RTT}) / (\text{RTT} + \text{RONN12} + \text{RONN62}) \dots\dots\dots (23)$$

其中 dVBP61/dT 表示晶体管 M51 的基极-发射极的电压 VBN61 的温漂, “α”表示每个具有二极管连接和连接在 NMOS 晶体管 M62 漏极和电阻 R61 之间的晶体的数量, 即为“3”, 在此情况下, 它是通过计算晶体管 M61, M63 和 M64 的数量而获得的。

使 $dVOL/dT = 0$ 以消除输出低电平 VOL 的温漂;

$$RONP622 \times \alpha \times VR_{TTN} - RTT = 0 \quad \dots\dots\dots (24)$$

如果表达式(24)的每个变量设定为: $\alpha = 3$, $VR_{TTN} = 0.3V$ 和 $RTT = 50\Omega$, 就得出 $RONN62$ 的值如下:

$$5 \quad \quad \quad RONN62 = 7.5\Omega \quad \dots\dots\dots (25)$$

顾名思义, 如果 NMOS 晶体管 M62 的导通电阻假定或大致等于表达式(25)所确定的值, 那么输出信号低电平 VOL 的温漂就能被消除或抑制。

晶体管 M62 的导通电阻通过调整晶体管的型式就能选择所期望的值, 与第四实施例的情况相似。

10 应该明白: 第四和第五实施例结合在一起就能得到一个具有补偿温度变化和抑制输出信号的高电平 VOH 及低电平 VOL 变化功能的输出电路, 这种情况与第三实施例相似。

15 参见图 8, 本发明的第六实施例的一个输出电路是作为差动传输系统而实施的。本实施例的输出电路包括与第二常用输出电路相似的第一和第二输出部分 11 和 12, 与第五实施例相似的电压控制部分 16A。

20 电压控制部分 16A 包括一个 NPN 晶体管 M61, 它具有与一个一起连接到节点的集电极和基极, 该节点与输出部 11 和 12 中的晶体管 M12 和 M22 的源极一起连接; 一个 NMOS 第五晶体管 M62, 它具有与晶体管 M61 的发射极连接的漏极和与电源线 VSS 连接的源极; 一个 NPN 晶体管 63, 它具有与晶体管 M61 的集电极连接的发射极和连接在一起的集电极和基极; 一个 NPN 晶体管 M64, 它具有与晶体管 M63 集电极连接的发射极和连接在一起的集电极和基极; 一个电阻 R61, 它具有与晶体管 M64 集电极连接的第一端和与电源线 VDD 连接的第二端。

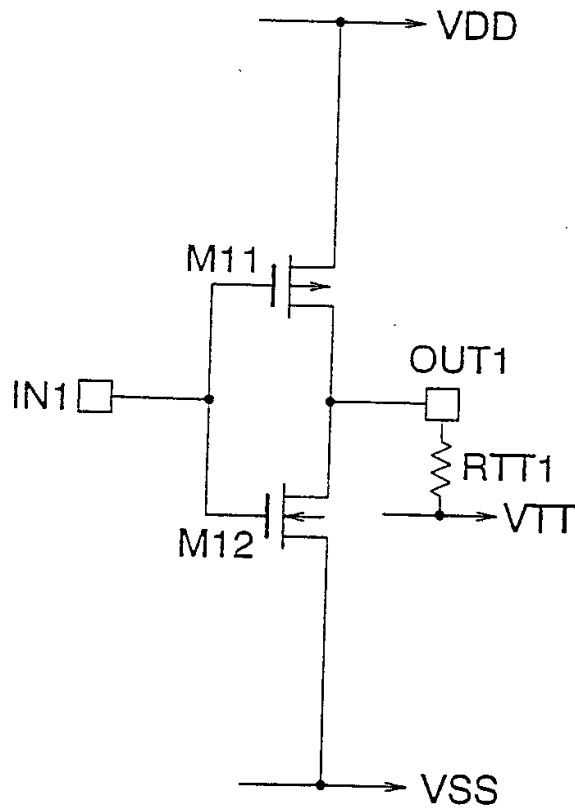
25 由于本实施例涉及的是差动传输系统, 就存在两个输入端 IN1 和 IN2 及两个输出端 OUT1 和 OUT2。然而, 应该明白: 输出部分 11 和电压控制部分 16A 与单相传输系统的第五实施例的情况相似, 同样适用于输出部分 12。输出部分 12 包括 pMOS 第三晶体管 M21 和 nMOS 第四晶体管 M22。

本实施例的输出部分 11 和 12 及电压控制部分 16A 的工作与第五实施例中的那些部分相似。因此, 这里为了避免重复, 就不描述其工作。

在本实施例中，单个电压控制部分 16A 是为一对输出部 11 和 12 而设置的。当然也可以设置一对电压控制部分 16A，但与单个电压控制部分相比，设置一对电压控制部的工作性能和优点没有多大的改进。

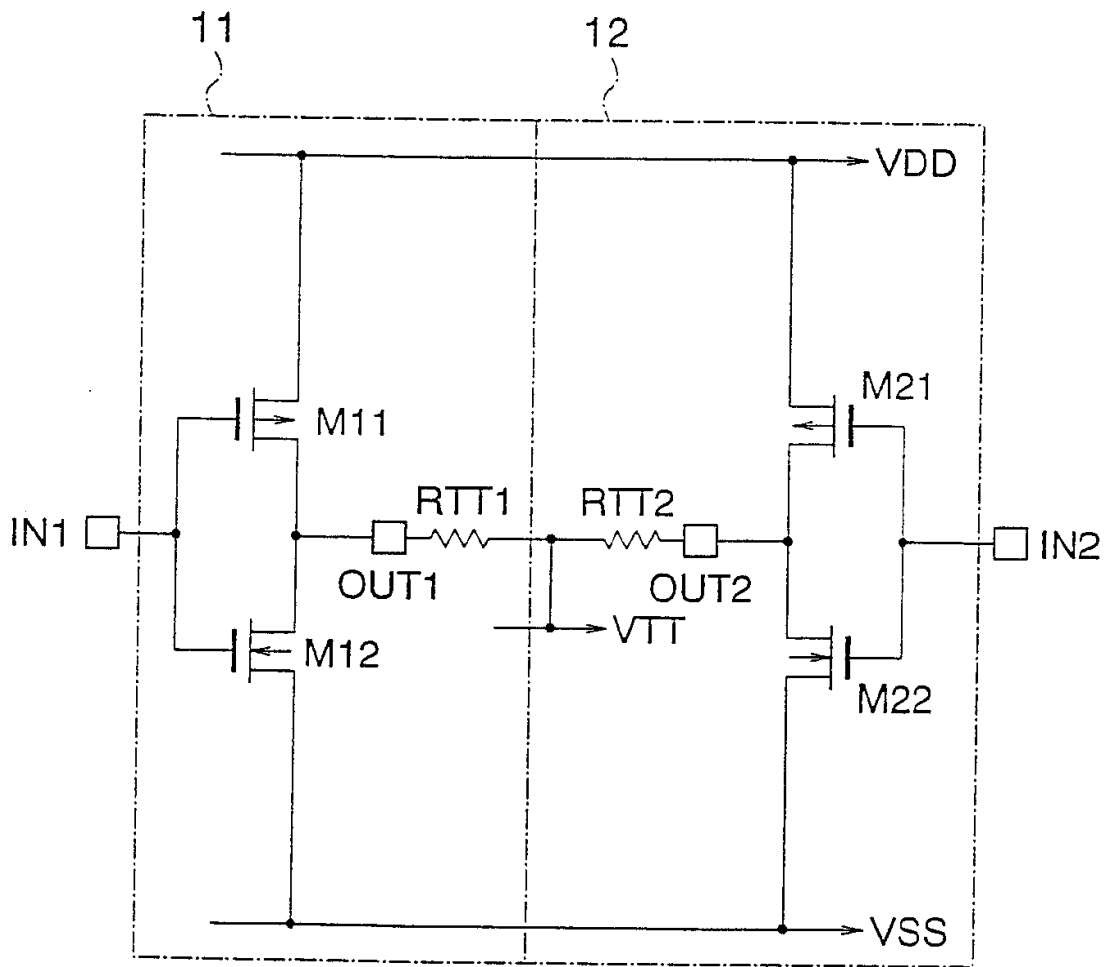
5 在上述的这些实施例中，第一至第五实施例涉及的是单相传输系统，而第六实施例涉及的是差动传输系统。然而，第一至第四实施例也适用于差动传输系统。

由于上面描述的实施例仅仅是用于举例，本发明并不局限于上述实施例，本领域的熟练人员可对其很容易地作各种修改或变换而没有脱离本发明的保护范围。



已有技术

图 1



已有技术

图 2

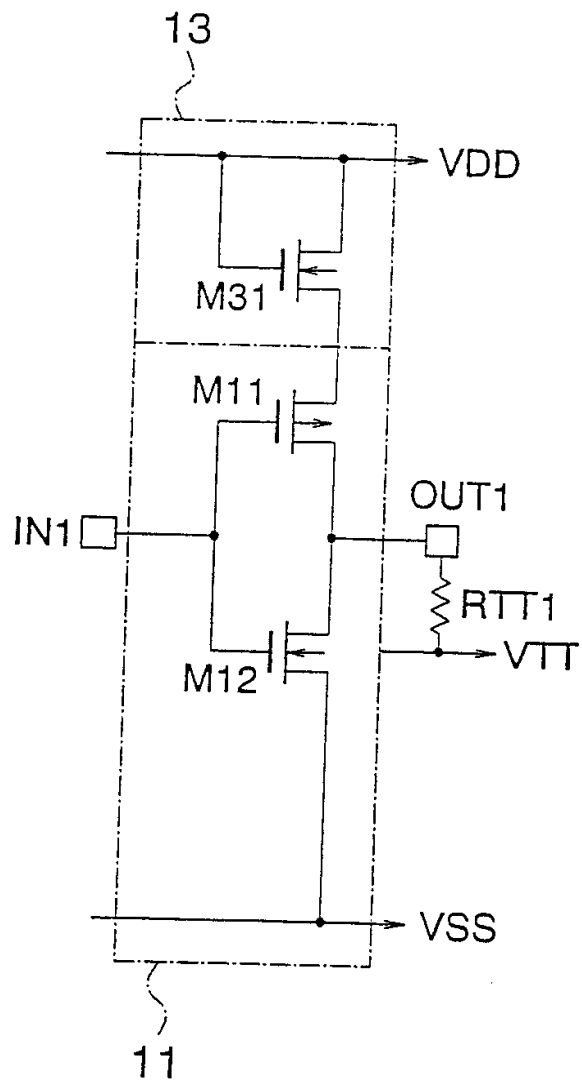


图 3

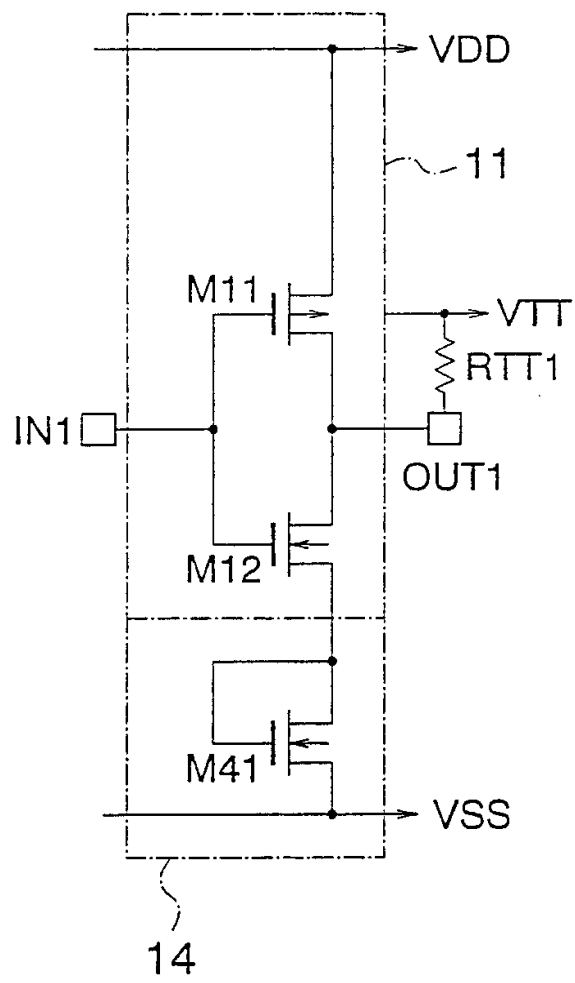


图 4

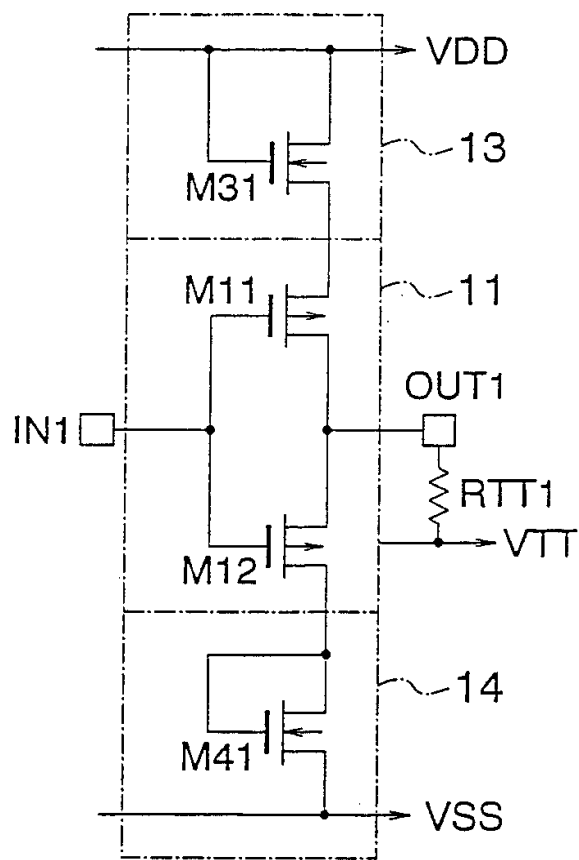
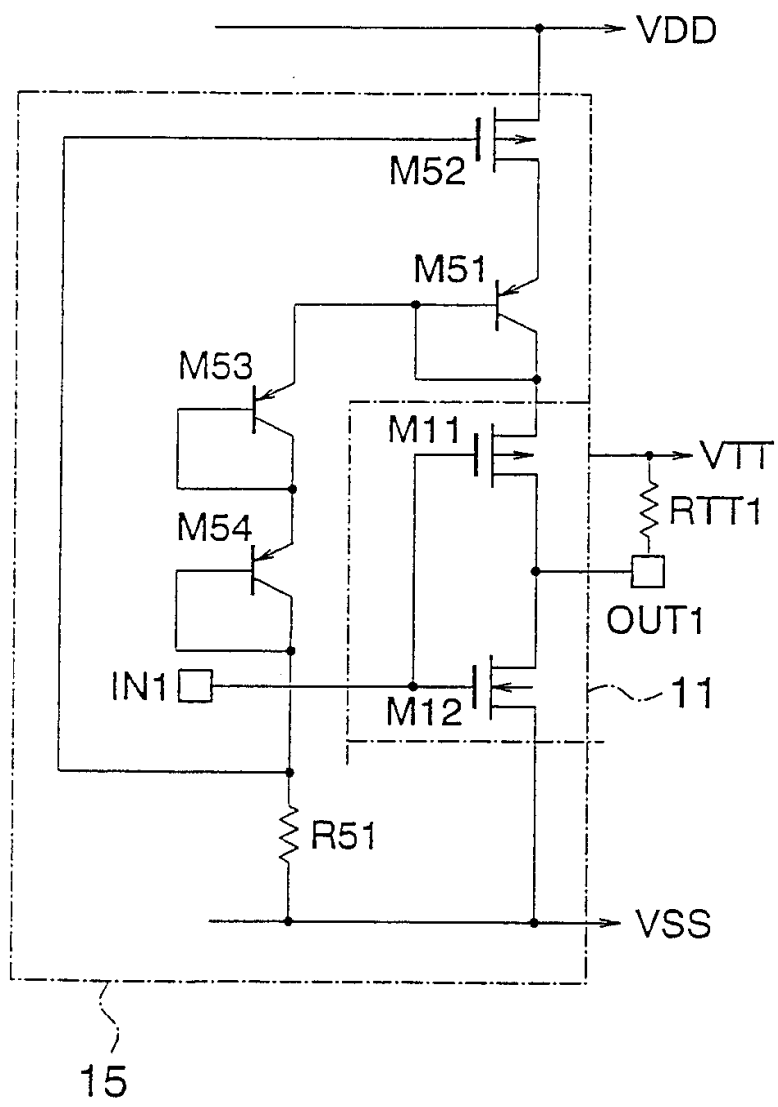


图 5



6

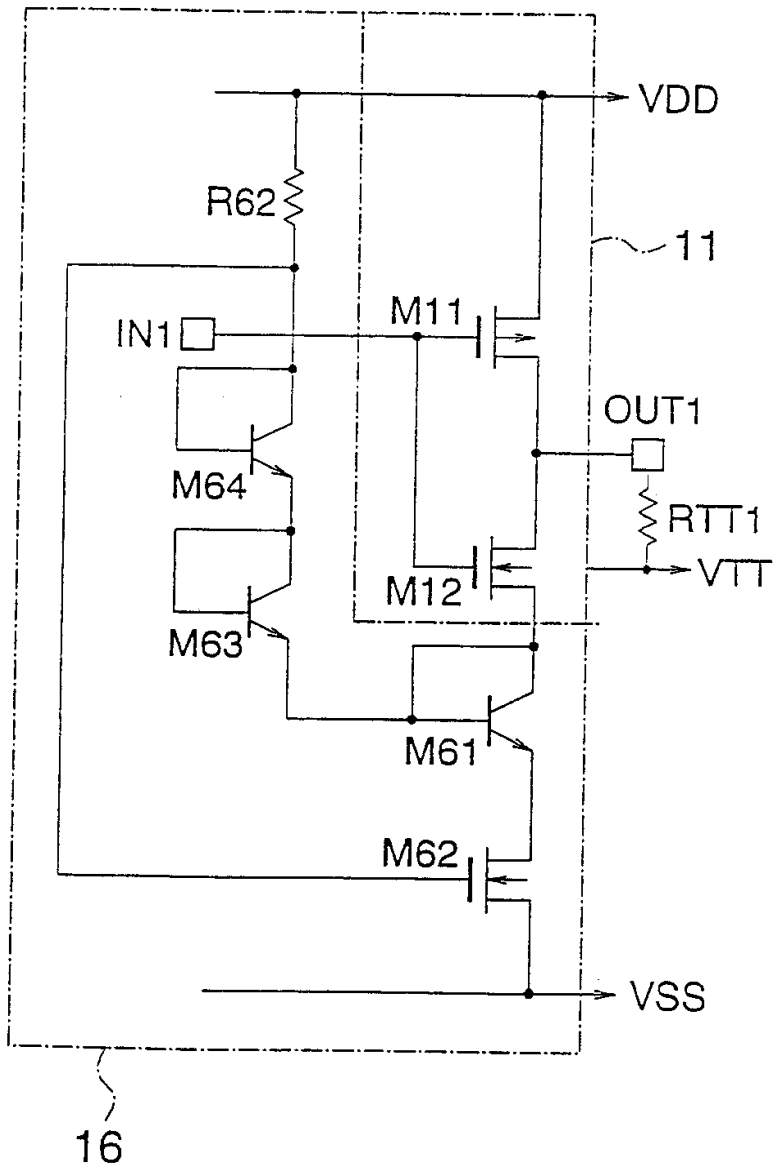


图 7

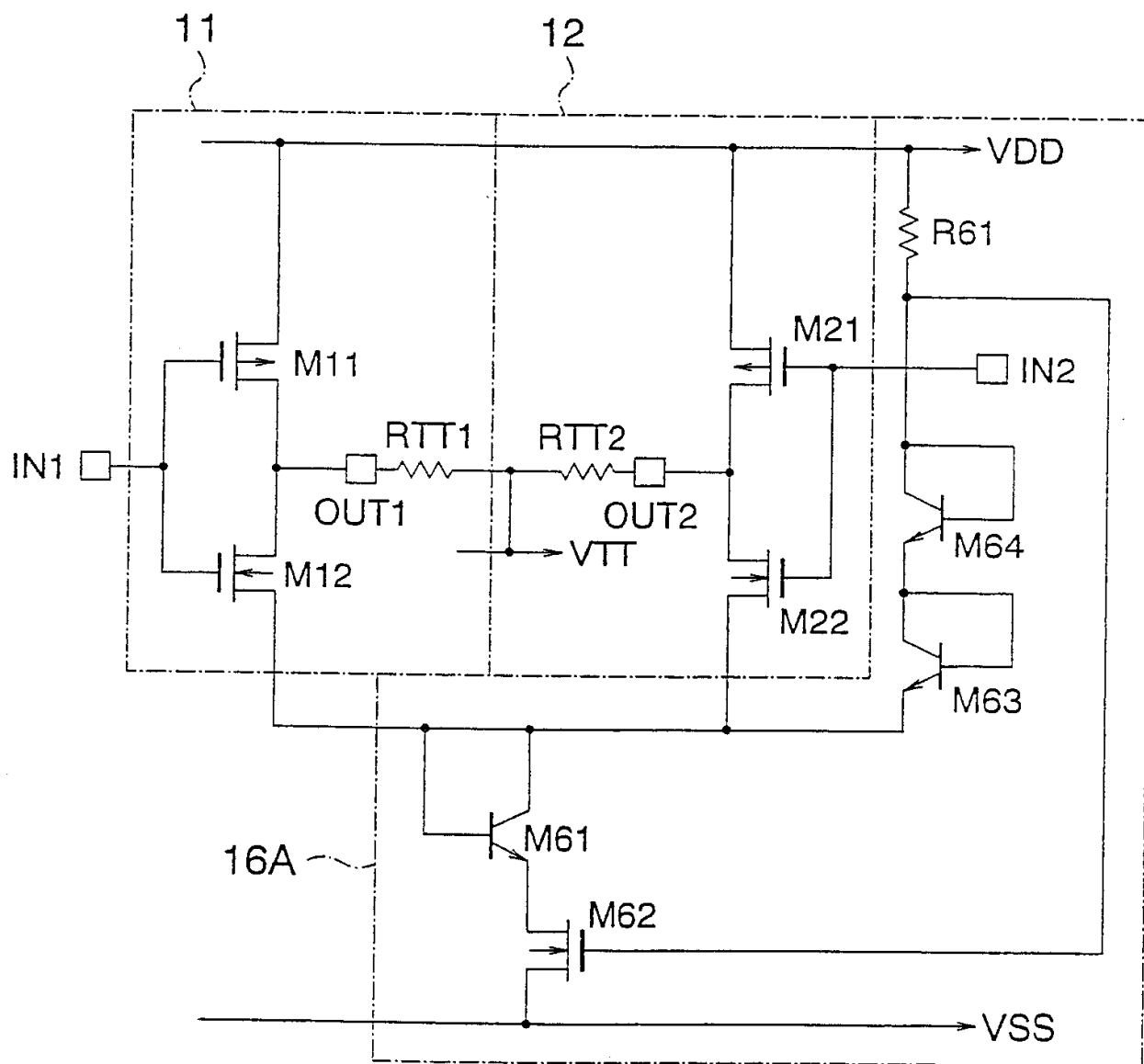


图 8