

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成29年1月26日(2017.1.26)

【公表番号】特表2015-537395(P2015-537395A)

【公表日】平成27年12月24日(2015.12.24)

【年通号数】公開・登録公報2015-081

【出願番号】特願2015-547497(P2015-547497)

【国際特許分類】

H 01 L	27/115	(2017.01)
H 01 L	21/336	(2006.01)
H 01 L	29/788	(2006.01)
H 01 L	29/792	(2006.01)
H 01 L	27/10	(2006.01)

【F I】

H 01 L	27/10	4 3 4
H 01 L	29/78	3 7 1
H 01 L	27/10	4 6 1
H 01 L	27/10	4 8 1

【手続補正書】

【提出日】平成28年12月9日(2016.12.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体装置であって、

前記半導体装置の第1の領域に配設され、電荷トラップ誘電体に重なるように配設された第1のゲート導体層を含むメモリゲートと、

前記第1の領域に、前記メモリゲートの側壁に隣接して配設された第1の選択ゲートと、

前記第1の領域に、前記第1の選択ゲートに隣接して配設された第2の選択ゲートであって、前記第1の選択ゲートが前記メモリゲートと該第2の選択ゲートの間に配設される、該第2の選択ゲートと、

前記メモリゲートの前記側壁と前記第1の選択ゲートとの間に配設された側壁誘電体と、

前記第1の選択ゲート及び前記第2の選択ゲートの下に配設された誘電体層であって、該誘電体層は、前記側壁誘電体によって、前記電荷トラップ誘電体及び前記メモリゲートから分離されるように配設される、該誘電体層と、

を備える半導体装置。

【請求項2】

前記第1の選択ゲートが第2のゲート導体層を備える、
請求項1の装置。

【請求項3】

前記半導体装置の第3の領域に配設された第2の論理ゲートをさらに備える、
請求項1の装置。

【請求項4】

前記第2の論理ゲートが前記第1のゲート導体層を備える、
請求項3の装置。

【請求項5】

前記電荷トラップ誘電体が1つ以上の他の電荷トラップ誘電体から電気的に絶縁されている、
請求項1の装置。

【請求項6】

前記電荷トラップ誘電体が窒化物層と誘電体層とを備える、
請求項1の装置。

【請求項7】

前記窒化物層がシリコンリッチ窒化物を備える、
請求項6の装置。

【請求項8】

前記第1の領域に配設されたメモリ誘電体と、
前記第2の領域に配設されたゲート誘電体と、
前記第3の領域に配設された第2のゲート誘電体と、
をさらに備え、

前記メモリゲート誘電体と、前記ゲート誘電体と、前記第2のゲート誘電体とのうち2つが異なる厚さを有する、
請求項1の装置。

【請求項9】

前記誘電体が前記電荷トラップ誘電体と不連続の窒化物層を備える、
請求項1の装置。

【請求項10】

前記窒化物層が前記電荷トラップ誘電体とは別個の層を備える、
請求項9の装置。

【請求項11】

前記第1の選択ゲート及び前記第2の選択ゲートが第2の導体層を備える、
請求項1の装置。

【請求項12】

前記第2の選択ゲートに隣接して配設された第2のメモリゲートをさらに備える、
請求項1の装置。

【請求項13】

前記第2の選択ゲートが前記第2のメモリゲートの側壁上に配設される、
請求項12の装置。

【請求項14】

前記第2のメモリゲートが前記第1のゲート導体層を備える、
請求項12の装置。

【請求項15】

第1のメモリゲート、及び、該第1のメモリゲートの側壁上に配設された第1の選択ゲートを有しており、前記第1のメモリゲートが第1の電荷トラップ誘電体に重なるように配設され、側壁誘電体が前記第1のメモリゲートと前記第1の選択ゲートとの間に配設された、第1のメモリセルと、

第2のメモリゲート及び第2の選択ゲートを有しており、前記第2の選択ゲートが前記第2のメモリゲートの側壁上に、かつ、前記第1の選択ゲートに隣接して配設され、前記第2のメモリゲートが第2の電荷トラップ誘電体に重なるように配設され、前記第1の選択ゲート及び前記第2の選択ゲートが前記第1のメモリゲートと前記第2のメモリゲートとの間に配設された、第2のメモリセルと、

前記第1のメモリゲートと前記第2のメモリゲートとの間に、かつ、前記第1の選択ゲート及び前記第2の選択ゲートの下に配設された誘電体層であって、該誘電体層が前記第

1の選択ゲート及び前記第2の選択ゲートによって共有されており、かつ、前記側壁誘電体によって該誘電体層が層内における電荷トラップ、及び、前記第1のメモリゲートから分離されている、該誘電体層と、
を備える半導体装置。

【請求項16】

前記第1のメモリゲート及び前記第2のメモリゲートが第1のゲート導体層を備える、
請求項15の半導体装置。

【請求項17】

前記第1の選択ゲート及び前記第2の選択ゲートが第2のゲート導体層を備える、
請求項15の半導体装置。

【請求項18】

前記第1のメモリセル及び前記第2のメモリセルがメモリ領域に配設される、
請求項15の半導体装置。

【請求項19】

論理ゲートを含む論理領域をさらに備える、
請求項18の半導体装置。

【請求項20】

前記論理領域が論理誘電体を備える、
請求項19の半導体装置。

【請求項21】

前記論理誘電体が前記誘電体層と異なる厚さを有する、
請求項20の半導体装置。

【請求項22】

前記第1のメモリゲートと前記第1の選択ゲートとの間に配設された第1の側壁誘電体と、
前記第2のメモリゲートと前記第2の選択ゲートとの間に配設された第2の側壁誘電体と、
をさらに備える、
請求項15の半導体装置。

【請求項23】

前記第1の電荷トラップ誘電体及び前記第2の電荷トラップ誘電体が前記誘電体層と重なっていない、
請求項15の半導体装置。

【請求項24】

前記誘電体層が前記電荷トラップ誘電体と重ならないように配設される、
請求項1の半導体装置。