

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 29 年 1 月 26 日 (2017.1.26)

【公表番号】特表 2015-537395 (P2015-537395A)

【公表日】平成 27 年 12 月 24 日 (2015.12.24)

【年通号数】公開・登録公報 2015-081

【出願番号】特願 2015-547497 (P2015-547497)

【国際特許分類】

H 0 1 L 27/115 (2017.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 27/10 (2006.01)

【 F I 】

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 6 1

H 0 1 L 27/10 4 8 1

【手続補正書】

【提出日】平成 28 年 12 月 9 日 (2016.12.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体装置であって、

前記半導体装置の第 1 の領域に配設され、電荷トラップ誘電体に重なるように配設された第 1 のゲート導体層を含むメモリゲートと、

前記第 1 の領域に、前記メモリゲートの側壁に隣接して配設された第 1 の選択ゲートと

、

前記第 1 の領域に、前記第 1 の選択ゲートに隣接して配設された第 2 の選択ゲートであって、前記第 1 の選択ゲートが前記メモリゲートと該第 2 の選択ゲートの間に配設される、該第 2 の選択ゲートと、

前記メモリゲートの前記側壁と前記第 1 の選択ゲートとの間に配設された側壁誘電体と

、

前記第 1 の選択ゲート及び前記第 2 の選択ゲートの下に配設された誘電体層であって、該誘電体層は、前記側壁誘電体によって、前記電荷トラップ誘電体及び前記メモリゲートから分離されるように配設される、該誘電体層と、
を備える半導体装置。

【請求項 2】

前記第 1 の選択ゲートが第 2 のゲート導体層を備える、
請求項 1 の装置。

【請求項 3】

前記半導体装置の第 3 の領域に配設された第 2 の論理ゲートをさらに備える、
請求項 1 の装置。

【請求項 4】

前記第 2 の論理ゲートが前記第 1 のゲート導体層を備える、
請求項 3 の装置。

【請求項 5】

前記電荷トラップ誘電体が 1 つ以上の他の電荷トラップ誘電体から電氣的に絶縁されている、
請求項 1 の装置。

【請求項 6】

前記電荷トラップ誘電体が窒化物層と誘電体層とを備える、
請求項 1 の装置。

【請求項 7】

前記窒化物層がシリコンリッチ窒化物を備える、
請求項 6 の装置。

【請求項 8】

前記第 1 の領域に配設されたメモリ誘電体と、
前記第 2 の領域に配設されたゲート誘電体と、
前記第 3 の領域に配設された第 2 のゲート誘電体と、
をさらに備え、
前記メモリゲート誘電体と、前記ゲート誘電体と、前記第 2 のゲート誘電体とのうち 2
つが異なる厚さを有する、
請求項 1 の装置。

【請求項 9】

前記誘電体が前記電荷トラップ誘電体と不連続の窒化物層を備える、
請求項 1 の装置。

【請求項 10】

前記窒化物層が前記電荷トラップ誘電体とは別個の層を備える、
請求項 9 の装置。

【請求項 11】

前記第 1 の選択ゲート及び前記第 2 の選択ゲートが第 2 の導体層を備える、
請求項 1 の装置。

【請求項 12】

前記第 2 の選択ゲートに隣接して配設された第 2 のメモリゲートをさらに備える、
請求項 1 の装置。

【請求項 13】

前記第 2 の選択ゲートが前記第 2 のメモリゲートの側壁上に配設される、
請求項 12 の装置。

【請求項 14】

前記第 2 のメモリゲートが前記第 1 のゲート導体層を備える、
請求項 12 の装置。

【請求項 15】

第 1 のメモリゲート、及び、該第 1 のメモリゲートの側壁上に配設された第 1 の選択ゲート
を有しており、前記第 1 のメモリゲートが第 1 の電荷トラップ誘電体に重なるように
配設され、側壁誘電体が前記第 1 のメモリゲートと前記第 1 の選択ゲートとの間に配設さ
れた、第 1 のメモリセルと、

第 2 のメモリゲート及び第 2 の選択ゲートを有しており、前記第 2 の選択ゲートが前記
第 2 のメモリゲートの側壁上に、かつ、前記第 1 の選択ゲートに隣接して配設され、前記
第 2 のメモリゲートが第 2 の電荷トラップ誘電体に重なるように配設され、前記第 1 の選
択ゲート及び前記第 2 の選択ゲートが前記第 1 のメモリゲートと前記第 2 のメモリゲート
との間に配設された、第 2 のメモリセルと、

前記第 1 のメモリゲートと前記第 2 のメモリゲートとの間に、かつ、前記第 1 の選択ゲ
ート及び前記第 2 の選択ゲートの下に配設された誘電体層であって、該誘電体層が前記第

１の選択ゲート及び前記第２の選択ゲートによって共有されており、かつ、前記側壁誘電体によって該誘電体層が層内における電荷トラップ、及び、前記第１のメモリゲートから分離されている、該誘電体層と、
を備える半導体装置。

【請求項１６】

前記第１のメモリゲート及び前記第２のメモリゲートが第１のゲート導体層を備える、請求項１５の半導体装置。

【請求項１７】

前記第１の選択ゲート及び前記第２の選択ゲートが第２のゲート導体層を備える、請求項１５の半導体装置。

【請求項１８】

前記第１のメモリセル及び前記第２のメモリセルがメモリ領域に配設される、請求項１５の半導体装置。

【請求項１９】

論理ゲートを含む論理領域をさらに備える、請求項１８の半導体装置。

【請求項２０】

前記論理領域が論理誘電体を備える、請求項１９の半導体装置。

【請求項２１】

前記論理誘電体が前記誘電体層と異なる厚さを有する、請求項２０の半導体装置。

【請求項２２】

前記第１のメモリゲートと前記第１の選択ゲートとの間に配設された第１の側壁誘電体と、前記第２のメモリゲートと前記第２の選択ゲートとの間に配設された第２の側壁誘電体と、をさらに備える、請求項１５の半導体装置。

【請求項２３】

前記第１の電荷トラップ誘電体及び前記第２の電荷トラップ誘電体が前記誘電体層と重なっていない、請求項１５の半導体装置。

【請求項２４】

前記誘電体層が前記電荷トラップ誘電体と重ならないように配設される、請求項１の半導体装置。