



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년08월20일
(11) 등록번호 10-1298425
(24) 등록일자 2013년08월13일

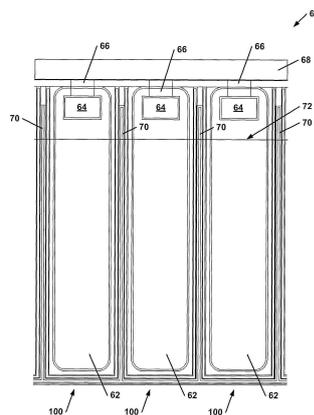
- (51) 국제특허분류(Int. Cl.)
H01L 29/94 (2006.01)
- (21) 출원번호 10-2008-7030225
(22) 출원일자(국제) 2007년06월12일
심사청구일자 2012년06월12일
- (85) 번역문제출일자 2008년12월11일
(65) 공개번호 10-2009-0028519
(43) 공개일자 2009년03월18일
(86) 국제출원번호 PCT/US2007/070930
(87) 국제공개번호 WO 2007/146899
국제공개일자 2007년12월21일
- (30) 우선권주장
11/760,775 2007년06월10일 미국(US)
60/804,526 2006년06월12일 미국(US)
- (56) 선행기술조사문헌
US20030020107 A1
US6218239 B1
- 전체 청구항 수 : 총 5 항
- (73) 특허권자
프리스케일 세미컨덕터, 인크.
미합중국 텍사스 (우편번호 78735) 오스틴 윌리엄 캐논 드라이브 웨스트 6501
- (72) 발명자
렌, 시아오웨이
미국 85044 아리조나주 피닉스 이스트 데저트 플라워 레인 3213
라미, 다니엘, 제이.
미국 85044 아리조나주 피닉스 사우쓰 41번 웨이 14433
- (74) 대리인
백만기, 양영준
- 심사관 : 김창주

(54) 발명의 명칭 고성능 셉트 커패시터를 구비하는 RF 전력 트랜지스터 디바이스 및 그 방법

(57) 요약

집적된 셉트 커패시터는 기저부 플레이트(62), 기저부 플레이트의 일부 위에 놓여지는 커패시터 유전체(92), 커패시터 유전체 위에 놓여지는 상부 플레이트(64), 상부 플레이트의 일부 위에 놓여지는 실드(74), 및 상부 플레이트의 적어도 2개의 측면 주위에 배치되고 이들로부터 분리되며, 기저부 플레이트를 실드에 결합시키기 위한 금속화 특징을 포함한다. 하나의 실시예에서, RF 전력 트랜지스터는 여기에 기재된 집적된 셉트 커패시터를 포함하는 임피던스 매칭 네트워크를 가지고 있다.

대표도 - 도4



특허청구의 범위

청구항 1

집적된 셉트 커패시터로서,
 도전성 기저부 플레이트(conductive bottom plate);
 상기 기저부 플레이트의 일부 위에 놓여지는(overlying) 커패시터 유전체;
 상기 커패시터 유전체 위에 놓여지는 도전성 상부 플레이트(conductive top plate);
 상기 상부 플레이트의 일부 위에 놓여지는 실드 - 상기 실드는 상기 상부 플레이트와는 분리됨 - ; 및
 (i) 상기 상부 플레이트의 적어도 2개의 측면들을 따라 배치되고 (ii) 상기 상부 플레이트의 상기 적어도 2개의 측면들로부터 분리되는 금속화부 피처(metallization feature)
 를 포함하고,
 상기 금속화부 피처는, 상기 기저부 플레이트와 상기 위에 놓여지는 실드를 전기적으로 결합시키며,
 또한, (iii)(a) 상기 상부 플레이트의 측면들을 따라 연장되고, 상기 상부 플레이트의 측면들과는 분리되는 상
 기 금속화부 피처, (iii)(b) 상기 기저부 플레이트, 및 (iii)(c) 상기 위에 놓여지는 실드는 함께, 상기 집적된
 셉트 커패시터의 대응하는 부분을, 상기 집적된 셉트 커패시터 외부의 기생 간섭(parasitic interference)으로
 부터 분리시키기 위한 그라운드된 챔버(grounded chamber)를 형성하는, 집적된 셉트 커패시터.

청구항 2

제1항에 있어서,
 상기 상부 플레이트에 인접하여 배치되는 본드 패드를 더 포함하고,
 상부 금속 금속화부는, 상기 상부 플레이트의 일부 위에 놓여지는 상기 실드에 의해 커버되지 않은 상기 상부
 플레이트의 영역 내에서, 상기 본드 패드를 상기 상부 플레이트에 결합시키는, 집적된 셉트 커패시터.

청구항 3

제1항에 있어서,
 상기 금속화부 피처는, 위에서 아래로 볼 때(top down perspective) U-형태의 피처를 포함하는, 집적된 셉트 커패시터.

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

집적된 셉트 커패시터로서,

도전성 기저부 플레이트;

상기 기저부 플레이트의 일부 위에 놓여지는 커패시터 유전체;

상기 커패시터 유전체 위에 놓여지는 도전성 상부 플레이트;

상기 상부 플레이트의 일부 위에 놓여지는 실드 - 상기 실드는 그라운드 실드를 포함하고, 상기 그라운드 실드는 그라운드 전위에 결합된 금속화부를 포함함 - ; 및

상기 상부 플레이트의 적어도 2개의 측면들 주위에 배치되고 상기 상부 플레이트의 상기 적어도 2개의 측면들로부터 분리되는 금속화부 피처 - 상기 금속화부 피처는 상기 기저부 플레이트를 상기 실드와 결합시킴 -

를 포함하고,

상기 셉트 커패시터는 단위 셀 구현물(unit cell implementation)을 포함하고,

상기 기저부 플레이트, 금속화부 피처, 및 그라운드 실드는 상기 단위 셀의 일부를 외부 간섭으로부터 분리시키기 위한 그라운드된 챔버를 제공하고,

상기 단위 셀의 3개의 측면들을 따라 연장되는 상기 그라운드된 금속화부 피처는 상기 단위 셀의 외부의 기생 간섭을 감소시키기 위한 그라운드된 벽(wall)을 형성하는, 집적된 셉트 커패시터.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

집적된 셉트 커패시터로서,

도전성 기저부 플레이트;

상기 기저부 플레이트의 일부 위에 놓여지는 커패시터 유전체;

상기 커패시터 유전체 위에 놓여지는 도전성 상부 플레이트;

상기 상부 플레이트의 일부 위에 놓여지는 실드; 및

상기 상부 플레이트의 적어도 2개의 측면들 주위에 배치되고 상기 상부 플레이트의 상기 적어도 2개의 측면들로부터 분리되는 금속화부 피처 - 상기 금속화부 피처는 상기 기저부 플레이트를 상기 실드와 결합시킴 -

를 포함하고,

상기 셉트 커패시터는 단위 셀 구현물을 포함하고, 상기 셉트 커패시터는,

본딩 패드; 및

상기 본딩 패드의 적어도 2개의 측면 에지들 주위에 배치된 셉트 커패시터 단위 셀들로 이루어진 구성물(arrangement)

을 더 포함하는, 집적된 셉트 커패시터.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

명세서

기술분야

[0001] 본 발명은 RF 디바이스에 관한 것으로, 특히 고성능 셉트 커패시터를 구비하는 RF 전력 트랜지스터 디바이스 및 그 방법에 관한 것이다.

배경기술

[0002] RF 트랜지스터 디자인은 전통적으로 집적된 셉트 커패시터 디자인을 포함했다. 그러나, 전통적인 집적 셉트 커패시터는 낮은 RF 성능을 가지고 있다. 환언하면, 그러한 전통적인 집적 셉트 커패시터 디자인은 RF 전력 트랜지스터의 전력, 이득 및 효율을 저하시킨다. 그러한 RF 전력 트랜지스터 성능의 저하는 고전력 RF 전력 트랜지스터 플라스틱 패키지 디자인에서 특히 현저하다.

[0003] 주지된 고전력 RF 디바이스에서, 와이어 및 온-칩 높은 Q 금속-절연체-금속(MIM) 셉트 커패시터는 고전력 RF 디바이스의 입력 및 출력 임피던스 매칭을 달성하는데 이용된다. 그러나, MIM 셉트 커패시터는 내화성 금속 기판을 가지는 분리된 칩 상에 제조된다. 따라서, MIM 셉트 커패시터는 LDMOS 실리콘 기판 프로세스와 양립불가능하고 이것과 집적될 수 없다.

[0004] 따라서, 상기 설명된 본 기술분야의 문제들을 극복하기 위한 개선된 방법 및 장치에 대한 필요성이 존재한다.

실시예

[0018] 도 1은 본 기술분야에 주지된 RF MOSFET 디자인(10)의 일부의 탑다운 레이아웃 뷰이다. 특히, RF MOSFET 디자인(10)은 집적된 임피던스 매칭 네트워크를 가지는 RF 전력 증폭기를 포함한다. 증폭기(10)는 입력 임피던스 매칭 네트워크(12), 액티브 디바이스(14), 및 출력 임피던스 매칭 네트워크(16)를 포함한다. 액티브 디바이스(14)는 예를 들면, RF 전력 트랜지스터를 포함한다. 입력 임피던스 매칭 네트워크(12)는 버스 바 본딩 패드(18, 20)를 포함한다. 출력 임피던스 매칭 네트워크는 버스 바 본딩 패드(22, 24)를 포함한다.

[0019] 입력 임피던스 매칭 네트워크는 본딩 패드 버스 바(18, 20)에 접속되고 이것의 사이에서 연장되는 입력 임피던스 매칭 네트워크 본드 와이어(도시되지 않음)의 차폐를 제공하기 위한 그라운드 실드(26)를 더 포함한다. 입력 임피던스 매칭 네트워크 그라운드 실드(26)는 일반적으로 그라운드에 접속된 금속을 포함하여, 입력 임피던스 매칭 네트워크의 대응하는 영역 상에 배치된 본드 와이어(도시되지 않음)의 전류로 인한 손실을 감소시킨다. 입력 임피던스 매칭 네트워크(12)는 본딩 패드 버스 바(18) 근처에 집적된 입력 커패시터(도시되지 않음)를 더 포함한다.

[0020] 뿐만 아니라, 출력 임피던스 매칭 네트워크(16)는 통상 본딩 패드 버스 바(22, 24)에 접속하고 그 사이에서 연

장하는 출력 임피던스 매칭 네트워크 본드 와이어(도시되지 않음)뿐만 아니라 본딩 패드 버스 바(22)를 IC 패키지 오프 칩에 접속하는 임의의 추가적인 본드 와이어(도시되지 않음)의 차폐를 제공하기 위한 그라운드 실드(28)를 포함한다. 출력 임피던스 매칭 네트워크는 또한 셉트 커패시터(30)를 포함하고, 여기에서 셉트 커패시터(30)는 온-칩 금속을 통해 본딩 패드 버스 바(24)에 접속된다. 예시된 바와 같이, 셉트 커패시터(30)는 출력 임피던스 매칭 네트워크(16)에 대한 그라운드 실드(28)에 인접한 본딩 패드 버스 바(24)에 근접한 어레이로서 배치된다.

[0021] 도 2는 도 1의 RF MOSFET 디자인(10)의 일부의 더 상세화된 탑다운 레이아웃 뷰이다. 예시된 RF MOSFET 디자인(10)의 일부는 본딩 패드 버스 바(24), 출력 임피던스 매칭 네트워크 그라운드 실드(28), 및 2개의 인접하는 셉트 커패시터(30)의 일부를 포함한다. 도 2는 대응하는 셉트 커패시터(30)를 인접하는 본딩 패드 버스 바(24)에 결합시키는 금속화부(metallization)(32)를 더 포함한다. 셉트 커패시터(30)는 큰 직사각형 형태를 특징으로 한다. 뿐만 아니라, 유의할 점은 출력 그라운드 실드(28)가 셉트 커패시터(30)의 근처에(즉, 대응하는 제조 허용한도 내에서) 배치되어 있지만 출력 그라운드 실드(28)는 셉트 커패시터(30)의 임의의 부분 위에 놓여지지(overlie) 않는다는 점이다.

[0022] 도 3은 도 1의 RF MOSFET 디자인에서 구현된 바와 같은 단일 셉트 커패시터(30)의 단면도(40)이다. 단면(40)은 고농도로 도핑된 실리콘 기판(42)을 포함한다. 예를 들면, 기판(42)은 P-형 실리콘 기판을 포함할 수 있다. 후방측 금속(43)은 기판의 그라운딩을 제공하기 위해 기판(42)의 후방측 상에 제공된다. 저농도로 도핑된 실리콘 에피택셜 층(44)은 고농도로 도핑된 실리콘 기판(42) 위에 놓여진다. 에피택셜 층(44)은 예를 들면, P-에피택셜 층을 포함한다. 에피택셜 층(44)은 셉트 커패시터(30) 및 RF LDMOS(10)의 제조에 이용된다. 다양한 반도체 제조 프로세스 공정들이 본 기술분야에 주지되어 있고, 따라서 여기에 상세하게 설명하지 않는다.

[0023] 셉트 커패시터 기저부 플레이트(48)는 실리콘 에피택시 층(44) 내에 제조된 이온 주입 영역을 포함하고, 여기에서 고온 처리가 수행된 후 이온 주입이 이어져, 기저부 플레이트가 밑에 있는 고농도로 도핑된 실리콘 기판(42)에 전기적으로 접속한다. 기저부 플레이트(48)는 예를 들면 P+ 싱커(sinker)를 포함한다. 필드 산화물 영역(46) 및 레벨간 유전체 층(50, ILD)은 셉트 커패시터(30)에 대한 디바이스 분리를 제공한다. 유전체 층(52)은 셉트 커패시터의 유전체를 포함하고 셉트 커패시터 기저부 플레이트(48) 위에 놓이도록 형성된다. 예를 들면, 유전체층(52)은 질화물을 포함할 수 있다. 상부 커패시터 플레이트(54)는 예를 들면, 적합한 금속 피착, 포토 리소그래피, 및 에칭 기술을 이용하여 유전체(52) 상에 형성된다. 예를 들면, 상부 플레이트(54)는 AlCuW를 포함한다.

[0024] RF 어플리케이션에서, 셉트 커패시터의 품질 인자(Q)는 저항형 손실을 통해 분산되는 에너지에 대한 커패시터에 저장된 에너지의 비율에 의해 정의된다. 도 3의 셉트 커패시터(30)에서, 실리콘 기저부 플레이트(48)는 상부 금속 플레이트(54)와 비교하여 본질적인 더 높은 직렬 저항을 가지고 있다. 상부 및 기저부 플레이트(54, 48) 각각은 각 플레이트와 비효율적인 전하 분포를 겪는다. 뿐만 아니라, 기저부 플레이트(48)와 기판(42) 사이의 접속 인터페이스에서 제한된 접촉 면적 및 도핑 농도로 인해, 그라운드 전위에 대한 기저부 플레이트(48)의 접촉 저항도 또한 높다. 또한, 상부 플레이트(54)는 노출되고 따라서 전위 간섭으로부터 보호받지 못한다. 그러한 간섭은 예를 들면, 커패시터 위에 걸치는 본드 와이어의 전류로부터 발원할 수 있다.

[0025] 뿐만 아니라, 고전력 RF 트랜지스터 어플리케이션에 대해, 셉트 커패시터 배열은 고성능 커패시터를 제공하는데 핵심적이다. 도 2에 예시된 바와 같이, 셉트 커패시터(30)는 와이어 본드 버스 바(24)의 다음에(또는 인접한) 어레이로 배열된다. 와이어 본드 버스 바(24) 상의 본딩 포인트로부터 셉트 커패시터(30)까지의 직렬 저항은 높다. 따라서, 주어진 본드-와이어(도시되지 않음)로부터 대응하는 셉트 커패시터(들)(30)까지의 비효율적인 전하 분포가 존재한다. 또한, 셉트 커패시터(30)로부터 와이어 본드 바(24) 상의 각 대응하는 본딩 포인트(도시되지 않음) 간의 거리는 일반적으로 일정하지 않다. 셉트 커패시터(30)와 관련하여 고전력 RF 트랜지스터 디바이스의 입출력 임피던스 매칭 네트워크와 관계되어 있는 이들 인자들의 조합은 대응하는 RF 트랜지스터 디바이스의 낮은 커패시터 Q 및 제한된 RF 성능으로 결과적으로 나타나게 된다.

[0026] 도 4-9는 본 발명의 실시예들에 따른 새로운 셉트 커패시터 구조의 다양한 뷰를 예시하고 있다. 도 4는 본 발명의 실시예에 따른 RF 전력 트랜지스터에 대한 셉트 커패시터 디자인(60)의 일부의 탑다운 레이아웃 뷰이고, 일부 특징들은 투명한 뷰로 예시되어 있다. 도 4는 로우로 배열된 3개의 셉트 커패시터(100)를 예시하고 있다. 각 셉트 커패시터(100)는 도 6 및 7에 대해 여기에서 더 설명된 바와 같이 단위 셀을 나타내고, 단위 셀 패턴은 주어진 RF 전력 트랜지스터 어플리케이션의 요구조건에 따라 원하는 회수만큼 반복되거나 복사될 수 있다.

[0027] 셉트 커패시터 상부 플레이트는 일반적으로 참조번호 62로 표시되어 있다. 셉트 커패시터 상부 플레이트는 금

속화부(일반적으로 참조번호 64 및 66으로 표시되어 있음)를 통해 인접하는 본드 패드(68)에 결합하고, 여기에서 본드 패드의 단지 작은 부분만이 도 4에 예시되어 있다. 본드 패드(68)에 대한 더 나은 이해는 도 8 및 9를 참조하여 여기에 더 설명될 것이다. 참조번호 70으로 표시된 바와 같이 U-형태의 특징의 형상으로 된 금속화부(들)는 양 측면상의 길이 치수를 따라 그리고 각 셉트 커패시터의 한쪽 측면 상의 폭 치수에 따라 연장한다. 도 4에서, 참조번호 72는 셉트 커패시터(100)의 일부 위로 확장하는 그라운드 실드(도 5와 관련하여 설명됨)의 경계를 식별한다. 뿐만 아니라, 금속화부(들)는 도 6 및 7을 참조하여 여기에 더 설명될 것이다.

[0028] 추가적으로 도 4와 관련하여, 셉트 커패시터는 하나의 실시예에서 기저부 커패시터 플레이트로서 텅스텐 실리사이드(silicide)를 포함하는 도전층을 이용한다. 유의할 점은, 주어진 고전력 RF 트랜지스터 어플리케이션의 고전압 및 큰 커패시턴스 밀도 요구조건은 산업계에서 통상적으로 이용되는 다른 금속-절연체-금속 커패시터의 이용을 전제로 한다는 점이다. 부분적으로는, 이것은 금속 기저부 플레이트에 의해 부과되는 온도 제한은 높은 CVD 질화물 유전체와 양립불가능하기 때문이다. 도 4는 금속(2)가 윤곽으로 도시되어 있는, 기본적인 단위 셀의 3 인스턴스를 가지는 셉트 커패시터의 레이아웃을 예시하고 있다.

[0029] 도 5는 도 4의 셉트 커패시터 디자인의 일부의 탑다운 레이아웃 뷰이고, 도 4의 투명 뷰 특징이 불투명 뷰로 예시되어 있다. 도 5는 도 4와 유사하지만, 상부 금속화부는 도 5에 예시되어 있다. 상부 금속화부는 도 5에 예시되어 있는 바와 같이, 본드 패드(68)의 작은 부분뿐만 아니라, 영역(64, 66)을 포함한다. 상부 금속화부는 U-형태의 구조(70) 및 그라운드 실드(74, 그라운드 실드(74)의 일부만이 예시되어 있다)를 더 포함한다.

[0030] 환언하면, 도 5의 하이라이팅된 영역은 상부 금속층을 나타낸다. 영역은 U-형태의 구조(70) 및 그라운드 실드(74)의 일부를 포함하고, 여기에서 U-형태의 구조는 그라운드 실드(74)를 통해 그라운드 전위에 모두 결합된다. 또한 하이라이팅된 상부 금속 영역들은 금속 비아 접속(64)(커패시터 상부 플레이트(62)에 대한, 금속 접속(66)(금속 비아와 본딩 패드의 사이), 및 부분적인 와이어 본드 패드(68)이다. 예시된 바와 같은 하나의 실시예에서, 상부 플레이트의 와이어 본드 패드로의 접속에 근접한 영역을 제외하고, 대부분의 셉트 커패시터(100)는 그라운드 실드(74) 아래에서 차폐된다. 그라운드 실드(74)에 의해 차폐되는 셉트 커패시터의 일부는 주어진 RF 전력 트랜지스터 어플리케이션의 요구조건을 위해 원하는 대로 맞춰질 수 있다. 예를 들면, 부분은 주어진 RF 전력 트랜지스터 어플리케이션에 대해 적절한 25%, 50%, 75% 또는 다른 백분율일 수 있다.

[0031] 도 6은 라인 6-6에 따른 도 5의 셉트 커패시터 디자인의 단면도(80)이다. 단면도(80)는 기관(82), 분리층(84), 하위 커패시터 플레이트(즉, 기저부 플레이트) 도전층(86, 88), 제1 레벨간 유전체(90), 셉트 커패시터 유전체(92), 제1층 금속화부(94), 제2 레벨간 유전체(96), 및 제2층 금속화부(98)를 포함한다. 참조번호 100은 본 발명의 실시예들에 따른 셉트 커패시터의 단위 셀 구현을 나타내고, 여기에서 단위 셀 피치는 참조번호 106으로 표시된다. 도 6의 단면도(80)에 도시되어 있는 바와 같이, 인접하는 단위 셀(100)의 기저부 플레이트 도전층(86, 88)의 사이에 발생하는 갭(104)이 예시되어 있다. 하나의 실시예에서, 갭(104)은 존재하지 않고, 인접하는 단위 셀(100)의 기저부 플레이트 도전층(86, 88)이 함께 융합된다. 또 하나의 실시예에서, 갭(104)의 간격은 주어진 RF 전력 트랜지스터 어플리케이션의 요구조건에 따라 결정된다.

[0032] 하나의 실시예에서, 기관(82)은 주어진 RF 전력 트랜지스터 어플리케이션에 적합한 임의의 기관을 포함한다. 예를 들면, 기관(82)은 P-형 실리콘 기관을 포함한다. 분리층(84)은 주어진 RF 전력 트랜지스터 어플리케이션에 적합한 임의의 분리층을 포함한다. 분리층(84)은 예를 들면, 산화물을 포함할 수 있다. 하위 커패시터 플레이트(즉, 기저부 플레이트) 도전층(86, 88)은 주어진 RF 전력 트랜지스터 어플리케이션에 적합한 임의의 도전층을 포함한다. 도전층(86, 88)은 예를 들면, 폴리실리콘 층 및 텅스텐 실리사이드 층을 각각 포함할 수 있다. 제1 및 제2 레벨 레벨간 유전체(90, 96)는 주어진 RF 전력 트랜지스터 어플리케이션에 대한 임의의 적합한 레벨간 유전체를 포함한다. 셉트 커패시터 유전체(92)는 주어진 RF 전력 트랜지스터 어플리케이션에 대한 임의의 적합한 커패시터 유전체를 포함한다. 예를 들면, 셉트 커패시터 유전체(92)는 질화물을 포함할 수 있다. 또한, 제1 및 제2 층 금속화부(94, 98)는 주어진 RF 전력 트랜지스터 어플리케이션에 대한 임의의 적합한 금속화 재료를 포함한다.

[0033] 추가적으로 도 6을 여전히 참조하면, 단면(80)은 단위 셀(100) 및 부분적인 인접 셀을 포함하는 도 5의 디바이스(60)의 단면을 예시하고 있다. 기관(82)은 임의의 적합한 단일 또는 멀티-층 기관을 포함한다. 예를 들면, 기관(82)은 저농도로 도핑된 실리콘 에피택시층이 고농도로 도핑된 실리콘 기관 위에 놓여지는 고농도로 도핑된 실리콘 기관, 또는 일부 디바이스에서는 더 적합하거나 바람직한 다른 층들의 조합을 포함할 수 있다. 산화물 층(84)은 기관(82) 위에 놓여지도록 제조된다. 하나의 실시예에서, 산화물 층(84)은 필드 산화물을 포함할 수 있다. 또 하나의 실시예에서, 산화물 층(84)은 게이트 산화물을 포함할 수 있다.

- [0034] 셉트 커패시터(100)의 도전성 기저부 플레이트(누적으로 층(86, 88)으로 도시되어 있음)는 산화물 층(84) 상에 형성된다. 도전성 기저부 플레이트는 단일층 금속 또는 멀티-층 금속을 포함한다. 도전성 기저부 플레이트는 나중에 실리사이드화(silicidation)가 이어지는 폴리실리콘을 포함한다. 예를 들면, 도전성 기저부 층은 나중에 WSi 층(88)이 이어지는 도핑된 실리콘 층(86)을 포함한다. 기저부 도전 플레이트(86, 88)내에 예시된 갭(104)은 존재하거나 존재하지 않을 수 있고, 여기에서 갭(104)이 없는 경우, 인접하는 단위 셀(100)간의 기저부 도전 플레이트(86, 88)가 융합된다.
- [0035] 레벨간 유전체(ILD0, 90)가 형성되고 패터닝되어, 커패시터 상부 플레이트(62)와, 기저부 플레이트(86, 88)로의 금속 콘택트(71) 사이에 분리 블록을 생성한다. 셉트 커패시터의 유전체 층(92)은 각 단위 셀(100)의 중앙 영역에 제조된다. 상부 커패시터 플레이트(62)는 제1 층 금속(94, M1 또는 금속 1)에 의해 형성된다. M1 층(94)은 단일층 금속 또는 멀티-층 금속을 포함할 수 있다. 와이어 본드 패드와의 커패시터 상부 플레이트(62)의 접속은 중앙 구조(64)에 도시된 바와 같이, 제1 레벨간 유전체 층(96, ILD1) 및 제2층 금속(98, M2 또는 금속 2)의 비아 에치(via etch)를 통해 형성된다. 단위 셀(100)의 에지에서의 스택된 구조는 콘택트 및 제1층 금속 구조(71) 및 비아 및 제2층 금속 구조(70)를 이용하여 기저부 플레이트(86, 88)를 접촉함으로써 형성된다. 도 6에 도시된 바와 같이, 스택된 구조(70, 71)는 도 5의 U-형태의 구조(70)의 단위 셀(100)의 길이 치수를 따른 2개의 레그의 단면을 포함한다. 후방측 금속(102)은 RF 트랜지스터 디바이스로의 후방측 그라운드 콘택트를 제공한다. 유의할 점은, 그라운드는 후방측 단독으로부터 접속하는 것으로 제한되지 않고, 반면에 상부측 그라운드는 본 발명의 실시예에 따라 RF 트랜지스터 디바이스에 대해서도 동일하게 효율적일 수 있다는 점이다.
- [0036] 하나의 실시예에서, 셉트 커패시터(100)의 기저부 플레이트(86, 88)는 실리콘 기저부 플레이트를 포함한다. 또 하나의 실시예에서, 기저부 플레이트(86, 88)는 더 큰 도전성 플레이트(즉, WSi 스택을 가지는 폴리실리콘)를 포함하여 대응하는 진성(intrinsic) 직렬 저항을 감소시킨다. 그라운드 실드(74)의 그라운드 실드 금속(98)으로의 U-형태 콘택트(70, 71)를 구비하는 좁은 스트립 기저부 플레이트(86, 88, 탑다운 레이아웃 뷰에 예시된 바와 같음)는 기저부 플레이트(86, 88)의 직렬 저항을 더 감소시키고, 접촉 저항 및 그라운드로의 직렬 저항을 감소시킨다. 환언하면, 상부 커패시터 플레이트(62) 위에 놓여지는 그라운드링된 M2 층(98, 그라운드 실드(74)에 대응함)은 기저부 플레이트(86, 88)에 결합되고, 셉트 커패시터 기저부 플레이트(86, 88)에 대한 그라운드 금속으로의 낮은 임피던스 경로를 주로 제공한다.
- [0037] 도 7은 라인 7-7에 따른 도 5의 셉트 커패시터 디자인의 단면도이다. 도 7의 단면도는 단면이 도 5의 레이아웃(60)의 와이어 본드 패드로부터 더 먼 위치에서 취해진 것을 제외하고는 도 6의 것과 유사하다. 특히, 도 7에서, M2 층(98)은 그라운드 실드(74)의 확장부에 결합되고 따라서 각 단위 셀(100)의 길이 측 상의 스택된 구조(70, 71)로의 접속을 가지는 커패시터 구조 단위 셀(100) 상에 완전한 커버를 형성한다. 결과적으로, 그라운드링된 캡치는 각 단위 셀의 일부를 분리하기 위해 형성된다. 여기에 설명된 바와 같이, 그라운드 실드(74)의 경계(72), 및 따라서 그라운드 실드(74)는 각 단위 셀(100)의 원하는 부분 위로 연장된다.
- [0038] 커패시터 상부 플레이트 위의 그라운드 실드 구조의 연장부는 셉트 커패시터 위에 걸리는 본드 와이어로부터 발원될 수 있는 외부 간섭을 감소시킨다. 뿐만 아니라, 단위 셀(100)의 3가지 측면을 따라 그라운드 실드/플레이트(74)에 접속되는 U-형태의 구조(70, 71)는 양호하게는 그라운드 벽을 형성하고, 이는 셀의 외부에 있는 기생 간섭을 더 감소시킨다. 결과적으로, 이들 특징들 및 구조들은 셉트 커패시터 RF 성능을 급격하게 개선한다.
- [0039] 도 8은 일부 특징들이 투명 뷰로 예시되어 있는, 본 발명의 또 하나의 실시예에 따라 RF 전력 트랜지스터에 대한 출력 임피던스 매칭 네트워크(120)에서 구현되는 셉트 커패시터 디자인의 일부(110)의 탑다운 레이아웃 뷰이다. 와이어 본드 위치에 연관된 커패시터 배열은 입력 및 출력 임피던스 매칭 네트워크의 셉트 커패시터의 RF 성능에 중요하다. 도 8은 본 발명의 실시예에 따른 셉트 커패시터 단위 셀 배열(112)의 상부도로서, 셉트 커패시터 배열은 본딩 패드(118) 주위에 배치된 단위 셀을 포함한다. 하나의 실시예에서, 셉트 커패시터 단위 셀 배열(112)은 본딩 패드(118)의 3개의 측면 에지 주위에 각각 배치된 제1, 제2 및 제3 복수(114)의 단위 셀(110)을 포함한다. 환언하면, 셉트 커패시터 단위 셀(100)은 본딩 패드(118)의 3개의 측면을 따라 복사되어, 커패시터 유닛(114)의 3개의 뱅크를 형성한다. 커패시터 유닛(114)의 각 뱅크는 접속(116)에서 금속 연장부(122)를 통해 본딩 패드(118)의 하나의 측면에 결합된다. 그라운드 실드(도 9의 126)의 에지(124)가 표시되고, 여기에서 그라운드 실드는 도 4-7의 실시예에 대해 여기에 설명된 바와 같이, 유사하게 커패시터 유닛(114)의 뱅크의 각 기저부 플레이트에 결합된다.
- [0040] 도 9는 도 8의 투명 뷰 특징이 불투명 뷰로 예시되어 있는, 도 8의 셉트 커패시터 디자인의 일부(110)의 탑다운 레이아웃 뷰이다. 도 9는 도 8과 유사하지만, 상부 금속화부는 도 9에 예시되어 있다. 상부 금속화부는 영역

(128)을 포함한다. 상부 금속화부는 셉트 커패시터 셉(114) 및 그라운드 실드(126)의 각 뱅크의 U-형태의 구조(도 6 및 7에서 참조번호 70 및 71로 표시됨)를 더 포함한다. 뿐만 아니라, 도 9는 셉트 커패시터의 대응하는 본드 패드 및 그라운드 실드 양쪽으로서의 타이트한 집적을 예시하고 있다.

[0041] 환언하면, 도 9에서, 상부 금속층은 세이딩에 의해 하이라이팅되어 있다. 금속 그라운드층(126)은 그라운드 실드를 포함하고, 와이어 본드 패드의 3가지 측면을 따라 커패시터 유닛(114)의 뱅크의 일부 위에 놓여지도록 연장된다. 금속층(128)은 와이어 본드 패드로부터 각 셉트 커패시터 유닛의 상부 플레이트 컨택트 비아로 연장되는 상부 금속을 포함한다.

[0042] 본 발명의 실시예들에 이용되는 작은 본딩 패드는 종래 알려진 디자인의 버스 바 본딩 패드를 대체한다. 따라서, 본 발명의 셉트 커패시터 실시예들은 양호하게는 본딩 패드에 더 근접하여, 그리고 이로부터의 더 일정한 거리를 가지고 배치될 수 있다. 결과적으로, 이것은 셉트 커패시터의 충전 및 방전의 효율을 개선시키고, 본딩 포인트로부터 셉트 커패시터로의 직렬 저항을 감소시킨다. 본 발명의 실시예에 따른 셉트 커패시터의 그라운드 플레이트는 셉트 커패시터가 위에 놓여지는 본드 와이어(도시되지 않음)의 경로 바로 아래에 놓여지도록 허용한다. 그라운드 플레이트는 위에 놓여지는 본드 와이어에 도전되는 전류와 셉트 커패시터간의 간섭 상호작용을 감소시키고, 이는 셉트 커패시터가 성능 개선을 얻기 위해 본드 패드에 더 근접하여 배치될 수 있게 한다.

[0043] 도 10은 본 발명의 또 하나의 실시예에 따라 RF 전력 트랜지스터에 대한 출력 임피던스 매칭 네트워크에서 구현된 셉트 커패시터 디자인의 일부의 탑다운 레이아웃 뷰(130)이다. 즉, 도 10은 RF 전력 트랜지스터 디자인의 출력 임피던스 매칭 네트워크(120)의 외부 에지를 따라 배치된 복수의 셉트 커패시터 배열(112)을 예시하고 있다. 복수의 셉트 커패시터 배열(112)은 출력 임피던스 매칭 네트워크(120)의 일부의 셉트 커패시터(114) 및 대응하는 본딩 패드(118)의 뱅크를 포함한다. 도시된 바와 같이, 배열(112)은 그라운드 실드(126)와 함께 셉트 커패시터(114)의 3개의 뱅크를 포함한다. 각 배열(112)은 여기에서 이전에 설명된 바와 같이 본딩 패드(118) 및 셉트 커패시터 유닛(114)을 구비하고 있다.

[0044] 도 11은 본 발명의 또 하나의 실시예에 따라 출력 임피던스 매칭 네트워크(120)에서 구현된 셉트 커패시터 디자인을 가지는 RF 전력 트랜지스터의 탑다운 레이아웃 뷰(130)이다. 특히, 도 10은 도 11과 유사하고, 특히 도 11은 RF 전력 트랜지스터의 더 완전한 레이아웃 뷰를 예시하고 있다. 도 11은 입력 및 출력 임피던스 매칭 네트워크(132, 120)를 각각 구비하는 집적된 RF LDMOS(134)를 예시하고 있다. 와이어 본드 버스 패드는 참조번호 136 및 138로 표시되어 있다. 뿐만 아니라, 입력 및 출력 와이어 본드 패드는 각각 참조번호 140 및 118로 표시되어 있다. 레이아웃 뷰(130)는 본 발명의 다양한 실시예와 관련하여 여기에 기재된 바와 같은 셉트 커패시터를 포함한다.

[0045] 따라서, 본 발명의 실시예들은 RF 전력 트랜지스터에 대한 셉트 커패시터 구조의 새로운 디자인을 제공한다. 셉트 커패시터 구조는 감소된 저항을 가지는 기저부 플레이트를 포함하고, 여기에서 셉트 커패시터 구조의 기저부 플레이트는 듀얼 층 기저부 플레이트 구조를 포함한다. 하나의 실시예에서, 기저부 플레이트는 예를 들면 폴리실리콘/텅스텐 실리사이드 기저부 플레이트를 포함한다. 뿐만 아니라, 기저부 플레이트는 훨씬 더 낮은 기판 저항을 가지는 그라운드 실드에 결합된다. 또한, 본 실시예의 셉트 커패시터 구조는 대응하는 셉트 커패시터 구조의 상부 플레이트로서 좁은 스트립 플레이트, 즉 핑거 구조를 포함하는 상부 플레이트를 포함한다. 이에 비해, 종래에 주지된 셉트 커패시터 구조는 큰 정사각형/직사각형 상부 플레이트를 포함했다. 더욱이, 본 실시예의 셉트 커패시터 구조는 기저부 플레이트와의 U-형태의 접속을 포함하여 저항을 더 감소시키고 셉트 커패시터의 충전 및 방전 효율을 개선시킨다. U-형태의 접속은 기저부 플레이트의 그라운드 실드와의 전기적 결합을 제공한다.

[0046] 본 발명의 실시예는 버스 바 패드에 비해, 작은 와이어-본드 패드를 이용함으로써 RF 전력 트랜지스터에 대한 셉트 커패시터 구조의 새로운 디자인을 더 제공함으로써, 셉트 커패시터 구조가 대응하는 본딩 포인트/패드에 더 근접하고, 그로부터 더 일정한 거리에 놓여질 수 있게 한다. 하나의 실시예에서, 복수의 셉트 커패시터 구조는 와이어 본드 패드의 3 측면 주위에 배치된다.

[0047] 또 하나의 실시예에서, 그라운드 실드는 셉트 커패시터 구조의 일부 위에 놓여지고, 여기에서 위에 놓여지는 부분은 셉트 커패시터 구조 레이아웃의 주어진 백분율보다 더 크다. 커버리지의 백분율은 주어진 RF 전력 트랜지스터 어플리케이션의 요구조건에 따라 결정될 수 있다. 예를 들면, 커버리지의 백분율은 25 퍼센트(25%) 이상, 50퍼센트(50%), 75퍼센트(75%), 또는 주어진 RF 전력 트랜지스터 어플리케이션의 요구조건에 따라 결정되는 다른 백분율의 수준일 수 있다. 따라서, 위에 놓여지는 그라운드 실드는 셉트 커패시터 구조의 일부 위로 연장되어, 셉트 커패시터 구조로서의 와이어 본드 와이어의 간섭을 유리하게 감소시킨다.

[0048] 본 발명의 실시예에 따른 셉트 커패시터 구조는 개선된 전력, 이득 및 효율 특성을 가지는 고전압 RF 전력 트랜지스터 디자인을 가능하게 한다. 하나의 실시예에서, 플라스틱 패키지 RF LDMOS 트랜지스터 어플리케이션은 본 발명의 실시예에 따라 셉트 커패시터 구조를 포함하는 출력 임피던스 매칭 네트워크를 포함한다. 뿐만 아니라, 본 발명의 셉트 커패시터 구조는 플라스틱 패키징에서 종래 주지된 셉트 커패시터 디자인으로는 이전에 달성될 수 없었던 고전력 RF 전력 트랜지스터 플라스틱 패키지 성능을 가능하게 한다.

[0049] 상기 설명에서, 본 공보는 다양한 실시예를 참조하여 설명되었다. 그러나, 본 기술분야의 숙련자라면, 이하의 청구의범위에 제시된 본 발명의 범주로부터 벗어나지 않고서도 다양한 변형 및 변경이 가해질 수 있다는 것을 잘 알고 있을 것이다. 따라서, 명세서 및 도면들은 제한적 의미라기 보다는 예시적으로 간주되어야 하고, 모든 그러한 변형들은 본 실시예의 범주 내에 포함된다고 할 것이다. 예를 들면, 본 발명의 하나의 실시예는 예를 들면 통신 디바이스 등에서 이용되는 RF-LDMOS 125W 전력 트랜지스터를 포함한다. 본 발명의 실시예들은 임의의 적합한 RF MOSFET 디바이스에도 적용될 수 있다.

[0050] 잇점, 다른 장점 및 문제에 대한 해결책은 특정 실시예와 관련하여 상기 설명되었다. 그러나, 잇점, 장점, 문제에 대한 해결책, 및 임의의 잇점, 장점 또는 해결책이 발생하거나 더 현저하게 되도록 유발하는 임의의 구성요소(들)는 임의의 하나 또는 모든 청구의범위의 핵심적이고 요구되거나 필수적인 특징 또는 구성요소로서 간주되어서는 안된다. 여기에 이용되는 바와 같이, 용어 "포함한다(comprise)", "포함하는(comprising)" 또는 그 임의의 다른 변형은 비-배타적 포함을 커버함으로써, 구성요소의 리스트를 포함하는 프로세스, 방법, 제품 또는 장치가 이들 구성요소들만을 포함하는 것이 아니라 명시적으로 리스트되지 않거나 그러한 프로세스, 방법, 제품 또는 장치에 본질적인 다른 구성요소들을 포함한다.

도면의 간단한 설명

[0005] 본 발명은 유사한 참조부호가 유사한 구성요소를 나타내는 첨부된 도면들에 의해 예를 들어 예시되고 그것에 의해 제한되지 않는다.

[0006] 도 1은 본 기술분야에 주지된 RF MOSFET 디자인의 일부의 탑다운 레이아웃 뷰이다.

[0007] 도 2는 도 1의 RF MOSFET 디자인의 일부의 더 상세한 탑다운 레이아웃 뷰이다.

[0008] 도 3은 도 1의 RF MOSFET 디자인에서 구현된 셉트 커패시터 디자인의 단면도이다.

[0009] 도 4는 일부 특징들이 투명한 뷰로 예시되어 있는, 본 발명의 실시예에 따른 RF 전력 트랜지스터에 대한 셉트 커패시터 디자인의 일부의 탑다운 레이아웃 뷰이다.

[0010] 도 5는 도 4의 투명 뷰 특징들이 불투명 뷰로 예시되어 있는, 도 4의 셉트 커패시터 디자인의 일부의 탑다운 레이아웃 뷰이다.

[0011] 도 6은 라인 6-6에 따른, 도 5의 셉트 커패시터 디자인의 단면도이다.

[0012] 도 7은 라인 7-7에 따른, 도 5의 셉트 커패시터 디자인의 단면도이다.

[0013] 도 8은 일부 특징들이 투명한 뷰로 예시되어 있는, 본 발명의 다른 실시예에 따른 RF 전력 트랜지스터에 대한 출력 임피던스 매칭 네트워크에서 구현되는 셉트 커패시터 디자인의 일부의 탑다운 레이아웃 뷰이다.

[0014] 도 9는 도 8의 투명 뷰 특징들이 불투명 뷰로 예시되어 있는, 도 8의 셉트 커패시터 디자인의 일부의 탑다운 레이아웃 뷰이다.

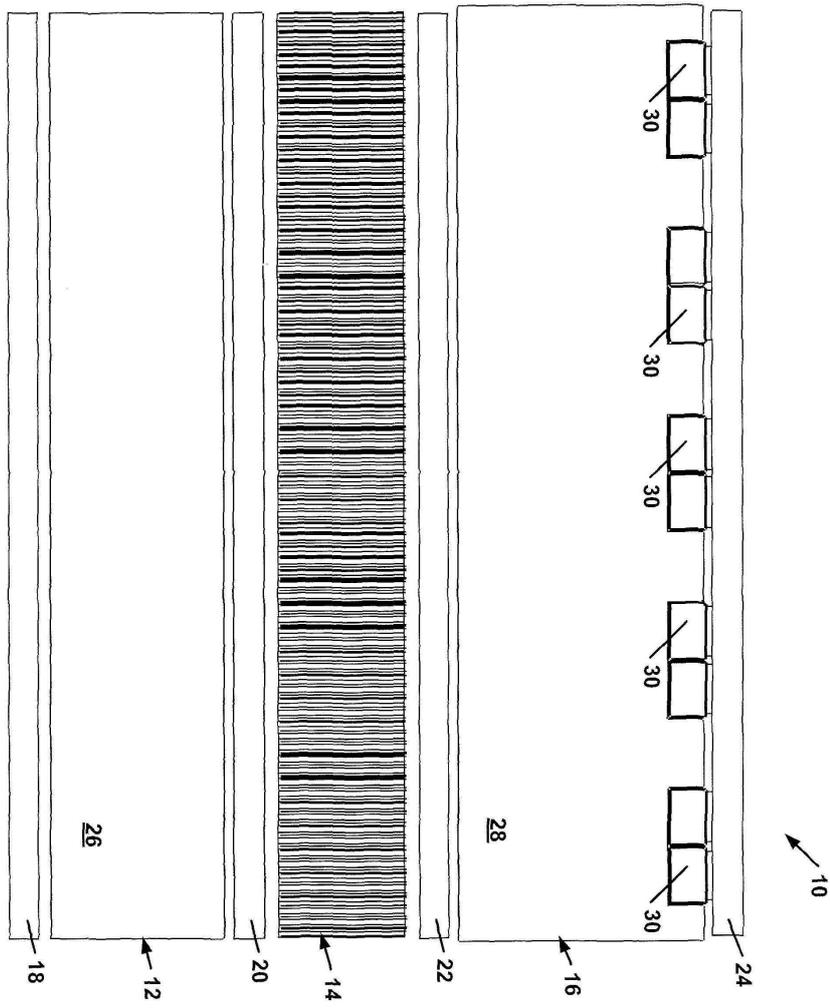
[0015] 도 10은 본 발명의 다른 실시예에 따른 RF 전력 트랜지스터에 대한 출력 임피던스 매칭 네트워크에서 구현되는 셉트 커패시터 디자인의 일부의 탑다운 레이아웃 뷰이다.

[0016] 도 11은 본 발명의 또 하나의 실시예에 따른 출력 임피던스 매칭 네트워크에서 구현되는 셉트 커패시터 디자인을 가지는 RF 전력 트랜지스터의 탑다운 레이아웃 뷰이다.

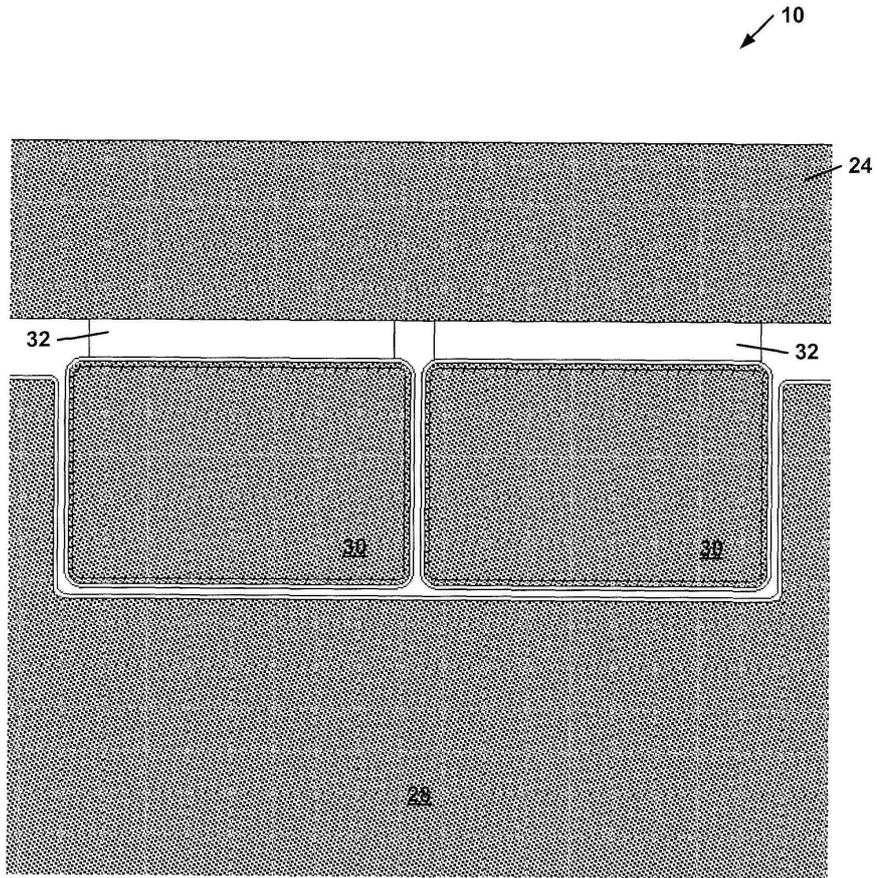
[0017] 상이한 도면에서 동일한 참조부호의 이용은 유사하거나 동일한 아이템을 나타낸다. 본 기술분야의 숙련자라면 도면의 구성요소들이 간단성 및 명료성을 위해 예시되어 있고 반드시 스케일링되어 그려질 필요는 없다는 것을 잘 알고 있을 것이다. 예를 들면, 도면들에서 일부 구성요소들의 치수는 다른 구성요소들에 비해 과장되어 본 발명의 실시예의 이해를 개선하는데 도움을 준다.

도면

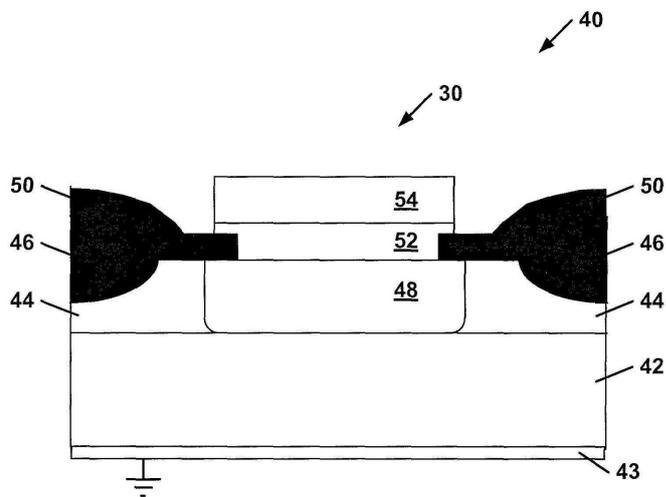
도면1



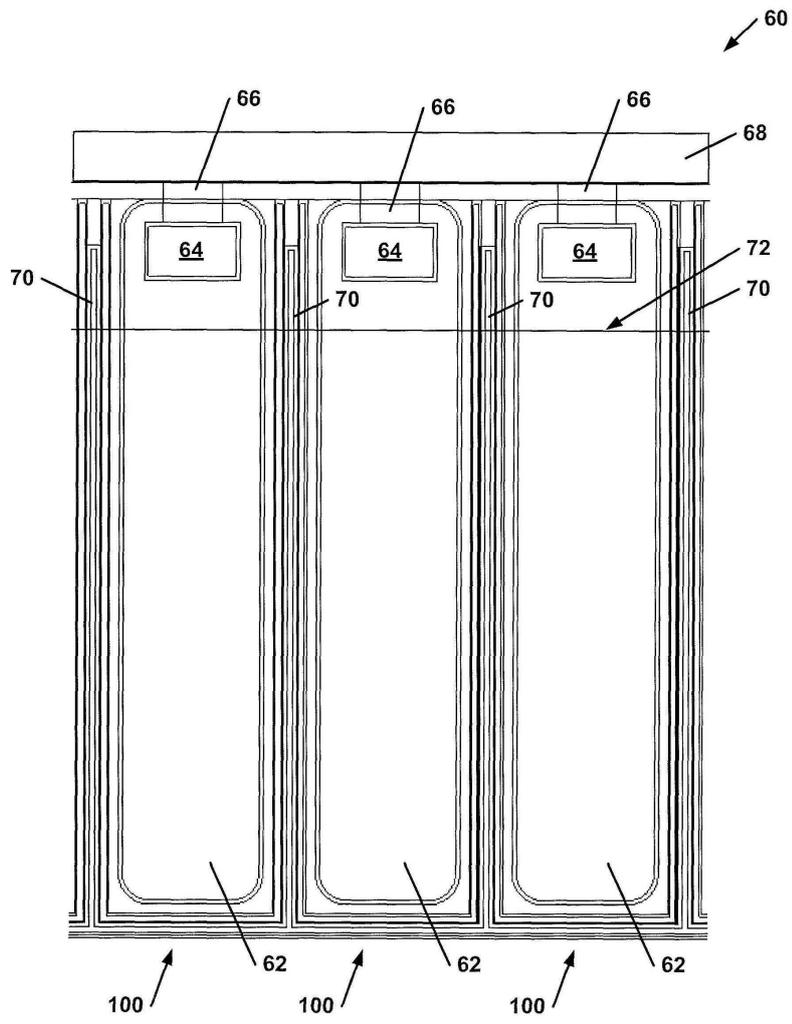
도면2



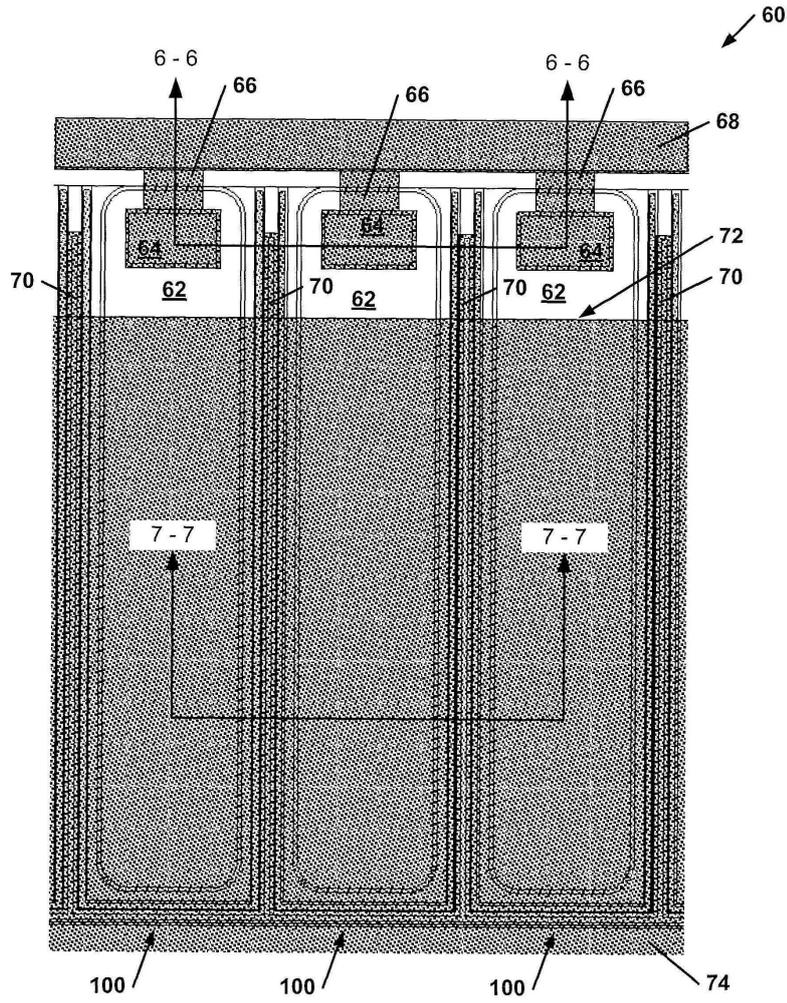
도면3



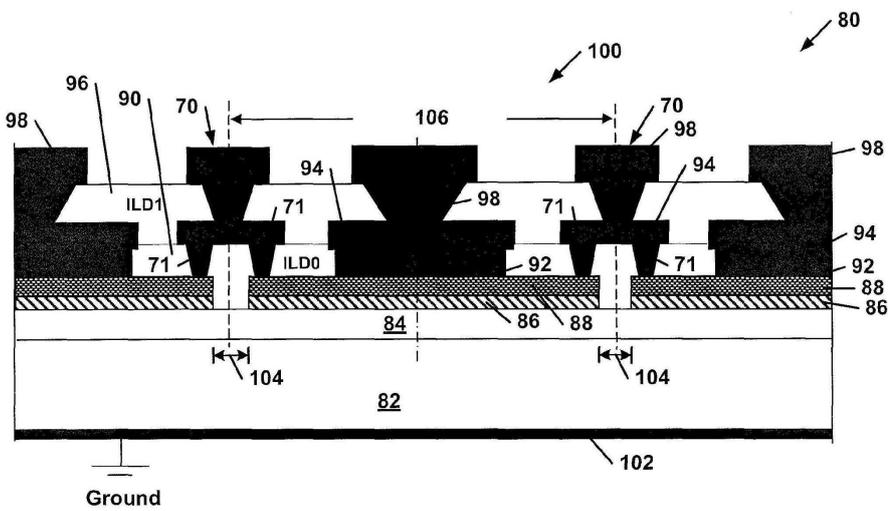
도면4



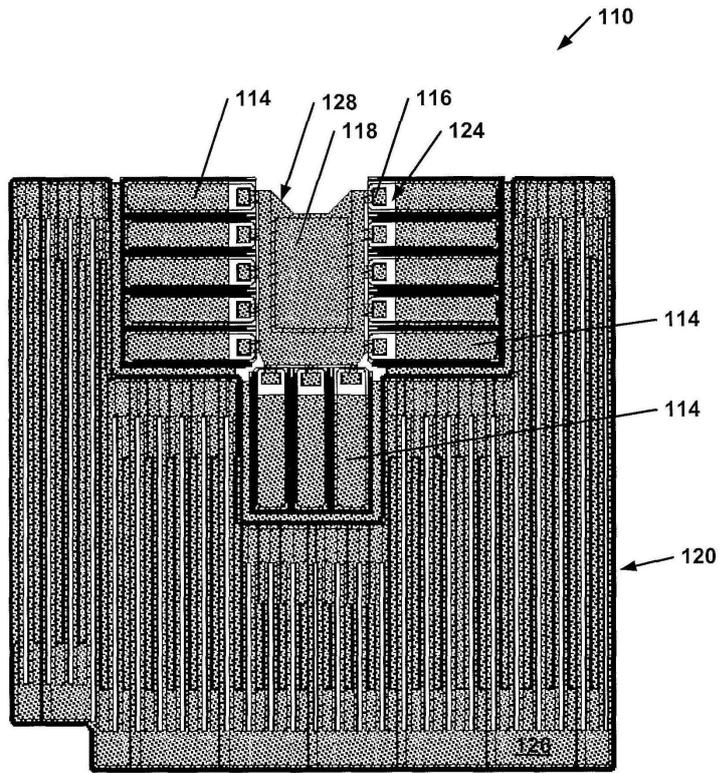
도면5



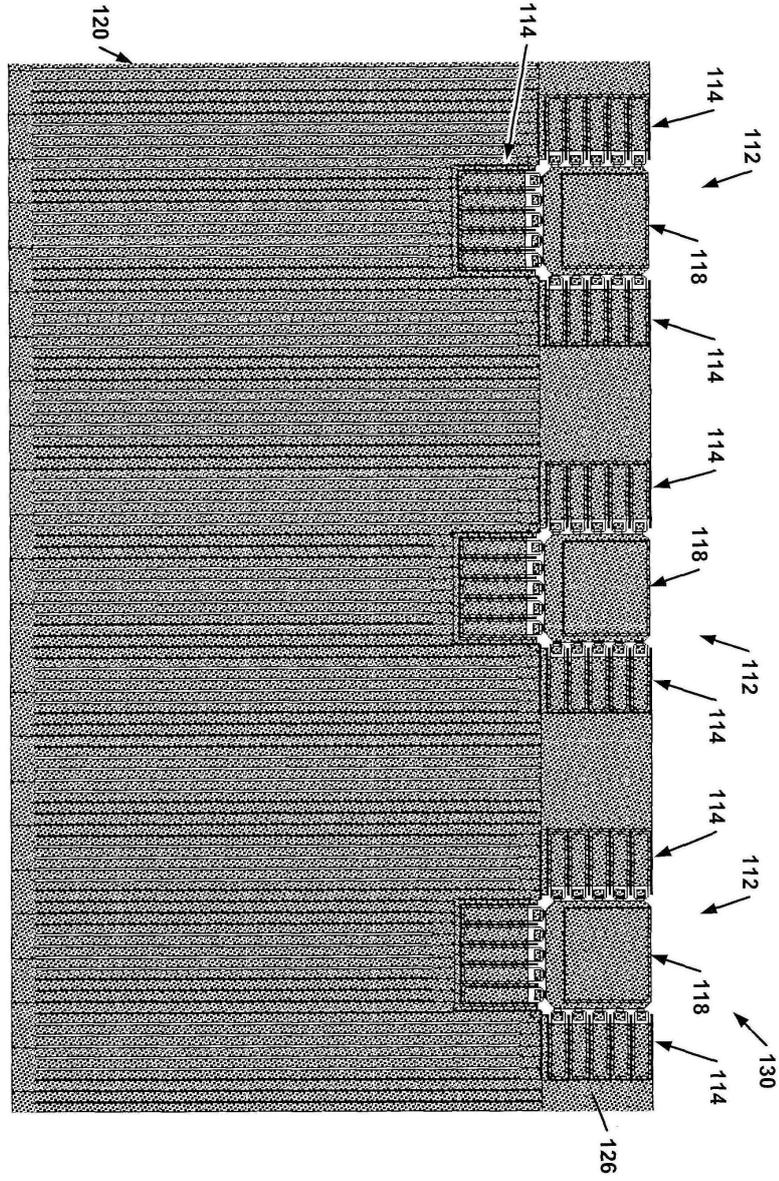
도면6



도면9



도면10



도면11

