



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년03월06일

(11) 등록번호 10-1499486

(24) 등록일자 2015년03월02일

(51) 국제특허분류(Int. Cl.)

H01L 21/20 (2006.01)

(21) 출원번호 10-2008-0107639

(22) 출원일자 2008년10월31일

심사청구일자 2013년09월23일

(65) 공개번호 10-2009-0045116

(43) 공개일자 2009년05월07일

(30) 우선권주장

JP-P-2007-285504 2007년11월01일 일본(JP)

(56) 선행기술조사문현

JP02054532 A

JP2000077287 A

JP2002170942 A

JP2002280531 A

전체 청구항 수 : 총 12 항

심사관 : 강병섭

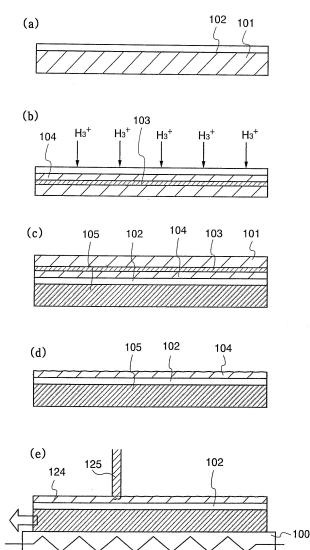
(54) 발명의 명칭 반도체 기판의 제작 방법 및 반도체 장치의 제작 방법

(57) 요약

본 발명은, 반도체 장치의 생산 효율을 높이기 위하여, 5인치보다 크게, 가능한 한 대구경(大口徑) 반도체 기판을 이용하여 반도체 장치를 제작하는 것을 과제로 한다.

제 1 반도체 웨이퍼 표면 위에 벼퍼층을 형성하고, 이온 도핑 장치에 의하여 H_3^+ 이온을 제 1 반도체 웨이퍼에 조사하여 벼퍼층 아래 쪽에 손상 영역을 형성한다. 벼퍼층을 개재하여, 제 2 단결정 반도체 기판과 제 1 단결정 반도체 기판을 밀착시키고, 제 2 단결정 반도체 기판과 제 1 단결정 반도체 기판을 접합하고, 제 1 단결정 반도체 기판을 가열함으로써 손상 영역에 균열이 생기게 하고, 제 1 단결정 반도체 기판의 일부를 제 1 단결정 반도체 기판으로부터 분리한다. 제 2 단결정 반도체 기판에 고정된 단결정 반도체층을 가열하면서, 단결정 반도체층에 레이저 빔을 조사하여 평탄성의 향상과 결정성의 회복의 양쪽 모두를 행한다.

대 표 도



특허청구의 범위

청구항 1

삭제

청구항 2

반도체 기판의 제작 방법에 있어서:

제 1 반도체 기판 위에 베퍼층을 형성하는 단계와;

이온 도핑법에 의하여 상기 제 1 반도체 기판에 수소 이온을 조사함으로써, 상기 제 1 반도체 기판에 손상 영역을 형성하는 단계로서, 상기 수소 이온은 H^+ 이온, H_2^+ 이온, 및 H_3^+ 이온을 포함하고, 전체 수소 이온에 대한 H_3^+ 이온의 비율은 상기 전체 수소 이온에 있어서의 H^+ 이온 및 H_2^+ 이온의 비율보다 높은, 상기 손상 영역 형성 단계와;

상기 베퍼층을 개재하여 상기 제 1 반도체 기판 및 제 2 반도체 기판이 접합되는 상태에서 제 1 가열 처리를 행하는 단계와;

상기 제 1 반도체 기판 및 상기 제 2 반도체 기판에 제 2 가열 처리를 행함으로써, 상기 제 2 반도체 기판 위에 단결정 반도체층을 남기면서 상기 제 1 반도체 기판을 분리하는 단계와;

상기 단결정 반도체층에 레이저 빔을 조사하고 동시에 제 3 가열 처리를 행함으로써, 상기 단결정 반도체층을 재단결정화시키는(re-single-crystallizing) 단계를 포함하는, 반도체 기판의 제작 방법.

청구항 3

삭제

청구항 4

반도체 기판의 제작 방법에 있어서:

제 1 반도체 기판 위에 베퍼층을 형성하는 단계와;

이온 도핑법에 의하여 상기 제 1 반도체 기판에 수소 이온을 조사함으로써, 상기 제 1 반도체 기판에 손상 영역을 형성하는 단계로서, 상기 수소 이온은 H^+ 이온, H_2^+ 이온, 및 H_3^+ 이온을 포함하고, 전체 수소 이온에 대한 H_3^+ 이온의 비율은 상기 전체 수소 이온에 있어서의 H^+ 이온 및 H_2^+ 이온의 비율보다 높은, 상기 손상 영역 형성 단계와;

상기 베퍼층을 개재하여 상기 제 1 반도체 기판 및 제 2 반도체 기판이 접합되는 상태에서 제 1 가열 처리를 행하는 단계와;

상기 제 1 반도체 기판 및 상기 제 2 반도체 기판에 제 2 가열 처리를 행함으로써, 상기 제 2 반도체 기판 위에 단결정 반도체층을 남기면서 상기 제 1 반도체 기판을 분리하는 단계와;

상기 손상 영역을 제거하기 위해 상기 단결정 반도체층의 표면을 에칭하는 단계와;

상기 손상 영역이 제거된 후, 상기 단결정 반도체층에 레이저 빔을 조사하고 동시에 제 3 가열 처리를 행함으로써, 상기 단결정 반도체층을 재단결정화시키는 단계를 포함하는, 반도체 기판의 제작 방법.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

제 2 항 또는 제 4 항에 있어서,

상기 제 1 반도체 기판 및 상기 제 2 반도체 기판의 각각은 단결정 반도체 기판인, 반도체 기판의 제작 방법.

청구항 14

제 2 항 또는 제 4 항에 있어서,

상기 제 1 반도체 기판은 단결정 반도체 기판이고, 상기 제 2 반도체 기판은 다결정 반도체 기판인, 반도체 기판의 제작 방법.

청구항 15

제 2 항 또는 제 4 항에 있어서,

상기 벼퍼총은 상기 제 1 반도체 기판 및 상기 제 2 반도체 기판 중의 하나를 산화함으로써 형성되는 산화물막을 포함하는, 반도체 기판의 제작 방법.

청구항 16

제 2 항 또는 제 4 항에 있어서,

상기 벼퍼총은 질화실리콘막 및 질화산화실리콘막을 포함하는, 반도체 기판의 제작 방법.

청구항 17

제 2 항 또는 제 4 항에 있어서,

상기 벼퍼총은 상기 단결정 반도체총과 접하는 절연막을 포함하고, 상기 절연막은 할로겐을 함유하는, 반도체 기판의 제작 방법.

청구항 18

제 2 항 또는 제 4 항에 있어서,

상기 제 1 가열 처리는 350°C 이하의 온도에서 행해지고,

상기 제 2 가열 처리는 400°C 이상 600°C 이하의 온도에서 행해지고,

상기 제 3 가열 처리는 500°C 이상 1100°C 이하의 온도에서 행해지는, 반도체 기판의 제작 방법.

청구항 19

제 2 항 또는 제 4 항에 있어서,

상기 레이저 빔이 조사되는 영역의 상면 형상은 선형, 정사각형, 및 직사각형 중의 하나인, 반도체 기판의 제작 방법.

청구항 20

제 2 항 또는 제 4 항에 있어서,

상기 제 2 반도체 기판의 직경은 5인치 이상인, 반도체 기판의 제작 방법.

청구항 21

제 2 항 또는 제 4 항에 있어서,

상기 단결정 반도체층은 상기 제 1 가열 처리, 상기 제 2 가열 처리, 및 상기 제 3 가열 처리에서 가열 수단에 의해 가열되는, 반도체 기판의 제작 방법.

청구항 22

제 2 항 또는 제 4 항에 있어서,

상기 단결정 반도체층은 상기 제 1 가열 처리, 상기 제 2 가열 처리, 및 상기 제 3 가열 처리에서 가열 수단에 의해 가열되고, 상기 가열 수단은 스테이지, 가열된 가스의 분무, 및 램프 조사로 이루어진 그룹으로부터 선택되는, 반도체 기판의 제작 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은, 절연층 위에 형성된 반도체층을 가지는 반도체 기판의 제작 방법 및 반도체 장치의 제작 방법에 관한 것이다.

[0002] 또한, 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능될 수 있는 장치 전반을 가리키고, 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.

배경 기술

[0003] 근년, 벌크 상태의 실리콘 웨이퍼 대신에, SOI(Silicon On Insulator) 기판을 사용한 집적 회로가 개발되고 있다. 절연층 위에 형성된 얇은 단결정 실리콘층의 특색을 살림으로써, 집적 회로 중의 트랜지스터의 반도체층을 완전히 분리하여 형성할 수 있고, 또 트랜지스터를 완전 공핍형으로 할 수 있으므로, 고집적, 고속 구동, 저소비 전력 등 부가 가치가 높은 반도체 집적 회로를 실현할 수 있다.

[0004] SOI 기판으로서, SIMOX 기판, 접합 기판이 알려져 있다. 예를 들어, SIMOX 기판은, 단결정 실리콘 기판에 산소 이온을 주입하여, 1300°C 이상에서 열 처리하여 매립 산화막(BOX; Buried Oxide)층을 형성함으로써, 표면에 단결정 실리콘 박막을 형성하여 SOI 기판을 얻는다.

[0005] 접합 기판은, 산화막을 개재하여 2장의 단결정 실리콘 기판(베이스 기판 및 본드 기판)을 접합하고, 한 쪽의 단결정 실리콘 기판(본드 기판)을 이면(접합되지 않는 면)으로부터 박막화함으로써, 단결정 실리콘 박막을 형성하여 SOI 구조를 얻는다. 연삭(研削)이나 연마로는 균일하고 얇은 단결정 실리콘 박막을 형성하기 어렵기 때문에, 스마트 컷(등록 상표)이라고 불리는 수소 이온 주입을 이용하는 기술이 제안되고 있다(예를 들어, 특허 문현 1 참조).

[0006] 이 SOI 기판의 제작 방법의 개요를 설명하면, 이온 임플란테이션법(ion implantation)에 의하여 실리콘 웨이퍼에 수소 이온을 주입함으로써, 표면으로부터 소정의 깊이에 이온 주입층을 형성한다. 다음에, 베이스 기판이 되는 다른 실리콘 웨이퍼를 산화하여 산화실리콘막을 형성한다. 그 후, 수소 이온을 주입한 실리콘 웨이퍼와, 다른 실리콘 웨이퍼의 산화실리콘막을 접합시켜, 2장의 실리콘 웨이퍼를 접합한다. 그리고, 가열 처리에 의하여, 이온 주입층을 벽개면(劈開面)으로 하여 실리콘 웨이퍼를 벽개시킴으로써, 베이스 기판에 얇은 단결정 실리콘층이 접합된 기판이 형성된다.

[0007] 이온 임플란테이션법은, 이온 주입법이라고도 불리고, 전공 중에서 시료에 주입하고자 하는 입자를 이온화시키고, 직류 혹은 고주파에 의하여 가속하여, 시료에 주입하는 방법이다. 이온 주입법을 사용한 이온 주입 장치는, 이온 원, 질량 분리부, 가속부, 범 주사부(정전 스캔), 주입실(종단국), 및 전공 배기 장치로 구성된다. 또한, 이온 범의 단면은 불균일하기 때문에, 시료 면 위에서의 균일성을 얻기 위하여, 이온 범을 전기적으로 주사한다. 또한, 주입한 입자는 깊이 방향으로 가우스 분포를 나타낸다.

[0008] 또한, SOI 기판을 사용한 반도체 장치의 일례로서, 특히 문헌 2가 알려져 있다. 특히 문헌 2에도, 이온 주입법을 사용하여 수소를 주입하는 기술이 개시된다.

[0009] [특허 문헌 1] 특개평 5-211128호 공보

[0010] [특허 문헌 2] 특개2000-012864호 공보

발명의 내용

해결 하고자하는 과제

[0011] 반도체 장치의 생산 효율을 높이기 위하여, 5인치보다 크게, 가능한 한 대구경 반도체 기판을 사용하여 반도체 장치를 제작하는 것이 기대된다.

[0012] 본 발명은, 막 두께가 얇고, 또 그 막 두께의 균일성이 높은 단결정 반도체층을 절연막 위에 가지는 SOI 기판의 제작 방법을 제공하는 것을 과제로 한다. 또한, 그 SOI 기판을 사용한 반도체 장치의 제작 방법을 제공하는 것도 과제로 한다.

[0013] 또한, 이온 주입법은, 소정의 전류량의 이온 범을 래스터(raster) 스캔하여 행해지기 때문에, 반도체 웨이퍼 내에서 이온 주입 농도의 변동이 생긴다. 이 변동을 반영하여 벽개 면도 평탄하지 않게 될 우려가 있다.

[0014] 또한, 소정의 전류량의 이온 범을 래스터 스캔하여 행해지는 이온 주입법은, 반도체 기판의 크기가 클 수록 1장당의 반도체 웨이퍼를 처리하는 시간이 길게 된다.

[0015] 거기서, 반도체 웨이퍼의 처리 시간을 단축하여, 1장당의 SOI 기판의 제작 시간을 단축하는 것도 본 발명의 과제로 한다.

과제 해결수단

[0016] 본 발명에서는, 5인치 이상의 큰 대구경의 반도체 기판, 예를 들어 12인치(직경 약 300mm)인 반도체 기판, 직경 약 400mm인 반도체 기판, 직경 약 450mm인 반도체 기판, 또한 그 이상의 구경을 가지는 반도체 기판을 사용하여, 이온 도핑법을 사용하여 수소 이온을 조사함으로써, 1장당의 SOI 기판의 제작 시간을 단축한다.

[0017] 질량 분리가 수반되지 않는 이온 도핑법은, 질량 분리가 수반되는 이온 주입법과 비교하여 단결정 반도체 기판에 손상 영역을 형성하는 택트 타임을 단축할 수 있다는 점에서 바람직하다.

[0018] 이온 주입 장치와 비교하여, 이온 도핑 장치는, 플라즈마 공간이 크고, 대량의 이온을 피처리 기판에 조사할 수 있다. 플라즈마 발생 방법으로서는, 어느 장치나, 예를 들어, 필라멘트를 가열하여 발생하는 열 전자에 의하여 플라즈마 상태를 형성한다. 그러나, 생성되는 수소 이온(H^+ , H_2^+ , H_3^+)이 기판에 도입(introduce)될 때의 수소 이온종의 비율은, 이온 도핑 장치와 이온 주입 장치에서 크게 상이하다. 이온 도핑 장치를 사용한 경우의 수소 이온종의 비율은 $H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$ 이다. 한편, 이온 주입 장치를 사용하는 경우의 수소 이온종의 비율은 $H^+ : H_2^+ : H_3^+ = 37 : 56 : 7$ 이다.

[0019]

본 명세서에서 개시하는 발명의 구성은, 이온 도핑법에 의하여 가속된 이온을 제 1 단결정 반도체 기판에 조사함으로써, 제 1 단결정 반도체 기판의 표면으로부터 소정의 깊이의 영역에 손상 영역을 형성하고, 제 2 단결정 반도체 기판 및 제 1 단결정 반도체 기판을 베퍼층을 개재하여, 제 2 단결정 반도체 기판과 제 1 단결정 반도체 기판을 밀착시켜, 제 2 단결정 반도체 기판과 제 1 단결정 반도체 기판을 접합하고, 제 1 단결정 반도체 기판을 가열함으로써 손상 영역에 균열이 생기게 하고, 제 1 단결정 반도체 기판의 일부를 제 1 단결정 반도체 기판으로부터 분리하고 제 1 단결정 반도체 기판으로부터 분리된 단결정 반도체층이 고정된 제 2 단결정 반도체 기판을 형성하고, 제 2 단결정 반도체 기판에 고정된 단결정 반도체층을 가열하면서, 단결정 반도체층에 레이저 빔을 조사하여, 단결정 반도체층을 용융시킴으로써, 단결정 반도체층을 재단결정화시키는 것을 특징으로 하는 반도체 기판의 제작 방법이다.

[0020]

본 발명은, 상기 과제의 적어도 하나를 해결한다.

[0021]

상기 구성에 있어서, 베퍼층은, 적층 구조이고, 제 1 단결정 반도체 기판 혹은 제 2 단결정 반도체 기판과 접합하는 절연막을 포함한다. 혹은, 베퍼층은, 제 1 단결정 반도체 기판 혹은 제 2 단결정 반도체 기판을 산화한 산화물막을 포함한다.

[0022]

또한, 상기 구성에 있어서, 제 2 단결정 반도체 기판의 직경은, 적어도 5인치 이상인 반도체 웨이퍼이다. 실리콘 웨이퍼의 경우, 결정 성장의 기초가 되는 종결정을 회전시키면서, 도가니 내의 용해 실리콘에 담궈, 아르곤 분위기 중에서 서서히 끌어 올리는 액상 인상(引上)법(CZ법)에 의하여 실리콘의 잉곳(ingot)을 제작하고, 잉곳을 슬라이서나 멀티 와이어 소(wire-saw) 등에 의하여 원하는 두께로 슬라이스함으로써 실리콘 웨이퍼를 제작한다. 또한, 화합물 반도체 단결정 웨이퍼를 사용할 수도 있다. 대구경 웨이퍼를 제작하는 경우, 도가니 용적을 크게 하여야 하지만, 도가니 내의 결정 용액의 대류가 커지므로, 얻어지는 단결정의 품질이 저하 된다는 문제가 생긴다. 따라서, 실리콘 용액에 자장을 인가하여 외견상의 동점성율(動粘性率)을 높여 용액의 대류를 제어하는 자장 인가 인상법(MCZ법)도 사용된다. 또한, 부유대역 용융법(FZ법)에 의하여 실리콘의 잉곳을 제작하는 경우도 있다. 본 명세서에 제시하는 단결정 반도체 기판이란, MCZ법이나 CZ법이나 FZ법을 사용하여 얻어지는 실리콘 단결정 웨이퍼와 함께, 화합물 반도체 단결정 기판(GaAs, GaP, GaIn, SiGe, SiC 등) 등도 포함하고, 또한 미량으로 게르마늄을 포함하는 실리콘 단결정 웨이퍼, 미량으로 봉소를 포함하는 실리콘 단결정 웨이퍼를 가리키는 것으로 한다.

[0023]

또한, 접합하는 웨이퍼로서 다결정 웨이퍼를 사용할 수 있고, 다른 발명의 구성은, 이온 도핑법에 의하여 가속된 이온을 단결정 반도체 기판에 조사함으로써, 단결정 반도체 기판의 표면으로부터 소정의 깊이의 영역에 손상 영역을 형성하고, 다결정 반도체 기판 및 단결정 반도체 기판을 베퍼층을 개재하여, 다결정 반도체 기판과 단결정 반도체 기판을 밀착시켜, 다결정 반도체 기판과 단결정 반도체 기판을 접합시키고, 단결정 반도체 기판을 가열함으로써 손상 영역에 균열이 생기게 하고, 단결정 반도체 기판의 일부를 단결정 반도체 기판으로부터 분리하여 단결정 반도체 기판으로부터 분리된 단결정 반도체층이 고정된 다결정 반도체 기판을 형성하고, 다결정 반도체 기판에 고정된 단결정 반도체층을 가열하면서, 단결정 반도체층에 레이저 빔을 조사하여, 단결정 반도체층을 용융시킴으로써, 단결정 반도체층을 재단결정화시키는 것을 특징으로 하는 반도체 기판의 제작 방법이다.

[0024]

상기 구성에 있어서, 베퍼층은, 적층 구조이며, 단결정 반도체 기판 혹은 다결정 반도체 기판과 접합하는 절연막을 포함한다. 혹은, 베퍼층은, 적층 구조이고, 단결정 반도체 기판 혹은 다결정 반도체 기판을 산화한 산화물막을 포함한다.

[0025]

또한, 상기 구성에 있어서, 다결정 반도체 기판의 직경은, 적어도 5인치 이상인 웨이퍼이다. 본 명세서에 제시하는 다결정 반도체 기판이란, 실리콘 다결정 웨이퍼와 함께, 화합물 반도체 다결정 기판도 포함하고, 또한 미량으로 게르마늄을 포함하는 실리콘 다결정 웨이퍼, 미량으로 봉소를 포함하는 실리콘 다결정 웨이퍼를 가리키는 것으로 한다.

[0026]

또한, 상기 각 구성에 있어서, 베퍼층은, 적층 구조이고, 질화실리콘막 혹은 질화산화실리콘막을 포함한다. 베퍼층의 1층으로서 질화실리콘막이나 질화산화실리콘막을 사용한 경우, 질화실리콘막이나 질화산화실리콘막에 의하여 생기는 Si의 격자 변형을 이용하여 높은 전자 이동도를 가지는 트랜지스터를 제작할 수 있다.

[0027]

또한, 상기 각 구성에 있어서, 베퍼층은 적층 구조이고, 단결정 반도체층에 밀착하는 절연막을 가지고, 절연막은 염소 혹은 불소 등의 할로겐을 포함한다. 단결정 반도체층에 접하는 절연막에 할로겐을 포함시킴으로써, 500°C 내지 1100°C의 가열 처리를 행할 때나, 레이저 빔을 조사할 때, 그 절연막도 가열되기 때문에, 절연

막으로부터 할로겐이 확산되고, 단결정 반도체층과 절연막 계면에 할로겐을 편석(偏析)시킬 수 있다. 할로겐을 단결정 반도체층과 절연막의 계면에 편석시킴으로써, 할로겐에 의하여 이 계면에 존재하는 나트륨 등의 불순물 이온을 포획할 수 있다. 따라서, 할로겐을 포함하는 절연막의 형성은, 나트륨 등의 불순물 오염을 방지하기 위하여, 매우 효과적이다.

[0028] 또한, 상기 각 구성에 있어서, 또 단결정 반도체층의 표면에 대하여 화학 기계 연마 등의 연마 혹은 연삭을 행하여, 단결정 반도체층의 표면 평탄성을 향상시키거나, 혹은 단결정 반도체층의 막 두께를 얇게 하여도 좋다. 또한, 화학 기계 연마(Chemical Mechanical Polishing, 약칭: CMP)는, 알칼리성 용액과 연마 스크립트(砥粒)를 혼합시킨 슬러리(slurry)를 사용하여 화학적 또 기계적으로 연마하여 표면을 평탄화하는 처리이다.

[0029] 또한, 상기 각 구성에 있어서, 레이저 빔 조사할 때에 가열하는 단결정 반도체층의 가열 온도는, 500°C 이상 1100°C 이하로 한다. 단결정 반도체층의 가열은 스테이지에 형성하는 가열 수단, 혹은 가열된 가스의 분무, 혹은 램프 조사에 의하여 행한다.

[0030] 또한, 상기 각 구성에 있어서, 레이저 광의 조사 영역의 상면 형상은 선형, 정사각형, 직사각형으로 한다. 레이저 광의 조사 영역의 길이는, 조사하는 반도체 웨이퍼의 직경보다 길게 하고, 반도체 웨이퍼를 고정한 스테이지를 일 방향으로 이동시킴으로써 반도체 웨이퍼 전면에 레이저 조사자를 행한다.

[0031] 여기서, 단결정이란, 어느 결정 축에 주목한 경우, 그 결정 축의 방향이 시료의 어느 부분에 있어서 같은 방향을 향하는 결정을 가리키고, 또 결정과 결정 사이에 결정립계가 존재하지 않는 결정이다. 또한, 본 명세서에서는, 결정 결합이나 댱글링 본드를 포함하여도, 상기한 바와 같이 결정 축의 방향이 일치되고, 입체가 존재하지 않는 결정인 것은 단결정으로 한다. 또한, 단결정 반도체층의 재단결정화란, 단결정 구조의 반도체층이, 그 단결정 구조와 상이한 상태(예를 들어, 액상 상태)를 거쳐, 다시 단결정 구조가 되는 것을 가리킨다. 혹은, 단결정 반도체층의 재단결정화란, 단결정 반도체층을 재결정화하여, 단결정 반도체층을 형성하는 것을 가리킬 수도 있다.

효과

[0032] 이온 도핑 장치를 사용함으로써, 종래의 이온 주입법을 사용한 SOI 기판의 제작 방법과 비교하여, 수소 이온을 조사하는 시간을 단축하고, 1장당의 SOI 기판의 제작 시간을 단축할 수 있다.

발명의 실시를 위한 구체적인 내용

[0033] 본 발명의 실시형태에 대하여, 이하에 설명한다.

[0034] (실시형태 1)

[0035] SOI 기판의 제작 방법에 대하여 도 1a 내지 도 1e를 참조하여 이하에 설명한다. 우선, 제 1 반도체 웨이퍼(101) 위에 베퍼층(102)을 형성한다.

[0036] 여기서는, 제 1 반도체 웨이퍼(101)로서, 액정 방위가 (100)인 12인치의 단결정 실리콘 웨이퍼(직경 약 300mm)를 예로 사용한다.

[0037] 원 형상의 단결정 웨이퍼에는, 실리콘이나 게르마늄 등의 반도체 웨이퍼, 갈륨 비소나 인듐 인 등의 화합물 반도체 웨이퍼 등이 있다. 물론, 단결정 반도체 기판은, 원형 웨이퍼에 한정되지 않고, 다양한 형상의 단결정 반도체 기판을 사용할 수 있다. 예를 들어, 원형, 직사각형, 오각형, 육각형 등의 다각형 기판을 사용할 수 있다.

[0038] 또한, 직사각형 단결정 반도체 기판은, 시중 판매되는 원형 형상의 단결정 반도체 웨이퍼를 절단함으로써 형성할 수 있다. 기판의 절단에는, 다이서 혹은 와이어 소 등의 절단 장치, 레이저 절단, 플라즈마 절단, 전자 빔 절단, 그 외 임의의 절단 수단을 사용할 수 있다. 또한, 기판으로서 박편화되기 전의 반도체 기판 제작용의 잉곳을, 그 단면이 직사각형이 되도록 직방체 형상으로 가공하고, 이 직방체 형상의 잉곳을 박편화함으로써도, 직사각형 형상 단결정 반도체 기판을 제작할 수 있다. 또한, 단결정 반도체 기판의 두께는 특히 한정되지 않지만, 단결정 반도체 기판을 재이용하는 것을 고려하면, 두께를 1장의 원료 웨이퍼로 더 많은 단결정 반도체층을 형성할 수 있기 때문에 바람직하다. 시장에서 유통되는 단결정 반도체 실리콘 웨이퍼의 두께는, 그 크기가 SEMI 규격에 준하고, 예를 들어, 직경이 6인치인 웨이퍼는 625 μ m, 직경 8인치의 웨이퍼는 막 두께 725 μ m, 직경 12인치의 웨이퍼는 775 μ m가 된다. 또한, SEMI 규격의 웨이퍼 두께는 공차(tolerance) $\pm 25\mu$ m를 포함한다. 물론, 원료 웨이퍼의 두께는 SEMI 규격에 한정되지 않고, 잉곳을 슬라이스할 때, 그 두께를 적절히 조

절할 수 있다. 물론, 재이용된 단결정 반도체 기판을 사용할 때는, 그 두께는 SEMI 규격보다 얕게 된다.

[0039] 베퍼층(102)은, 1층 혹은 2층 이상의 막으로 형성할 수 있다. 베퍼층(102)으로서는, 충분한 평탄성을 얻을 수 있다면, PECVD법 혹은 스팍터링법에 의하여 얻어지는 산화실리콘막, 산질화실리콘막, 질산화실리콘막, 질화실리콘막, 산화계르마늄막, 질화계르마늄막, 산질화계르마늄막, 질산화계르마늄막 등의 실리콘 혹은 게르마늄을 조성에 포함하는 절연막을 사용할 수 있다. 또한, 베퍼층(102)으로서 프로세스 가스에 유기 실란 가스와 산소를 사용하여, PECVD법으로 형성되는 산화실리콘막을 사용하여도 좋다. 또한, 열 산화에 의하여 얻어지는 열 산화막을 사용할 수도 있다. 다만, 열 산화에 의하여 얻어지는 열 산화막은 웨이퍼의 표면 및 이면 및 단면(端面)을 포함하는 표면에 형성된다.

[0040] 또한, 베퍼층(102)으로서 산화알루미늄, 산화탄탈, 산화하프늄 등의 금속 산화물로 이루어지는 절연막, 질화알루미늄 등의 금속 질화물로 이루어지는 절연막, 산질화알루미늄막 등의 금속 산질화물로 이루어지는 절연막, 질산화알루미늄막 등의 금속 질화물로 이루어지는 절연막을 사용할 수도 있다.

[0041] 또한, 본 명세서에 있어서, 산질화물이란, 그 조성으로서, 질소 원자수보다 산소 원자수가 많은 물질로 하고, 또한, 질산화물이란, 그 조성으로서, 산소 원자수보다 질소 원자수가 많은 물질로 한다. 예를 들어, 산질화실리콘이란, 산소가 55at.% 내지 65at.%, 질소가 1at.% 내지 20at.%, Si이 25at.% 내지 35at.%, 수소가 0.1at.% 내지 10at.%의 범위로 포함되는 물질로 한다. 질산화실리콘이란, 산소가 15at.% 내지 30at.%, 질소가 20at.% 내지 35at.%, Si가 25at.% 내지 35at.%, 수소가 15at.% 내지 25at.%의 범위로 포함되는 물질로 한다.

[0042] 본 실시형태에서는, 베퍼층(102)으로서 PECVD법에 의하여 얻어지는 산화실리콘막(막 두께 100nm)과, 그 위에 질화실리콘막(막 두께 50nm)을 적층한 2층 구조를 사용한다. 또한, 제 1 반도체 웨이퍼(101) 위에 접하여 질화실리콘막을 형성하는 것은, 이후 형성되는 트랜지스터의 특성상 바람직하지 않으므로, 사이에 산화실리콘막을 형성한다. 또한, 질화실리콘막 대신에 질산화실리콘막을 사용하여도 좋다.

[0043] 또한, 베퍼층(102)의 적어도 1층으로서 질화실리콘막, 질산화실리콘막 등의 질산화물을 사용하는 경우, 베퍼층(102)의 막 응력에 의하여 생기는 Si의 격자 변형을 이용하여 베퍼층(102) 위에 높은 전자 이동도를 가지는 트랜지스터를 제작할 수 있다.

[0044] 여기까지의 단계를 도시하는 공정 단면도가 도 1a에 상당한다.

[0045] 다음에, 이온 도핑 장치를 사용하여 베퍼층(102)을 통하여 제 1 반도체 웨이퍼(101)에 H_3^+ 이온을 조사 한다. 이 도핑의 조건은 전원 출력 100W, 가속 전압 35kV, 도즈량 $2.2 \times 10^{16} \text{ ions/cm}^2$ 로 한다. 이온 도핑 장치는 이온의 분포를 균일화하기 위하여 제 1 반도체 웨이퍼(101)를 회전시킨다. 이 H_3^+ 이온의 조사에 의하여 수소를 많이 포함하는 손상 영역(103)이 형성된다. 또한, 손상 영역(103)과 베퍼층(102) 사이에는, 단결정 반도체층(104)이 형성된다. 여기까지의 단계를 도시하는 공정 단면도가 도 1b에 상당한다. 이 단결정 반도체층(104)의 막 두께는, 손상 영역(103)의 깊이 방향의 위치에 따라 결정된다. 따라서, 단결정 반도체층(104)의 막 두께는, H_3^+ 이온의 도핑 조건(가속 전압 등)에 의존한다. 조사되는 수소 이온종의 전체에 있어서의 H_3^+ 이온의 비율을 높이면 효율을 높일 수 있고, 조사 시간을 단축할 수 있다.

[0046] 다음에, 베퍼층(102)이 형성된 제 1 반도체 웨이퍼(101)를 순수(純水) 중에서 초음파 세정한다.

[0047] 다음에, 베퍼층(102) 표면을 청정화한 후, 제 2 반도체 웨이퍼(105)의 한쪽 면을 밀착시키고, 제 1 반도체 웨이퍼(101)와 제 2 반도체 웨이퍼(105)를 중첩하여 접합한다. 또한, 접합을 형성하는 제 2 반도체 웨이퍼(105)의 한쪽 면은, 충분히 청정화한다. 제 1 반도체 웨이퍼(101)와 제 2 반도체 웨이퍼(105)를 중첩하여, 적어도 1개소를 외부로부터 가볍게 밀면, 국소적으로 접합면들 거리가 줄어듦으로써, 반데르발스 힘(Van der Waal's forces)이 강해지고, 또 수소 결합도 기여하여, 서로 끌어당김으로써, 제 1 반도체 웨이퍼(101)와 제 2 반도체 웨이퍼(105)가 접합한다. 또한, 인접한 영역에서도 대향하는 기판 간의 거리가 줄어듦으로써, 반데르발스 힘이 강하게 작용하는 영역이나 수소 결합이 관여하는 영역이 확대됨으로써, 본딩이 진행되어 접합면 전역에 접합이 확대된다.

[0048] 또한, 제 1 반도체 웨이퍼(101)의 베퍼층이 형성되는 면과 제 2 반도체 웨이퍼(105)의 한쪽 면을 밀착시키기 전에 오존을 포함하는 순수로 세정하여도 좋다.

[0049] 또한, 제 1 반도체 웨이퍼(101)의 베퍼층이 형성되는 면과 제 2 반도체 웨이퍼(105)의 한쪽 면을 밀착

시키기 전에 제 1 반도체 웨이퍼(101) 위에 베퍼층의 1층이 되는 절연막을 더 형성하여도 좋다. 또한, 제 1 반도체 웨이퍼(101)의 베퍼층이 형성되는 면과 제 2 반도체 웨이퍼(105)의 한쪽 면을 밀접시키기 전에 제 2 반도체 웨이퍼(105) 위에 베퍼층의 1층이 되는 절연막을 더 형성하여도 좋다.

[0050] 제 1 반도체 웨이퍼(101)와 제 2 반도체 웨이퍼(105)를 베퍼층(102)을 개재하여 접합한 후에, 가열 처리 혹은 가압 처리를 행하는 것이 바람직하다. 가열 처리 혹은 가압 처리를 행함으로써 접합 강도를 향상시킬 수 있게 된다. 여기서의 가열 온도는, 손상 영역(103)에 첨가한 원소 혹은 분자가 석출되지 않는 온도로 하고, 그 가열 온도는 350°C 이하인 것이 바람직하다. 바꾸어 말하면, 이 가열 온도는 손상 영역(103)에서 가스가 빠지지 않는 온도이다. 가압 처리를 행하는 경우는, 접합면에 수직한 방향으로 압력이 가해지도록 행하고, 제 1 반도체 웨이퍼(101) 및 제 2 반도체 웨이퍼(105)의 내압성을 고려하여 행한다.

[0051] 여기까지의 단계를 제시하는 공정 단면도가 도 1c에 상당한다.

[0052] 다음에, 400°C 내지 600°C의 가열 처리를 행함으로써, 손상 영역(103)에 형성된 미소한 공동(空洞)의 체적 변화가 일어나, 손상 영역(103)을 따라 벽개한다. 또한, 여기에 있어서의 가열 처리에 의하여, 접합층의 접합 강도가 높아진다. 가열 처리는, 가열하기 위한 노(爐)나 레이저 범의 조사로 행할 수 있다. 여기서의 가열 처리에는, RTA(Rapid Thermal Anneal) 장치, 저항 가열로, 마이크로파 가열 장치를 사용할 수 있다. RTA 장치에는, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치를 사용할 수 있다. 이 가열 처리로, 단결정 반도체층(104)이 접합된 제 2 반도체 웨이퍼(105)의 온도를 550°C 이상 650°C 이하의 범위로 상승시키는 것이 바람직하다.

[0053] 본 실시형태에서는, 저항 가열을 가지는 종형로를 사용한 가열 처리를 행한다. 제 1 반도체 웨이퍼(101)가 접합된 제 2 반도체 웨이퍼(105)를 종형로의 보트에 재치(載置)한다. 보트를 종형로의 챔버에 반입한다. 제 1 반도체 웨이퍼(101)의 산화를 억제하기 위하여, 우선 챔버 내를 배기하여 진공 상태로 한다. 진공도는, 5×10^{-3} Pa 정도로 한다. 진공 상태로 한 후, 질소를 챔버 내에 공급하여, 챔버 내를 대기압의 질소 분위기로 한다. 그 동안, 가열 온도를 200°C로 상승시킨다.

[0054] 챔버 내를 대기압의 질소 분위기로 한 후, 온도 200°C에서 2시간 가열한다. 그 후, 1시간에 걸쳐서 400°C로 온도 상승시킨다. 가열 온도 400°C의 상태가 안정되면, 1시간에 걸쳐서 온도를 600°C로 상승시킨다. 가열 온도 600°C의 상태가 안정되면, 600°C에서 2시간 가열 처리한다. 그 후, 1시간에 걸쳐서, 가열 온도 400°C까지 내려, 10분간 내지 30분간 후에, 챔버 내로부터 보트를 반출한다. 대기 분위기하에서, 보트 위의 제 1 반도체 웨이퍼(101), 및 제 2 반도체 웨이퍼(105)가 접합된 제 2 반도체 웨이퍼(105)를 냉각한다.

[0055] 상기 저항 가열로를 사용한 가열 처리는, 제 1 반도체 웨이퍼(101)와 제 2 반도체 웨이퍼(105)의 결합력을 강화하기 위한 가열 처리와, 손상 영역(103)에 분리가 생기게 하는 가열 처리가 연속하여 행해진다. 이 2개의 가열 처리를 상이한 장치에서 행하는 경우는, 예를 들어, 저항 가열로에 있어서, 처리 온도 200°C, 처리 시간 2시간의 가열 처리를 행한 후, 접합된 제 2 반도체 웨이퍼(105)와 제 1 반도체 웨이퍼(101)를 노에서 반출한다. 다음에, RTA 장치에서, 처리 온도 600°C 이상 700°C 이하, 처리 시간 1분 이상 30분 이하의 가열 처리를 행하여, 제 1 반도체 웨이퍼(101)를 손상 영역(103)에서 분할시킨다.

[0056] 700°C 이하의 저온 처리로, 제 1 반도체 웨이퍼(101)와 제 2 반도체 웨이퍼(105)를 강고하게 접합시키기 위해서는, 베퍼층(102) 표면, 및 지지 기판 표면에 OH기, 물 분자(H₂O)가 존재하는 것이 바람직하다. 이것은, 베퍼층(102)과 제 2 반도체 웨이퍼(105)의 접합이, OH기나 물 분자가 공유 결합(산소 분자와 수소 분자의 공유 결합)이나 수소 결합을 형성함으로써 시작되기 때문이다.

[0057] 상술한 공정을 거쳐, 도 1d에 도시하는 SOI 기판을 얻을 수 있다. 도 1d에 도시하는 SOI 기판은, 제 2 반도체 웨이퍼(105) 위에 베퍼층(102)을 가지고, 그 베퍼층(102) 위에 단결정 반도체층(104)을 가지는 구조이다.

[0058] 도 1d에 도시하는 단계의 단결정 반도체층(104)에는, 손상 영역(103)의 형성, 및 손상 영역(103)에서의 벽개 등에 의하여, 결정성이 손실된다. 즉, 가공되기 전의 제 1 반도체 웨이퍼(101)에는 없는 전이(轉移) 등의 결정 결함이나, 댕글링 본드와 같은 미소한 결정 결함이 단결정 반도체층(104)에 형성된다. 또한, 단결정 반도체층(104) 표면은, 제 1 반도체 웨이퍼(101)로부터의 분리면이고, 평탄성이 손실된다. 또한, 단결정 반도체층 표면의 평탄성은, 원자간력 현미경에 의한 관찰 등에 의하여 평가할 수 있다. 도 1d에 도시하는 단계의 단결정 반도체층(104)의 평탄성은, 산술 평균 거칠기 Ra가 약 8nm, 제곱 평균 제곱근 거칠기 RMS가 약 11nm, 최대 고저

차값 P-V가 약 150nm 이상이다.

[0059] 다음에, 단결정 반도체층(104)의 평탄성을 향상시키기 위한 처리 혹은 결정성을 회복시키는 처리를 행한다. 평탄성을 향상시키는 처리로서, 화학 기계 연마(Chemical Mechanical Polishing, 약칭: CMP) 혹은 레이저 광의 조사를 행한다.

[0060] 단결정 반도체층(104)의 평탄성을 향상시키기 위하여, CMP를 행하는 경우, CMP를 행한 후, CMP 처리에서 사용하는 슬러리 등을 세정하고, 그 후 500°C 내지 1100°C의 가열 처리를 행하여 결정성을 회복시킨다. 500°C 내지 1100°C의 가열 처리는, RTA 장치, 저항 가열로, 마이크로파 가열 장치를 사용할 수 있다. RTA 장치에는, GRTA 장치, LRTA 장치를 사용할 수 있다. 또한, 우선 500°C 내지 1100°C의 가열 처리를 행하여 결정성을 회복시킨 후, CMP를 행하여도 좋다.

[0061] 또한, 단결정 반도체층(104)의 평탄성을 향상시키기 위하여, 레이저 빔을 조사하는 경우, 평탄성의 향상과 결정성의 회복의 양쪽 모두를 행할 수 있다. 레이저 빔의 조사에 의하여, 단결정 반도체층(124)의 평탄성은, 평균 거칠기 Ra가 약 2nm 이하, 제곱 평균 제곱근 거칠기 RMS가 약 2nm 이하, 최대 고저차값 P-V가 약 25nm 이하로 할 수 있다. 또한, 레이저 조사 처리된 단결정 반도체층(104)은, 레이저 조사하기 전의 단결정 반도체층보다 결정성이 향상된다. 또한, 단결정 반도체층의 결정성은, 광학 현미경에 의한 관찰, 및 라만 분광 스펙트럼으로 얻어지는 라만 시프트, 반치전폭(full width at half maximum) 등에 의하여 평가할 수 있다.

[0062] 여기서는, 도 1e에 도시하는 바와 같이, 이동이 가능한 스테이지(100)에 히터를 내장시켜 제 2 반도체웨이퍼(105)를 500°C 내지 1100°C로 가열시키면서 이동시켜, 단결정 반도체층(104) 표면에 레이저 빔(125)을 조사하여 평탄성이 향상된 단결정 반도체층(124)을 가지는 SOI 기판을 제작할 수 있다. 레이저 조사 후, 단결정 반도체층(124)에 500°C 이상 1100°C 이하의 가열 처리를 행하는 것이 바람직하다. 이 가열 처리에 의하여, 레이저 빔의 조사로 회복되지 않는 단결정 반도체층(124)의 결합 소멸, 단결정 반도체층(124)의 변형 완화를 할 수 있다. 이 가열 처리에는, RTA 장치, 저항 가열로, 마이크로파 가열 장치를 사용할 수 있다. RTA 장치에는, GRTA 장치, LRTA 장치를 사용할 수 있다.

[0063] 또한, 레이저 빔(125)을 조사하기 전에 에칭 처리를 행하는 것이 바람직하다. 이 에칭 처리에 의하여, 단결정 반도체층(104)의 분리면에 남은 손상 영역(103)을 제거하는 것이 바람직하다. 손상 영역(103)을 제거함으로써, 레이저 빔(125)의 조사에 의하여, 표면 평탄화의 효과, 및 재단결정화의 효과를 높일 수 있다.

[0064] 이 에칭 처리에는, 드라이 에칭법, 혹은 웨트 에칭법을 사용할 수 있다. 드라이 에칭법은, 에칭 가스로서, 염화붕소, 염화실리콘 혹은 사염화탄소 등의 염화물 가스, 염소 가스, 불화유황, 불화질소 등의 불화물 가스, 산소 가스 등을 사용할 수 있다. 웨트 에칭법은, 에칭액으로서, 수산화 테트라메틸암모늄(Tetra Methyl Ammonium Hydroxide, 약칭: TMAH) 용액을 사용할 수 있다.

[0065] 레이저 빔(125)을 조사하면, 단결정 반도체층(104)이 레이저 빔(125)을 흡수하여, 레이저 빔(125)이 조사된 부분의 온도가 상승된다. 이 부분의 온도가 단결정 반도체층(104)의 융점 이상의 온도가 되면 용융된다. 스테이지(100)가 이동함으로써, 레이저 빔(125)의 조사 영역이 이동되기 때문에, 단결정 반도체층(104)의 융음 부분의 온도가 내려가, 융점 이하의 온도가 되면 이 용융 부분은 응고되어, 재단결정화된다. 레이저 빔(125)을 조사하여, 단결정 반도체층(104)을 용융하면서, 레이저 빔(125)을 조사하고, 단결정 반도체층(104)을 용융하면서, 레이저 빔(125)을 주사하여, 단결정 반도체층 전면에 레이저 빔을 조사한다.

[0066] 또한, 레이저 빔(125)의 조사에 의하여, 단결정 반도체층(104)의 레이저 빔(125)이 조사되는 영역을 부분 용융시킨다. 단결정 반도체층(104)을 부분 용융 상태로 한다는 것은, 단결정 반도체층(104)이 용융되는 깊이를 벼퍼층(102)의 계면(단결정 반도체층(104)의 두께)보다 얕게 하는 것이다. 즉, 단결정 반도체층(104)에 있어서 부분 용융 상태란, 단결정 반도체층(104)의 상층은 용융되어 액상(液相)이 되고, 하층은 용융되지 않아 그대로 고상(固相)의 단결정 반도체인 상태를 가리킨다.

[0067] 레이저 빔(125)의 조사에 의하여, 부분 용융시킴으로써, 단결정 반도체층(104)에서는, 용융된 부분이 응고될 때, 하층의 용융되지 않는 고상 부분인 단결정 반도체로부터 결정 성장하고, 소위 세로 성장이 일어난다. 하층의 고상 부분은 단결정이고, 결정 방위가 일치되기 때문에, 결정립계가 형성되지 않고, 레이저 조사 처리 후의 단결정 반도체층(124)은 결정립계가 없는 단결정 반도체층으로 할 수 있다. 또한, 용융된 상층은 응고됨으로써 재단결정화되지만, 하층의 고상 부분의 단결정 반도체와 결정 방위가 일치된 단결정 반도체가 형성된다. 따라서, 제 1 반도체 웨이퍼(101)로서 주 표면의 면 방위가 (100)인 단결정 실리콘 웨이퍼를 사용한 경우, 단결정 반도체층(104)의 주 표면의 면 방위는 (100)이고, 레이저 조사 처리에 의하여 부분 용융시켜, 재

단결정화된 단결정 반도체층(124)의 주 표면의 면 방위는 (100)이 된다.

[0068] 레이저 빔(125)의 조사에 의하여, 단결정 반도체층(104)을 부분 용융시킴으로써, 표면이 평탄한 단결정 반도체층(124)을 형성할 수 있다. 이것은, 레이저 빔의 조사에 의하여 단결정 반도체층이 용융된 부분은 액체 이므로, 표면 장력의 작용에 의하여, 그 표면적이 최소가 되도록 변형한다. 즉, 액체 부분은 오목부, 및 볼록부가 없어지도록 변형함으로써, 이 액체 부분이 응고되어, 재단결정화되기 때문에, 표면이 평탄화된 단결정 반도체층(124)을 형성할 수 있다.

[0069] 레이저 빔(125)을 조사할 때, 500°C 내지 1100°C의 가열을 행하는 장점은, 단결정 반도체층이 용융되는 시간을 연장시킬 수 있다는 점과, 레이저 빔의 조사 영역을 미리 가열함으로써 단결정 반도체층의 용융에 필요한 레이저 빔의 에너지를 저감할 수 있는 점을 적어도 들 수 있다. 용융된 단결정 반도체층의 냉각 속도를 자연 냉각과 비교하여 저감시킬 수 있으면, 용융된 시간을 연장함으로써 재단결정화가 원활하게 행해지고, 입계가 없는 단결정 반도체층을 얻을 수 있다.

[0070] 실온에서 레이저 빔을 조사한 경우, 용융되는 시간은 약 100나노초 정도 이하이지만, 스테이지의 가열 수단에 의하여 단결정 반도체층을 가열함으로써, 용융되는 시간을 100나노초 이상으로 연장할 수 있고, 예를 들어 용융되는 시간을 200나노초 이상으로 할 수 있다.

[0071] 용융되는 시간을 연장함으로써, 단결정 반도체층이 레이저 빔의 조사에 의하여 용융되고 나서 고화될 때까지, 다음 레이저 빔을 조사할 수 있기 때문에, 샷(shot) 횟수를 저감할 수 있다. 샷 횟수를 저감하여도 충분한 평탄성을 얻을 수 있다. 또한, 샷 횟수를 저감하는 것은 생산성의 향상에 기여한다. 레이저 빔의 주사에 있어서, 1번의 샷과 다음 샷을 일부분 중첩하여 오버랩시키는 비율을 오버랩율이라고도 부르지만, 용융되는 시간을 연장함으로써, 오버랩율도 1/10 정도까지 저감할 수 있고, 또 0%로 할 수도 있다. 또한, 단결정 반도체층의 용융에 필요한 레이저 빔의 에너지를 저감할 수 있으면, 광학계 등을 조절함으로써, 1번의 샷 조사 면적도 확대할 수 있다. 1번의 샷의 조사 면적도 확대할 수 있으면, 1장당의 레이저 처리에 걸리는 시간을 단축할 수도 있다.

[0072] 특히, 본 실시형태와 같이, 대구경의 웨이퍼(12인치의 단결정 실리콘 웨이퍼(직경 약 300mm)를 사용하는 경우, 1번의 샷의 조사 면적을 확대하여 처리 시간을 짧게 하는 것은 유효하다.

[0073] 레이저 빔(125)을 발진하는 레이저 발진기는, 그 발진 파장이, 자외광 영역 내지 가시광 영역에 있는 것이 선택된다. 레이저 빔(125)의 파장은, 단결정 반도체층(104)에 흡수되는 파장으로 한다. 그 파장은, 레이저 광의 표피 깊이(skin depth) 등을 고려하여 결정할 수 있다. 예를 들어, 파장은 250nm 이상 700nm 이하의 범위로 할 수 있다.

[0074] 이 레이저 발진기로서, 연속 발진 레이저, 의사 연속 발진 레이저 및 펄스 발진 레이저를 사용할 수 있다. 부분 용융시키기 위해 펄스 발진 레이저를 사용하는 것이 바람직하다. 펄스 발진 레이저의 경우는, 반복 주파수 1MHz 이하, 펄스 폭 10n초 이상 500n초 이하로 할 수 있다. 대표적인 펄스 발진 레이저는, 400nm 이하의 파장의 빔을 발진하는 엑시머 레이저이다. 레이저로서, 예를 들어, 반복 주파수 10Hz 내지 300Hz, 펄스 폭 25n초, 파장 308nm의 XeCl 엑시머 레이저를 사용할 수 있다.

[0075] 레이저 빔(125)의 에너지는, 레이저 빔(125)의 파장, 레이저 빔(125)의 표피 깊이, 단결정 반도체층(104)의 막 두께 등을 고려하여 결정할 수 있다. 레이저 빔(125)의 에너지는, 예를 들어, $300\text{mJ}/\text{cm}^2$ 이상 $800\text{mJ}/\text{cm}^2$ 이하의 범위로 할 수 있다. 예를 들어, 단결정 반도체 기판(104)의 두께가 120nm 정도이고, 레이저 발진기에 펄스 발진 레이저를 사용하여, 레이저 빔(125)의 파장이 308nm인 경우는, 레이저 빔(125)의 에너지 밀도는 $600\text{mJ}/\text{cm}^2$ 내지 $700\text{mJ}/\text{cm}^2$ 로 할 수 있다.

[0076] 레이저 빔(125)을 조사하는 분위기는, 분위기를 제어하지 않는 대기 분위기, 산소가 적은 질소 가스 분위기의 어느 분위기에서나, 단결정 반도체층(104)의 평탄화의 효과가 있는 것이 확인되었다. 또한, 대기 분위기보다 질소 가스 분위기가 바람직한 것이 확인되었다. 질소 분위기나 진공 상태가, 대기 분위기보다 단결정 반도체층(104)의 평탄성을 향상시키는 효과가 높고, 또 이를 분위기가 대기 분위기보다 크랙의 발생을 억제하는 효과가 높으므로, 레이저 빔(125)을 사용할 수 있는 에너지 범위가 확대된다.

[0077] 또한, 레이저 빔을 조사할 때의 반도체 웨이퍼를 둘러싸는 분위기는, 산소나 수분을 극히 적게 한 질소 가스 분위기가 바람직하다. 질소 가스 분위기에 포함되는 산소 농도는 30ppm 이하, 바람직하게는 30ppb 이하인

것이 바람직하다. 더 바람직하게는, 질소 가스 분위기에 포함되는 수분(H₂O) 농도도 30ppm 이하인 것이 바람직하다. 바람직하게는, 질소 가스 분위기에 포함되는 산소 농도 30ppb 이하, 또 수분 농도 30ppb 이하로 한다.

[0078] 또한, 질소 가스 분위기 중에서, 레이저 빔의 조사 영역에 500°C 내지 1100°C로 가열한 질소 가스를 분출하면서 레이저 빔의 조사를 행함으로써, 단결정 반도체층(104)의 표면 온도를 높게 유지할 수 있다. 물론, 분출하는 질소 가스도 고순도의 질소 가스를 사용하는 것이 바람직하고, 질소 가스에 포함되는 산소 농도는 30ppm 이하, 바람직하게는 30ppb 이하인 것이 바람직하다. 레이저 조사를 행할 때, 질소 분위기 및 분출하는 질소 가스에 포함되는 산소 원소를 극히 저감함으로써, 단결정 반도체층 표면에 레이저 조사에 의한 산화막이 형성되는 것을 방지한다.

[0079] 또한, 공정수가 증가되지만, 500°C 내지 1100°C의 가열 처리를 행한 후, 실온에서 레이저 빔의 조사를 행하고, 또 CMP를 행할 수도 있다. 또한, 공정수가 증가되지만, 500°C 내지 1100°C의 가열 처리를 행한 후, 500°C 내지 1100°C의 가열을 행하면서 레이저 빔의 조사를 행하고, 또 CMP를 행할 수도 있다. 또한, 공정수가 증가되지만, 실온에서 레이저 빔의 조사를 행하고, 500°C 내지 1100°C의 가열 처리를 행한 후, 또 CMP를 행할 수도 있다. 또한, 공정수가 증가되지만, 500°C 내지 1100°C의 가열을 행하면서 레이저 빔의 조사를 행하고, 또 500°C 내지 1100°C의 가열을 행한 후, 또 CMP를 행할 수도 있다.

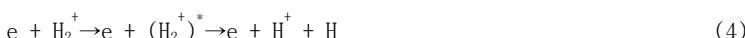
[0080] 또한, 공정수가 증가되지만, 단결정 반도체층(124)의 막 두께를 더 얇게 하기 위하여, 에칭 처리 혹은 열 산화 처리 혹은 CMP 처리를 행하여도 좋다. 단결정 반도체층(124)의 두께는, 단결정 반도체층(124)으로 형성되는 소자의 특성에 맞추어 정할 수 있다. 제 2 반도체 웨이퍼(105)에 접합된 단결정 반도체층(124) 표면에, 얇은 케이트 절연층을 단차의 피복성이 좋게 형성하기 위해서는, 단결정 반도체층(124)의 두께는 50nm 이하로 하는 것이 바람직하고, 그 두께는 50nm 이하 5nm 이상으로 하면 좋다.

[0081] 또한, 도 1b의 공정시, 이온 도핑 장치에 의하여, 이온의 조사 방법에 대하여 이하에 고찰한다.

[0082] 본 발명에서는, 수소(H)에 유래하는 이온(이하, "수소 이온종"이라고 기재함)을 단결정 반도체 기판에 대하여 조사한다. 더 구체적으로는, 수소 가스 혹은 수소를 조성에 포함하는 가스를 원재료로서 사용하여, 수소 플라즈마를 발생시키고, 상기 수소 플라즈마 중의 수소 이온종을 단결정 반도체 기판에 대하여 조사한다.

[0083] (수소 플라즈마 중의 이온)

[0084] 상기한 바와 같은 수소 플라즈마 중에는, H⁺, H₂⁺, H₃⁺와 같은 수소 이온종이 존재한다. 여기서, 각 수소 이온종의 반응 과정(생성 과정, 소멸 과정)에 대하여, 이하에 반응식을 열거한다.



[0094] 도 3에, 상기 반응의 일부를 모식적으로 나타낸 에너지 다이어그램을 도시한다. 또한, 도 3에 도시한 에너지 다이어그램은 모식도에 불과하고, 반응에 따른 에너지의 관계를 염밀하게 규정하는 것이 아닌 점을 유의

하여야 한다.

[0095] (H_3^+ 의 생성 과정)

[0096] 상기한 바와 같이, H_3^+ 는, 주로 반응식(5)로 표시되는 반응 과정에 의하여 생성된다. 한편, 반응식(5)과 경합하는 반응으로서, 반응식(6)으로 표시되는 반응 과정이 존재한다. H_3^+ 가 증가되기 위해서는, 적어도, 반응식(5)의 반응이, 반응식(6)의 반응보다 많이 일어날 필요가 있다(또한, H_3^+ 가 감소되는 반응으로서는 그 이외에도, 반응식(7) 내지 반응식(9)가 존재하므로, 반응식(5)의 반응이 반응식(6)의 반응보다 많다고 하여도, 반드시 H_3^+ 가 증가되지는 않는다). 반대로, 반응식(5)의 반응이 반응식(6)의 반응보다 적은 경우에는, 플라즈마 중에 있어서의 H_3^+ 의 비율은 감소된다.

[0097] 상기 반응식에 있어서의 우변(가장 오른쪽에 있는 변)의 생성물의 증가량은, 반응식의 좌변(가장 왼쪽에 있는 변)으로 나타내는 원료의 밀도나, 그 반응에 따른 속도 계수 등에 의존한다. 여기서, H_2^+ 의 운동 에너지가 약 11eV보다 작은 경우에는 반응식(5)의 반응이 주요(main)가 되고(즉, 반응식(5)에 따른 속도 계수가, 반응식(6)에 따른 속도 계수와 비교하여 충분히 크게 되고), H_2^+ 의 운동 에너지가 약 11eV보다 큰 경우에는 반응식(6)의 반응이 주요가 되는 것이 실험적으로 확인되어 있다.

[0098] 하전(荷電) 입자는 전장(電場)으로부터 힘을 받아 운동 에너지를 얻는다. 상기 운동 에너지는, 전장에 의한 포텐셜 에너지의 감소량에 대응한다. 예를 들어, 어떤 하전 입자가 다른 입자와 충돌하기까지의 기간 동안에 얻는 운동 에너지는, 그 기간 동안에 통과한 전위차분의 포텐셜 에너지와 동일하다. 즉, 전장 중에 있어서, 다른 입자와 충돌하지 않고 긴 거리를 이동할 수 있는 상황에서는, 그렇지 않은 상황과 비교하여, 하전 입자의 운동 에너지(의 평균)는 커지는 경향이 있다. 이상과 같은 전하입자에 따른 운동 에너지의 증대 경향은, 입자의 평균 자유 행정(mean free path)이 큰 상황, 즉, 압력이 낮은 상황에서 일어날 수 있다.

[0099] 또한, 평균 자유 행정이 작아도, 그 동안에 큰 운동 에너지를 얻을 수 있는 상황이면, 하전 입자의 운동 에너지는 커진다. 즉, 평균 자유 행정이 작아도, 전위차가 큰 상황이면, 하전 입자가 가지는 운동 에너지는 커진다고 할 수 있다.

[0100] 이것을 H_2^+ 에 적용한다. 플라즈마의 생성에 따른 챔버 내와 같이 전장의 존재를 전제로 하면, 상기 챔버 내의 압력이 낮은 상황에서는 H_2^+ 의 운동 에너지는 커지고, 상기 챔버 내의 압력이 높은 상황에서는 H_2^+ 의 운동 에너지는 작아진다. 즉, 챔버 내의 압력이 낮은 상황에서는 반응식(6)의 반응이 주요이기 때문에, H_3^+ 는 감소되는 경향을 가지게 되고, 챔버 내의 압력이 높은 상황에서는 반응식(5)의 반응이 주요하기 때문에, H_3^+ 는 증가되는 경향을 가지게 된다. 또한, 플라즈마 생성 영역에 있어서의 전장(또는 전계)이 강한 상황, 즉, 어느 2점간의 전위차가 큰 상황에서는 H_2^+ 의 운동 에너지는 크게 되고, 반대의 상황에서는, H_2^+ 의 운동 에너지는 작게 된다. 즉, 전장이 강한 상황에서는 반응식(6)의 반응이 주요이기 때문에, H_3^+ 는 감소되는 경향을 가지게 되고, 전장이 약한 상황에서는 반응식(5)의 반응이 주요하기 때문에, H_3^+ 는 증가되는 경향을 가지게 된다.

[0101] (이온종으로 인한 차이)

[0102] 여기서, 이온종의 비율(특히 H_3^+ 의 비율)이 상이한 예를 제시한다. 도 2는, 100% 수소 가스(이온원의 압력: 4.7×10^{-2} Pa)로 생성되는 이온의 질량 분석 결과를 제시하는 그래프이다. 또한, 상기 질량 분석은, 이온 원으로부터 추출된 이온을 측정함으로써 행하였다. 가로 축은 이온의 질량이다. 스펙트럼 중, 질량 1, 질량 2, 질량 3의 피크는, 각각, H^+ , H_2^+ , H_3^+ 에 대응한다. 세로 축은, 스펙트럼의 강도이고, 이온의 수량에 대응한다. 도 2에서는, 질량이 상이한 이온종의 수량을, 질량 3의 이온을 100으로 한 경우의 상대비율로 나타

낸다. 도 2를 보면, 상기 이온원에 의하여 생성되는 이온의 비율은, $H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$ 정도가 되는 것을 알 수 있다. 또한, 이와 같은 비율의 이온은, 플라즈마를 생성하는 플라즈마 소스부(이온원)와, 상기 플라즈마로부터 이온 범을 추출하기 위한 인출(引出) 전극 등으로 구성되는 이온 도핑 장치를 사용하여도 얻을 수 있다.

[0103] 도 10은, 도 2와는 상이한 이온원을 사용한 경우이고, 이온원의 압력이 대략 3×10^{-3} Pa일 때, PH_3 로 생성한 이온의 질량 분석 결과를 제시하는 그래프이다. 상기 질량 분석 결과는, 수소 이온종에 확인한 것이다. 또한, 질량 분석은, 이온원으로부터 추출된 이온을 측정함으로써 행하였다. 도 2와 마찬가지로, 가로 축은 이온의 질량을 나타내고, 질량 1, 질량 2, 질량 3의 피크는, 각각 H^+ , H_2^+ , H_3^+ 에 대응한다. 세로 축은 이온의 수량에 대응하는 스펙트럼의 강도이다. 도 10을 보면, 플라즈마 중의 이온의 비율은 $H^+ : H_2^+ : H_3^+ = 37 : 56 : 7$ 정도인 것을 알 수 있다. 또한, 도 10은 소스 가스가 PH_3 인 경우의 데이터이지만, 소스 가스로서 100% 수소 가스를 사용한 경우도, 수소 이온종의 비율은 같은 정도가 된다.

[0104] 도 10의 데이터를 얻은 이온원의 경우에는, H^+ , H_2^+ 및 H_3^+ 중, H_3^+ 가 7% 정도밖에 생성되지 않는다. 한편, 도 2의 데이터를 얻은 이온원의 경우에는, H_3^+ 의 비율을 50% 이상(상기 조건으로는 80% 정도)으로 할 수 있다. 이것은, 상기 고찰에 있어서 밝혀진 챔버 내부의 압력 및 전장에 기인하는 것으로 생각된다.

[0105] (H_3^+ 의 조사 메커니즘)

[0106] 도 2와 같은 복수의 이온종을 포함하는 플라즈마를 생성하고, 생성된 이온종을 질량 분리하지 않고 단결정 반도체 기판에 조사하는 경우, 단결정 반도체 기판의 표면에는, H^+ , H_2^+ , H_3^+ 의 각 이온이 조사된다. 이온의 조사에서 이온 도입 영역 형성까지의 메커니즘을 재현하기 위하여, 이하 5종류의 모델을 고찰한다. 조사되는 이온종이 H^+ 이고, 조사된 후에도 $H^+(H)$ 인 경우의 모델 1과, 조사되는 이온종이 H_2^+ 이고, 조사된 후에도 그대로 $H_2^+(H_2)$ 인 경우의 모델 2와, 조사되는 이온종이 H_2^+ 이고, 조사된 후에 2개의 $H(H^+)$ 로 분열되는 경우의 모델 3과, 조사되는 이온종이 H_3^+ 이고, 조사된 후에도 그대로 $H_3^+(H_3)$ 인 경우의 모델 4와, 조사되는 이온종이 H_3^+ 이고, 조사된 후에 3개의 $H(H^+)$ 로 분열되는 경우의 모델 5를 고찰한다.

[0107] (계산 결과와 실측값의 비교)

[0108] 상기 모델에 의거하여, 수소 이온종을 Si 기판에 조사하는 경우의 시뮬레이션을 행하였다. 계산용의 소프트웨어로서는, SRIM(the Stopping and Range of Ions in Matter: 몬테카를로법(Monte Carlo method)에 의한 이온 도입 과정의 시뮬레이션 소프트웨어, TRIM(the Transport of Ions in Matter)의 개량판(改良版))을 사용한다. 또한, 계산 관계상, 모델 2에서는 H_2^+ 를 질량이 2배인 H^+ 로 치환하여 계산하였다. 또한, 모델 4에서는 H_3^+ 를 질량이 3배인 H^+ 로 치환하여 계산하였다. 또한, 모델 3에서는 H_2^+ 를 운동 에너지가 1/2인 H^+ 로 치환하여 계산하고, 모델 5에서는 H_3^+ 를 운동 에너지가 1/3인 H^+ 로 치환하여 계산하였다.

[0109] 또한, SRIM은 비정질 구조를 대상으로 하는 소프트웨어이지만, 고(高)에너지, 고 도즈의 조건으로 수소 이온종을 조사하는 경우에는, SRIM을 적용할 수 있다. 수소 이온종과 Si 원자의 충돌에 의하여, Si 기판의 결정 구조가 비단결정 구조로 변화하기 때문이다.

[0110] 도 4에, 모델 1 내지 모델 5를 사용하여 수소 이온종을 조사한 경우(H원자 환산으로 10만개 조사시)의 계산 결과를 제시한다. 또한, 도 2의 수소 이온종을 조사한 Si 기판 중의 수소 농도(SIMS(Secondary Ion Mass Spectroscopy)의 데이터)를 함께 제시한다. 모델 1 내지 모델 5를 사용하여 행한 계산 결과에 대하여는, 세로 축을 수소 원자수로 나타내고(우측 축), SIMS 데이터에 대하여는, 세로 축을 수소 원자의 밀도로 나타낸다(좌측 축). 가로 축은 Si 기판 표면으로부터의 깊이이다. 실측값인 SIMS 데이터와, 계산 결과를 비교한 경우, 모델 2 및 모델 4는 분명히 SIMS 데이터의 피크에서 벗어나고, 또한, SIMS 데이터 중에는 모델 3에 대응하는 피크도 보이지 않는다. 따라서, 모델 2 내지 모델 4의 기여는, 상대적으로 작은 것을 알 수 있다. 이온의 운동 에너

지 단위가 keV인 것에 비교하여, H-H의 결합 에너지는 수eV 정도에 불과한 것을 생각하면, 모델 2 및 모델 4의 기여가 작은 이유는, Si 원소와의 충돌에 의하여, 대부분의 H_2^+ 또는 H_3^+ 가, H^+ 또는 H로 분리되기 때문이라고 생각된다.

[0111] 상기한 이유로, 모델 2 내지 모델 4에 대하여는, 이하에서는 고려하지 않는다. 도 11 내지 도 13에, 모델 1 및 모델 5를 사용하여 이온을 조사한 경우(H 원자 환산으로 10만개 조사시)의 계산 결과를 제시한다. 또한, 도 2의 수소 이온종을 조사한 Si 기판 중의 수소 농도(SIMS 데이터) 및, 상기 계산 결과를 SIMS 데이터에 피팅(fitting)시킨 것(이하, 피팅 함수라고 기재한다)을 함께 제시한다. 여기서, 도 11은 가속 전압을 80kV로 한 경우를 제시하고, 도 12는 가속 전압을 60kV로 한 경우를 제시하고, 도 13은 가속 전압을 40kV로 한 경우를 나타낸다. 또한, 모델 1 및 모델 5를 사용하여 행한 계산 결과에 대하여는, 세로 축을 수소 원자수로 나타내고(우측 축), SIMS 데이터 및 피팅 함수에 대하여는, 세로 축을 수소 원자의 밀도로 나타낸다(좌측 축). 가로 축은 Si 기판 표면으로부터의 깊이이다.

[0112] 피팅 함수는 모델 1 및 모델 5를 고려하여 이하의 계산식을 사용하여 구하기로 하였다. 또한, 계산식 중, X, Y는 피팅에 따른 파라미터이며, V는 체적이다.

$$[\text{피팅 함수}] = X/V \times [\text{모델 1의 데이터}] + Y/V \times [\text{모델 5의 데이터}]$$

[0114] 실제로 조사되는 이온종의 비율(H^+ : H_2^+ : H_3^+ =1: 1: 8 정도)을 고려하면 H_2^+ 의 기여(즉, 모델 3)에 대하여도 고려하여야 하지만, 이하에 제시하는 이유로, 여기서는 제외하여 고려하였다.

[0115] · 모델 3에 제시되는 조사 과정에서 첨가되는 수소는, 모델 5의 조사 과정과 비교하여 미량이므로, 제외하여도 큰 영향은 없다(SIMS 데이터에 있어서도, 피크가 나타나지 않는다).

[0116] · 모델 5와 피크 위치가 가까운 모델 3은, 모델 5에 있어서 생기는 채널링(결정의 경자 구조에 기인하는 원소의 이동)에 의하여 특징이 불분명하게 될 가능성이 높다. 즉, 모델 3의 피팅 파라미터를 계산(概算)하기 어렵다. 이것은, 본 계산이 비정질 Si를 전제로 하고, 결정성에 기인하는 영향을 고려하지 않기 때문이다.

[0117] 도 14에, 상기 피팅 파라미터를 정리한다. 어느 가속 전압에 있어서나, 도입되는 H의 개수의 비율은, [모델 1]: [모델 5]=1: 42 내지 1: 45 정도(모델 1에 있어서의 H의 개수를 1로 한 경우, 모델 5에 있어서의 H의 개수는 42 이상 45 이하 정도)이며, 조사되는 이온종의 비율은, [H^+ (모델 1)]: [H_3^+ (모델 5)]=1: 14 내지 1: 15 정도(모델 1에 있어서의 H^+ 의 개수를 1로 한 경우, 모델 5에 있어서의 H_3^+ 의 개수는 14 이상 15 이하 정도)이다. 모델 3을 고려하지 않거나 비정질 Si로 가정하여 계산한 것을 고려하면, 실제의 조사에 따른 이온종의 비율(H^+ : H_2^+ : H_3^+ =1: 1: 8 정도)에 가까운 값을 얻었다고 할 수 있다.

[0118] (H_3^+ 를 사용하는 효과)

[0119] 도 2에 도시하는 바와 같은 H_3^+ 의 비율을 높인 수소 이온종을 기판에 조사함으로써, H_3^+ 에 기인하는 복수의 메리트를 누릴 수 있다. 예를 들어, H_3^+ 는 H^+ 나 H 등으로 분리되어 기판 내부에 도입되기 때문에, 주로 H^+ 또는 H_2^+ 를 조사하는 경우와 비교하여, 이온 도입 효율을 향상시킬 수 있다. 그 결과, 반도체 기판의 생산성 향상을 도모할 수 있다. 또한, 마찬가지로, H_3^+ 가 분리된 후의 H^+ 나 H의 운동 에너지는 작아지는 경향이 있으므로, 얇은 반도체 층의 제조에 적합하다.

[0120] 또한, 본 명세서에서는, H_3^+ 를 효율적으로 조사하기 위하여, 도 2에 도시하는 바와 같은 수소 이온종을 조사 가능한 이온 도핑 장치를 사용하는 방법에 대하여 설명한다. 이온 도핑 장치는 가격이 저렴하고, 대면적 처리가 뛰어나기 때문에, 이러한 이온 도핑 장치를 사용하여 H_3^+ 를 조사함으로써, 반도체 특성의 향상, 대면적화, 저비용화, 생산성의 향상 등의 현저한 효과를 얻을 수 있다.

[0121] (실시형태 2)

- [0122] 본 실시형태에서는, 기관의 이면 측의 스테이지를 가열하여 레이저 조사할 수 있고, 또 대구경 웨이퍼를 처리할 수 있는 제작 장치의 사시도의 일례를 도 5에 도시한다.
- [0123] 레이저 광 조사의 처리 시간을 단축하기 위하여, 한번에 조사할 수 있는 레이저 광의 조사 영역(311)의 길이를 길게 하고, 대구경 웨이퍼(305)를 일 방향으로 이동시킴으로써 레이저 광의 조사율을 완료시키는 제작 장치이다. 대구경 웨이퍼(305)는, 실시형태 1에 제시한 도 1d 단계를 가리키고, 반도체 웨이퍼 위에 버퍼층을 가지고, 상기 버퍼층 위에 단결정 반도체층을 가지는 SOI 기판이다.
- [0124] 또한, 질소 분위기하에서 레이저 조사를 행하기 위하여, 스테이지(300), 대구경 웨이퍼(305)는 챔버 내에 배치된다. 챔버는, 알루미늄 혹은 스테인리스 등 강성(剛性)이 있는 소재로 형성되고, 내벽을 경면(鏡面) 가공하고, 내벽으로부터의 가스 방출을 저감하기 위한 소성용 히터를 형성하고, 내부를 진공 배기할 수 있도록 구성된다. 진공 배기하기 위한 배기 수단으로서는, 버터플라이 밸브, 컨덕턴스 밸브, 터보 분자 펌프, 드라이 펌프 등이 포함된다. 더 바람직하게는, 챔버 내의 질소 분위기의 산소 농도나 수분 농도를 저감하기 위하여 크라이오 펌프(cryogenic pump)를 병용한다. 또한, 챔버 내에 도입하는 가스는 고순도 질소 가스를 사용한다. 질소 가스에 포함되는 산소 농도 30ppb 이하, 또 수분 농도 30ppb 이하로 하는 초고순도 가스를 사용함으로써, 레이저 조사시의 산화막의 형성을 방지한다.
- [0125] 다만, 명료화를 위하여, 도 5에는 챔버, 질소 가스를 도입하는 수단, 혹은 배기 수단 등을 도시하지 않는다. 챔버에는 석영창(310)이 형성되고, 이 석영창(310)을 통하여 레이저 광을 챔버의 외부로부터 도입하는 제작 장치이다.
- [0126] 레이저 빔의 주사를 행하기 전에, 스테이지(300)에 형성된 가열 수단에 의하여 대구경 웨이퍼(305)를 가열함으로써, 레이저 빔의 조사 영역(311)을 미리 가열할 수 있으므로, 단결정 반도체층의 용융에 필요한 레이저 빔의 에너지를 저감할 수 있다. 광학계 등을 조절함으로써, 1번의 샷의 조사 면적도 확대할 수 있다. 1번의 샷의 조사 면적도 확대되면, 1장당의 레이저 광 조사 처리에 걸리는 시간을 단축할 수도 있다. 여기서는, 레이저 발진기(301)가 출력할 수 있는 에너지를 최대한 이용하여 레이저 광의 조사 영역의 길이L을 길게 한다.
- [0127] 도 5에 도시하는 바와 같이, 레이저 광의 조사 영역의 길이는, 대구경 웨이퍼(305)의 직경보다 길다. 대구경 웨이퍼(305)의 직경은, 예를 들어, 약 300mm, 약 400mm, 약 450mm, 혹은 450mm 이상이다. 도 5에 도시하는 제작 장치는, 스테이지(300)에 실릴 수 있는 크기라면 좋고, 광학계를 조절하면 다양한 구경의 웨이퍼에 조사하여, 평탄성 및 결정성의 향상을 도모할 수 있다. 또한, 도 5에 도시하는 제작 장치는, 웨이퍼 형상은 원형에 한정되지 않고, 예를 들어, 직사각형이나 정사각형이나 다각형에도 대응할 수 있다.
- [0128] 도 5 중에 도시하는 레이저 조사 수단은, 레이저 발진기(301), 호모지나이저(homogenizer)가 내장되는 광학 장치(307), 낙사(落射) 미러(308), 이중 렌즈(309a, 309b)를 가진다. 또한, 레이저 빔의 에너지 분포를 균일화시키는 것을 호모지나이즈라고 부르고, 호모지나이즈하는 광학계를 호모지나이저라고 부른다. 레이저 발진기(301)로부터 사출된 레이저 빔은, 구면(球面) 렌즈에 의하여 확대된다. 또한, 구면 렌즈는, 레이저 발진기(301)로부터 사출되는 빔 스포트이 충분히 큰 경우에는 필요가 없다. 다음에, 실린드리칼 렌즈 어레이에 의하여, 스포트이 선형의 장변(장축) 방향으로 분할된다. 그 후, 실린드리칼 렌즈 어레이의 후방에 위치된 실린드리칼 렌즈에 의하여, 레이저 빔은 대구경 웨이퍼(305)에 있어서 하나에 합성된 선형 빔이 조사된다. 또한, 이로써 대구경 웨이퍼(305) 면에 있어서 선형 빔의 빔 스포트의 장변 방향의 에너지 분포가 균일화(장축 호모지나이즈)되고, 레이저 빔의 조사 영역(311)의 길이(장변 방향의 길이)가 결정된다.
- [0129] 또한, 도 5에서는 스테이지를 가열하는 예를 도시하지만, 특히 한정되지 않고, 투광성을 가지는 스테이지를 사용하여 할로겐 램프 등의 램프를 사용하여 대구경 웨이퍼를 이면 측으로부터 가열하여도 좋다. 또한, 챔버 내벽을 가열하여 질소 분위기의 온도를 상승시켜 대구경 웨이퍼를 가열하여도 좋다. 또한, 가열된 질소 가스를 분출함으로써, 선택적으로 레이저 빔의 조사 영역을 미리 가열하는 블로우(blow) 수단을 형성하여도 좋다. 또한, 대구경 웨이퍼를 이면 측으로부터 가열한 가스를 분출하여 부상시키고, 또 표면 측으로부터도 가열한 가스를 분출하여 대구경 웨이퍼를 가열시킨 상태에서 레이저 광을 조사하는 장치 구성으로 하여도 좋다.
- [0130] 또한, 여기서는 저렴한 가격으로 입수할 수 있는 질소 가스를 사용한 질소 분위기를 예로 사용하지만, 희소 가스 분위기하 혹은 희소 가스와 질소의 혼합 분위기하에서 레이저 조사할 수 있어도 좋다. 아르곤이나 크세논 등의 희소 가스를 사용함으로써, 레이저 조사에 의하여 용융한 웨이퍼 재료와 전혀 반응하지 않는 분위기로 할 수 있다.
- [0131] (실시형태 3)

[0132]

본 실시형태에서는, 실시형태 1에 제작된 SOI 기판을 사용한 반도체 장치의 제작 방법에 대하여 설명한다. 여기서는, 반도체 장치로서 CMOS 구조를 제작하는 일례를 도 6을 사용하여 도시한다. 또한, 도 6 중, 도 1과 같은 부분은, 도 1과 같은 부호를 사용하여 설명한다.

[0133]

실시형태 1에 의하면, SOI 기판의 단결정 반도체층(124)의 두께를 100nm 혹은 그 이하로 할 수 있다. 단결정 반도체층(124)의 두께를 100nm 혹은 그 이하로 하면, 트랜지스터의 채널 형성 영역의 공핍층의 최대 깊이보다 얕게 되고, 현저한 트랜지스터의 전기 특성을 초래한다. 트랜지스터의 충분한 공핍층화에 의하여 거의 이상적인 S값, 임계값 전압 등을 얻을 수 있다. 또한, CMOS 구조를 제작한 경우, 빠른 스위칭 속도를 얻을 수 있다.

[0134]

우선, 실시형태 1에 따라 SOI 기판을 얻은 후, 단결정 반도체층(124) 위에 소자 분리 절연층을 형성하기 위한 마스크가 되는 보호층(106)을 형성한다. 이 단계의 공정 단면도가 도 6a에 상당한다. 보호층(106)은 산화실리콘막이나 질화실리콘막 등을 사용한다.

[0135]

또한, 임계값 전압을 제어하기 위하여, 봉소, 알루미늄, 갈륨 등의 p형 불순물을 단결정 반도체층(124)에 첨가하는 것이 바람직하다. 예를 들어, p형 불순물로서 봉소를 $5 \times 10^{17} \text{ cm}^{-3}$ 이상 $1 \times 10^{18} \text{ cm}^{-3}$ 이하의 농도로 첨가하여도 좋다.

[0136]

다음에, 보호층(106)을 마스크로서 사용하여 에칭을 행하고, 노정되는 단결정 반도체층(124) 및 그 아래 쪽의 베퍼층(102)의 일부를 제거한다. 다음에, TEOS를 사용하여 산화실리콘막을 화학 기상 성장법으로 퇴적한다. 이 산화실리콘막은, 단결정 반도체층(124)이 매립되도록 두껍게 퇴적한다. 다음에, 단결정 반도체층(124) 위에 중첩되는 산화실리콘막을 연마에 의하여 제거한 후, 보호층(106)을 제거하여, 소자 분리 절연층(107)을 잔존시킨다. 이 단계의 공정 단면도가 도 6b에 상당한다.

[0137]

다음에, 제 1 절연막을 형성하고, 제 1 절연막 위에 도전 재료를 포함하는 폴리실리콘막을 가지는 게이트 전극(109)을 형성하고, 게이트 전극을 마스크로서 사용하여 제 1 절연막을 에칭하여 게이트 절연층(108)을 형성한다. 게이트 절연층(108)은, PECVD법 혹은 스퍼터링법 등을 사용하여 얻어지는 산화실리콘, 질산화실리콘, 질화실리콘, 산화하프늄, 산화알루미늄 혹은 산화 탄탈을 포함하는 막의 단층, 혹은 이들의 적층이다. 게이트 절연층(108)은, PECVD법을 행함으로써 단결정 반도체층(124)의 표면을 덮어 얕은 막 두께, 예를 들어, 20nm의 막 두께로 형성할 수 있다. 또한, 고밀도 플라즈마 처리에 의하여 단결정 반도체층(124) 표면을 산화 혹은 질화함으로써 형성하여도 좋다. 고밀도 플라즈마 처리는, 예를 들어, He, Ar, Kr, Xe 등의 희소 가스와 산소, 산화질소, 암모니아, 질소, 수소 등의 혼합 가스를 사용하여 행한다. 이 경우, 플라즈마의 여기를 마이크로파의 의하여 행함으로써, 저전자 온도에서 고밀도의 플라즈마를 생성할 수 있다. 이러한 고밀도 플라즈마로 생성된 산소 라디칼(OH 라디칼을 포함하는 경우도 있다)이나 질소 라디칼(NH 라디칼을 포함하는 경우도 있다)에 의하여, 반도체막 표면을 산화 혹은 질화함으로써, 1nm 내지 50nm, 바람직하게는 5nm 내지 30nm의 절연막이 단결정 반도체층(124)에 접하도록 형성된다. 실시형태 1에 제시하는 바와 같이, 가열을 행하면서, 레이저 조사를 행함으로써 단결정 반도체층의 표면이 충분히 평탄화되기 때문에, 두께 20nm의 절연막을 게이트 절연층(108)으로서 사용하여도, 충분한 게이트 내압을 얻을 수 있다.

[0138]

다음에, 게이트 전극(109)을 덮는 제 2 절연막(110)을 형성하고, 그리고 사이드 월 절연층(113, 114)을 형성한다. pFET가 되는 영역의 사이드 월 절연층(114)은, nFET가 되는 영역의 사이드 월 절연층(113)보다 폭을 넓게 한다. 다음에, nFET가 되는 영역에 As 등을 도핑하여 얕은 접합 깊이의 제 1 불순물 영역(111)을 형성하고, pFET가 되는 영역에 B 등을 도핑하여 얕은 접합 깊이의 제 2 불순물 영역(112)을 형성한다. 이 단계의 공정 단면도가 도 6c에 상당한다.

[0139]

다음에, 제 2 절연막(110)을 부분적으로 에칭하여 게이트 전극(109)의 상면과, 제 1 불순물 영역(111) 및 제 2 불순물 영역(112)을 노출시킨다. 다음에, nFET가 되는 영역에 As 등을 도핑하여 깊은 접합 깊이의 제 3 불순물 영역(115)을 형성하고, pFET가 되는 영역에 B 등을 도핑하여 깊은 접합 깊이의 제 4 불순물 영역(116)을 형성한다. 다음에, 활성화를 위한 열 처리(800°C 내지 1100°C)를 행한다. 다음에, 실리사이드를 형성하기 위한 금속막으로서 코발트막을 형성한다. 다음에 RTA 등의 열 처리(500°C, 1분)를 행하여, 코발트막에 접하는 부분의 실리콘을 실리사이드화시킨다. 그 결과, 게이트 전극(109) 위에 실리사이드 부분(119), 제 3 불순물 영역(115) 위에 실리사이드 부분(117), 제 4 불순물 영역(116) 위에 실리사이드 부분(118)이 형성된다. 그 후, 코발트막을 선택적으로 제거한다. 다음에, 실리사이드화의 열 처리보다 높은 온도로 열 처리를 행하여, 실리사이드 부분(117, 118, 119)의 저저항화를 도모한다. 이 단계의 공정 단면도가 도 6d에 상당한다.

[0140] 다음에, 층간 절연막(120)을 형성하고, 깊은 접합 깊이의 제 3 불순물 영역(115)이나 깊은 접합 깊이의 제 4 불순물 영역(116)에 전기적으로 접속하는 콘택트 플러그(121)를 형성한다. 이로써, 제 2 반도체 웨이퍼(105)에 접합된 단결정 반도체층(124)을 사용하여 nFET(122)와 pFET(123)를 제작할 수 있다. 이 단계의 공정 단면도가 도 6e에 상당한다.

[0141] 이들 nFET(122)와 pFET(123)를 상보적으로 조합함으로써 CMOS 구조를 구성한다.

[0142] 이 CMOS 구조 위에, 또 배선이나 소자 등을 적층함으로써 마이크로프로세서 등의 반도체 장치를 제작할 수 있다. 또한, 마이크로프로세서는, 연산 회로(Arithmetic logic unit, ALU라고도 함), 연산 회로 제어부(ALU Controller), 명령 해석부(Instruction Decoder), 인터럽트 제어부(Interrupt Controller), 타이밍 제어부(Timing Controller), 레지스터(Register), 레지스터 제어부(Register Controller), 버스 인터페이스(Bus I/F), 판독 전용 메모리, 및 메모리 인터페이스(ROM I/F)를 가진다.

[0143] 마이크로프로세서는, CMOS 구조를 포함하는 집적 회로가 형성되므로, 처리 속도의 고속화뿐만 아니라 저소비 전력화를 도모할 수 있다.

[0144] (실시형태 4)

[0145] 실시형태 1에서는, 반도체 웨이퍼를 회전하는 도핑 장치를 사용하는 예를 제시하지만, 본 실시형태에서는 이온류(ion flow)의 형상을 원하는 형상으로 하고, 반도체 웨이퍼를 이동시키는 도핑 장치의 예를 도시한다. 도 7은 그 도핑 장치의 일례를 도시한 사시도이다.

[0146] 이온원(12)은, 플라즈마실인 챔버 내에 형성된 열 전자 방출용 필라멘트와, 챔버 주위에 극성을 교차로 복수 배치된 텅 형상의 영구 자석으로 구성된다.

[0147] 또한, 가속 전극부(13)는, 챔버 하부 개구부에 양극인 챔버와 같은 전위로 유지되는 이온 트랩 전극과, 이온 트랩 전극보다 수kV 낮은 전위로 유지되는 인출 전극과, 인출 전극보다 수십kV 낮은 전위로 유지되는 가속 전극으로 구성된다. 또한, 이온 트랩 전극, 인출 전극, 및 가속 전극은 그리드(grid) 상태의 전극이다.

[0148] 또한, 이온 빔을 차단하는 셔터를 형성하여 개폐 조작을 행함으로써 조사의 온과 오프를 제어하여도 좋다.

[0149] 가스 도입구에서 챔버 내에 도입되는 작동 가스(수소, 포스핀, 디보란 등)에 필라멘트로부터 방출되는 전자를 작용시켜 플라즈마를 생성하고, 이것을 영구 자석의 자장에 의하여 챔버 내에 트랩하면서, 인출 전극에 의하여 전계를 인가함으로써 플라즈마 중의 이온을 이온 트랩 전극을 통하여 인출하고, 이것을 가속 전극의 전계에 의하여 가속하여 이온 빔(14)을 발생시킨다.

[0150] 그리고, 도핑실(11) 내에 이온 빔(14)이 조사되고, 반도체 웨이퍼(10)에 이온이 조사된다. 반도체 웨이퍼의 평면은, 이온 빔(14)의 조사 방향에 대하여 수직으로 유지된다. 반도체 웨이퍼 전면에 대한 도핑 처리는, 이온 빔(14)의 조사면 형상은 가늘고 긴 선형 혹은 가늘고 긴 직사각형으로 하고, 반도체 웨이퍼를 이온 빔(14)의 장착 방향에 대하여 수직한 방향으로 이동시켜 행해진다.

[0151] 또한, 이온 빔(14)의 조사면 형상을 가늘고 긴 선형 혹은 가늘고 긴 직사각형으로 함으로써, 래스터 스캔(점 순차 스캔이라고도 부름)과 비교하여 반도체 웨이퍼 내에서 이온 주입 농도의 변동을 저감할 수 있다.

[0152] 웨이퍼 반송 로봇을 사용하여, 이온원(12) 아래 쪽을 통과하도록 하여 반도체 웨이퍼(10)를 주사 방향(15)으로 이동시킨다. 반도체 웨이퍼(10)의 주사 방향으로의 이동은 로봇에 한정되지 않고, 레일 및 구동용 기어 모터를 사용하여도 좋다.

[0153] 또한, 직선 방향인 주사 방향(15)으로 1번의 이동으로 반도체 웨이퍼(10)를 전면 조사할 수 있으므로, 래스터 스캔과 비교하여 짧은 시간에 반도체 웨이퍼의 전면 조사를 끝낼 수 있다.

[0154] 또한, 상술한 도 7의 장치 구성에 특히 한정되지 않고, 파티클의 문제가 있기 때문에 기판은 수직으로 설치한 상태에 비슷한 경사 상태에서 이온 빔을 수평 방향으로 조사하는 장치 구성으로 하여도 좋다.

[0155] 본 실시형태는, 실시형태 1 내지 실시형태 3 중 어느 하나와 자유로이 조합할 수 있다. 예를 들어, 도 7에 도시하는 이온 도핑 장치와, 도 5에 도시한, 일 방향으로 반도체 웨이퍼를 처리하는 제작 장치와, 그 사이에 처리를 행하는 다양한 장치를 일렬로 배치함으로써 인라인 방식의 제작 장치로 할 수 있다.

[0156] (실시형태 5)

[0157] 실시형태 1에서는, 같은 단결정 실리콘 웨이퍼들을 접합한 예를 제시하지만, 여기서는 반도체 웨이퍼(401)로서, 직경 약 450mm의 단결정 실리콘 웨이퍼를 사용한다. 또한, 접합하는 반도체 웨이퍼로서, 직경 약 450mm의 다결정 실리콘 웨이퍼(405)를 예로 사용한다. 다결정 실리콘 웨이퍼의 두께는 825 μ m이다.

[0158] 우선, 베퍼층의 1층으로서, 산화 분위기 중에 할로겐을 포함하는 가스를 첨가하는 열 산화에 의하여 얻어지는 산화물막인 열 산화막(402)을 반도체 웨이퍼(401) 표면에 형성한다. 이 단계의 단면도가 도 8a에 상당한다.

[0159] 할로겐을 포함하는 가스로서, HCl, HF, NF₃, HBr, Cl₂, ClF₃, BCl₃, F₂, Br₂ 등으로 선택된 1종류 혹은 복수 종류의 가스를 사용할 수 있다. 예를 들어, 산소에 대하여 HCl을 0.5부피% 내지 10부피%(바람직하게는 3부피%)의 비율로 포함하는 분위기 중에서, 700°C 이상의 온도에서 열 처리를 행한다. 950°C 이상 1100°C 이하의 가열 온도에서 열 산화를 행하면 좋다. 처리 시간은 0.1시간 내지 6시간, 바람직하게는 0.5시간 내지 1시간으로 하면 좋다. 형성되는 열 산화막(402)의 막 두께는, 10nm 내지 1000nm(바람직하게는 50nm 내지 200nm), 예를 들어, 100nm의 두께로 할 수 있다. 본 실시형태에서는 열 산화막(402)의 막 두께는 50nm로 한다.

[0160] 이러한 온도 범위에서 산화 처리를 행함으로써, 할로겐 원소에 의한 게터링 효과를 얻을 수 있다. 게터링으로서는, 특히, 금속 불순물을 제거하는 효과가 있다. 즉, 염소의 작용에 의하여, 금속 등의 불순물이 휘발성 염화물이 되어 기상(氣相) 중에 이탈됨으로써, 반도체 웨이퍼(401)로부터 제거된다. 또한, 산화 처리에 포함되는 할로겐 원소에 의하여, 반도체 웨이퍼(401) 표면의 미결합수(未結合手)가 종단되기 때문에, 열 산화막(402)과 반도체 웨이퍼(401)의 계면의 국재 준위 밀도를 저감할 수 있다. 이 할로겐을 포함하는 분위기에서의 열 산화 처리에 의하여, 산화막에 할로겐을 포함시킬 수 있다. 할로겐 원소를 1×10^{17} atoms/cm³ 내지 5×10^{20} atoms/cm³의 농도로 포함시킴으로써, 반도체 웨이퍼(401)에 있어서, 금속 등의 불순물을 포획(捕獲)하여 단결정 반도체층(104)의 오염을 방지하는 보호막으로서 기능시킬 수 있다.

[0161] 또한, 베퍼층에 할로겐을 포함시키기 위해서는, 불화물 가스 혹은 불소 가스를 포함하는 PECVD 장치의 챔버에서 절연막을 형성함으로써도 실현할 수 있다. 이러한 챔버에 절연막 형성용 프로세스 가스를 도입하여, 이 프로세스 가스를 여기하여 플라즈마를 생성하고, 상기 플라즈마에 포함되는 활성종의 화학 반응에 의하여, 반도체 웨이퍼(401) 위에 베퍼층을 형성한다. PECVD 장치의 챔버에 불소 화합물 가스를 포함시키기 위해서는, 불화물 가스를 사용한 플라즈마 가스 애칭에 의하여 챔버를 클리닝함으로써 실현할 수 있다. PECVD 장치를 사용하여 막을 형성하면, 기판 표면뿐만 아니라, 챔버의 내벽, 전극, 기판 홀더 등에도 원료가 반응한 생성물이 퇴적된다. 이 퇴적물은 파티클이나 먼지의 원인이 된다. 그래서, 이러한 퇴적물을 제거하는 클리닝 공정이 정기적으로 행해진다. 챔버의 클리닝 방법의 대표적인 방법의 하나로서, 플라즈마 가스 애칭에 의한 방법이 있다. 챔버에 NF₃ 등의 불화물 가스를 도입하여, 불화물 가스를 여기하여 플라즈마화함으로써, 불소 라디칼을 생성하여, 퇴적물을 애칭하여 제거하는 방법이다. 불소 라디칼과 반응하여 생성된 불화물은 증기압이 높으므로, 배기계에 의하여 반응 용기로부터 제거된다. 플라즈마 가스 애칭에 의한 클리닝을 행함으로써, 클리닝 가스로서 사용하여 불화물 가스가, 챔버의 내벽이나, 챔버에 형성되는 전극, 각종 치구(治具)에 흡착한다. 즉, 챔버에 불화물 가스를 포함시킬 수 있다. 또한, 불화물 가스 챔버에 포함시키는 방법에는, 챔버를 불화물 가스에 의하여 클리닝하여, 챔버에 불화물 가스를 잔류시키는 방법 외에, 반도체 웨이퍼(401)를 챔버에 설치한 후에, 챔버에 불화물 가스를 도입하는 방법을 사용할 수 있다.

[0162] 다음에, 이온 도핑 장치를 사용하여, 수소 이온을 반도체 웨이퍼(401)에 도핑한다. 소스 가스에는 100% 수소 가스를 사용하여, 수소 가스를 여기하여 생성된 플라즈마 중의 이온을 질량 분리하지 않고, 전계에 의하여 가속하여 반도체 웨이퍼(401)에 조사하여, 손상 영역(403)을 형성하다. 이 단계의 단면도가 도 8b에 상당한다. 이 도핑 조건은 전원 출력 100W, 가속 전압 25kV, 도즈량 2.2×10^{16} ions/cm²로 한다. 또한, 손상 영역(403)과 베퍼층의 1층인 열 산화막(402) 사이에는, 단결정 반도체층(404)이 형성된다.

[0163] 다음에, 열 산화막(402)이 형성된 반도체 웨이퍼(401)를 순수 중에서 초음파 세정한다.

[0164] 또한, 이후 반도체 웨이퍼(401)와 접합시키는 다결정 실리콘 웨이퍼(405)에도 같은 열 산화를 행하여, 산화물막인 열 산화막(406)을 형성한다. 다음에, 열 산화막(406)이 형성된 다결정 실리콘 웨이퍼(405)를 순수 중에서 초음파 세정한다.

[0165] 다음에, 반도체 웨이퍼(401)와 다결정 실리콘 웨이퍼(405)의 어느 한쪽 혹은 양쪽 모두에 베퍼층의 1층이 되는 절연막(407)을 형성한다. 이 절연막(407)은, PECVD법에 의하여 질산화실리콘막, 산질화실리콘막, 혹은

질화실리콘막을 사용한다. 여기서는, 절연막(407)으로서, 다결정 실리콘 웨이퍼(405) 위에 막 두께 50nm의 질화산화실리콘막을 PECVD법에 의하여 형성한다.

[0166] 다음에, 반도체 웨이퍼(401)와 다결정 실리콘 웨이퍼(405)를 중첩하여 접합한다. 이 단계의 단면도가 도 8c에 상당한다.

[0167] 다음에, 손상 영역(403)에서 벽개를 생기게 하기 위하여, 확산로에 있어서, 600°C에 가열함으로써, 반도체 웨이퍼(401)를 벽개시켜, 단결정 반도체층(404)을 단결정 실리콘 웨이퍼로부터 분리한다. 이 단계의 단면도가 도 8d에 상당한다.

[0168] 다음에, 500°C 이상 1100°C 이하의 가열 처리로, 단결정 반도체층(404)의 결함의 소멸, 단결정 반도체층(404)의 변형의 완화를 행하여, 평탄성을 향상시키기 위하여, CMP를 행함으로써 SOI 기판을 제작할 수 있다. 또한, SOI 기판의 외주 부분을 가공하는 공정을 추가하여, 반도체 웨이퍼와 마찬가지로 반도체 장치의 제작 장치에 대응할 수 있게 하는 것이 바람직하다.

[0169] 이와 같이 SOI 기판의 제작을 완성시켜도 좋지만, 본 실시형태에서는, 도 8d의 공정 후, 도 8e에 도시하는 바와 같이, 레이저 광을 조사하여 평탄성을 향상시킨 후, 500°C 이상 1100°C 이하의 가열 처리를 행하여, SOI 기판을 제작한다. 레이저 빔을 조사하는 경우, 평탄성의 향상과 결정성의 회복의 양쪽 모두를 행할 수 있고, 평탄성 및 결정성이 양쪽 모두 뛰어난 단결정 반도체층(408)을 얻을 수 있다. 본 실시형태에서 사용하는 단결정 실리콘 웨이퍼(405)는 직경이 약 450mm로 크므로, 스테이지(400)를 가열시켜, 단결정 반도체층의 용융에 필요한 레이저 빔의 에너지를 저감시켜 레이저 빔(409)을 조사하는 것이 바람직하다. 레이저 조사할 때, 단결정 반도체층(404)을 500°C 내지 1100°C로 가열하면, 레이저 발진기가 출력할 수 있는 에너지를 최대한 이용하여, 단결정 실리콘 웨이퍼(405)의 직경보다 레이저 광의 조사 영역의 길이를 길게 할 수 있다. 또한, 가열하면서 레이저 조사하지 않는 경우와 비교하여, 레이저 조사 후의 가열 처리의 시간을 단축할 수도 있다. 물론, 레이저를 조사하는 경우도, SOI 기판의 외주 부분을 가공하는 공정을 추가하여, 반도체 웨이퍼와 마찬가지로 반도체 장치의 제작 장치에 대응할 수 있게 한다.

[0170] 또한, 레이저 빔(409)을 조사하기 전에 애칭 처리를 행하는 것이 바람직하다. 이 애칭 처리에 의하여, 단결정 반도체층(404)의 분리면에 남은 손상 영역(403)을 제거하는 것이 바람직하다. 손상 영역(403)을 제거함으로써, 레이저 빔(409)의 조사에 의한, 표면 평탄화의 효과, 및 재단결정화의 효과를 높일 수 있다.

[0171] 또한, 본 실시형태에 있어서 베퍼층은, 열 산화막(402), 절연막(407), 열 산화막(406)의 3층 구조로 하는 예를 제시하지만, 특히 한정되지 않고, 실시형태 1에 제시한 베퍼층을 사용할 수 있다.

[0172] 본 실시형태는, 실시형태 1 내지 실시형태 4의 어느 하나와 자유로이 조합할 수 있다.

[0173] 상술한 구성으로 이루어지는 본 발명에 대하여, 이하에 제시하는 실시예에서 더 자세히 설명한다.

[실시예 1]

[0175] 실시형태 3에서는, 반도체 장치의 제작 방법의 일례로서, TFT의 제작 방법을 설명하지만, 반도체막이 접합된 기판에, TFT와 함께 용량, 저항 등의 각종 반도체 소자를 형성함으로써, 고부가 가치의 반도체 장치를 제작할 수 있다. 본 실시예에서는, 도면을 참조하면서 반도체 장치의 구체적인 양태를 설명한다.

[0176] 우선, 반도체 장치의 일례로서, 마이크로 프로세서에 대하여 설명한다. 도 9는 마이크로 프로세서(200)의 구성예를 도시하는 블록도이다.

[0177] 마이크로 프로세서(200)는 연산 회로(201; Arithmetic logic unit. ALU라고도 부름), 연산 회로 제어부(202; ALU Controller), 명령 해석부(203; Instruction Decoder), 인터럽트 제어부(204; Interrupt Controller), 타이밍 제어부(205; Timing Controller), 레지스터(206; Register), 레지스터 제어부(207; Register Controller), 버스 인터페이스(208; Bus I/F), 판독 전용 메모리(209; ROM), 및 메모리 인터페이스(210)를 가진다.

[0178] 버스 인터페이스(208)를 통하여 마이크로 프로세서(200)에 입력된 명령은, 명령 해석부(203)에 입력되고, 디코드된 후, 연산 회로 제어부(202), 인터럽트 제어부(204), 레지스터 제어부(207), 타이밍 제어부(205)에 입력된다. 연산 회로 제어부(202), 인터럽트 제어부(204), 레지스터 제어부(207), 타이밍 제어부(205)는, 디코드된 명령에 의거하여, 각종 제어를 행한다.

[0179] 연산 회로 제어부(202)는 연산 회로(201)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트

제어부(204)는 마이크로 프로세서(200)의 프로그램 실행 중에, 외부의 입출력 장치나, 주변 회로로부터의 인터럽트 요구를 처리하는 회로이고, 인터럽트 제어부(204)는 인터럽트 요구의 우선도나 마스크 상태로 판단하여 인터럽트 요구를 처리한다. 레지스터 제어부(207)는 레지스터(206)의 어드레스를 생성하여, 마이크로 프로세서(200)의 상태에 따라 레지스터(206)의 편도이나 기록을 행한다. 타이밍 제어부(205)는 연산 회로(201), 연산 회로 제어부(202), 명령 해석부(203), 인터럽트 제어부(204), 및 레지스터 제어부(207)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어, 타이밍 제어부(205)는, 기준 클록 신호 CLK1에 의거하여 내부 클록 신호 CLK2를 생성하는 내부 클록 생성부를 구비한다. 도 9에 도시하는 바와 같이, 내부 클록 신호 CLK2는 다른 회로에 입력된다.

[0180] 실시형태 1 혹은 실시형태 5에 제시하는 SOI 기판을 사용하여 도 9에 도시하는 마이크로 프로세서를 제작하고, 또 그 마이크로 프로세서를 탑재함으로써, 다양한 전기기기를 제작할 수 있다. 전기기기로서는, 비디오 카메라, 디지털 카메라 등의 카메라, 네비게이션 시스템, 음향 재생 장치(카 오디오, 오디오 콤포넌트 등), 컴퓨터, 게임 기기, 휴대 정보 단말(모바일 컴퓨터, 휴대 전화, 휴대형 게임기 혹은 전자 사전 등), 기록 매체를 구비한 화상 재생 장치(구체적으로는 DVD(Digital Versatile Disc)) 등이 포함된다.

[0181] 본 실시예는, 실시형태 1 내지 실시형태 5의 어느 하나와 조합할 수 있다.

산업이용 가능성

[0182] 웨이퍼 크기가 대구경이라도, 1장당의 SOI 기판의 제작 시간을 단축할 수 있고, 대량 생산에 최적인 프로세스를 제공할 수 있다.

도면의 간단한 설명

[0183] 도 1a 내지 도 1e는 반도체 기판의 제작 공정을 도시하는 도면.

[0184] 도 2는 이온 도핑 장치에서 생성되는 이온종의 질량 분석 결과.

[0185] 도 3은 수소 이온 종의 에너지 다이어그램을 도시하는 도면.

[0186] 도 4는 가속 전압을 80kV로 한 경우의 수소 원소의 깊이 방향의 프로 파일(실측값 및 계산값)을 도시하는 도면.

[0187] 도 5는 레이저 빔 조사의 상황을 도시하는 사시도.

[0188] 도 6a 내지 도 6e는 박막 트랜지스터의 제작 공정의 단면도.

[0189] 도 7은 이온 도핑 장치의 일례를 도시하는 도면.

[0190] 도 8a 내지 도 8e는 반도체 장치의 제작 공정을 도시하는 도면.

[0191] 도 9는 마이크로 프로세서의 구성의 일례를 도시하는 블록도.

[0192] 도 10은 이온 주입 장치로 생성되는 이온종의 질량 분석 결과.

[0193] 도 11은 가속 전압을 80kV로 한 경우의 수소 원소의 깊이 방향의 프로 파일(실측값, 계산값, 및 피팅 함수)을 도시하는 도면.

[0194] 도 12는 가속 전압을 60kV로 한 경우의 수소 원소의 깊이 방향의 프로 파일(실측값, 계산값, 및 피팅 함수)을 도시하는 도면.

[0195] 도 13은 가속 전압을 40kV로 한 경우의 수소 원소의 깊이 방향의 프로 파일(실측값, 계산값, 및 피팅 함수)을 도시하는 도면.

[0196] 도 14는 피팅 파라미터의 비율(수소 원소 비율 및 수소 이온종 비율)을 정리한 도면.

[0197] <도면의 주요 부분에 대한 부호의 설명>

[0198] 100: 스테이지

[0199] 101: 제 1 반도체 웨이퍼

[0200] 102: 베퍼총

[0201] 103: 손상 영역

[0202] 104: 단결정 반도체층

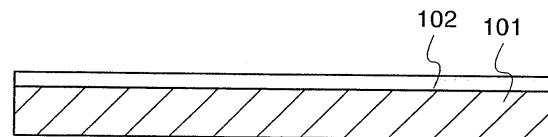
[0203] 105: 제 2 반도체 웨이퍼

[0204] 124: 단결정 반도체층

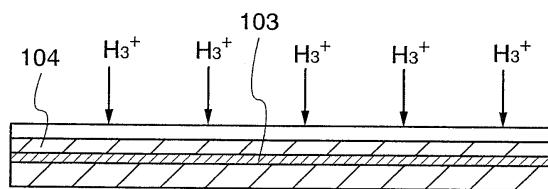
[0205] 125: 레이저 빔

도면

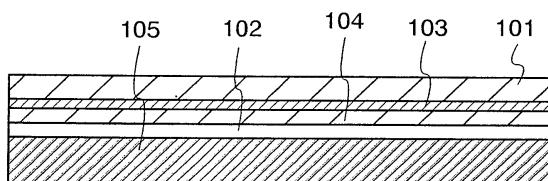
도면1a



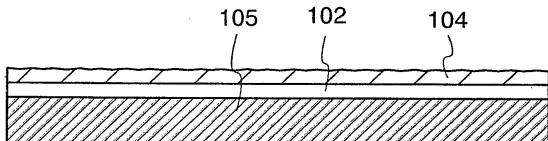
도면1b



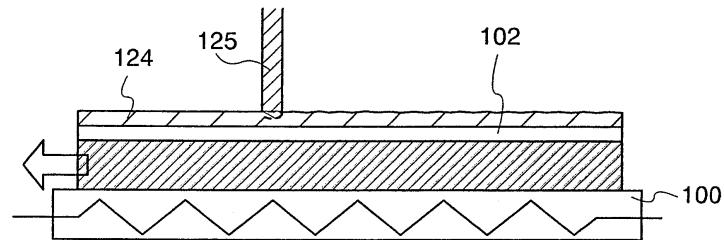
도면1c



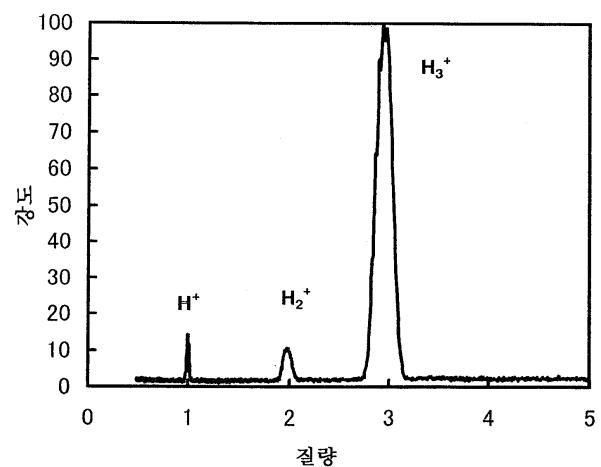
도면1d



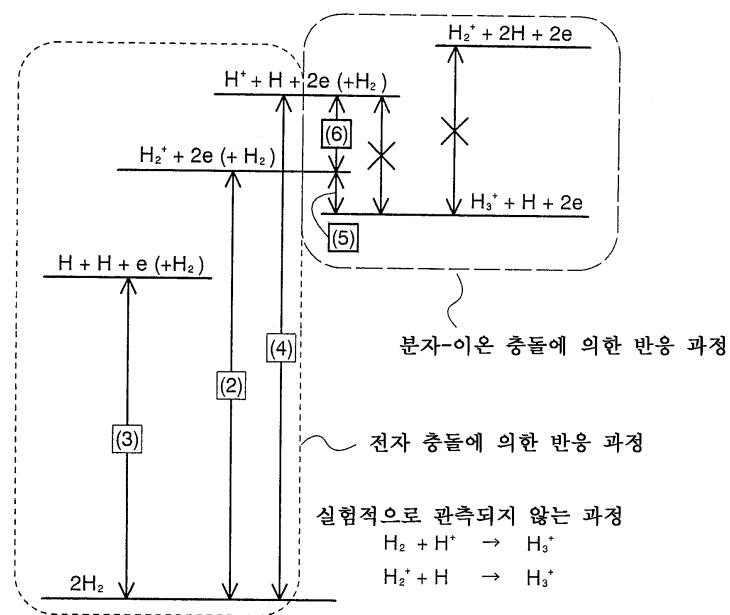
도면1e



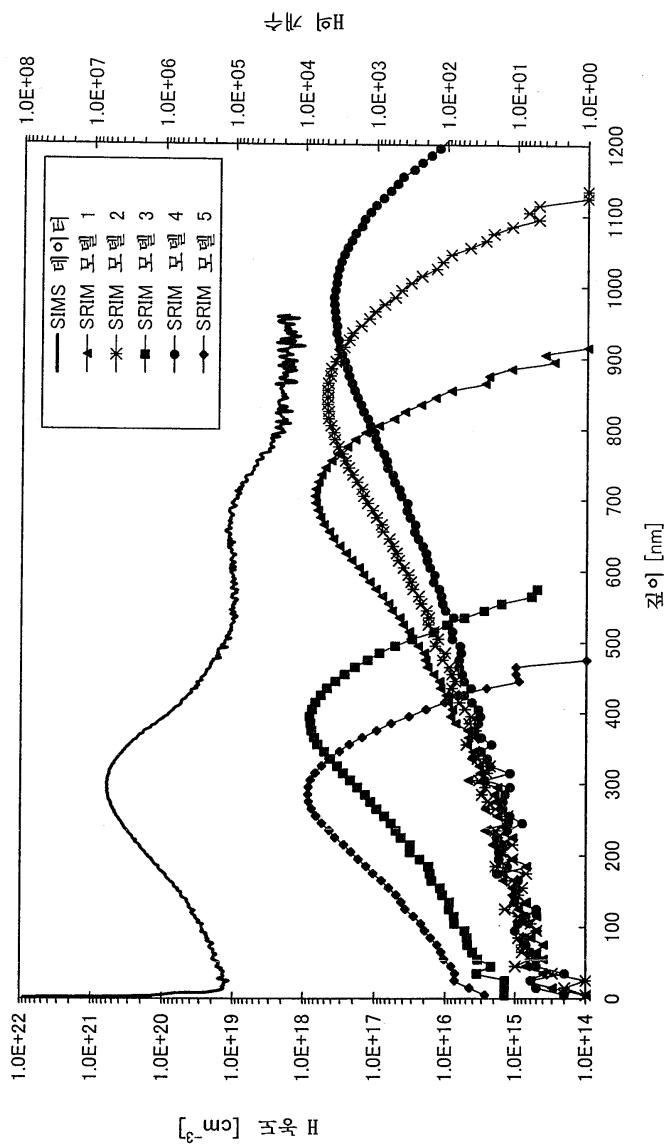
도면2



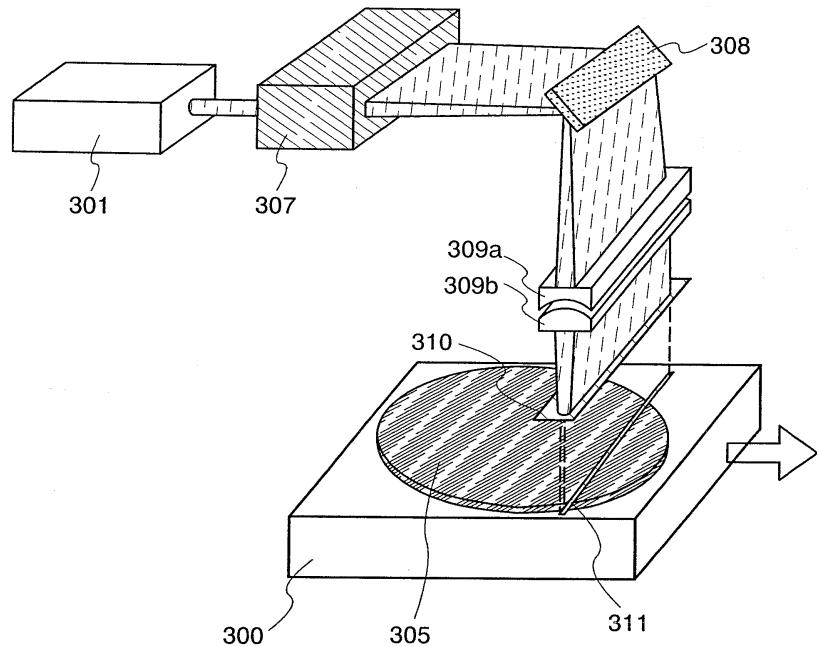
도면3



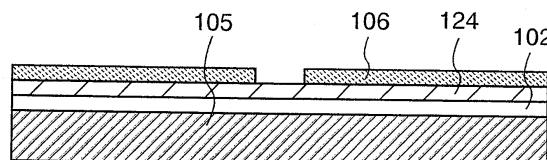
도면4



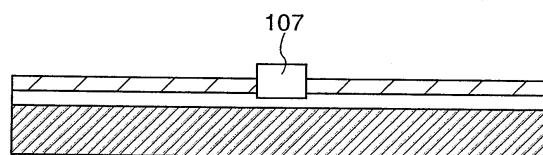
도면5



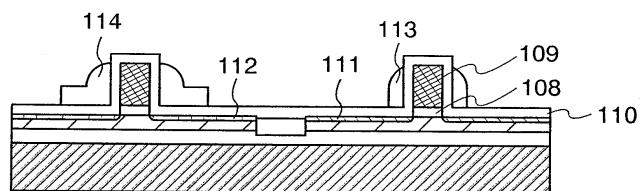
도면6a



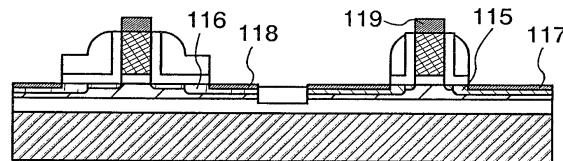
도면6b



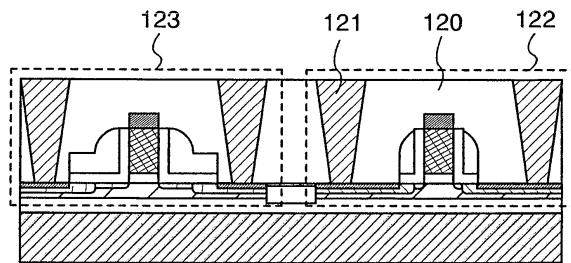
도면6c



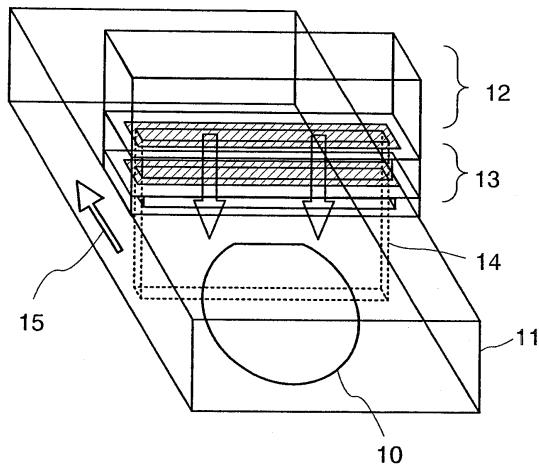
도면6d



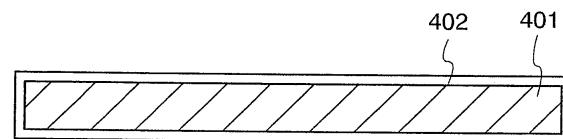
도면6e



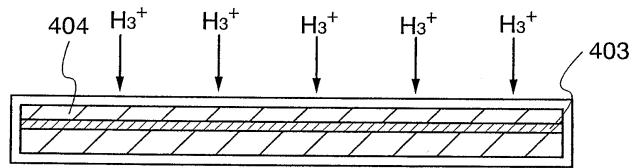
도면7



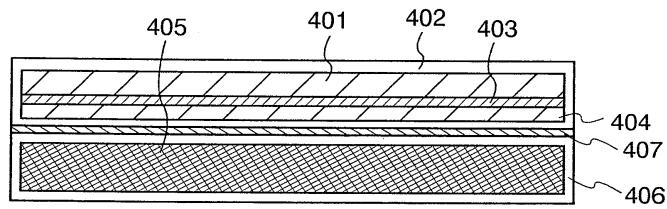
도면8a



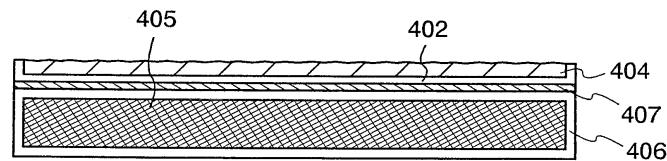
도면8b



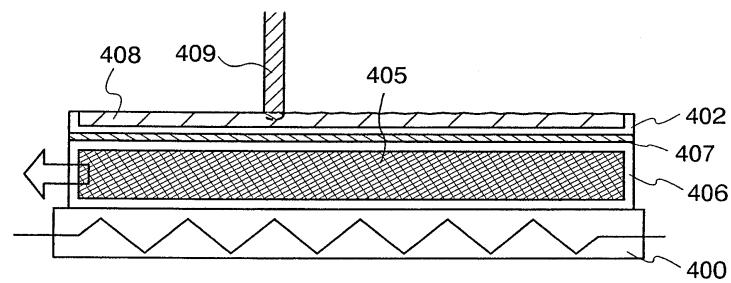
도면8c



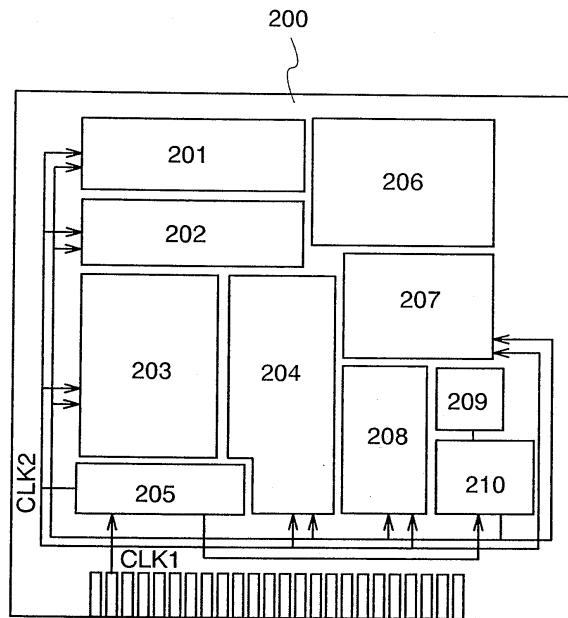
도면8d



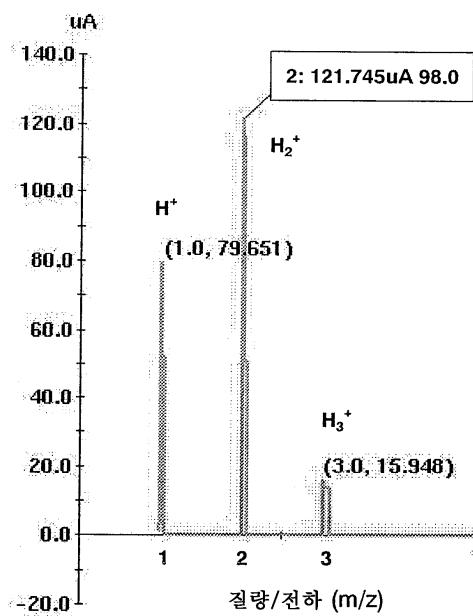
도면8e



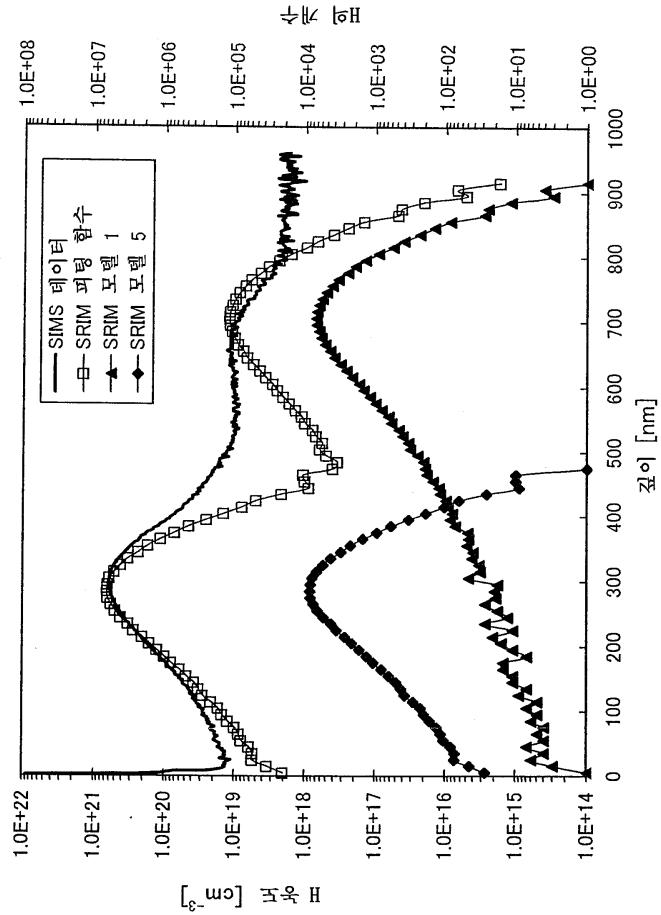
도면9



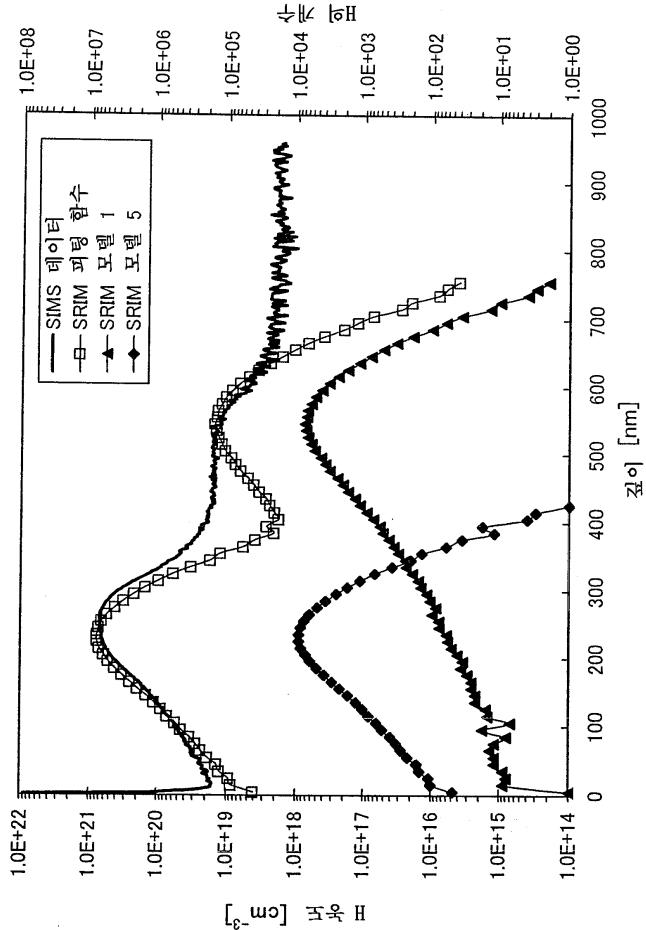
도면10



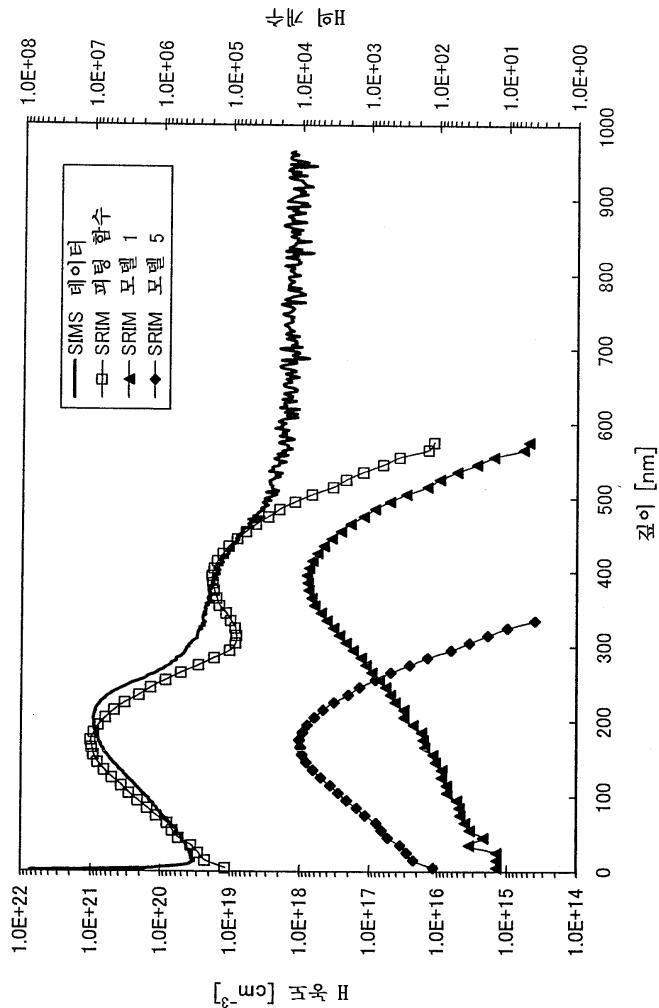
도면11



도면12



도면13



도면14

가속 전압	모델 1과 모델 5의 비율 (X : Y)	H^+ 와 H_3^+ 의 비율 (X : Y/3)
80 kV	1 : 44.1	1 : 14.7
60 kV	1 : 42.5	1 : 14.2
40 kV	1 : 43.5	1 : 14.5