

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3827572号
(P3827572)

(45) 発行日 平成18年9月27日(2006.9.27)

(24) 登録日 平成18年7月14日(2006.7.14)

(51) Int. Cl.	F I	
HO 1 L 21/027 (2006.01)	HO 1 L 21/30	5 1 4 A
HO 1 L 27/112 (2006.01)	HO 1 L 27/10	4 3 3
HO 1 L 21/8246 (2006.01)	GO 3 F 1/08	G
GO 3 F 1/08 (2006.01)	GO 3 F 1/08	J
GO 3 F 1/14 (2006.01)	GO 3 F 1/14	F
請求項の数 11 (全 51 頁) 最終頁に続く		

(21) 出願番号	特願2001-381685 (P2001-381685)	(73) 特許権者	503121103
(22) 出願日	平成13年12月14日(2001.12.14)		株式会社ルネサステクノロジ
(62) 分割の表示	特願2002-520281 (P2002-520281) の分割		東京都千代田区丸の内二丁目4番1号
原出願日	平成13年8月15日(2001.8.15)	(74) 代理人	100080001 弁理士 筒井 大和
(65) 公開番号	特開2003-282391 (P2003-282391A)	(72) 発明者	寺澤 恒男
(43) 公開日	平成15年10月3日(2003.10.3)		東京都国分寺市東恋ヶ窪一丁目280番地
審査請求日	平成16年3月26日(2004.3.26)		株式会社日立製作所 中央研究所内
(31) 優先権主張番号	特願2000-246466 (P2000-246466)	(72) 発明者	田中 稔彦
(32) 優先日	平成12年8月15日(2000.8.15)		東京都国分寺市東恋ヶ窪一丁目280番地
(33) 優先権主張国	日本国(JP)		株式会社日立製作所 中央研究所内
		(72) 発明者	宮崎 浩
			東京都小平市上水本町五丁目20番1号
			株式会社日立製作所 半導体グループ内
			最終頁に続く

(54) 【発明の名称】 マルチチップモジュールの製造方法

(57) 【特許請求の範囲】

【請求項1】

金属膜を露光光に対する遮光体として用いる第1のフォトマスクと、有機感光性樹脂膜を露光光に対する遮光体として用いる第2のフォトマスクとのいずれか一方を選択する工程を含み、

第1の半導体基板に、金属膜を露光光に対する遮光体として用いた前記第1のフォトマスクを用いて所定のパターンを形成する工程を少なくとも1回含み、複数の第1の半導体集積回路装置を製造する工程と、

第2の半導体基板に、有機感光性樹脂膜を露光光に対する遮光体として用いた前記第2のフォトマスクを用いて所定のパターンを形成する工程を少なくとも1回含み、複数の第2の半導体集積回路装置を製造する工程と、

前記第1の半導体集積回路装置と、前記第2の半導体集積回路装置とを同一の配線基板に実装する工程とを有し、

前記第1のフォトマスクと、前記第2のフォトマスクとのいずれか一方を選択する工程においては、フォトマスク1枚当たりのウエハ露光枚数または回数が所定値以上の場合は、金属膜を露光光に対する遮光体とする前記第1のフォトマスクを用い、前記所定値より少ない場合は、有機感光性樹脂膜を露光光に対する遮光体とする前記第2のフォトマスクを用いることを特徴とするマルチチップモジュールの製造方法。

【請求項2】

請求項1記載のマルチチップモジュールの製造方法において、前記第1の半導体集積回

10

20

路装置は、メモリ素子を含むことを特徴とするマルチチップモジュールの製造方法。

【請求項3】

請求項1記載のマルチチップモジュールの製造方法において、前記第2の半導体集積回路装置は、論理素子を含むことを特徴とするマルチチップモジュールの製造方法。

【請求項4】

請求項1～3のいずれか1項に記載のマルチチップモジュールの製造方法において、前記第1および第2の半導体集積回路装置は、前記配線基板に対してフェースダウンボンディングで電氣的に接続されることを特徴とするマルチチップモジュールの製造方法。

【請求項5】

金属膜を遮光体としてパターンが描かれたフォトマスクを用い、前記パターンを投影光学系を介して半導体基板上に転写する投影露光を繰り返し実施して所定のパターンを順次形成していく工程を含む第1の半導体集積回路装置製造工程と、

金属膜を露光光に対する遮光体とする第1のフォトマスクと、有機感光性樹脂膜を露光光に対する遮光体とする第2のフォトマスクとのいずれか一方を選択する工程を含み、有機感光性樹脂を遮光体とし開口パターンが描かれた前記第2のフォトマスクを用いて前記開口パターンを投影光学系を介して半導体基板上に転写する投影露光工程を少なくとも1回含み、他の露光工程は金属膜を遮光体とする前記第1のフォトマスクを用い、投影露光を繰り返し実施して所定のパターンを順次形成していく工程を含む第2の半導体集積回路装置製造工程と、

前記第1の半導体集積回路装置製造工程で製造された第1の半導体集積回路装置と前記第2の半導体集積回路装置製造工程で製造された第2の半導体集積回路装置とを同一の配線基板上に実装する工程とを有し、

前記第2の半導体集積回路装置製造工程において、前記第1のフォトマスクと前記第2のフォトマスクとのいずれか一方を選択する工程においては、フォトマスク1枚当たりのウエハ露光枚数または回数が所定値以上の場合は、金属膜を露光光に対する遮光体とする前記第1のフォトマスクを用い、前記所定値より少ない場合は、有機感光性樹脂膜を露光光に対する遮光体とする前記第2のフォトマスクを用いることを特徴とするマルチチップモジュールの製造方法。

【請求項6】

請求項5記載のマルチチップモジュールの製造方法において、前記第1の半導体集積回路装置は主にメモリ素子であり、前記第2の半導体集積回路装置は主に論理素子であることを特徴とするマルチチップモジュールの製造方法。

【請求項7】

金属膜を露光光に対する遮光体として用いる第1のフォトマスクと、有機感光性樹脂膜を露光光に対する遮光体として用いる第2のフォトマスクとのいずれか一方を選択する工程を含み、有機感光性樹脂を遮光体とし開口パターンが描かれた前記第2のフォトマスクを用いて前記開口パターンを投影光学系を介して半導体基板上に転写する投影露光工程と、金属膜を遮光体とする前記第1のフォトマスクを用い、投影露光を繰り返し実施して所定のパターンを順次形成していく工程とを含み、パターン形成は主に前記金属膜を遮光体とする前記第1のフォトマスクを用いる第1の半導体集積回路装置製造工程と、

金属膜を露光光に対する遮光体として用いる第1のフォトマスクと、有機感光性樹脂膜を露光光に対する遮光体として用いる第2のフォトマスクとのいずれか一方を選択する工程を含み、有機感光性樹脂を遮光体とし開口パターンが描かれた前記第2のフォトマスクを用いて前記開口パターンを投影光学系を介して半導体基板上に転写する投影露光工程と、金属膜を遮光体とする前記第1のフォトマスクを用い、投影露光を繰り返し実施して所定のパターンを順次形成していく工程とを含む第2の半導体集積回路装置製造工程と、

前記第1の半導体集積回路装置製造工程で製造された第1の半導体集積回路装置と前記第2の半導体集積回路装置製造工程で製造された第2の半導体集積回路装置とを同一の配線基板上に実装する工程とを有し、

前記第1の半導体集積回路装置製造工程および前記第2の半導体集積回路装置製造工程

10

20

30

40

50

において、前記第1のフォトマスクと前記第2のフォトマスクとのいずれか一方を選択する工程においては、フォトマスク1枚当たりのウエハ露光枚数または回数が所定値以上の場合は、金属膜を露光光に対する遮光体とする前記第1のフォトマスクを用い、前記所定値より少ない場合は、有機感光性樹脂膜を露光光に対する遮光体とする前記第2のフォトマスクを用いることを特徴とするマルチチップモジュールの製造方法。

【請求項8】

請求項7記載のマルチチップモジュールの製造方法において、前記有機感光性樹脂を遮光体とする前記第2のフォトマスクを用いて露光する前記投影露光工程は、少なくともホールまたは配線パターンのいずれかを形成する工程であることを特徴とするマルチチップモジュールの製造方法。

10

【請求項9】

請求項7記載のマルチチップモジュールの製造方法において、前記有機感光性樹脂を遮光体とする前記第2のフォトマスクを用いて露光する前記投影露光工程は、半導体集積回路素子のボンディングパッドと半田バンプを繋ぐ再配置配線の形成工程であることを特徴とするマルチチップモジュールの製造方法。

【請求項10】

請求項7記載のマルチチップモジュールの製造方法において、前記有機感光性樹脂は電子線レジスト材料であり、該レジストを遮光体とするフォトマスクを用いて露光する工程における露光波長は250nm以下であることを特徴とするマルチチップモジュールの製造方法。

20

【請求項11】

請求項7記載のマルチチップモジュールの製造方法において、前記有機感光性樹脂と反射防止膜を含む有機材料を遮光体とするフォトマスクを用いて露光する工程における露光波長は370nm以下であることを特徴とするマルチチップモジュールの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マルチチップモジュールの製造技術に関し、特に、半導体集積回路装置の製造工程において、半導体ウエハ（以下、単にウエハと言う）にフォトマスク（以下、単にマスクという）を用いて所定のパターンを転写するフォトリソグラフィ（以下、単にリソグラフィという）技術に適用して有効な技術に関するものである。

30

【0002】

【従来の技術】

半導体集積回路装置(LSI: Large Scale Integrated circuit)の製造においては、微細パターンをウエハ上に形成する方法として、リソグラフィ技術が用いられる。このリソグラフィ技術としては、マスク上に形成されているパターンを縮小投影光学系を介してウエハ上に繰り返し転写する、所謂光学式投影露光方法が主流となっている。露光装置の基本構成については、例えば特開2000-91192号公報に示されている。

【0003】

この投影露光法におけるウエハ上での解像度Rは、一般に、 $R = k \times \lambda / NA$ で表現される。ここにkはレジスト材料やプロセスに依存する定数、 λ は照明光の波長、NAは投影露光用レンズの開口数である。この関係式から分かるように、パターンの微細化が進むにつれて、より短波長の光源を用いた投影露光技術が必要とされている。現在、照明光源として水銀ランプのi線($\lambda = 365 \text{ nm}$)やKrFエキシマレーザ($\lambda = 248 \text{ nm}$)を用いた投影露光装置によって、LSIの製造が行なわれている。更なる微細化を実現するためには、より短波長の光源が必要となり、ArFエキシマレーザ($\lambda = 193 \text{ nm}$)やF₂エキシマレーザ($\lambda = 157 \text{ nm}$)の採用が検討されている。

40

【0004】

一方、投影露光法で用いられる上記マスクは、露光光に透明な石英ガラス基板上に遮光膜としてクロム等からなる遮光パターンを形成した構造を有する。その製造工程は、例えば

50

次のようなものがある。まず、石英ガラス基板上に遮光膜となるクロム膜を形成し、その上に電子線に感光するレジスト膜を塗布する。次に、所定のパターン情報に基づいて電子線を上記レジスト膜に照射し、これを現像してレジストパターンを形成する。続いて、上記レジストパターンをエッチングマスクとして前記クロムの薄膜をエッチングすることによりクロム等からなる遮光パターンを形成する。最後に残った電子線感光のレジスト膜を除去してマスクを製造する。

【0005】

【発明が解決しようとする課題】

ところが、上記クロム等のような金属膜からなる遮光パターンを有するマスクを用いる露光技術においては、以下の課題があることを本発明者は見出した。

10

【0006】

すなわち、金属膜からなる遮光パターンを有するマスクは、耐久性に富み信頼性が高く大量の露光処理に活用できることから量産に適しているが、例えば半導体集積回路装置の開発期や少量多品種の半導体集積回路装置の製造等、マスクパターンに変更や修正が生じ易い場合やマスクの共有頻度が低い場合等には、マスクの製造に時間がかかる上、マスクのコストが高くなること等から、半導体集積回路装置の生産性の向上や半導体集積回路装置のコスト低減を阻害する、という問題がある。

【0007】

本発明の目的は、半導体集積回路装置の生産性を向上させることのできる技術を提供することにある。

20

【0008】

また、本発明の目的は、半導体集積回路装置の開発期間を短縮することのできる技術を提供することにある。

【0009】

また、本発明の目的は、半導体集積回路装置の製造時間を短縮することのできる技術を提供することにある。

【0010】

また、本発明の目的は、半導体集積回路装置のコストを低減することのできる技術を提供することにある。

【0011】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

30

【0012】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】

すなわち、本発明は、金属膜を露光光に対する遮光体として用いる第1のフォトマスクと、有機感光性樹脂膜を露光光に対する遮光体として用いる第2のフォトマスクとのいずれか一方を選択する工程を含み、

40

第1の半導体基板に、金属膜を露光光に対する遮光体として用いた前記第1のフォトマスクを用いて所定のパターンを形成する工程を少なくとも1回含み、複数の第1の半導体集積回路装置を製造する工程と、

第2の半導体基板に、有機感光性樹脂膜を露光光に対する遮光体として用いた前記第2のフォトマスクを用いて所定のパターンを形成する工程を少なくとも1回含み、複数の第2の半導体集積回路装置を製造する工程と、

前記第1の半導体集積回路装置と、前記第2の半導体集積回路装置とを同一の配線基板に実装する工程とを有し、

前記第1のフォトマスクと、前記第2のフォトマスクとのいずれか一方を選択する工程においては、フォトマスク1枚当たりのウエハ露光枚数または回数が所定値以上の場合は

50

、金属膜を露光光に対する遮光体とする前記第1のフォトリソマスクを用い、前記所定値より少ない場合は、有機感光性樹脂膜を露光光に対する遮光体とする前記第2のフォトリソマスクを用いるものである。

【0014】

また、本発明は、金属膜を遮光体としてパターンが描かれたフォトリソマスクを用い、前記パターンを投影光学系を介して半導体基板上に転写する投影露光を繰り返し実施して所定のパターンを順次形成していく工程を含む第1の半導体集積回路装置製造工程と、

金属膜を露光光に対する遮光体とする第1のフォトリソマスクと、有機感光性樹脂膜を露光光に対する遮光体とする第2のフォトリソマスクとのいずれか一方を選択する工程を含み、有機感光性樹脂を遮光体とし開口パターンが描かれた前記第2のフォトリソマスクを用いて前記開口パターンを投影光学系を介して半導体基板上に転写する投影露光工程を少なくとも1回含み、他の露光工程は金属膜を遮光体とする前記第1のフォトリソマスクを用い、投影露光を繰り返し実施して所定のパターンを順次形成していく工程を含む第2の半導体集積回路装置製造工程と、

前記第1の半導体集積回路装置製造工程で製造された第1の半導体集積回路装置と前記第2の半導体集積回路装置製造工程で製造された第2の半導体集積回路装置とを同一の配線基板上に実装する工程とを有し、

前記第2の半導体集積回路装置製造工程において、前記第1のフォトリソマスクと前記第2のフォトリソマスクとのいずれか一方を選択する工程においては、フォトリソマスク1枚当たりのウェハ露光枚数または回数が所定値以上の場合は、金属膜を露光光に対する遮光体とする前記第1のフォトリソマスクを用い、前記所定値より少ない場合は、有機感光性樹脂膜を露光光に対する遮光体とする前記第2のフォトリソマスクを用いるものである。

【0015】

また、本発明は、金属膜を露光光に対する遮光体として用いる第1のフォトリソマスクと、有機感光性樹脂膜を露光光に対する遮光体として用いる第2のフォトリソマスクとのいずれか一方を選択する工程を含み、有機感光性樹脂を遮光体とし開口パターンが描かれた前記第2のフォトリソマスクを用いて前記開口パターンを投影光学系を介して半導体基板上に転写する投影露光工程と、金属膜を遮光体とする前記第1のフォトリソマスクを用い、投影露光を繰り返し実施して所定のパターンを順次形成していく工程とを含み、パターン形成は主に前記金属膜を遮光体とする前記第1のフォトリソマスクを用いる第1の半導体集積回路装置製造工程と、

金属膜を露光光に対する遮光体として用いる第1のフォトリソマスクと、有機感光性樹脂膜を露光光に対する遮光体として用いる第2のフォトリソマスクとのいずれか一方を選択する工程を含み、有機感光性樹脂を遮光体とし開口パターンが描かれた前記第2のフォトリソマスクを用いて前記開口パターンを投影光学系を介して半導体基板上に転写する投影露光工程と、金属膜を遮光体とする前記第1のフォトリソマスクを用い、投影露光を繰り返し実施して所定のパターンを順次形成していく工程とを含む第2の半導体集積回路装置製造工程と、

前記第1の半導体集積回路装置製造工程で製造された第1の半導体集積回路装置と前記第2の半導体集積回路装置製造工程で製造された第2の半導体集積回路装置とを同一の配線基板上に実装する工程とを有し、

前記第1の半導体集積回路装置製造工程および前記第2の半導体集積回路装置製造工程において、前記第1のフォトリソマスクと前記第2のフォトリソマスクとのいずれか一方を選択する工程においては、フォトリソマスク1枚当たりのウェハ露光枚数または回数が所定値以上の場合は、金属膜を露光光に対する遮光体とする前記第1のフォトリソマスクを用い、前記所定値より少ない場合は、有機感光性樹脂膜を露光光に対する遮光体とする前記第2のフォトリソマスクを用いるものである。

【0016】

また、本発明は、前記有機材料が、有機感光性樹脂膜の単体膜からなるものである。

【0017】

また、本発明は、前記有機材料が、有機感光性樹脂膜に吸光材料または減光材料を添加し

10

20

30

40

50

てなるものである。

【0018】

また、本発明は、前記有機材料が、有機感光性樹脂膜と吸光性膜との積層膜、有機感光性樹脂膜と減光性膜との積層膜または有機感光性樹脂膜と反射防止膜との積層膜からなるものである。

【0019】

また、本発明は、前記有機感光性樹脂膜を含む有機材料を露光光に対する遮光体として有するマスクには、金属膜を露光光に対する遮光体とするパターンも含むものである。

【0020】

また、本発明は、前記有機感光性樹脂膜を含む有機材料を露光光に対する遮光体として有するマスクには、金属膜を露光光に対する遮光体とするパターンとして含み、その金属膜からなる遮光体のパターンは、ウエハ上に集積回路パターンを転写するためのパターンとするものである。

10

【0021】

また、本発明は、前記有機感光性樹脂膜を含む有機材料を露光光に対する遮光体として有するマスクには、金属膜を露光光に対する遮光体とするパターンとして含み、その金属膜からなる遮光体は、マスクの周辺領域を覆うメタル枠とするものである。

【0022】

また、本発明は、前記有機感光性樹脂膜を含む有機材料を露光光に対する遮光体として有するマスクの製造に際して、前記有機材料からなる遮光体を除去し、新たに前記有機材料からなる遮光体を形成する工程を有するものである。

20

【0023】

また、本発明は、前記有機感光性樹脂膜を含む有機材料を露光光に対する遮光体として有するマスクの製造に際して、前記有機材料からなる遮光体を除去し、新たに前記有機材料からなる遮光体を形成する工程を有し、前記新たに形成された有機材料からなる遮光体は、ウエハ上に集積回路パターンを転写するためのパターンとするものである。

【0024】

【発明の実施の形態】

本願発明を詳細に説明する前に、本願における用語の意味を説明すると次の通りである。

【0025】

30

1. マスク（光学マスク）：マスク基板上に光を遮光するパターンや光の位相を変化させるパターンを形成したものである。実寸の数倍のパターンが形成されたレチクルも含む。マスクの第1の主面とは、上記光を遮蔽するパターンや光の位相を変化させるパターンが形成されたパターン面であり、マスクの第2の主面とは第1の主面とは反対側の面のことを言う。

【0026】

2. 通常マスク：マスク基板上に、メタルからなる遮光パターンと、光透過パターンとでマスクパターンを形成した一般的なマスクのことを言う。本実施の形態では、マスクを透過する露光光に位相差を生じさせる手段を有する位相シフトマスクも通常マスクに含まれるものとする。露光光に位相差を生じさせる位相シフトは、例えばマスク基板に所定の深さの溝を掘るものやマスク基板上に所定の膜厚の透明膜や半透明膜を設けるものがある。

40

【0027】

3. レジストマスク：マスク基板上に有機感光性樹脂膜を含む有機材料からなる遮光体（遮光膜、遮光パターン、遮光領域）を有するマスクを言う。なお、ここで言う有機材料は、有機感光性樹脂膜の単体膜、有機感光性樹脂膜に吸光材料または減光材料を添加したもの、有機感光性樹脂膜と他の膜（例えば反射防止膜、吸光性樹脂膜または減光性樹脂膜）との積層膜等を含む。

【0028】

4. マスク（上記通常マスクおよびレジストマスク）のパターン面を以下の領域に分類

50

する。転写されるべき集積回路パターンが配置される領域「集積回路パターン領域」、その外周の領域「周辺領域」。

【0029】

5. 特に限定されるものではないが、本明細書中においては、便宜上、レジストマスクを、その製造工程の観点から次の3つに分類する。すなわち、マスクブランク（以下、単にブランクという）、メタルマスクおよびレジストマスクである。ブランクは、所望のパターンを転写するためのマスクとして完成する前の初期段階のマスクであって、上記集積回路パターン領域にパターンが形成されていないが、マスクを製造するのに必要な基本構成部を有する共通性（汎用性）の高い段階のマスクをいう。メタルマスクは、マスクとして完成されていないが、上記集積回路パターン領域にメタルからなるパターンが形成された段階のマスクである。このメタルマスクと上記通常のマスキとの違いは、所望のパターンを被処理基板上に転写可能なマスクとして完成されているか、否かの点である。レジストマスクは、マスクとして完成されたものであって、上記集積回路パターン領域に、レジスト膜からなるパターンが形成された段階のマスク。マスク上において、所望のパターンを転写するためのパターンが、全てレジスト膜からなるものと、メタルおよびレジスト膜の両方からなるものがある。

10

【0030】

6. ウエハとは、集積回路の製造に用いるシリコン単結晶基板（一般にほぼ平面円形状）、サファイア基板、ガラス基板、その他の絶縁、反絶縁または半導体基板等並びにそれらの複合的基板を言う。また、本願において半導体集積回路装置というときは、シリコンウエハやサファイア基板等の半導体または絶縁体基板上に作られるものだけでなく、特に、そうでない旨明示された場合を除き、TFT（Thin-Film-Transistor）およびSTN（Super-Twisted-Nematic）液晶等のようなガラス等の他の絶縁基板上に作られるもの等も含むものとする。

20

【0031】

7. デバイス面とは、ウエハの主面であって、その面にフォトリソグラフィにより、複数のチップ領域に対応するデバイスパターンが形成される面を言う。

【0032】

8. 「遮光体」、「遮光領域」、「遮光膜」、「遮光パターン」と言うときは、その領域に照射される露光光のうち、40%未満を透過させる光学特性を有することを示す。一般に数%から30%未満のものが使われる。一方、「透明」、「透明膜」、「光透過領域」、「光透過パターン」と言うときは、その領域に照射される露光光のうち、60%以上を透過させる光学特性を有することを示す。一般に90%以上のものが使用される。

30

【0033】

9. 転写パターン：マスクによってウエハ上に転写されたパターンであって、具体的にはレジストパターンおよびレジストパターンをマスクとして実際に形成されたウエハ上のパターンを言う。

【0034】

10. レジストパターン：感光性の有機膜をフォトリソグラフィの手法により、パターンニングした膜パターンを言う。なお、このパターンには当該部分に関して全く開口のない単なるレジスト膜を含む。

40

【0035】

11. ホールパターン：ウエハ上で露光波長と同程度又はそれ以下の二次元的寸法を有するコンタクトホール、スルーホール等の微細パターン。一般には、マスク上では正方形またはそれに近い長方形あるいは八角形等の形状であるが、ウエハ上では円形に近くなることが多い。

【0036】

12. ラインパターン：ウエハ上で配線パターン等を形成する帯状のパターンをいう。

【0037】

13. 通常照明：、非変形照明のことで、光強度分布が比較的均一な照明を言う。

50

【0038】

14. 変形照明：中央部の照度を下げた照明であって、斜方照明、輪帯照明、4重極照明、5重極照明等の多重極照明またはそれと等価な瞳フィルタによる超解像技術を含む。

【0039】

15. スキャンニング露光：細いスリット状の露光帯を、ウエハとマスクに対して、スリットの長手方向と直交する方向に（斜めに移動させてもよい）相対的に連続移動（走査）させることによって、マスク上の回路パターンをウエハ上の所望の部分に転写する露光方法。

【0040】

16. ステップ・アンド・スキャン露光：上記スキャンニング露光とステッピング露光を組み合わせるウエハ上の露光すべき部分の全体を露光する方法であり、上記スキャンニング露光の下位概念に当たる。

10

【0041】

17. ステップ・アンド・リピート露光：マスク上の回路パターンの投影像に対してウエハを繰り返しステップすることで、マスク上の回路パターンをウエハ上の所望の部分に転写する露光方法。

【0042】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

20

【0043】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0044】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0045】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

30

【0046】

また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0047】

また、本実施の形態で用いる図面においては、平面図であっても図面を見易くするために遮光部（遮光膜、遮光パターン、遮光領域等）およびレジスト膜にハッチングを付す。

【0048】

40

また、本実施の形態においては、電界効果トランジスタを代表するMIS・FET（Metal Insulator Semiconductor Field Effect Transistor）をMISと略し、pチャネル型のMIS・FETをpMISと略し、nチャネル型のMIS・FETをnMISと略す。

【0049】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0050】

（実施の形態1）

まず、図1を用いて、本発明の一実施の形態である半導体集積回路装置の製造方法を説明する。工程101は、マスクに形成されたマスクパターンをウエハに転写するパターン転写工程であり、工程102は、エッチング、不純物導入や成膜等の各種処理を行なう工程

50

である。通常の半導体集積回路装置では、工程103で全ての処理が終了したと判断するまで、パターンの転写（露光）と各種処理を繰り返し実施する。

【0051】

さて、本実施の形態では、パターン転写工程101において、ウエハの主面にレジスト膜を塗布した後（工程101a）、上記通常のマスク（第1のフォトマスク）を使用するか、上記レジストマスク（第2のフォトマスク）を使用するかを選択する（工程101b）。ここでは、例えば1枚当たりのマスクにおけるウエハ露光枚数（回数）が所定値より少ない場合に、後述する方法でレジストマスクを別途準備し、それを選択するようにした。上記所定値（予め定められた値）は、露光オペレータが入力することとした。ただし、これに限られることはない。例えば過去の使用回数の累積から定めても良いし、ファイル等から指定する方法で定めても良い。続いて、通常のマスクまたはレジストマスクを露光装置に載置した後（工程101c、101d）、ウエハを露光装置にロードし（工程101e）、ウエハ上のレジスト膜にマスク上のパターンを転写する（工程101f）。その後、ウエハをアンロードした後（工程101g）、転写が終了か否かを判断する（工程101h）。ここで、終了でない場合は、工程101e～101gを繰り返す。一方、転写が終了の場合は、熱処理、現像等を経て、ウエハ上にレジストパターンを形成する（工程101i）。

10

【0052】

このように、通常のマスクとレジストマスクとを露光状況に応じて使い分けることにより、露光状況に合ったマスクの使い方が可能となる。

20

【0053】

例えばマスク1枚当たりの露光処理数が少ない場合は、前記のレジストマスクを用いると、その製造法の簡便さから、コスト低減を実現できると同時に、エッチングに起因する精度劣化も無いのでパターン精度の良いマスクを短時間で得ることができる。したがって、製造コストの上昇を招くことが無い。また、多品種の生産に対応できる。そこで、少量生産品については、前記のレジストマスクを用いるのがコスト的に優位である。

【0054】

一方、種々の半導体集積回路装置の製造では、半導体基板（ウエハ）上への成膜やエッチング等の多数の工程を有し、それに必要なパターンを転写するリソグラフィ工程数も多い。そのリソグラフィ工程数だけのマスクを製造する必要がある。この場合、例えばトランジスタ構造の製造までは共通であるが、それ以降の配線加工等において多くの種類に分類して多品種の製品を製造する場合が多い。すなわち、共通構造の製造に用いるマスクは、マスク1枚当たりの露光処理数が極めて多いので通常のマスクで対応する。しかし、品種ごとに異なるパターンを形成するためのマスクでは、共通構造の製造に用いるマスクと比べてマスク1枚当たりの露光処理数が少なくなる。このようなパターン露光工程にはレジストマスクを採用することとした。これにより、半導体集積回路装置の生産性を向上させることが可能となる。また、半導体集積回路装置の開発期間や製造時間を短縮させることが可能となる。さらに、半導体集積回路装置のコストを低減することが可能となる。

30

【0055】

ここで用いた露光装置は、例えば一般的な縮小投影露光装置である。その一例を図2に示す。露光装置1は、光源から発する光Lを導く光路1a、デュフーザ1b、照明絞リ1c、照明光学系（コンデンサレンズ）1d、マスクステージ1e、投影光学系1f、ウエハステージ1g等を有している。マスクMをマスクステージ1e上に、ウエハ2Wをウエハステージ1g上にそれぞれ載置し、マスクM上のマスクパターンをウエハ2Wに転写する。露光光源としては、例えばi線（波長365nm）、KrFエキシマレーザ光（波長248nm）、ArFエキシマレーザ光（波長193nm）またはF₂レーザ光（波長157nm）等を用いる。露光方法としては、例えば上記ステップ・アンド・リピート露光方法またはステップ・アンド・スキヤニング露光方法のいずれを用いても良い。マスクMの表面にペリクルを設けても良い。マスクステージ1e上のマスクは、転写を所望するパターンの種類に応じて適宜交換する。マスクステージ1eの位置制御は、駆動系1hによっ

40

50

て行われている。また、ウエハステージ 1 g の位置制御は、駆動系 1 i によって行われている。駆動系 1 h, 1 i は、主制御系 1 j からの制御命令に応じて駆動される。ウエハ 2 W の位置は、ウエハステージ 1 g に固定されたミラーの位置をレーザ測長器 1 k によって検出することで得られる。そこで得られた位置情報は、主制御系 1 j に伝送される。主制御系 1 j では、その情報に基づいて駆動系 1 i を駆動する。また、主制御系 1 j はネットワーク装置 1 m と電氣的に接続されており、露光装置 1 の状態の遠隔監視等が可能となっている。

【0056】

次に、ここで用いたマスク M について説明する。本実施の形態で用いるマスク M は、例えば実寸の 1 ～ 10 倍程度の寸法の集積回路パターンの原画を、縮小投影光学系等を通してウエハに転写するためのレチクルである。また、ここでは、ウエハ上にラインパターンを転写する場合に用いるマスクを例示するが、本発明の技術思想はこれに限定されるものではなく種々適用可能であり、例えば上記ホールパターン等を転写する場合にも適用可能である。なお、ここで説明するマスクは代表例であって、本発明は以下のマスクを用いることに限定されるものではない。

【0057】

図 3 ～ 図 7 は、上記通常のマスキの一例を示している。なお、図 3 ～ 図 7 の各々において (b) は、各図 (a) の A - A 線の断面図である。

【0058】

マスク MN 1 ～ MN 3, MN 4 a, MN 4 b (M) のマスク基板 3 は、例えば平面四角形に形成された厚さ 6 mm 程度の透明な合成石英ガラス基板等からなる。マスク MN 1, MN 2, MN 4 a, MN 4 b を用いる場合は、ウエハ上でポジ型のレジスト膜を用い、マスク MN 3 を用いる場合は、ウエハ上でネガ型のレジスト膜を用いる。

【0059】

図 3 のマスク MN 1 は、半導体チップの周辺が遮光領域となるマスクを例示している。このマスク MN 1 におけるマスク基板 3 の主面 (パターン形成面) 中央の上記集積回路パターン領域には、平面長形状の光透過領域 4 a が形成されており、マスク基板 3 の主面の一部が露出されている。この光透過領域 4 a には、メタルからなる遮光パターン 5 a が配置されている。この遮光パターン 5 a は、ウエハ上のラインパターン (集積回路パターン) として転写される。また、その集積回路パターン領域の外周の上記周辺領域は、メタルからなる遮光パターン 5 b (メタル枠) によって覆われている。遮光パターン 5 a, 5 b は、同工程時にパターン加工されたもので、例えばクロム (Cr) またはクロム上に酸化クロムが堆積されてなる。ただし、メタルの遮光パターンの材料は、これに限定されるものではなく種々変更可能である。このメタル材料については後述する。

【0060】

図 4 のマスク MN 2 は、半導体チップの周辺輪郭が遮光領域となるマスクを例示している。マスク MN 2 の集積回路パターン領域については上記マスク MN 1 と同じなので説明を省略する。このマスク MN 2 のマスク基板 3 の主面において集積回路パターン領域は、メタルからなる帯状の遮光パターン 5 c (メタル枠) によって取り囲まれている。遮光パターン 5 c の材料は、上記遮光パターン 5 a, 5 b と同じである。また、マスク MN 2 の上記周辺領域の大半は、遮光膜が除去されて光透過領域 4 b となっている。

【0061】

図 5 のマスク MN 3 は、上記マスク MN 1, MN 2 の反転パターンを有するマスクを例示している。このマスク MN 3 のマスク基板 3 の主面は、その大半がメタルからなる遮光膜 5 d で覆われている。遮光膜 5 d の材料は、上記遮光パターン 5 b, 5 c と同じである。そして、マスク MN 3 の集積回路パターン領域において、遮光膜 5 d の一部が除去されて光透過パターン 4 c が形成されている。この光透過パターン 4 c は、ウエハ上のラインパターンとして転写される。なお、この図 5 のマスク MN 3 の周辺領域を図 4 の周辺領域のようにしても良い。

【0062】

10

20

30

40

50

図6のマスクNM4aと、図7のマスクNM4bとは、ウエハ上の一つまたは一群のパターンを、複数枚のマスクを重ね合わせて露光することにより形成する、いわゆる重ね合わせ露光に使うマスクを例示している。

【0063】

図6のマスクMN4aの集積回路パターン領域には、例えば平面逆L字状の光透過領域4dが形成されている。光透過領域4dには、上記メタルの遮光パターン5aが配置されている。この光透過領域4dの周囲は、その大半がメタルの遮光パターン5bで覆われている。マスクMN4aの集積回路パターン領域における一部の領域も遮光パターン5bにより覆われている。このマスクMN4aは、例えば半導体集積回路装置においてパターンの修正や変更が基本的に行われない定形パターン群で構成される回路のパターンを転写するマスクとして用いる。

10

【0064】

一方、図7のマスクMN4bの集積回路パターン領域には、例えば比較的小面積の平面四角形状の光透過領域4eが形成されている。この光透過領域4eは、上記マスクMN4aの集積回路パターン領域において遮光パターン5bで覆われていた一部の領域に相当する領域に形成されている。光透過領域4eには、メタルの遮光パターン5aが配置されている。この光透過領域4eの周囲は、その大半がメタルの遮光パターン5bで覆われている。このマスクMN4bは、例えば半導体集積回路装置においてパターンの修正や変更が行われるパターン群で構成される回路のパターンを転写するマスクとして用いる。すなわち、そのパターンの修正や変更が生じた場合は、マスクMN4bのみを代えれば良いので、マスクの製造時間を短縮できる。また、マスク製造における材料費、工程費および燃料費を低減できる。露光処理に際しては、それぞれのマスクMN4a、MN4bを用いてウエハに対して露光処理を施す。そして、双方のマスクMN4a、MN4bの露光処理が終了した後、ウエハ上のレジスト膜に対して現像等の処理を施してレジストパターンを形成する。

20

【0065】

このような通常のマスクの製造工程の一例を図8に示す。まず、マスク基板3上に、例えばクロム等からなる遮光膜5を堆積し、その上に電子線に感光するレジスト膜6を塗布する(図8(a))。ただし、遮光膜5は、クロムに限定されるものではなく種々変更可能であり、例えばタングステン(W)、モリブデン(Mo)、タンタル(Ta)またはチタン(Ti)等のような高融点金属、窒化タングステン(WN)等のような高融点金属窒化物、タングステンシリサイド(WSi_x)やモリブデンシリサイド(MoSi_x)等のような高融点金属シリサイド(化合物)、あるいはこれらの積層膜を用いても良い。後述のレジストマスクの場合は、レジスト膜からなる遮光パターンを除去した後、マスク基板を洗浄し再度使用する場合があるので、メタルの遮光パターンは耐剥離性や耐摩耗性に富む材料が好ましい。タングステン等の高融点金属は、耐酸化性および耐摩耗性に富み、耐剥離性に富むので、メタルの遮光パターンの材料として好ましい。続いて、所定のパターン情報を有する電子線EBを照射して現像し、レジストパターン6aを形成する(図8(b))。続いて、そのレジストパターン6aをエッチングマスクとして遮光膜5をエッチングして遮光パターン5a、5bを形成する(図8(c))。最後に残った電子線感光のレジストパターン6aを除去して通常のマスクMを製造する(図8(d))。このような通常のマスクは、耐久性に富み信頼性が高く大量の露光処理に活用できることから量産に適している。

30

40

【0066】

次に、図9～図11は、上記レジストマスクの一例を示している。なお、図9～図11の各々において(b)は、各図(a)のA-A線の断面図である。

【0067】

図9のマスクMR1(M)は、半導体チップの周辺が遮光領域となるマスクを例示している。このマスクMR1におけるマスク基板3の主面中央の上記集積回路パターン領域には、平面長方形の光透過領域4aが形成されており、マスク基板3の主面の一部が露出されている。この光透過領域4aには、レジスト膜等のような有機樹感光性脂膜を含む有

50

機材料からなる遮光パターン7aが配置されている。この遮光パターン7aは、ウエハ上のラインパターンとして転写される。このように遮光パターン7aをレジスト膜で形成したことにより、後述するように遮光パターン7aを、比較的簡単に除去することができる。そして、新たな遮光パターン7aを簡単にしかも短時間のうちに形成することができる。この遮光パターン7aを形成するレジスト膜は、例えばKrFエキシマレーザ光、ArFエキシマレーザ光またはF2レーザ光等のような露光光を吸収する性質を有しており、メタルからなる遮光パターンとほぼ同様の遮光機能を有している。

【0068】

遮光パターン7aは、図9(c)に示すようにレジスト膜の単体膜で構成しても良いし、その単体膜に吸光材や減光材を添加しても良い。また、図9(d)に示すように吸光性有機膜7a1上に感光性有機膜7a2を積層することで構成しても良いし、感光性有機膜上に反射防止膜を積層することで構成しても良い。このような積層構造とすることにより、例えばi線やKrF等のような波長が200nm以上の露光光に対しても十分な減光性を得ることが可能となる。また、遮光パターン7aがレジスト膜の単体膜で構成される場合には、そのレジスト膜に吸光材料を添加することでも波長が200nm以上の露光光に対して十分な減光性を得ることが可能となる。このレジスト膜の材料等については後述する。集積回路パターン領域の外周の周辺領域は、前記図3のマスクMN1と同様にその大半がメタルからなる遮光パターン5b(メタル枠)で覆われている。なお、レジスト膜によって遮光パターンを形成する技術については、本願発明者らによる特願平11-185221号(平成11年6月30日出願)に記載がある。

【0069】

図10のマスクMR2(M)は、半導体チップの周辺輪郭が遮光領域となるマスクを例示している。集積回路パターン領域4aにレジスト膜からなる遮光パターン7aが配置されている以外は、図4の通常のマスクMN2と同じである。

【0070】

図11のマスクMR3(M)は、上記マスクMR1, MR2の反転パターンを有するマスクを例示している。このマスクMR3のマスク基板3の主面の集積回路パターン領域は、遮光膜7bで覆われている。遮光膜7bの材料は、上記遮光パターン7aと同じである。そして、マスクMR3の集積回路パターン領域において、遮光膜7bの一部が除去されて光透過パターン4cが形成されている。この光透過パターン4cは、ウエハ上のラインパターンとして転写される。なお、この図11のマスクMR3の周辺領域を図10の周辺領域のようにしても良い。

【0071】

このようなレジストマスクの製造工程の一例を図12~図16によって説明する。なお、各図(b)は各図(a)のA-A線の断面図である。また、ここでは、図9のマスクMR1の製造方法を一例として説明する。

【0072】

まず、マスク基板3上に、上記メタルからなる遮光膜5を堆積した後(図12)、その上に電子線に感光するレジスト膜6を塗布する(図13)。続いて、所定のパターン情報を有する電子線等を照射して現像し、レジストパターン6bを形成する(図14)。続いて、そのレジストパターン6bをエッチングマスクとして遮光膜5をエッチングして遮光パターン5bを形成した後、レジストパターン6bを除去する(図15)。この図15は、このタイプのマスクにおける上記ブランクに該当するものである。このブランクをストックしておいても良い。その後、遮光パターン5bを形成したマスク基板3(上記ブランクに該当)の主面上に、例えば電子線に感光する有機感光性樹脂膜を含む有機材料からなるレジスト膜7を150nm程度の厚さで塗布した後(図16)。マスクパターン描画及び現像を行うことにより、図9に示したレジスト膜からなる遮光パターン7aを形成し、マスクMR1を製造する。

【0073】

このレジスト膜7としては、例えば α -メチルスチレンと α -クロロアクリル酸の共重合

10

20

30

40

50

体、ノボラック樹脂とキノンジアジド、ノボラック樹脂とポリメチルペンテンー1-スルホン、クロロメチル化ポリスチレン等を主成分とするものを用いた。ポリビニルフェノール樹脂等のようなフェノール樹脂やノボラック樹脂に酸発生剤を混合した、いわゆる化学増幅型レジスト等を用いることができる。ここで用いるレジスト膜7の材料としては、投影露光装置の光源に対し遮光特性をもち、マスク製造工程における、パターン描画装置の光源、例えば電子線あるいは230nm以上の光に感度を有する特性を持っていることが必要であり、前記材料に限定されるものではなく種々変更可能である。また、膜厚も150nmに限定されるものではなく、上記条件を満足する膜厚で良い。

【0074】

ポリフェノール系、ノボラック系樹脂を約100nmの膜厚に形成した場合は、例えば150nm～230nm程度の波長で透過率がほぼ0であり、例えば波長193nmのArFエキシマレーザ光、波長157nmのF2レーザ等に十分なマスク効果を有する。ここでは、波長200nm以下の真空紫外光を対象にしたが、これに限定されない。波長365nmのi線や波長248nmのKrFエキシマレーザ光等のようなマスク材は、他の材料を用いるか、レジスト膜に光吸収材、光遮蔽材または減光材を添加する、あるいは上記したようにレジスト膜を吸光性有機膜と有機感光性樹脂膜との積層膜、有機感光性樹脂膜と反射防止膜との積層膜にすることが好ましい。また、レジスト膜からなる遮光パターン7aや遮光膜7bを形成した後、露光光照射に対する耐性を向上させる目的での熱処理工程の付加や予め紫外光を強力に照射する、いわゆるレジスト膜のハードニング処理を行うのも有効である。

【0075】

次に、このようなマスクのマスクパターンの修正、変更の一例を図17～図19により説明する。なお、各図(b)は各図(a)のA-A線の断面図である。また、ここでは、図9のマスクMR1のマスクパターンの修正、変更方法を一例として説明する。

【0076】

まず、マスクMR1からレジスト膜からなる遮光パターン7aを、例えばn-メチル-2-ピロリドン有機溶剤にて剥離した(図17)。この他、加熱したアミン系有機溶剤またはアセトンによりレジスト膜からなる遮光パターンを剥離しても良い。テトラメチルアンモニウムハイドロオキシイド(TMAH)水溶液、オゾン硫酸または過酸化水素水と濃硫酸との混合液により除去することも可能である。TMAH水溶液を用いる場合には、その濃度を5%程度にするとメタル(遮光パターン5b等)を侵すことなくレジスト膜からなる遮光パターンを剥離することができたので好ましい。

【0077】

また、レジスト膜からなる遮光パターンを除去する別の方法として酸素プラズマアッシング法を用いることも可能である。この酸素プラズマアッシングが最も剥離能力が高かった。この方法は、特に、レジスト膜からなる遮光パターンに対して上記ハードニング処理を施している場合に有効である。ハードニング処理を施しているレジスト膜は硬化しており、上記化学的な除去方法では十分に除去できない場合が生じるからである。

【0078】

また、レジスト膜からなる遮光パターンをピーリングによって機械的に剥離しても良い。すなわち、マスクMR1のレジスト膜からなる遮光パターンの形成面に粘着テープを張り付けた後、その粘着テープを剥がすことにより、レジスト膜からなる遮光パターンを剥離する。この場合、真空状態を形成する必要がないので、レジスト膜からなる遮光パターンを、比較的簡単に、しかも短時間のうちに剥離することが可能となる。

【0079】

レジスト膜からなる遮光パターンの除去工程後、洗浄処理を施すことにより、マスクMR1の表面の異物50を除去する。これにより、図15に示したブランクスの状態にする。ここでの洗浄では、例えばオゾン硫酸洗浄およびブラシ洗浄処理の組合せを用いたが、異物除去能力が高く、メタルからなる遮光パターンを侵さない方法であれば、この方法に限定されず種々変更可能である。

10

20

30

40

50

【0080】

続いて、レジストマスクの製造工程で説明したのと同様に、マスク基板3上に、レジスト膜7を塗布し（図18）、マスクパターン描画及び現像を行うことにより、レジスト膜からなる遮光パターン7aを形成し、マスクMR1を製造する（図19）。ここでは、図9に示した遮光パターン7aとは形状・配置の異なる遮光パターン7aを形成した場合を例示した。もちろん、図9の遮光パターン7aと同じパターンを形成しても良い。

【0081】

このようなレジストマスクの場合は、マスクの周辺領域にメタルからなる遮光体が形成されているか、または、マスク基板3が露出されていることにより、マスクを、マスク検査装置や露光装置等のような各種装置に装着した際の問題を回避できる。すなわち、マスクを各種装置に装着した際にその装着部がマスク上のレジスト膜からなる遮光体に接触すると、そのレジスト膜の摩耗や剥離によって異物発生やパターン不良が生じる場合があるが、上記レジストマスクの場合は、各種装置の装着部がメタルからなる遮光体かマスク基板に接触されるので、そのような問題を回避できる。また、集積回路パターンを転写するための遮光体を、メタルを用いずにレジスト膜で形成することにより、その遮光体の剥離、再生を、通常のマスクよりも簡単に、短時間のうちに、しかもマスク基板の信頼性を確保した状態で行うことができる。また、その遮光体の再生は、メタルからなる遮光体を形成した後の段階から行えるので、工程費、材料費および燃料費を低減できる。このため、マスクのコストを大幅に低減することが可能となる。したがって、この種のレジストマスクは、半導体集積回路装置の開発期や少量多品種の半導体集積回路装置の製造工程等、マスクパターンに変更や修正が生じ易い場合やマスクの共有頻度が低い工程で使用する

10

20

【0082】

次に、図20～図22は、上記レジストマスクの他の一例を示している。ここでは、マスク基板上の全ての遮光パターンがレジスト膜等で形成されているマスクを例示している。なお、各図（b）は、各図（a）のA-A線の断面図である。

【0083】

図20のマスクMR4（M）においては、前記図9に示したマスクMR1の周辺の遮光パターン5bが、遮光パターン7aと同様の構造のレジスト膜等からなる遮光パターン7cで形成されている。遮光パターン7cは、遮光パターン7aと同工程時に同じ材料で形成されている。遮光パターン7cは、露光装置やマスク検査装置等の装着部が機械的に接触する部分が除去されており、マスク基板3が露出されている。これにより、マスクMR4を露光装置やマスク検査装置等に装着した際の異物の発生を抑制または防止できる。

30

【0084】

図21のマスクMR5（M）においては、図10に示したマスクMR2の遮光パターン5cが、遮光パターン7aと同様の構造のレジスト膜等からなる遮光パターン7dで形成されている。遮光パターン7dは、遮光パターン7aと同工程時に同じ材料で形成されている。

【0085】

図22のマスクMR6（M）においては、図5に示した通常のマスクMN3の遮光膜5dが、遮光パターン7aと同様の構造のレジスト膜等からなる遮光膜7eで形成されている。遮光膜7eは、露光装置やマスク検査装置等の装着部が機械的に接触する部分が除去されており、マスク基板3が露出されている。これにより、マスクMR6を露光装置やマスク検査装置等に装着した際の異物の発生を抑制または防止できる。

40

【0086】

このようなレジストマスクの製造工程および修正・変更工程の一例を図23～図27によって説明する。なお、各図（b）は各図（a）のA-A線の断面図である。また、ここでは、図20のマスクMR4の製造方法および修正・変更方法を一例として説明する。

【0087】

まず、マスク基板3をブランクとして用意し（図23）、その上に、上記遮光体形成用

50

の感光性の有機樹脂膜からなるレジスト膜7を塗布する(図24)。続いて、マスクパターン描画及び現像を行うことにより、図20に示したレジスト膜からなる遮光パターン7a, 7cを形成し、マスクMR4を製造する。レジスト膜からなる遮光パターン7a, 7cに光吸収材、光遮蔽材または減光材を添加しても良いし、そのレジスト膜を吸光性有機膜と有機感光性樹脂膜との積層膜あるいは有機感光性樹脂膜と反射防止膜との積層膜にしても良い。また、レジスト膜からなる遮光パターン7a, 7cの形成後、上記ハードニング処理を行っても良い。

【0088】

次いで、マスクMR4のマスクパターンを修正あるいは変更するには、まず、上記したように遮光パターン7a, 7cを、例えば上記有機溶剤、酸素プラズマアッシングまたはピーリングによって除去する(図25)。続いて、マスク基板3に対して上記と同様の洗浄処理を施すことにより、マスク基板3の表面の異物50を除去し、図23に示したブランクスの状態にする(図26)。その後、レジストマスクの製造工程で説明したのと同様に、マスク基板3上に、レジスト膜7を塗布し、マスクパターン描画及び現像を行うことにより、レジスト膜からなる遮光パターン7a, 7cを形成し、マスクMR4を製造する(図27)。ここでは、図20に示した遮光パターン7aとは形状・配置の異なる遮光パターン7aを形成した場合を例示した。もちろん、図20の遮光パターン7aと同じパターンを形成しても良い。

【0089】

このようなレジストマスクの場合は、メタルを使用しないので、遮光体の修正や変更を、通常のマスクよりも簡単に、短時間のうちに、しかもマスク基板の信頼性を確保した状態で行うことが可能となる。また、工程費、材料費および燃料費を低減できるので、マスクのコストを大幅に低減することが可能となる。したがって、この種のレジストマスクも、半導体集積回路装置の開発期や少量多品種の半導体集積回路装置の製造工程等、マスクパターンに変更や修正が生じ易い場合やマスクの共有頻度が低い工程で使用することに適している。

【0090】

次に、図28～図32は、上記レジストマスクのさらに他の一例を示している。ここでは、マスク基板上の集積回路パターンを転写するパターンが、メタルからなる遮光パターンと、レジスト膜からなる遮光パターンとを有するマスクを例示している。なお、図28～図30, 図32(b)は、各図(a)のA-A線の断面図である。

【0091】

図28のマスクMR7(M)においては、前記図3に示した通常のマスクMN1の集積回路パターン回路領域における一部の領域内の遮光パターン5aの一群が、レジスト膜等からなる遮光パターン7aの一群で形成されている。

【0092】

図29のマスクMR8(M)においては、前記図4に示した通常のマスクMN1の集積回路パターン回路領域における一部の領域内の遮光パターン5aの一群が、レジスト膜等からなる遮光パターン7aの一群で形成されている。

【0093】

図30のマスクMR9(M)においては、前記図5に示した通常のマスクMN1の集積回路パターン回路領域における遮光膜5dの一部に比較的小面積の平面四角形状の光透過領域4fが開口され、その光透過領域4fが上記遮光パターン7aと同様の構造のレジスト膜からなる遮光膜7fによって覆われている。そして、その遮光膜7fの一部が除去されて、集積回路パターン転写用の光透過パターン4cが形成されている。

【0094】

図31(a)のマスクMR10(M)は、一部分のみに前記遮光パターン7aと同様の構造のレジスト膜等からなる遮光パターン7gが配置されているマスクを例示している。ここでは、互いに離れて配置されているメタルからなる遮光パターン5aをつなぐように遮光パターン7gが配置されている。図31(b)は(a)のマスクMR10を用いて露光

10

20

30

40

50

処理をした場合にウエハ上に転写されるパターン 8 a を示している。図 3 1 (c) は (a) のレジスト膜等からなる遮光パターン 7 g を除去したメタルマスクの状態を示している。更に、図 3 1 (d) は (c) のメタルマスクのパターンをウエハ上に転写して得られるパターン 8 b を模式的に示している。

【0095】

図 3 2 のマスク MR 1 1 (M) は、上記重ね合わせ露光に用いるマスクの一方を例示している。マスク MR 1 1 においては、前記図 7 のマスク MN 4 b における光透過領域 4 e のメタルからなる遮光パターン 5 a の一群が、レジスト膜等からなる遮光パターン 7 a の一群で形成されている。この場合、図 7 に示したマスク MN 4 b の場合よりもさらに簡単に、しかも短時間のうちに遮光パターン 7 a の修正や変更を行うことが可能となる。また、工程費、材料費および燃料費をさらに低減できるので、マスクのコストを大幅に低減することが可能となる。他方のマスクは、前記図 6 のマスク MN 4 a と同じなので説明を省略する。このようなマスク MN 4 a, MR 1 1 の重ね合わせ露光とレジストパターンの形成方法は、前記マスク MN 4 a, MN 4 b の場合と同じである。

【0096】

このようなレジストマスクの製造工程および修正・変更工程の一例を図 3 3 ~ 図 4 0 によって説明する。なお、各図 (b) は各図 (a) の A-A 線の断面図である。また、ここでは、主として図 2 8 のマスク MR 7 の製造方法および修正・変更方法を一例として説明する。

【0097】

まず、マスク基板 3 上に、上記メタルからなる遮光膜 5 を堆積した後、その上に電子線に感光するレジスト膜を塗布し、所定のパターン情報を有する電子線等を照射して現像し、レジストパターン 6 c を形成する (図 3 3)。続いて、そのレジストパターン 6 c をエッチングマスクとして遮光膜 5 をエッチングして遮光パターン 5 a, 5 b を形成した後、レジストパターン 6 c を除去する (図 3 4)。ここでは、集積回路パターンを転写するための遮光パターン 5 a もマスク基板 3 上に形成する。この工程後のマスク MR 8, MR 9 の場合の状態をそれぞれ図 3 5、図 3 6 に示す。その後、遮光パターン 5 a, 5 b を形成したマスク基板 3 の主面上に、上記と同様にレジスト膜 7 を塗布した後 (図 3 7)、マスクパターン描画及び現像を行うことにより、図 2 8 に示したレジスト膜からなる遮光パターン 7 a を形成し、マスク MR 7 を製造する。

【0098】

次いで、マスク MR 7 のマスクパターンを修正あるいは変更するには、まず、上記したように遮光パターン 7 a を、例えば上記有機溶剤、酸素プラズマアッシングまたはピーリングによって除去する (図 3 8)。ここでは、集積回路パターンを転写するための遮光パターン 5 a は残される。続いて、マスク基板 3 に対して上記と同様の洗浄処理を施すことにより、マスク基板 3 の表面の異物 5 0 を除去し、図 3 4 に示したメタルマスクの状態にする。その後、レジストマスクの製造工程で説明したのと同様に、マスク基板 3 上に、レジスト膜 7 を塗布し (図 3 9)、マスクパターン描画及び現像を行うことにより、レジスト膜からなる遮光パターン 7 a を形成し、マスク MR 7 を製造する (図 4 0)。ここでは、図 2 8 に示した遮光パターン 7 a とは形状・配置の異なる遮光パターン 7 a を形成した場合を例示した。もちろん、図 2 8 の遮光パターン 7 a と同じパターンを形成しても良い。

【0099】

このようなレジストマスクの場合も、マスクの周辺領域にメタルからなる遮光体が形成されているか、または、マスク基板 3 が露出されていることにより、上記と同様に異物発生やパターン不良の問題を回避できる。また、通常の場合、マスク上の一部のパターンのみしか修正や変更をしないのに全部のパターンを作り直すのが、上記レジストマスクの場合は、その一部のみを修正または変更すれば良い。また、その遮光体の再生は、メタルからなる遮光体を形成した後の段階から行える。このため、その修正や変更を、簡単に、短時間のうちに、しかもマスク基板の信頼性を確保した状態で行うことができる。また、工程費、材料費および燃料費を低減でき、マスクのコストを大幅に低減することがで

きる。したがって、この種のレジストマスクも、半導体集積回路装置の開発期や少量多品種の半導体集積回路装置の製造工程等、マスクパターンに部分的に変更や修正が生じる場合やマスクの共有頻度が低い工程で使用することに適している。

【0100】

次に、具体的な半導体集積回路装置の製造例を説明する。ここでは、例えばゲートアレイ、スタンダードセル等のようなセミカスタム方式で製造される半導体集積回路装置、半導体基板上にカスタム I/O (Input/Output) 回路、カスタム論理回路または I/F (インターフェイス) 制御回路を有する半導体集積回路装置の製造方法に本発明を適用する場合を説明する。図 4 1 は、半導体集積回路装置における論理素子の一部を示す平面図である。

10

【0101】

この論理素子は、図 4 1 に示した図中の一点鎖線で囲まれた単位セル 1 0 によって構成されている。この単位セル 1 0 は、例えば 2 個の $nMISQn$ と、2 個の $pMISQp$ とから構成されている。 $nMISQn$ は、半導体基板に形成された p 型ウエル領域 PW の表面の n 型半導体領域 (拡散層) 1 1 n 上に、 $pMISQp$ は、n 型ウエル領域 NW の表面の p 型半導体領域 (拡散層) 1 1 p 上に、それぞれ形成されている。ゲート電極 1 2 A は、 $nMISQn$ および $pMISQp$ に共有となっている。ゲート電極 1 2 A は、例えば低抵抗多結晶シリコンの単体膜、低抵抗多結晶シリコン膜の上部にシリサイド層を設けたポリサイド構造、低抵抗多結晶シリコン膜上に窒化タングステン等のようなバリア膜を介してタングステン等のような金属膜を堆積してなるポリメタル構造あるいは絶縁膜に掘られた溝内に窒化チタン等のようなバリア膜を堆積し、さらにその上に銅等のような金属膜を埋め込むことで形成されたダマシングート電極構造で構成されている。ゲート電極 1 2 A の下方の半導体基板部分はチャンネル領域となる。

20

【0102】

配線 1 3 A は、例えば高電位 (例えば 3.3 V または 1.8 V 程度) 側の電源配線であり、コンタクトホール CNT を通じて 2 個の $pMISQp$ の p 型半導体領域 1 1 p と電氣的に接続されている。また、配線 1 3 B は、例えば低電位 (例えば 0 V 程度) 側の電源配線であり、コンタクトホール CNT を通じて 1 個の $nMISQn$ の n 型半導体領域 1 1 n と電氣的に接続されている。配線 1 3 C は、2 入力 NAND ゲート回路の入力配線であり、コンタクトホール CNT を通じてゲート電極 1 2 A の幅広部分で接触し電氣的に接続されている。配線 1 3 D は、コンタクトホール CNT を通じて n 型半導体領域 1 1 n および p 型半導体領域 1 1 p の両方に電氣的に接続されている。配線 1 4 A は、スルーホール TH を通じて配線 1 3 D と電氣的に接続されている。

30

【0103】

ここで、各種配線 1 3 A ~ 1 3 D, 1 4 A を形成する前における単位セル 1 0 の平面図を図 4 2 に示す。この単位セル 1 0 は、例えば NAND ゲート回路や NOR ゲート回路等のような論理素子を構成するのに共通する基本的な構成部であり、この単位セル 1 0 以後の配線を適宜選択することにより上記論理回路を効率良く形成できるように構成されている。なお、本発明は、多数の CMIS (Complementary MIS) 回路を接続する構成にも拡張される。

40

【0104】

そこで、このような基本的な構成部である単位セル 1 0 の作製までは、上記通常のマスクを用いた。この際に用いた通常のマスクの集積回路パターン領域を図 4 3 に示す。図 4 3 (a) のマスク MN 5 は、ウエハ (半導体基板) に上記単位セル 1 0 内の素子分離部および活性領域を形成する際に用いるマスクである。このマスク基板 3 の主面上には、例えば平面長方形に形成された 2 個の遮光パターン 5 e が、互いに平行に所定の距離を隔てて配置されている。遮光パターン 5 e は、上記遮光パターン 5 a と同様のメタルからなり、ウエハ上の活性領域を遮光するように形成されている。図 4 3 (b) のマスク MN 6 は、単位セル 1 0 内の n 型ウエル領域 NW を形成する際に用いるマスクである。このマスク基板 3 の主面上には、遮光膜 5 f が堆積され、その一部に、例えば平面長方形の光透過パ

50

ターン 4 g が開口形成されている。遮光膜 5 f は、上記遮光パターン 5 a と同様のメタルからなり、ウエハ上の n 型ウエル領域以外の領域を遮光するように形成されている。図 4 3 (c) のマスク MN 7 は、単位セル 10 内の p 型ウエル領域 PW を形成する際に用いるマスクである。このマスク基板 3 の主面上には、遮光膜 5 f が堆積され、その一部に、例えば平面長方形の光透過パターン 4 h が開口形成されている。この場合、遮光膜 5 f は、ウエハ上の p 型ウエル領域以外の領域を遮光するように形成されている。図 4 3 (d) のマスク MN 8 は、単位セル 10 内のゲート電極 12 A を形成する際に用いるマスクである。このマスク基板 3 の主面上には、例えば両端に幅広部を有する帯状の 2 本の遮光パターン 5 g が互いに平行に形成されている。遮光パターン 5 g は、上記遮光パターン 5 a と同様のメタルからなり、ウエハ上のゲート電極形成領域を遮光するように形成されている。

10

【0105】

次に、図 4 2 の破線に沿った断面図を用いて n M I S Q n および p M I S Q p を形成するまでの工程を図 4 4 ~ 図 5 3 によって説明する。

【0106】

まず、例えば p 型のシリコン単結晶からなるウエハ 2 W を構成する半導体基板 2 S の主面（デバイス面）上に、例えば酸化シリコン膜からなる絶縁膜 1 5 を酸化法によって形成した後、その上に、例えば窒化シリコン膜からなる絶縁膜 1 6 を C V D 法等によって堆積し、さらに、その上に、レジスト膜 1 7 を塗布する（図 4 4）。続いて、上記通常のマスク MN 5 を用いて半導体基板 2 S に対して露光処理を施した後、現像処理等を施すことにより、半導体基板 2 S の主面上にレジストパターン 1 7 a を形成する（図 4 5）。レジストパターン 1 7 a は、素子分離領域が露出され、活性領域が覆われるように平面的に形成されている。その後、そのレジストパターン 1 7 a をエッチングマスクとして、そこから露出する絶縁膜 1 6、1 5 を順に除去し、さらに半導体基板 2 S の主面部を除去することにより半導体基板 2 S の主面部に溝 1 8 を形成した後、レジストパターン 1 7 a を除去する（図 4 6）。

20

【0107】

次いで、半導体基板 2 S の主面上に、例えば酸化シリコンからなる絶縁膜 1 9 を C V D（Chemical Vapor Deposition）等によって堆積した後（図 4 7）、半導体基板 2 S に対して、例えば化学機械研磨法（CMP；Chemical Mechanical Polish）等によって平坦化処理を施すことにより、最終的に、例えば溝型の素子分離部 S G を形成する（図 4 8）。本実施の形態では、素子分離部 S G を溝型分離構造（トレンチアイソレーション）としたが、これに限定されるものではなく、例えば L O C O S（Local Oxidization of Silicon）法によるフィールド絶縁膜で形成しても良い。

30

【0108】

続いて、半導体基板 2 S の主面上に、レジスト膜を塗布した後、上記通常のマスク MN 6 を用いて半導体基板 2 S に対して露光処理を施すことにより、半導体基板 2 S の主面上にレジストパターン 1 7 b を形成する。レジストパターン 1 7 b は、n 型ウエル領域 NW が露出され、それ以外の領域が覆われるように平面的に形成されている。その後、そのレジストパターン 1 7 b をイオン注入マスクとして、例えばリンまたはヒ素等を半導体基板 2 S にイオン注入することにより、n 型ウエル領域 NW を形成する（図 4 9）。その後、レジストパターン 1 7 b を除去する。

40

【0109】

また、同様に、半導体基板 2 S の主面上に、レジスト膜を塗布し、上記通常のマスク MN 7 を用いて露光処理を施すことにより、半導体基板 2 S の主面上に、p 型ウエル領域 PW が露出され、それ以外の領域が覆われるようなレジストパターン 1 7 c を形成した後、そのレジストパターン 1 7 c をイオン注入マスクとして、例えばホウ素等を半導体基板 2 S にイオン注入することにより、p 型ウエル領域 PW を形成する（図 5 0）。その後、レジストパターン 1 7 c を除去する。

【0110】

50

次いで、半導体基板 2 S の主面上に、例えば酸化シリコン膜からなるゲート絶縁膜 2 0 を熱酸化法等によって、例えば厚さ（二酸化シリコン換算膜厚）3 nm 程度に形成し、さらに、その上に多結晶シリコン等からなる導体膜 1 2 を C V D 法等によって堆積する（図 5 1）。続いて、その導体膜 1 2 上に、レジスト膜を塗布した後、上記通常のマスク M N 8 を用いて露光処理を施すことにより、導体膜 1 2 上に、ゲート電極形成領域が覆われ、それ以外の領域が露出されるようなレジストパターン 1 7 d を形成する。その後、そのレジストパターン 1 7 d をエッチングマスクとして導体膜 1 2 をエッチングすることで、ゲート電極 1 2 A を形成する（図 5 2）。その後、ソースやドレイン領域、配線層としても機能する n M I S Q n 用の高不純物濃度の n 型半導体領域 1 1 n と、p M I S Q p 用の高不純物濃度の p 型半導体領域 1 1 p を、イオン打ち込みや拡散法により、ゲート電極 1 2 A に対して自己整合的に形成した（図 5 3）。なお、上記のレジストパターン 1 7 a ~ 1 7 d は、例えばポジ型を用いた。

10

【0111】

以後の工程で、配線を適宜選択することにより N A N D ゲート回路や N O R ゲート回路を形成できる。本実施の形態では、例えば図 5 4 に示す N A N D ゲート回路 N D を作製した。図 5 4（a）は、その N A N D ゲート回路 N D のシンボル図、（b）はその回路図、（c）はそのレイアウト平面図を示している。ここには、2つの入力 I 1, I 2 および 1つの出力 F を有する N A N D ゲート回路 N D が例示されている。

【0112】

この N A N D ゲート回路 N D のコンタクトホールおよび配線パターンを転写するためのマスクにおけるパターンの要部平面図の一例を図 5 5（a）、（b）に示す。なお、図 5 5 には、（a）、（b）におけるマスクの双方の位置関係が分かるように X-Y 軸を表示した。

20

【0113】

図 5 5（a）は、図 5 4（c）のコンタクトホール C N T をウエハ上に転写するためのマスク M R 1 2 のパターンを例示している。遮光膜 7 h は、前記遮光パターン 7 a と同一構造のレジスト膜で形成されている。遮光膜 7 h には、部分的に遮光膜 7 h が除去されて平面四角形状の微細な光透過パターン 4 i が複数箇所に開口されている。光透過パターン 4 i がコンタクトホール C N T を形成するパターンとなる。図 5 5（b）は、図 5 4（c）の配線 1 3 A ~ 1 3 D をウエハ上に転写するためのマスク M R 1 3 のパターンを例示している。遮光パターン膜 7 i は、前記実施の形態等で説明した遮光パターン 7 a と同一構成のレジスト膜で形成されている。遮光パターン 7 i が配線 1 3 A ~ 1 3 D を形成するパターンとなる。これらマスク M R 1 2, M R 1 3 の製造方法は前記したのと同じなので説明を省略する。

30

【0114】

次に、これらマスク M R 1 2, M R 1 3 を用いた半導体集積回路装置の製造工程を図 5 6 ~ 図 6 0 によって説明する。なお、図 5 6 ~ 図 6 0 は、図 5 4（c）の破線に沿った断面図である。

【0115】

まず、上記したように半導体基板 2 S の主面に n M I S Q n および p M I S Q p を形成した後、その主面上に、例えばリンがドーパされた酸化シリコン膜からなる層間絶縁膜 2 1 a を C V D 法等によって堆積する（図 5 6）。続いて、その層間絶縁膜 2 1 a 上に、レジスト膜を塗布した後、これにマスク M R 1 2 を用いた露光処理を施すことにより、平面略円形状のコンタクトホールの形成領域が露出され、それ以外が覆われるようなレジストパターン 1 7 e を形成する。その後、そのレジストパターン 1 7 e をエッチングマスクとして、層間絶縁膜 2 1 a にコンタクトホール C N T を形成する（図 5 7）。

40

【0116】

次いで、レジストパターン 1 7 e を除去した後、半導体基板 2 S の主面上に、例えばアルミニウム、アルミニウム合金または銅等のような導体膜 1 3 をスパッタリング法等によって堆積する（図 5 8）。続いて、導体膜 1 3 上にレジスト膜を塗布し、これにマスク M R

50

13を用いた露光処理を施すことにより、配線形成領域が覆われ、それ以外の領域が露出されるようなレジストパターン17fを形成する。その後、そのレジストパターン17fをエッチングマスクとして、導体膜13をエッチングすることにより、配線13A~13Dを形成する(図59)。なお、レジストパターン17e, 17fは、例えばポジ型とした。以後、半導体基板2Sの主面上に層間絶縁膜21bをCVD法等によって堆積し、更に、他のマスクを用いてスルーホールTHおよび上層の配線14Aを形成した。部品間の結線も類似の工程を必要な分だけ繰り返したパターン形成により行ない、半導体集積回路装置を製造した。

【0117】

以上は、2入力NANDゲート回路の製作例であるが、図55に示したマスクMR12, MR13のパターン形状を変えることにより、NORゲート回路を製作することも容易にできる。図61は、上記単位セル10を用いて形成された2入力のNOR回路NRを例示している。図61(a)はNOR回路NRのシンボル図、(b)はその回路図、(c)はそのレイアウト平面図を示している。

10

【0118】

図61(c)に示すように、配線13Aは、コンタクトホールCNTを通じて一方のpMISQpのp型半導体領域11pと電氣的に接続されている。配線13Eは、コンタクトホールCNTを通じて一方のpMISQpのp型半導体領域11pと電氣的に接続されている。また、配線13Eは、コンタクトホールCNTを通じて両方のnMISQnの共有のn型半導体領域11nと電氣的に接続されている。さらに、配線13Bは、コンタクトホールCNTを通じて両方のnMISQnのn型半導体領域11nと電氣的に接続されている。

20

【0119】

このようなNORゲート回路NRのコンタクトホールおよび配線パターンを転写するためのマスクにおけるパターンの要部平面図の一例を図62(a)、(b)に示す。なお、図62(a)、(b)におけるマスクの双方の位置関係が分かるようにX-Y軸を表示した。

【0120】

図62(a)は、図61(c)のコンタクトホールCNTをウエハ上に転写するためのマスクMR14の集積回路パターン領域のパターンを例示している。遮光膜7hは、前記遮光パターン7aと同一構成のレジスト膜で形成されている。光透過パターン4iはコンタクトホールCNTを形成するパターンである。図62(b)は、図61(c)の配線13A~13C, 13Eをウエハ上に転写するためのマスクMR15のパターンを例示している。遮光膜7iは、前記遮光パターン7aと同一のレジスト材料で形成されている。遮光パターン7iが配線13A~13C, 13Eを形成するパターンである。いずれのマスクMR14, MR15を用いる場合もウエハ上ではポジ型のレジスト膜を使用する。

30

【0121】

このような図55および図62のマスクMR12, MR14のパターン変更は、前記したのと同様に行えば良い。例えば図55のマスクMR12のNANDゲート回路用のパターンを、図62のマスクMR14のNORゲート回路用のパターンに変更するには、図55のマスクMR12上の遮光膜7hを除去した後、マスク基板上に新たに前記遮光膜形成用のレジスト膜を塗布し、そのレジスト膜にNORゲート回路用のパターンを電子線または紫外線等により描画することにより、図62のマスクMR14の遮光膜7hおよび光透過パターン4iを形成すれば良い。すなわち、NANDゲート回路からNORゲート回路に、逆にNORゲート回路からNANDゲート回路にパターンを容易に、短時間のうちに変更することができる。したがって、そのマスクを用いる半導体集積回路装置の開発および製造時間を大幅に短縮できる。また、このような修正や変更は既存の製造装置を用いて行うことができる。また、材料費、工程費および燃料費を下げることができる。したがって、半導体集積回路装置のコストを大幅に低減することが可能となる。このため、少量生産の半導体集積回路装置であってもコスト低減を実現することが可能となる。ここでは、マ

40

50

スクMR12のパターンを変更してマスクMR14のパターンを形成した場合について説明したが、これに限定されるものではなく、パターンを変更せず、マスクMR12、マスクMR14をそれぞれ別々に用意しておいても良い。レジストマスクは、通常のマスクに比べて安いコストで多数用意しておくことができるので、この場合も安いコストで短時間のうちに少量生産の半導体集積回路装置の製造に柔軟に対応できる。

【0122】

このように本実施の形態においては、図42に示した単位セル10は共通パターンとして多数製造するので通常のマスクを用いて製造しておき、この上に形成するホールパターンや配線パターンの形状は所望の論理回路に応じて変化させるのでレジストマスクを用いて製造する。これにより、半導体集積回路装置の一連の製造工程において、マスクを効率的に製造することができ、半導体集積回路装置の生産性を向上させることができる。

10

【0123】

(実施の形態2)

本実施の形態においては、例えばマスクROMの製造に本発明の技術思想を適用した場合について説明する。

【0124】

マスクROMは、メモリセルが1つのMISで形成されることから大容量のメモリを実現でき、また、書き込み動作が不要なため全体の回路構成をシンプルにすることができる、という特徴がある。しかし、顧客の要求に応じてメモリの内容が変わるので、TATが他のROM(例えばEEPROM(Electric Erasable Programmable Read Only Memory))に比べて長くなことや顧客の多種多様なROMコード毎に異なったマスクを作成しなければならないので、少量生産のときには製品コストが高くなる等の問題がある。そこで、本実施の形態においては、多種のマスクROMに共通する基本的な構成部で構成されるベースデータのパターンを上記通常のマスクを用いて転写し、データの書き換えを行うためにメモリセル領域部分のパターンを上記レジストマスクを用いて転写することにより、書き込みデータの異なる種々のマスクROMを製造した。

20

【0125】

図63は、マスクROMのベースデータを示しており、(a)はメモリセル領域のレイアウト平面図、(b)はその回路図、(c)は(a)のA-A線の断面図を示している。ここでは、イオン注入プログラム方式のマスクROMが例示されている。データ線DLは、コンタクトホールCNTを通じてn型半導体領域11nと電氣的に接続されている。ゲート電極12Bは、ワード線WLの一部で形成されている。データ線12Bとワード線WLとの交点近傍の1つのnMOSQnによって1つのメモリセルが形成されている。このイオン注入プログラム方式のROMでは、メモリセルを構成するnMISQnのチャネル領域に不純物を導入するか否かで、nMISQnのしきい値電圧を高いタイプ(ワード線WLがハイレベルでも導通しない程度に高い)と、しきい値電圧の低いタイプ(ワード線WLがハイレベルで導通)とに作り分け、それを情報の“0”、“1”に対応させている。このベースデータのパターンの転写は、前記通常のマスクを使用した。

30

【0126】

このベースデータを共通として、以下3種類のマスクROMを必要な量だけ製造した。これを図64～図66により説明する。なお、図64～図66の各図において、(a)は使用したマスクの集積回路パターン領域における要部平面図、(b)はデータ書き込み用のパターンを示すマスクROMのメモリセル領域のレイアウト平面図、(c)はデータ書き込み工程時の図63(a)のA-A線に相当する部分の断面図を示している。

40

【0127】

まず、図64では、(a)に示すマスクMR16を用いて、データベース上に(b)に示す開口パターン22Aを形成し、(c)に示すように、開口パターン22Aから露出する半導体基板2Sに不純物をイオン注入することにより、データを書き込む場合を例示している。このマスクMR16は、上記レジストマスクであり、その遮光膜7jは、前記遮光パターン7aと同一構成のレジスト膜からなる。遮光膜7jの一部は除去されて1個の平

50

面四角形状の光透過パターン4jが開口されている。この光透過パターン4jは、ウエハ2W上のレジストパターン17gの開口パターン22Aを形成するパターンとなっている。ここでは、レジストパターン17gを不純物注入マスクとして、1つのnMISQnのチャンネル領域にデータ書き込み用の不純物を導入する。なお、データ書き込みのための不純物注入工程は、ゲート電極12B（すなわち、ワード線WL）の形成工程前に行う。その不純物としては、nMISQnのしきい値を高くしたい場合は、例えばホウ素を導入すれば良いし、nMISQnのしきい値を低くしたい場合は、例えばリンまたはヒ素を導入すれば良い。

【0128】

次に、図65では、(a)に示すマスクMR17を用いて、データベース上に(b)に示す開口パターン22B、22Cを形成し、(c)に示すように、開口パターン22B、22Cから露出する半導体基板2Sに不純物をイオン注入することにより、データを書き込む場合を例示している。このマスクMR17は、上記レジストマスクである。遮光膜7jの一部は除去されて平面四角形状の2個の光透過パターン4k、4mが開口されている。この光透過パターン4k、4mは、ウエハ2W上のレジストパターン17hの2個の開口パターン22B、22Cを形成するパターンとなっている。ここでは、レジストパターン17hを不純物注入マスクとして、2つのnMISQnのチャンネル領域にデータ書き込み用の不純物が導入される。

【0129】

次に、図66では、(a)に示すマスクMR18を用いて、データベース上に(b)に示す開口パターン22Dを形成し、(c)に示すように、開口パターン22Dから露出する半導体基板2Sに不純物をイオン注入することにより、データを書き込む場合を例示している。このマスクMR18は、レジストマスクであり、遮光膜7jの一部は除去されて光透過パターン4nが開口されている。この光透過パターン4nは、ウエハ2W上のレジストパターン17iの開口パターン22Dを形成するパターンとなっている。ここでは、レジストパターン17iを不純物注入マスクとして、3つのnMISQnのチャンネル領域にデータ書き込み用の不純物を導入する。なお、レジストパターン17g~17iは、ポジ型を用いた。

【0130】

このような図64~図66のマスクMR16~MR18のパターン変更は、前記したの同様にすれば良い。例えば図64のマスクMR16のパターンを、図65のマスクMR17のパターンに変更するには、マスクMR16上の遮光膜7jを除去した後、マスク基板上に新たに前記遮光膜形成用のレジスト膜を塗布し、そのレジスト膜の所定位置に電子線または紫外線等を照射することにより、マスクMR17の遮光膜7jおよび光透過パターン4k、4mを形成すれば良い。これにより、多品種のマスクROM用のマスクを効率的に製造することができた。もちろん、マスクMR16~MR18を別々に用意しておいても良い。この場合も安いコストで短時間のうちにマスクROMを有する半導体集積回路装置の製造に柔軟に対応できる。

【0131】

この種のデータ書き換えにおいては、前記図9~図11、図20~図22に示したタイプのレジストマスクを用いても良いし、前記図28~図32に示したタイプのレジストマスクを用いても良い。すなわち、書き換え層のうち、変更を前提とするマスクROMのビットパターン部分をレジスト膜からなる遮光体を有する領域で転写し、その他の変更不要なパターンをメタルからなる遮光体を有する領域で転写するようにしても良い。この場合、マスクにおいてレジスト膜からなる遮光体の領域を狭くすることができるので、マスクパターンの描画時間を短縮することができ、マスクの製造時間を短縮することができる。

【0132】

以上のような書き換え工程以降、実装までの工程は、通常の半導体集積回路装置の製造工程と同様の工程とした。

【0133】

10

20

30

40

50

このような本実施の形態によれば、ベースデータを製造する為のパターニングに用いるマスクは通常のマスクとし、書き換え層を形成する為のマスクはレジストマスクとすることにより、多品種のマスクROMを効率的に製造することができた。また、多品種のマスクROMのTATを大幅に短縮できた。また、既存の装置でデータの書き換えができた。また、材料費、工程費および燃料費を下げる事ができた。このため、少量生産であってもマスクROMのコストを大幅に下げることが可能となった。

【0134】

(実施の形態3)

本実施の形態は、前記実施の形態2の変形例であって、前記実施の形態2とは異なるデータ書き換え方式のマスクROMの製造方法に本発明を適用した場合を説明するものである。

10

【0135】

図67は、本実施の形態のマスクROMのベースデータを示しており、(a)はメモリセル領域のレイアウト平面図、(b)はその回路図、(c)は(a)のA-A線の断面図を示している。ここでは、コンタクトホールプログラム方式のマスクROMが例示されている。このコンタクトホールプログラム方式のROMでは、半導体領域11nとデータ線DLとを接続するコンタクトホール(図67(b)の破線)のレイアウトの仕方で行う。本実施の形態においても、ベースデータのパターンの転写は、前記通常のマスクを使用した。

【0136】

このベースデータを共通として、データ線DLを形成する前に、以下の書き換え用のコンタクトホールを形成し、3種類のマスクROMを必要な量だけ製造した。これを図68～図70により説明する。なお、図68～図70の各図において、(a)は使用したマスクの集積回路パターン領域における要部平面図、(b)はデータ書き込み用のパターンを示すマスクROMのメモリセル領域のレイアウト平面図、(c)はその回路図、(d)は(b)のA-A線の断面図である。

20

【0137】

まず、図68では、(a)に示すマスクMR19を用いて、データベース上に(b)に示すn型半導体領域11nが露出するコンタクトホールCNTを形成し、(c)、(d)に示すように、所定のnMISQnの半導体領域11nとデータ線DLとを接続することにより、データを書き込む場合を例示している。マスクMR19のレジスト膜からなる遮光膜7jの一部は除去されて平面四角形状の複数の光透過パターン4pが開口されている。この光透過パターン4pは、ウエハ2W上のレジスト膜にコンタクトホールCNT形成用の開口パターンを形成するパターンとなっている。このコンタクトホールCNTの形成方法は、前記実施の形態1で説明したのと同じなので説明を省略する。

30

【0138】

次に、図69では、(a)に示すマスクMR21を用いて、データベース上に(b)に示すコンタクトホールCNTを形成し、(c)、(d)に示すように、2箇所所定のnMISQnのn型半導体領域11nとデータ線DLとを接続することにより、データを書き込む場合を例示している。マスクMR20においてデータ書き込み用のコンタクトホールを転写するための光透過パターン4pは、上記図68の場合とは異なる位置の2箇所に配置されている。

40

【0139】

次に、図70では、(a)に示すマスクMR21を用いて、データベース上に(b)に示すコンタクトホールCNTを形成し、(c)、(d)に示すように、3箇所所定のnMISQnのn型半導体領域11nとデータ線DLとを接続することにより、データを書き込む場合を例示している。マスクMR21においてデータ書き込み用のコンタクトホールを転写するための光透過パターン4pは、上記図69の場合よりも1つ増えて3箇所に配置されている。

【0140】

50

このような図68～図70のマスクMR19～MR21のパターンの変更は前記実施の形態2と同様にすれば良い。もちろん、マスクMR19～MR21を別々に用意しておいても良い。この場合も安いコストで短時間のうちにマスクROMを有する半導体集積回路装置の製造に柔軟に対応できる。本実施の形態においても前記実施の形態2と同様の効果を得ることが可能となる。

【0141】

(実施の形態4)

本実施の形態は、前記実施の形態2, 3の変形例であって、前記実施の形態2, 3とは異なるデータ書き換え方式のマスクROMの製造方法に本発明を適用した場合を説明するものである。

10

【0142】

図71は、本実施の形態のNAND型のマスクROMの一部を示している。メモリセルを構成する複数のnMISQnがn型半導体領域11nを介して並列に接続されている。プログラム方式は、イオン注入方式が採られている。すなわち、イオン注入された部分のnMISQn(メモリセル)がデプレッション型となり、イオン注入されていない部分のnMISQn(メモリセル)がエンハンスメント型となり、これらがそれぞれ情報の“0”, “1”に対応するようになっている。

【0143】

図71では、nMISQndのチャネル領域に不純物が導入されデプレッション型となっている場合が例示されている。データ書き込み用のパターンを示す開口パターン22Eは、nMISQndにプログラム(不純物イオン注入)を行う際のイオン注入マスクの開口パターンを示している。なお、n型半導体領域11nsは、低電位(例えば0V=GND)側の電源配線としての機能も有している。

20

【0144】

このような本実施の形態における通常マスクとレジストマスクの使い方、マスク上のパターンの変更方法およびプログラムのためのウエハへの選択的な不純物の導入方法等は、前記実施の形態2と同じなので説明を省略する。

【0145】

本実施の形態22においても、前記実施の形態21と同様の効果を得ることが可能となる。

30

【0146】

(実施の形態5)

本実施の形態においては、本発明をパッケージ実装にまで適用した例を説明する。ここでは、例えばウエハプロセスを経てウエハに形成された複数の半導体チップに対して、ウエハの状態のまま一括してパッケージ・プロセスを施す、いわゆるウエハプロセスパッケージ(Wafer Process Package; 以下、WPPと略す)技術に本発明の技術思想を適用した場合について説明する。

【0147】

図72は、本実施の形態における半導体集積回路装置の製造工程中のウエハの平面図を示している。図72(a)は、ウエハ・プロセス工程後のウエハ2Wの平面図を示している。ここでウエハ・プロセスは、前工程とも呼ばれ、一般的に、鏡面研磨を施したウエハの主面上に素子を形成し、配線層を形成し、表面保護膜を形成した後、ウエハに形成された複数の半導体チップの各々の電氣的試験をプローブ等により行える状態にするまでの工程を言う。

40

【0148】

ウエハ2Wは、例えば平面略円形状に形成されており、その主面には、例えば長方形の複数の半導体チップ(以下、単にチップと言う)2Cが図72(a)の上下左右方向に規則的に並んで配置されている。各チップ2Cの幅方向中央には、複数のボンディングパッドBPがチップ2Cの長手方向に沿って並んで配置されている(センターパッド配置)。このボンディングパッドBPは、外部端子とも呼ばれ、チップ2Cに形成された素子や回

50

路等の電極を外部に引き出す等の機能を有する電極である。上記プローブ等がボンディングパッドBPに接触した状態で当てられて各チップ2Cの電氣的試験が行われる。

【0149】

続く図72(b)は、再配置配線層形成工程後のウエハ2Wの平面図を示している。再配置配線23は、チップ2CのボンディングパッドBPと、チップ2Cを所定の配線基板に実装するためのバンプ電極等のような実装電極とを電氣的に接続する配線であって、ウエハ・プロセスの寸法に律則されるボンディングパッドBPと、パッケージ・プロセスの寸法に律則される実装電極との寸法上の整合をとる機能を有する配線である。すなわち、上記実装電極の寸法（電極自体の寸法および隣接間隔やピッチ等）は配線基板側の寸法に律則されるため、ボンディングパッドBPの寸法（パッド自体の寸法および隣接間隔やピッチ等）よりも相対的に大きな寸法が必要となる。このため、ウエハ・プロセスに律則される微細なボンディングパッドBPをそのまま実装電極に使用することはできない。そこで、ボンディングパッドBPを再配置配線23を通じてチップ2C主面の比較的大面積の空き領域に引き出し、その領域に相対的に大きな寸法の実装電極を配置するようにしてある。

10

【0150】

続く図72(c)は、半田バンプ電極形成工程後のウエハ2Wの平面図を示している。半田バンプ電極24は、例えば鉛－錫等からなる断面突状の電極であり、上記再配置配線23の表面を覆う有機系絶縁膜上に形成され、その有機系絶縁膜に形成された接続孔を通じて再配置配線23と電氣的に接続され、ボンディングパッドBPと電氣的に接続されている。

20

【0151】

この工程後、チップ2Cは、ウエハ2Wから切り出される。各チップ2Cは、この段階で既にCSP(Chip Size Package)構造となる。図73は上記センターパッド配置構造のチップ2Cの拡大平面図を示している。ボンディングパッドBPは、チップ2Cの中央に直線上に並んで配置され、チップ2Cの中央からチップ2Cの外周の方向に延びる再配置配線23を通じて半田バンプ電極24と電氣的に接続されている。また、図74は四辺パッド配置構造のチップ2Cの角部の拡大平面図を示している。この場合、ボンディングパッドBPは、チップ2Cの四辺近傍にその四辺に沿って複数個並んで配置され、チップ2Cの外周から中央に向かって延びる再配置配線3を通じて半田バンプ電極24と電氣的に接続されている。

30

【0152】

次に、上記の半導体集積回路装置の製造工程を図75(a)～(c)によって詳細に説明する。

【0153】

図75(a)は、上記再配置配線23の形成工程後のウエハ2Wの要部断面図を示している。半導体基板2Sの主面には、例えば上記論理素子、メモリ素子またはその両方の素子および多層配線層が形成されている。その多層配線層のうちの最上の配線層には、上記ボンディングパッドBPが形成されている。ボンディングパッドBPは、例えばアルミニウムまたはアルミニウム合金等のような配線と同一の材料を同一工程時にパターン加工することで形成されている。このボンディングパッドBPの表面は一部を除いて表面保護膜25aによって覆われている。表面保護膜25aは、例えば酸化シリコン膜、窒化シリコン膜またはこれらの積層膜からなる。表面保護膜25a上には、例えば感光性ポリイミド樹脂等からなる厚さ5μm程度の表面保護膜25bが堆積されている。この表面保護膜25a、25bには、ボンディングパッドBPの一部が露出するような開口部26が穿孔されている。この開口部26を穿孔する際に上記レジストマスクを用いることもできる。ボンディングパッドBPの位置が製品や顧客の要求によって変わる場合があるからである。もちろん、レーザ等を用いて開口しても良いし、通常のマスクを用いて開口しても良い。表面保護膜25b上には、上記再配置配線23が形成されている。再配置配線23は、例えばクロム等のようなバリア導体膜上に銅等のような主配線形成用導体膜が堆積されてなり

40

50

、開口部 26 を通じてボンディングパッド B P と電氣的に接続されている。ただし、上記バリア膜は、銅の拡散防止機能の他、ポリイミド樹脂との接着性を向上させる機能を有しており、クロムに限定されるものではなく種々変更可能であり、例えばチタン、チタンタングステン、窒化チタンまたはタングステンを用いることもできる。

【0154】

この再配置配線 23 のパターン加工時に際しても上記レジストマスクを用いた。これは、再配置配線 23 の形状や配置位置等も製品や顧客の要求に応じて変わる場合があるからである。ただし、再配置配線 23 の線幅はゲート電極等と比べて大きいので、パターンニングのための露光は上記 i 線 (波長 365 nm) ステッパを用いた。そこで、レジストマスク上の遮光体を形成するレジスト膜を、有機感光性樹脂 (電子線レジスト膜) に吸光材や減光材を添加するもの、有機感光性樹脂膜 (電子線レジスト膜) と吸光性樹脂膜、減光性樹脂膜または通常の反射防止膜とを積み重ねる構造のものとした。なお、この段階までは、ウエハ一括形成を行っており、チップ単位への切断は行われていない。

10

【0155】

続いて、図 75 (b) に示すように、ウエハ 2W の主面上に、再度、例えば感光性ポリイミド樹脂等からなる封止樹脂膜 27 を塗布し、再配置配線 23 を被覆する。最上の封止樹脂膜 27 をポリイミド樹脂等のような有機系絶縁膜としたのは、比較的軟らかい有機系絶縁膜を最上層としてチップの取り扱いを容易にするためである。すなわち、最上の絶縁膜を無機系絶縁膜とするとチップの取り扱い (搬送等) 時に封止樹脂膜にクラックが入り易くその取り扱いが困難となるが、有機系絶縁膜の場合は、比較的軟らかいので、そのような問題を回避できるからである。その後、その封止樹脂膜 27 に対して露光・現像処理を施すことにより、再配置配線 23 の一部が露出するような開口部 28 を穿孔する。この開口部 28 を穿孔するための露光処理に際しても上記レジストマスクを用いることができる。上記したようにボンディングパッド B P や再配置配線 23 の位置等が製品や顧客の要求によって変わる場合があるからである。もちろん、レーザ等を用いて開口しても良いし、通常のマスクを用いて開口しても良い。

20

【0156】

その後、ウエハ 2W 上に、例えばクロム、クロム-銅合金等および金等を下層から順にスパッタリング法等によって堆積した後、これをレジストパターンをエッチングマスクとしたエッチング処理によってパターンニングすることにより、バンプ下地金属層 29 を形成する。このバンプ下地金属層 29 のパターン加工のための露光処理に際しても上記レジストマスクを用いることができる。上記したようにボンディングパッド B P や再配置配線 23 の位置等が製品や顧客の要求によって変わる場合があるからである。もちろん、レーザ等を用いて開口しても良いし、通常のマスクを用いて開口しても良い。バンプ下地金属層 29 は、例えば平面円形状に形成され、開口部 28 を通じて再配置配線 23 と電氣的に接続されている。なお、上記図 72 (b) は、このような工程後のウエハ 2W の平面図を示している。

30

【0157】

最後に、例えば鉛-錫合金等からなる半田ペーストを印刷した後、ウエハ 2W に対して熱処理を施すことにより、図 75 (c) に示すように、バンプ下地金属層 29 上に半田バンプ電極 24 を形成した。ここまでの工程はウエハ一括形成とした。なお、上記図 72 (c) は、このような工程後のウエハ 2W の平面図を示している。

40

【0158】

以上のような工程の後、ウエハ 2W から個々のチップ 2C を切り出し、図 76 (a), (b) に示すように、チップ 2C を配線基板 30 上に実装する。チップ 2C の半田バンプ電極 24 は、配線基板 30 のランドと電氣的に接続されている。図 76 (a) は、上記封止樹脂 27 の緩衝性が充分であり、チップ 2C と配線基板 30 との間に充填材 (アンダーフィル) を介在させていない場合が例示されている。もちろん、その充填材を介在させても良い。図 76 (b) は、上記封止樹脂 27 が無い場合あるいは緩衝性が充分でない場合の実装構造であり、チップ 2C と配線基板 30 との間に液状樹脂等からなる充填材 31 が介

50

在され、チップ 2 C が配線基板 3 0 にしっかりと固定されている場合が例示されている。

【0159】

以上のように、本発明の技術思想を、上記 W P P（再配置配線のパターニング等）に適用することにより、多品種のチップの実装を短期間のうちに効率よく行なうことができた。

【0160】

（実施の形態 6）

本実施の形態においては、本発明の技術思想を、例えばマルチチップモジュールの製作に適用した場合について説明する。

【0161】

本実施の形態では、メモリチップとロジックチップとを全く別の製造工程を経て製造した。メモリチップは、例えば D R A M（Dynamic Random Access Memory）、S R A M（Static Random Access Memory）、マスク R O M またはフラッシュメモリ（E E P R O M）等のようなメモリ回路が主として形成されたチップである。ロジックチップは、例えば C P U（Central Processing Unit）、D S P（Digital Signal Processor）等のような論理回路が主として形成されたチップである。

10

【0162】

メモリチップの製造では、規則的に配置された密集した微細パターンが多いので、露光装置でマスクのパターンをウエハに転写する際の照明条件を密集度に合せた照明とした。ここでは、例えば輪帯照明や用途に応じた特殊照明を採用した。また、マスクは、ほとんどの露光工程で上記通常マスクを用いた。

20

【0163】

一方、ロジックチップの製造では、特にゲート回路部でメモリチップより微細なパターンが必要であるが、密集度は必ずしも高くはないので、大面積の照明光源（通常照明）を用いた。また、品種によりゲート回路も異なるので、上記レジストマスクと通常マスクとを効率よく使い分けてチップを製作した。

【0164】

以上の 2 種類のチップを、図 7 7 に示すように工程 1 0 1 a、1 0 1 b に分けてそれぞれ製造し、工程 1 0 2 でベース基板（配線基板）上に実装した。図 7 8（a）は、以上のようにして構成されたマルチチップモジュール M C M の平面図、（b）は（a）の A - A 線の断面図を示している。ここには、ベース基板 3 0 M 上に、メモリチップ 2 C M およびロジックチップ 2 C L の他に、画像処理部や特定用途の信号処理部等のような種々の目的に応じて、種々の機能を有する他のチップ 2 C が実装されている。本実施の形態では、これら各チップ 2 C、2 C M、2 C L を、別々に製造し、一つのベース基板 3 0 M 上に実装することで、マルチチップモジュール M C M を製造した。各チップ 2 C、2 C M、2 C L の半田バンプ電極 2 4 等の形成工程は、例えば前記実施の形態 5 と同様の W P P 技術を採用した。各チップ 2 C、2 C M、2 C L の半田バンプ電極 2 4 は、ベース基板 3 0 M の主面のランド、ベース基板 3 0 M 内の内層配線を通じてベース基板 3 0 M の裏面のランドおよびそれに接続された半田バンプ電極 3 2 と電気的に接続されている。

30

【0165】

このような本実施の形態によれば、各チップ毎に最適なプロセス条件を選択することができ、チップの性能を向上させることができるので、高性能なマルチチップモジュール M C M を製造することができた。

40

【0166】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0167】

前記実施の形態においては、通常マスクと、レジストマスクとを使い分けた場合について説明したが、これに限定されるものではなく、例えば前記図 9 ～ 図 1 1 および図 2 0 ～ 図 2 2 に示した種類のレジストマスク（集積回路パターン転写用の遮光パターンが全てレ

50

ジスト膜からなるマスク）と、図 28～図 32 に示した種類のレジストマスク（集積回路パターン転写用の遮光パターンがレジスト膜とメタルとの両方からなるマスク）とを、前記実施の形態で説明した条件に応じて使い分けるようにしても良い。これにより、半導体集積回路装置の生産効率を向上させることができる。

【0168】

また、通常のマスクと、前記図 9～図 11 および図 20～図 22 に示した種類のレジストマスクと、図 28～図 32 に示した種類のレジストマスクとを、前記実施の形態で説明した条件に応じて使い分けるようにしても良い。これにより、さらに、半導体集積回路装置の生産効率を向上させることが可能となる。

【0169】

また、図 3～図 5 に示した種類の通常のマスクと、図 6 および図 7 に示した種類の通常マスク（重ね合わせ露光用のマスク）とを、前記実施の形態で説明した条件に応じて使い分けるようにしても良い。この場合においても、半導体集積回路装置の一連の製造工程において図 3～図 5 の種類の通常のマスクのみを用いた場合よりも半導体集積回路装置の生産効率を向上させることが可能となる。

【0170】

また、図 3～図 5 に示した種類の通常のマスクと、図 6 および図 7 に示した種類の通常マスク（重ね合わせ露光用のマスク）と、上記レジストマスクとを、前記実施の形態で説明した条件に応じて使い分けるようにしても良い。これにより、半導体集積回路装置の生産効率を向上させることができる。この場合において、さらに上記レジストマスクを使い分けるようにしても良い。

【0171】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体集積回路装置の製造方法に適用した場合について説明したが、それに限定されるものではなく、例えば液晶ディスプレイ装置の製造方法あるいはマイクロマシン等のような他の装置の製造方法にも適用できる。

【0172】

本発明の一実施の形態によって得られる効果を簡単に説明すれば、以下の通りである。

- (1). 半導体集積回路装置の製造工程における露光処理に際して、金属膜からなる遮光体を有するマスクと、有機感光性樹脂膜を含む有機材料からなる遮光体を有するマスクとを用いることにより、半導体集積回路装置の生産性を向上させることが可能となる。
- (2). 半導体集積回路装置の製造工程における露光処理に際して、金属膜からなる遮光体を有するマスクと、有機感光性樹脂膜を含む有機材料からなる遮光体を有するマスクとを用いることにより、半導体集積回路装置の開発期間を短縮することが可能となる。
- (3). 半導体集積回路装置の製造工程における露光処理に際して、金属膜からなる遮光体を有するマスクと、有機感光性樹脂膜を含む有機材料からなる遮光体を有するマスクとを用いることにより、半導体集積回路装置の製造時間を短縮することが可能となる。
- (4). 半導体集積回路装置の製造工程における露光処理に際して、金属膜からなる遮光体を有するマスクと、有機感光性樹脂膜を含む有機材料からなる遮光体を有するマスクとを用いることにより、半導体集積回路装置のコストを低減することが可能となる。

【0173】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0174】

すなわち、金属膜を露光光に対する遮光膜とする第 1 のフォトマスクを用いて形成された所定のパターンを有する第 1 の半導体集積回路装置と、有機感光性樹脂膜を露光光に対する遮光膜とする第 2 のフォトマスクを用いて形成された所定のパターンを有する第 2 の半導体集積回路装置とを同一の配線基板に実装することでマルチチップモジュールを製造することにより、各半導体集積回路装置毎に最適なプロセス条件を選択することができ、半

10

20

30

40

50

導体集積回路装置の性能を向上させることができるので、高性能なマルチチップモジュールを製造することが可能となる。

【図面の簡単な説明】

【図 1】 本発明の一実施の形態である半導体集積回路装置の製造工程のフロー図である。

【図 2】 図 1 の半導体集積回路装置の製造工程で用いた露光装置の一例の説明図である。

【図 3】 (a) は図 1 の半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b) は (a) の A-A 線の断面図である。

【図 4】 (a) は図 1 の半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b) は (a) の A-A 線の断面図である。

【図 5】 (a) は図 1 の半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b) は (a) の A-A 線の断面図である。 10

【図 6】 (a) は図 1 の半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b) は (a) の A-A 線の断面図である。

【図 7】 (a) は図 1 の半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b) は (a) の A-A 線の断面図である。

【図 8】 (a) ~ (d) は通常フォトマスクの製造工程中の断面図である。

【図 9】 (a) は図 1 の半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b) は (a) の A-A 線の断面図、(c) は (b) の要部拡大断面図、(d) は遮光体の変形例であって (b) の要部拡大断面図である。

【図 10】 (a) は図 1 の半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b) は (a) の A-A 線の断面図である。 20

【図 11】 (a) は図 1 の半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b) は (a) の A-A 線の断面図である。

【図 12】 (a) は図 9 のフォトマスクの製造工程中の平面図、(b) は (a) の A-A 線の断面図である。

【図 13】 (a) は図 12 に続く図 9 のフォトマスクの製造工程中の平面図、(b) は (a) の A-A 線の断面図である。

【図 14】 (a) は図 13 に続く図 9 のフォトマスクの製造工程中の平面図、(b) は (a) の A-A 線の断面図である。

【図 15】 (a) は図 14 に続く図 9 のフォトマスクの製造工程中の平面図、(b) は (a) の A-A 線の断面図である。 30

【図 16】 (a) は図 15 に続く図 9 のフォトマスクの製造工程中の平面図、(b) は (a) の A-A 線の断面図である。

【図 17】 (a) は図 9 のフォトマスクの再製造工程中の平面図、(b) は (a) の A-A 線の断面図である。

【図 18】 (a) は図 17 に続く図 9 のフォトマスクの再製造工程中の平面図、(b) は (a) の A-A 線の断面図である。

【図 19】 (a) は図 18 に続く図 9 のフォトマスクの再製造工程中の平面図、(b) は (a) の A-A 線の断面図である。

【図 20】 (a) は図 1 の半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b) は (a) の A-A 線の断面図である。 40

【図 21】 (a) は図 1 の半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b) は (a) の A-A 線の断面図である。

【図 22】 (a) は図 1 の半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b) は (a) の A-A 線の断面図である。

【図 23】 (a) は図 20 のフォトマスクの製造工程中の平面図、(b) は (a) の A-A 線の断面図である。

【図 24】 (a) は図 23 に続く図 20 のフォトマスクの製造工程中の平面図、(b) は (a) の A-A 線の断面図である。

【図 25】 (a) は図 20 のフォトマスクの再製造工程中の平面図、(b) は (a) の A 50

－A線の断面図である。

【図26】(a)は図25に続く図25のフォトマスクの再製造工程中の平面図、(b)は(a)のA－A線の断面図である。

【図27】(a)は図26に続く図25のフォトマスクの再製造工程中の平面図、(b)は(a)のA－A線の断面図である。

【図28】(a)は図1の半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b)は(a)のA－A線の断面図である。

【図29】(a)は図1の半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b)は(a)のA－A線の断面図である。

【図30】(a)は図1の半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b)は(a)のA－A線の断面図である。 10

【図31】(a)は図1の半導体集積回路装置の製造工程で用いたフォトマスクの一例の要部平面図、(b)は(a)のフォトマスクによって転写されるパターンを示した半導体ウエハの要部平面図、(c)は(a)のフォトマスクにおける有機感光性樹脂膜を含む有機材料からなる遮光体を除去した状態を示すフォトマスクの要部平面図、(d)は(c)の状態のフォトマスクで半導体ウエハ上に転写されるパターンを示した半導体ウエハの要部平面図である。

【図32】(a)は図1の半導体集積回路装置の製造工程で用いたフォトマスクの一例の平面図、(b)は(a)のA－A線の断面図である。

【図33】(a)は図28のフォトマスクの製造工程中の平面図、(b)は(a)のA－A線の断面図である。 20

【図34】(a)は図33に続く図28のフォトマスクの製造工程中の平面図、(b)は(a)のA－A線の断面図である。

【図35】(a)は図29のフォトマスクの製造工程中の平面図、(b)は(a)のA－A線の断面図である。

【図36】(a)は図30のフォトマスクの製造工程中の平面図、(b)は(a)のA－A線の断面図である。

【図37】(a)は図34に続くフォトマスクの製造工程中の平面図、(b)は(a)のA－A線の断面図である。

【図38】(a)は図28のフォトマスクの再製造工程中の平面図、(b)は(a)のA－A線の断面図である。 30

【図39】(a)は図38に続く図28のフォトマスクの再製造工程中の平面図、(b)は(a)のA－A線の断面図である。

【図40】(a)は図39に続く図28のフォトマスクの再製造工程中の平面図、(b)は(a)のA－A線の断面図である。

【図41】本発明の一実施の形態である半導体集積回路装置の一例の要部平面図である。

【図42】図41の単位セルの要部平面図である。

【図43】(a)～(d)は図41の半導体集積回路装置の製造に用いた種々のフォトマスクの要部平面図である。

【図44】図41の半導体集積回路装置の製造工程における要部断面図である。 40

【図45】図44に続く図41の半導体集積回路装置の製造工程における要部断面図である。

【図46】図45に続く図41の半導体集積回路装置の製造工程における要部断面図である。

【図47】図46に続く図41の半導体集積回路装置の製造工程における要部断面図である。

【図48】図47に続く図41の半導体集積回路装置の製造工程における要部断面図である。

【図49】図48に続く図41の半導体集積回路装置の製造工程における要部断面図である。 50

【図 5 0】図 4 9 に続く図 4 1 の半導体集積回路装置の製造工程中における要部断面図である。

【図 5 1】図 5 0 に続く図 4 1 の半導体集積回路装置の製造工程中における要部断面図である。

【図 5 2】図 5 1 に続く図 4 1 の半導体集積回路装置の製造工程中における要部断面図である。

【図 5 3】図 5 2 に続く図 4 1 の半導体集積回路装置の製造工程中における要部断面図である。

【図 5 4】(a) は図 4 1 の半導体集積回路装置を構成する N A N D ゲート回路のシンボル図、(b) は (a) の回路図、(c) は (a) のパターンレイアウトを示す平面図である。

10

【図 5 5】(a) は図 5 4 の N A N D ゲート回路におけるホールパターンを転写する際に用いたフォトマスクの一例の要部平面図、(b) は図 5 4 の N A N D ゲート回路におけるラインパターンを転写する際に用いたフォトマスクの一例の要部平面図である。

【図 5 6】図 5 4 の N A N D ゲート回路を形成するための半導体集積回路装置の製造工程中における要部断面図である。

【図 5 7】図 5 6 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 5 8】図 5 7 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 5 9】図 5 7 に続く半導体集積回路装置の製造工程中における要部断面図である。

【図 6 0】図 5 9 に続く半導体集積回路装置の製造工程中における要部断面図である。

20

【図 6 1】(a) は図 4 1 の半導体集積回路装置を構成する N O R ゲート回路のシンボル図、(b) は (a) の回路図、(c) は (a) のパターンレイアウトを示す平面図である。

【図 6 2】(a) は図 6 1 の N O R ゲート回路におけるホールパターンを転写する際に用いたフォトマスクの一例の要部平面図、(b) は図 6 1 の N O R ゲート回路におけるラインパターンを転写する際に用いたフォトマスクの一例の要部平面図である。

【図 6 3】(a) は本発明の他の実施の形態の半導体集積回路装置であるマスク R O M のメモリ領域の要部平面図、(b) は (a) のメモリ領域の回路図、(c) は (a) の A - A 線の断面図である。

【図 6 4】(a) は図 6 3 のマスク R O M のデータ書き換えに用いたフォトマスクの一例の要部平面図、(b) は (a) のフォトマスクにより転写されたデータ書き換え用のパターンを示した半導体ウエハの要部平面図、(c) はデータ書き換え工程時の半導体ウエハの要部断面図である。

30

【図 6 5】(a) は図 6 3 のマスク R O M のデータ書き換えに用いたフォトマスクの他の例の要部平面図、(b) は (a) のフォトマスクにより転写されたデータ書き換え用のパターンを示した半導体ウエハの要部平面図、(c) はデータ書き換え工程時の半導体ウエハの要部断面図である。

【図 6 6】(a) は図 6 3 のマスク R O M のデータ書き換えに用いたフォトマスクのさらに他の例の要部平面図、(b) は (a) のフォトマスクにより転写されたデータ書き換え用のパターンを示した半導体ウエハの要部平面図、(c) はデータ書き換え工程時の半導体ウエハの要部断面図である。

40

【図 6 7】(a) は本発明の他の実施の形態の半導体集積回路装置である他の方式のマスク R O M のメモリ領域の要部平面図、(b) は (a) のメモリ領域の回路図、(c) は (a) の A - A 線の断面図である。

【図 6 8】(a) は図 6 7 のマスク R O M のデータ書き換えに用いたフォトマスクの一例の要部平面図、(b) は (a) のフォトマスクを用いてデータ書き換えが行われた後のメモリ領域の要部平面図、(c) は (b) のメモリ領域の回路図、(d) は (b) の A - A 線の要部断面図である。

【図 6 9】(a) は図 6 7 のマスク R O M のデータ書き換えに用いたフォトマスクの一例の要部平面図、(b) は (a) のフォトマスクを用いてデータ書き換えが行われた後のメ

50

メモリ領域の要部平面図、(c)は(b)のメモリ領域の回路図、(d)は(b)のA-A線の要部断面図である。

【図70】(a)は図67のマスクROMのデータ書き換えに用いたフォトマスクの一例の要部平面図、(b)は(a)のフォトマスクを用いてデータ書き換えが行われた後のメモリ領域の要部平面図、(c)は(b)のメモリ領域の回路図、(d)は(b)のA-A線の要部断面図である。

【図71】(a)は本発明のさらに他の実施の形態の半導体集積回路装置である他の方式のマスクROMのメモリ領域の要部平面図、(b)は(a)のメモリ領域の回路図、(c)は(a)のA-A線の断面図である。

【図72】(a)～(c)は本発明の他の実施の形態の半導体集積回路装置の製造工程中における半導体ウエハの平面図である。 10

【図73】図72の半導体集積回路装置の製造方法によって得られた半導体チップの平面図である。

【図74】図72の半導体集積回路装置の製造方法によって得られた半導体チップの変形例の平面図である。

【図75】(a)～(c)は図72の半導体集積回路装置の製造工程中における半導体ウエハの要部断面図である。

【図76】(a)は図72の半導体集積回路装置の製造方法によって得られた半導体チップの実装状態の断面図、(b)は(a)の変形例を示す半導体チップの実装状態の断面図である。 20

【図77】本発明のさらに他の実施の形態であるマルチチップモジュールの実装時のフロー図である。

【図78】(a)は図77のフローで製造されたマルチチップモジュールの平面図、(b)は(a)のA-A線の断面図である。

【符号の説明】

- 1 露光装置
- 1 a 光路
- 1 b デュフーザ
- 1 c 照明絞リ
- 1 d 照明光学系 (コンデンサレンズ) 30
- 1 e マスクステージ
- 1 f 投影光学系
- 1 g ウエハステージ
- 1 h 駆動系
- 1 i 駆動系
- 1 j 主制御系
- 1 k レーザ測長器
- 1 m ネットワーク装置
- 2 W 半導体ウエハ
- 2 S 半導体基板 40
- 3 マスク基板
- 4 a, 4 b 光透過領域
- 4 c 光透過パターン
- 4 d～4 f 光透過領域
- 4 g～4 k, 4 m, 4 n, 4 p 光透過パターン
- 5 a～5 c 遮光パターン
- 5 d 遮光膜
- 5 e 遮光パターン
- 5 f 遮光膜
- 6 レジスト膜 50

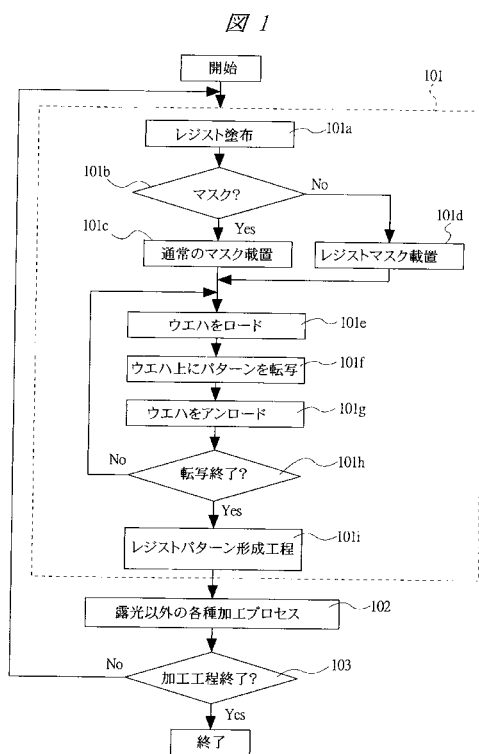
6 a、6 b	レジストパターン	
7 a	遮光パターン	
7 b	遮光膜	
7 c	遮光パターン	
7 d	遮光パターン	
7 e	遮光膜	
7 f	遮光膜	
7 g	遮光パターン	
7 h	遮光膜	
7 i	遮光パターン	10
7 j	遮光膜	
8 a、8 b	パターン	
1 0	単位セル	
1 1 n	n型半導体領域	
1 1 p	p型半導体領域	
1 2	導体膜	
1 2 A	ゲート電極	
1 3	導体膜	
1 3 A～1 3 D	配線	
1 4 A	配線	20
1 5、1 6	絶縁膜	
1 7	レジスト膜	
1 7 a～1 7 i	レジストパターン	
1 8	溝	
1 9	絶縁膜	
2 0	ゲート絶縁膜	
2 1 a、2 1 b	層間絶縁膜	
2 2 A～2 2 E	開口パターン	
2 3	再配置配線	
2 4	半田バンプ電極	30
2 5 a	表面保護膜	
2 6	開口部	
2 7	封止樹脂膜	
2 8	開口部	
2 9	バンプ下地金属層	
3 0	配線基板	
3 0 M	ベース基板	
3 1	充填材	
3 2	半田バンプ電極	
M	フォトマスク	40
MN 1～MN 3、MN 4 a、MN 4 b、MN 5～MN 8	フォトマスク	
MR 1～MR 2 1	フォトマスク	
Qp	pチャネル型のMIS・FET	
Qn	nチャネル型のMIS・FET	
PW	p型ウエル領域	
NW	n型ウエル領域	
SG	素子分離部	
CNT	コンタクトホール	
TH	スルーホール	
ND	NANDゲート回路	50

NR NORゲート回路

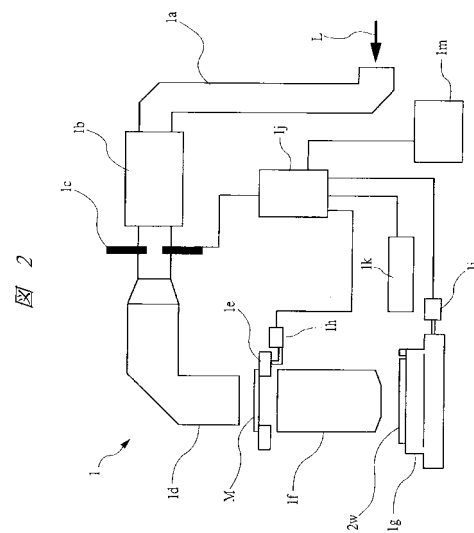
BP ボンディングパッド

MCM マルチチップモジュール

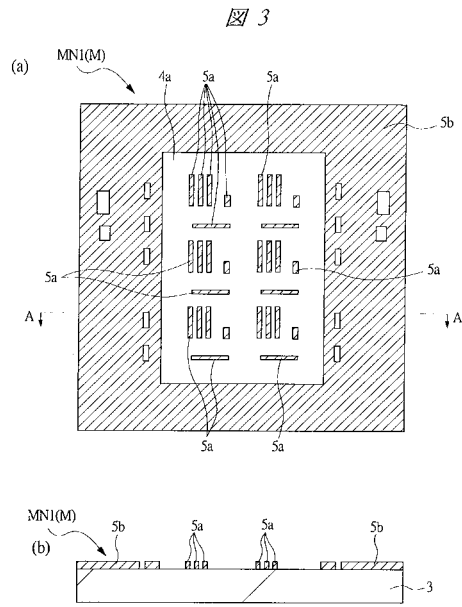
【図 1】



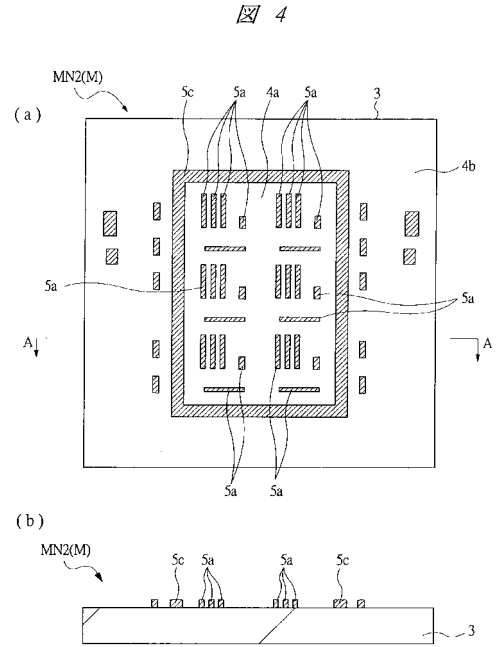
【図 2】



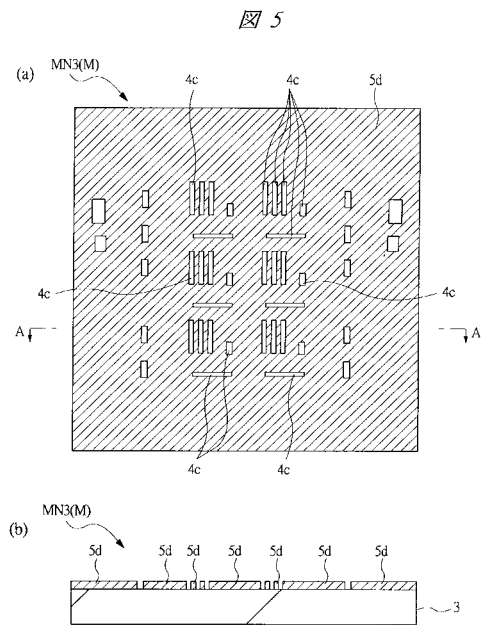
【図 3】



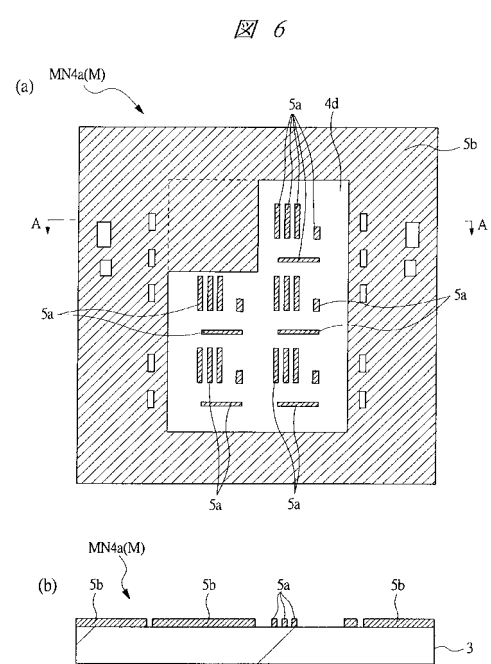
【図 4】



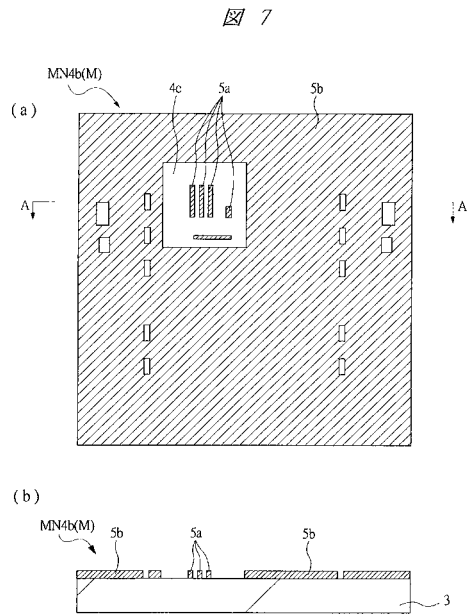
【図 5】



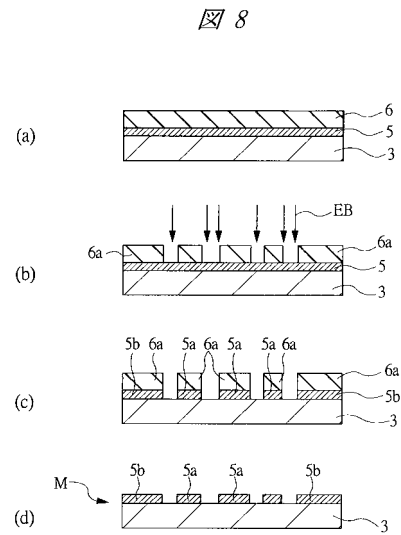
【図 6】



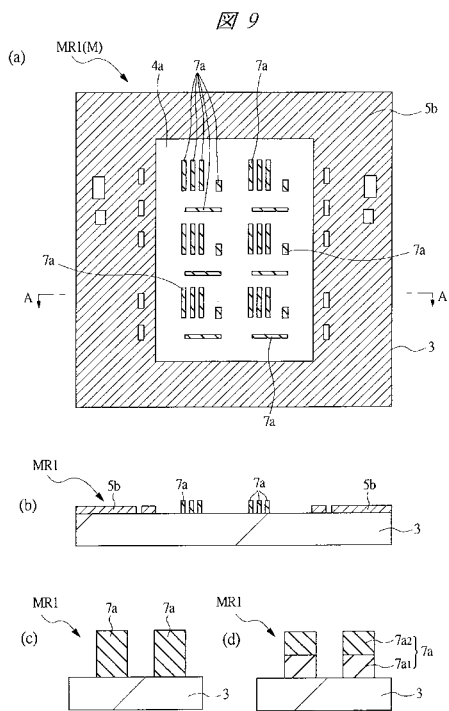
【図 7】



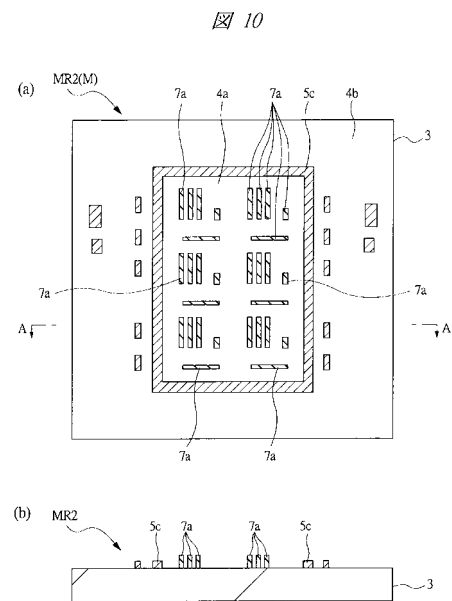
【図 8】



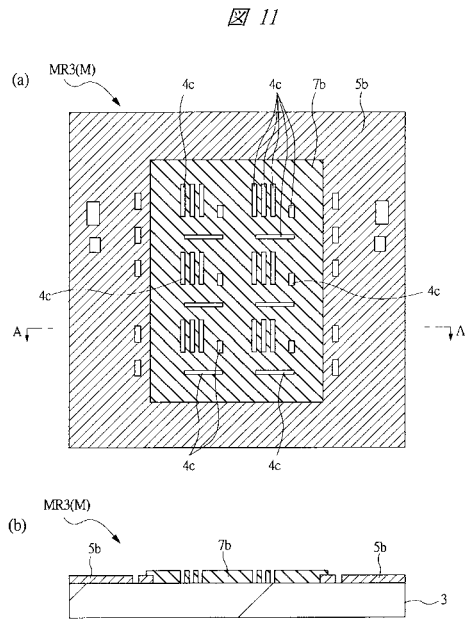
【図 9】



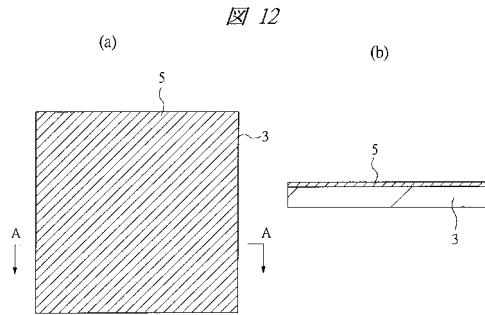
【図 10】



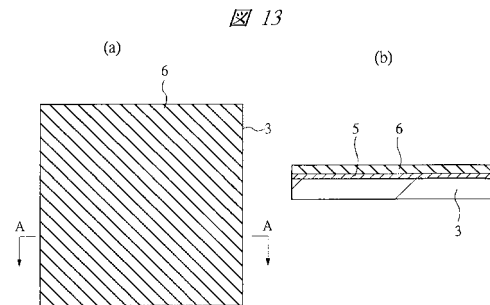
【図 1 1】



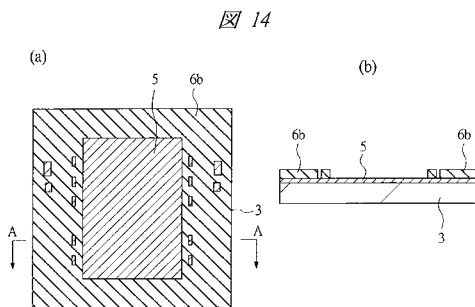
【図 1 2】



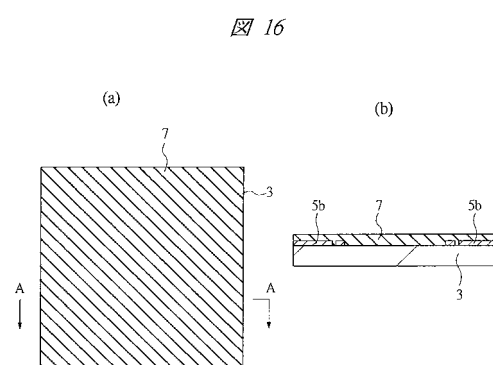
【図 1 3】



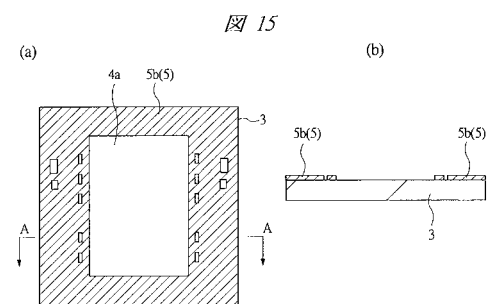
【図 1 4】



【図 1 6】

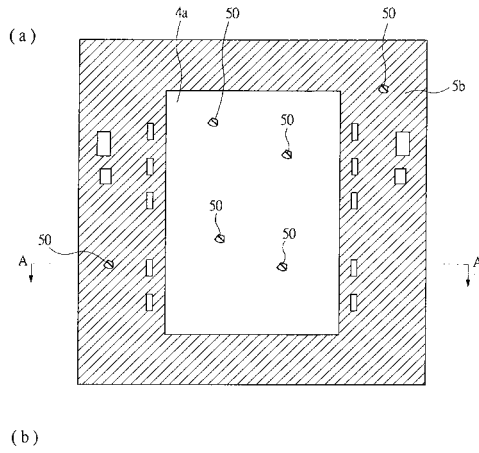


【図 1 5】



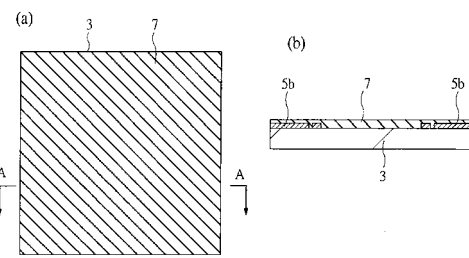
【図 17】

図 17



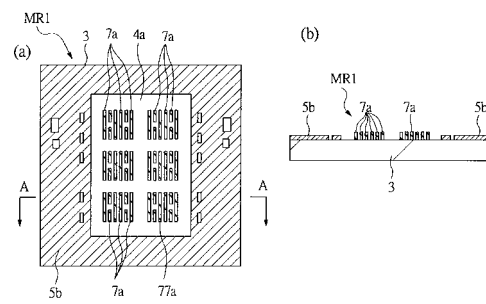
【図 18】

図 18



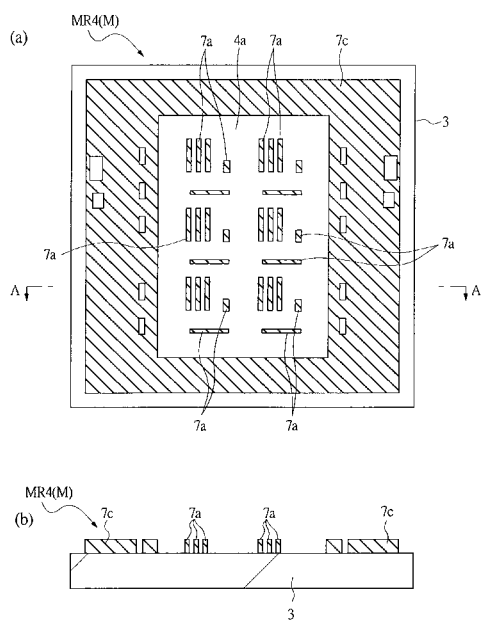
【図 19】

図 19



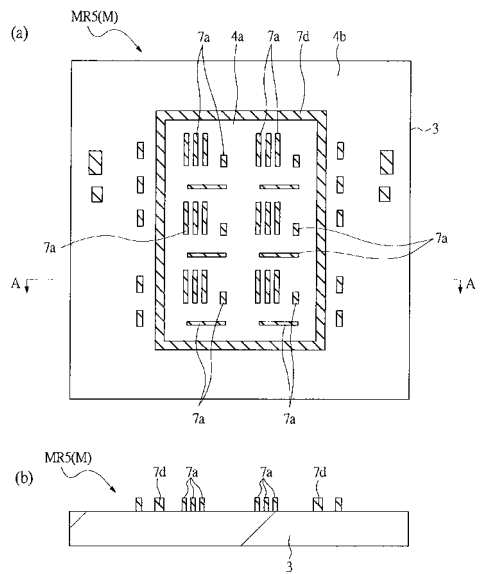
【図 20】

図 20

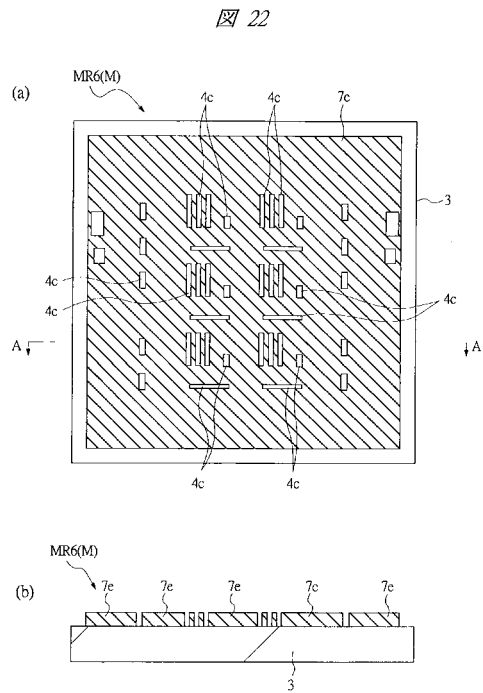


【図 21】

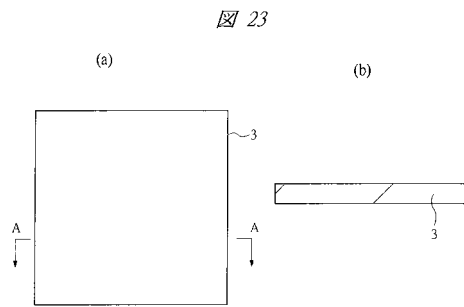
図 21



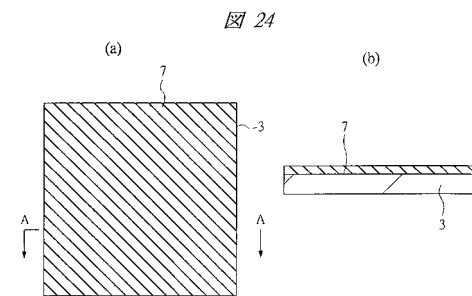
【図 2 2】



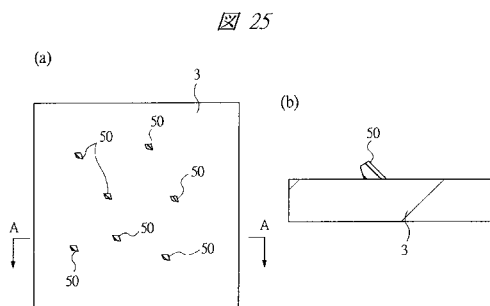
【図 2 3】



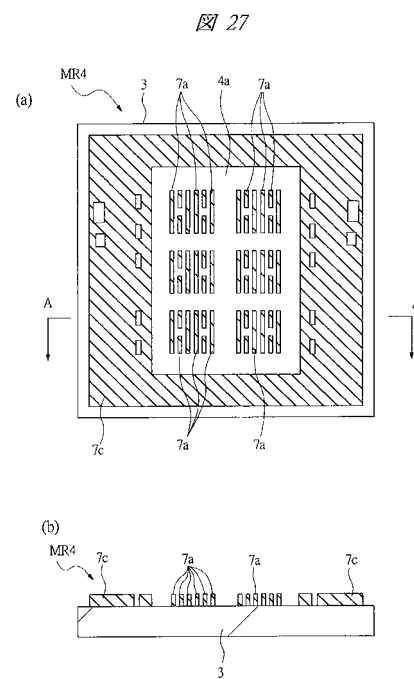
【図 2 4】



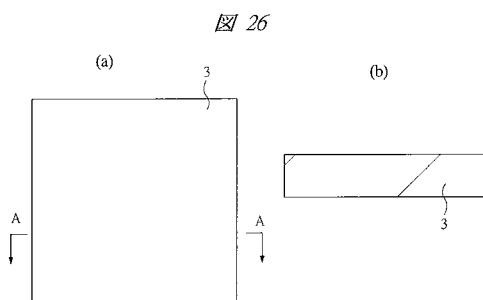
【図 2 5】



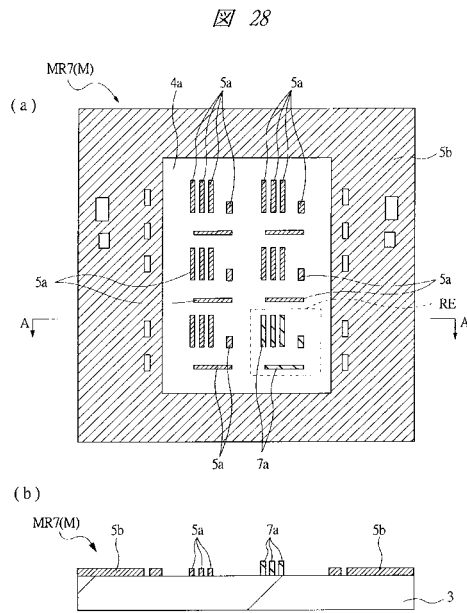
【図 2 7】



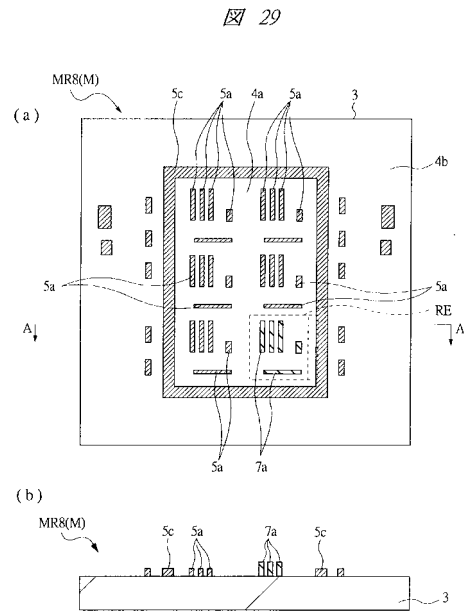
【図 2 6】



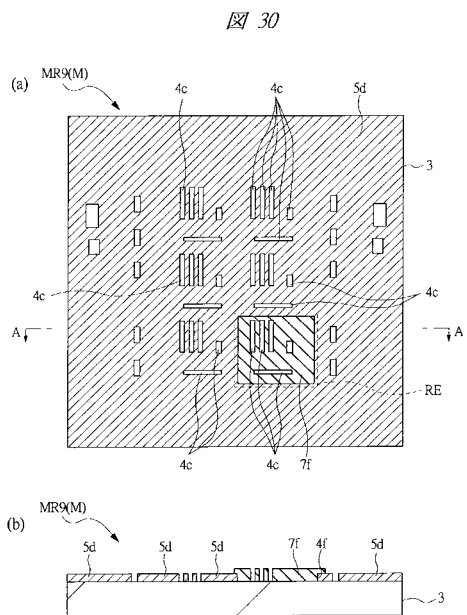
【図 28】



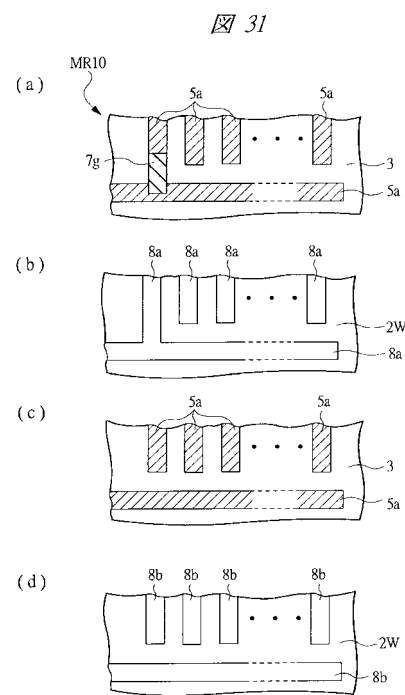
【図 29】



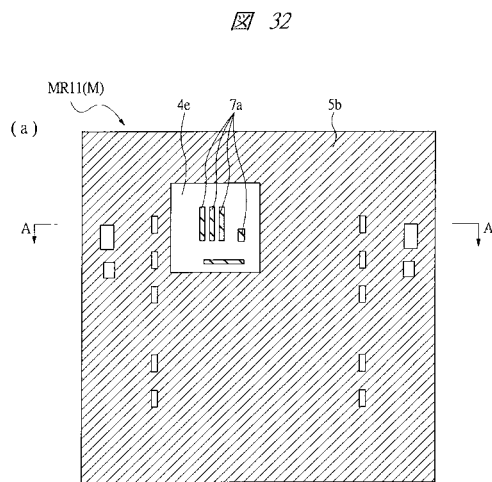
【図 30】



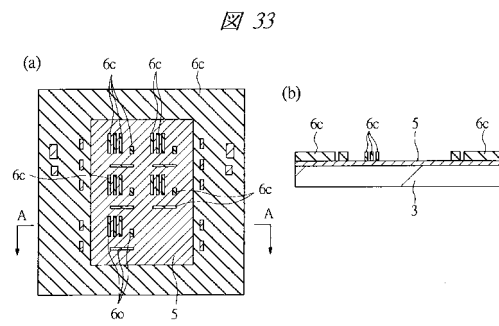
【図 31】



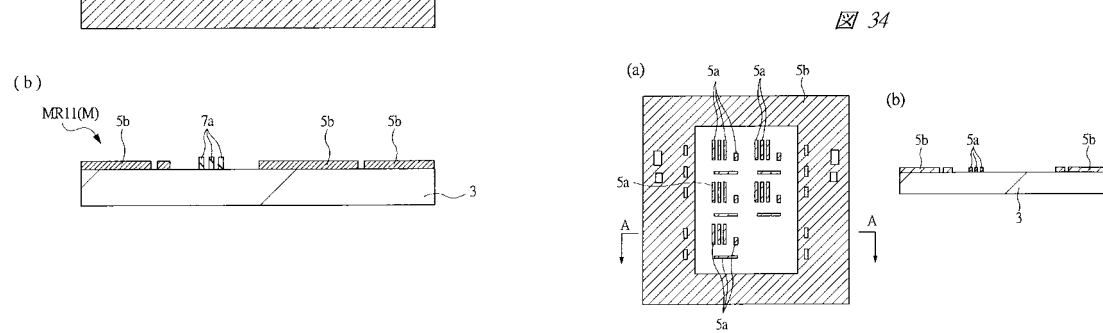
【図 3 2】



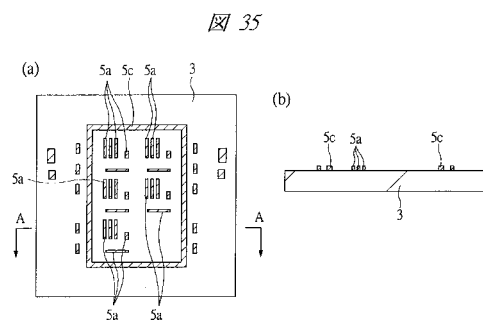
【図 3 3】



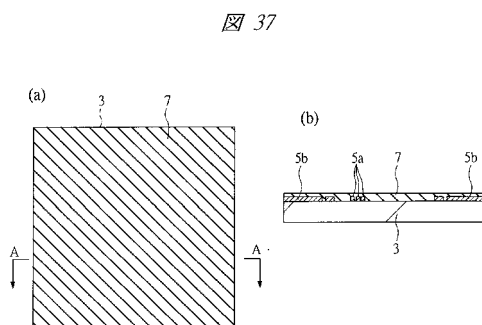
【図 3 4】



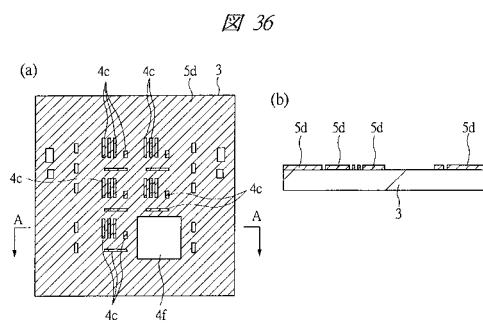
【図 3 5】



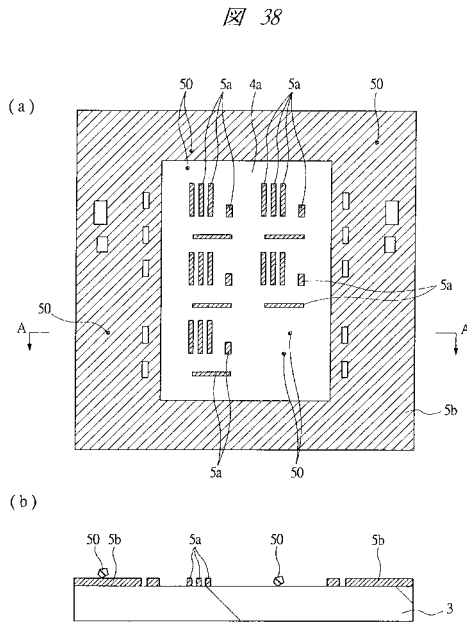
【図 3 7】



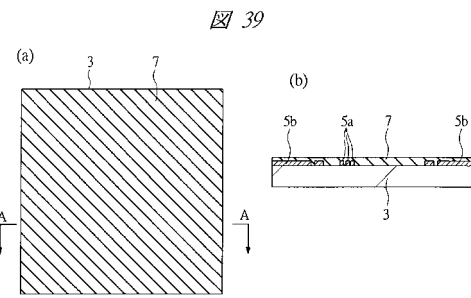
【図 3 6】



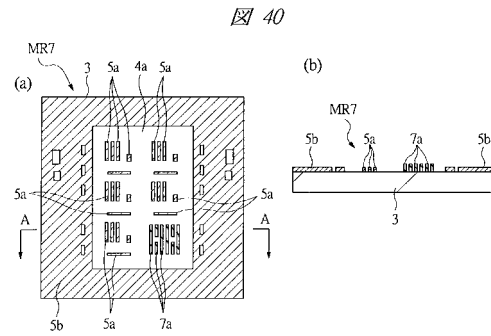
【图 3 8】



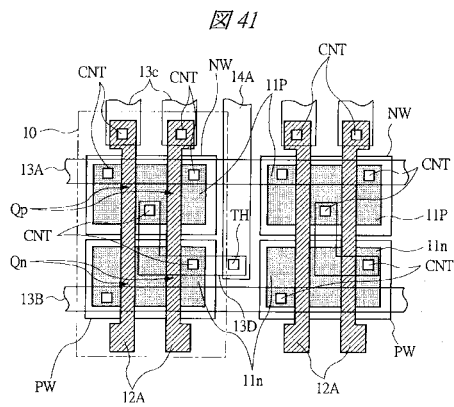
【 図 3 9 】



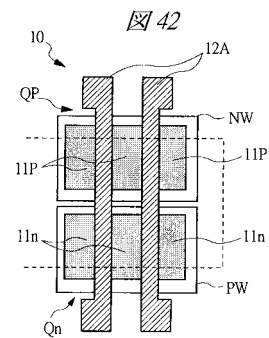
【 図 4 0 】



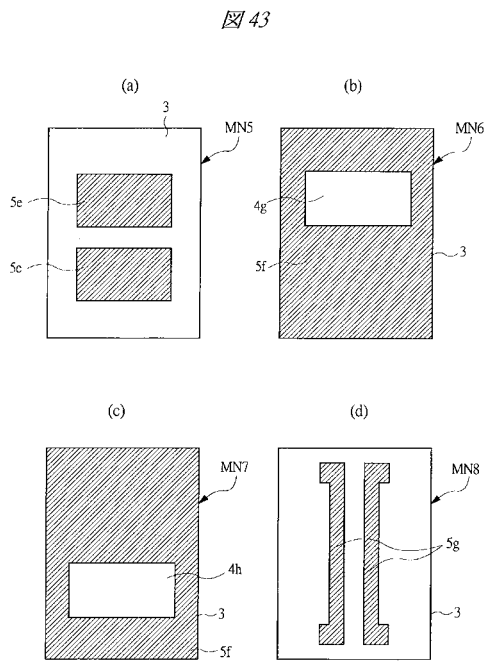
【 図 4 1 】



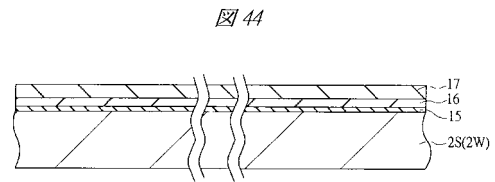
【图 4 2】



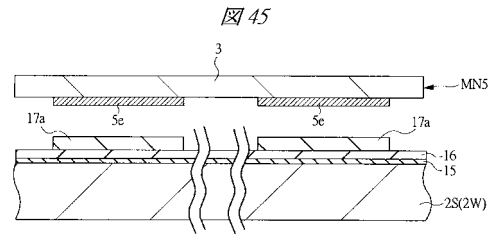
【図 4 3】



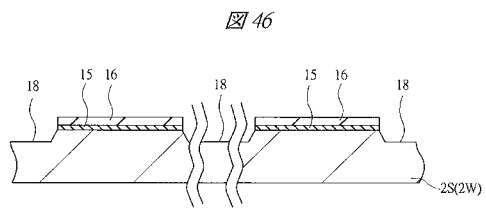
【図 4 4】



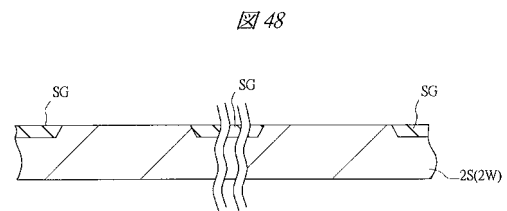
【図 4 5】



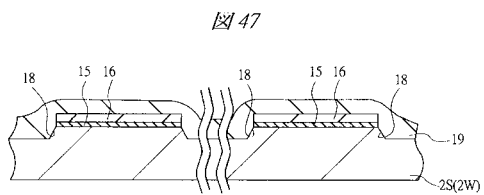
【図 4 6】



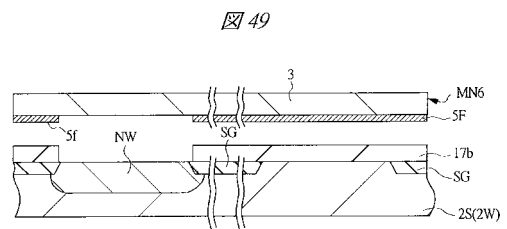
【図 4 8】



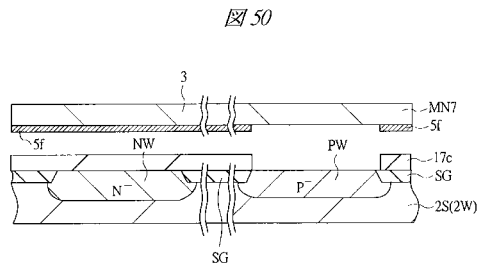
【図 4 7】



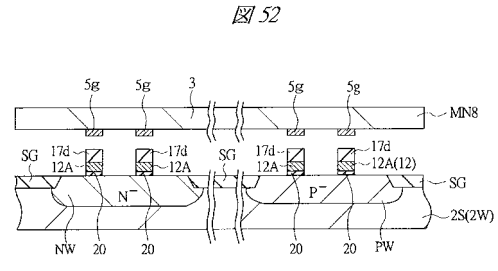
【図 4 9】



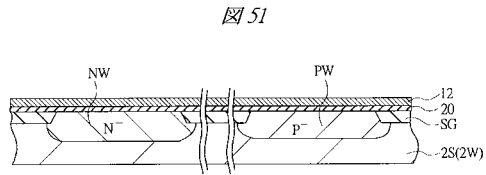
【図 50】



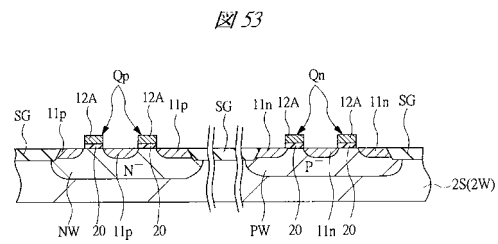
【図 5 2】



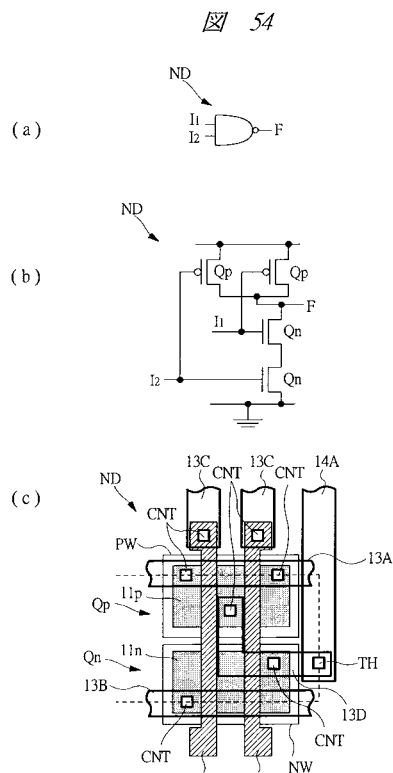
【図 5 1】



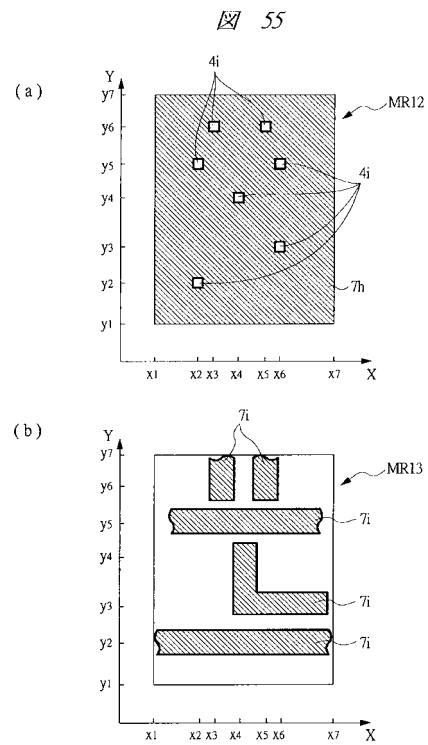
【 図 5 3 】



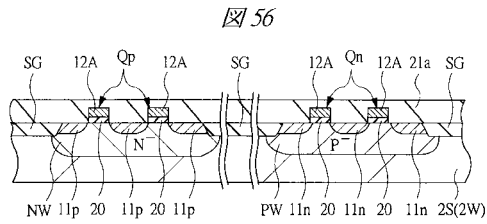
【図 5 4】



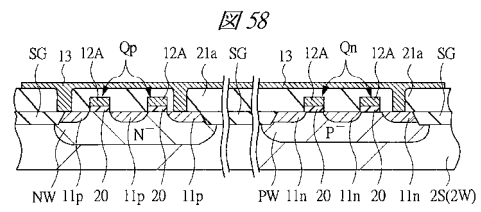
【图 5 5】



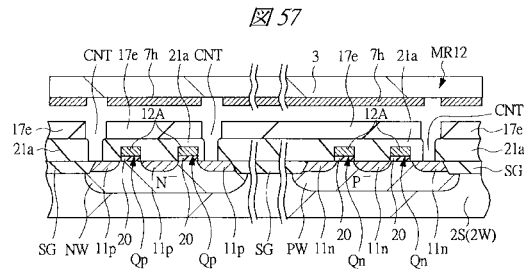
【図 56】



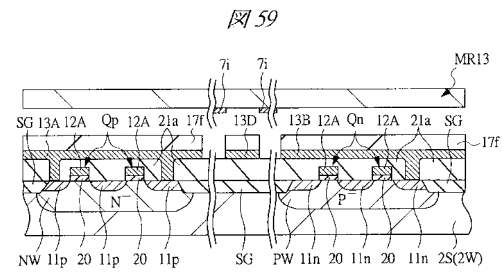
【図 58】



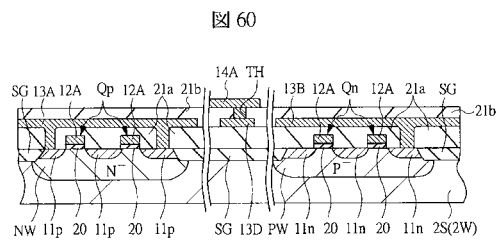
【図 57】



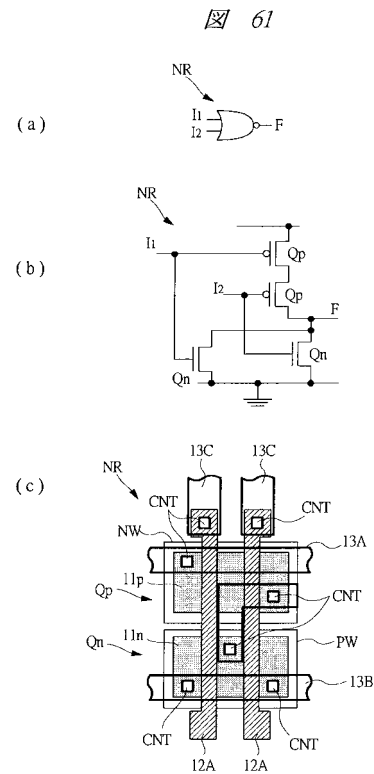
【図 59】



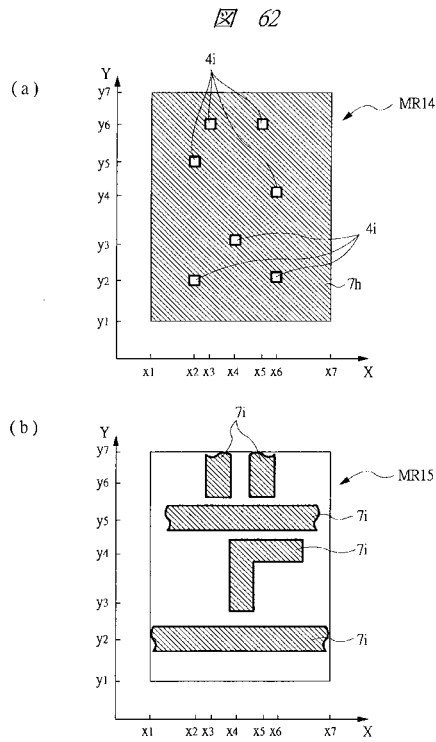
【図 60】



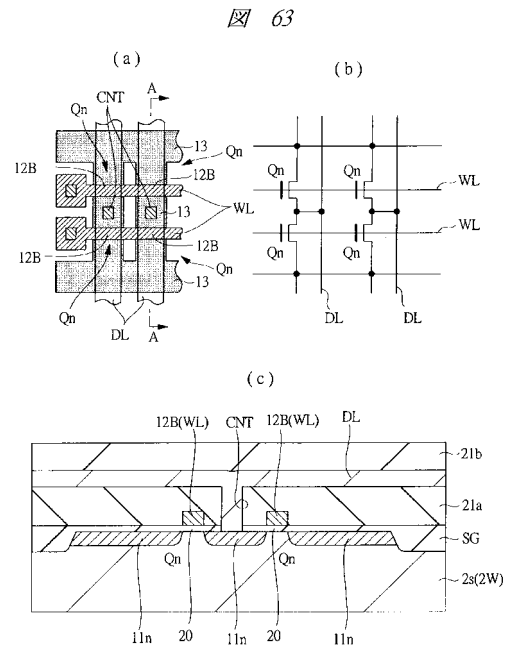
【図 61】



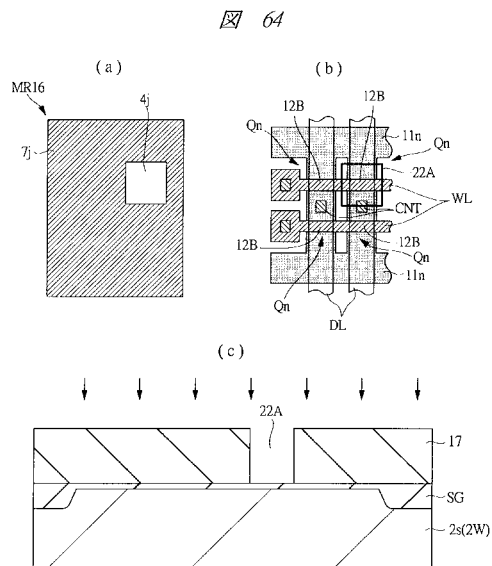
【図 6 2】



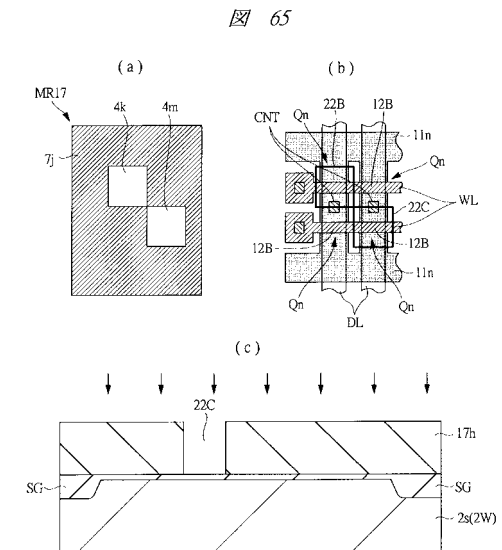
【図 6 3】



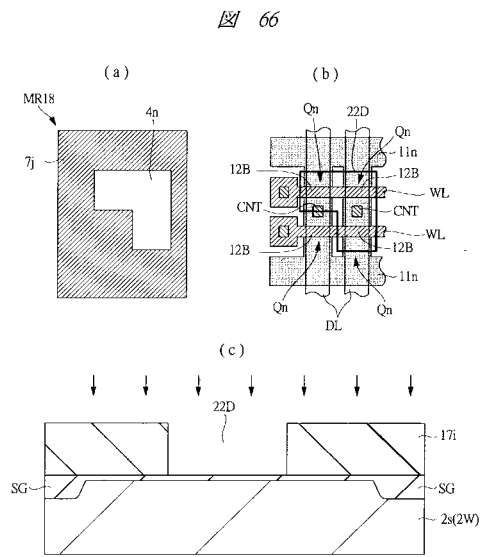
【図 6 4】



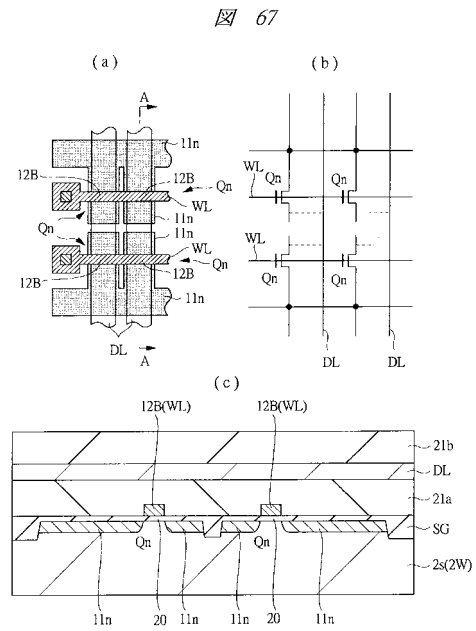
【図 6 5】



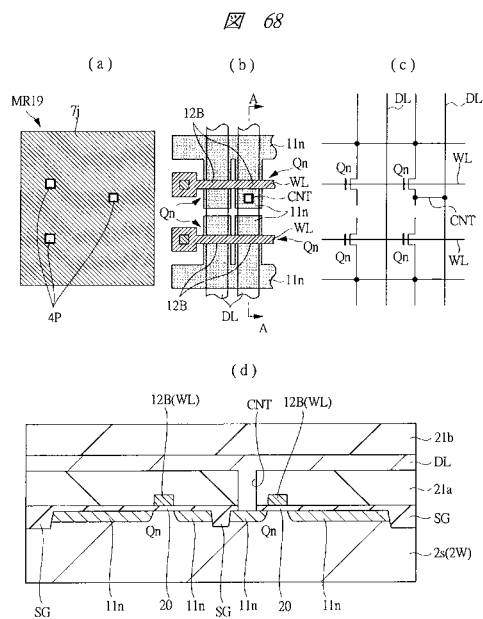
【図 66】



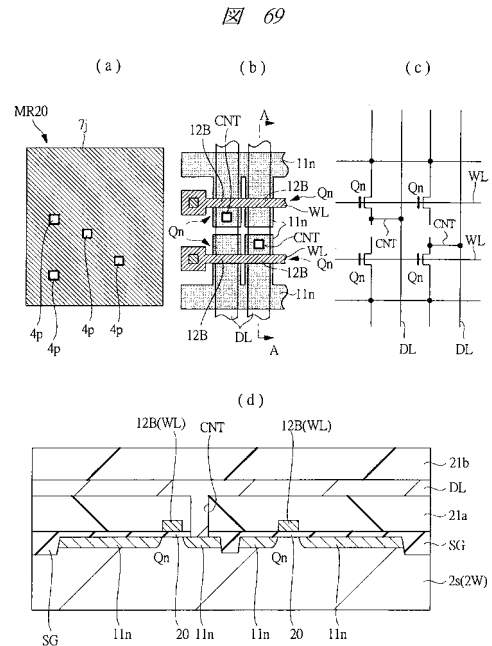
【図 67】



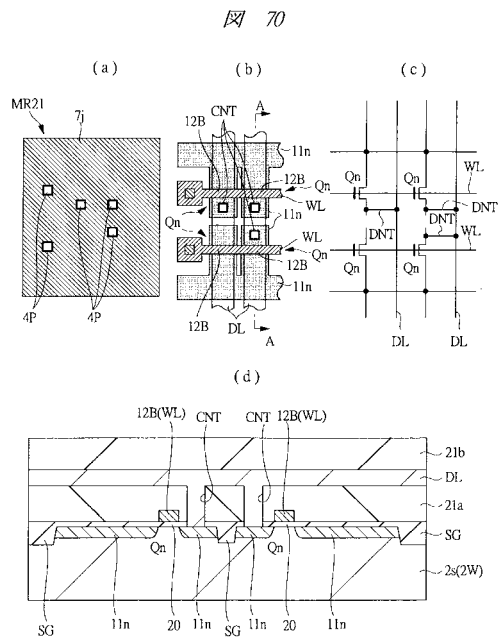
【図 68】



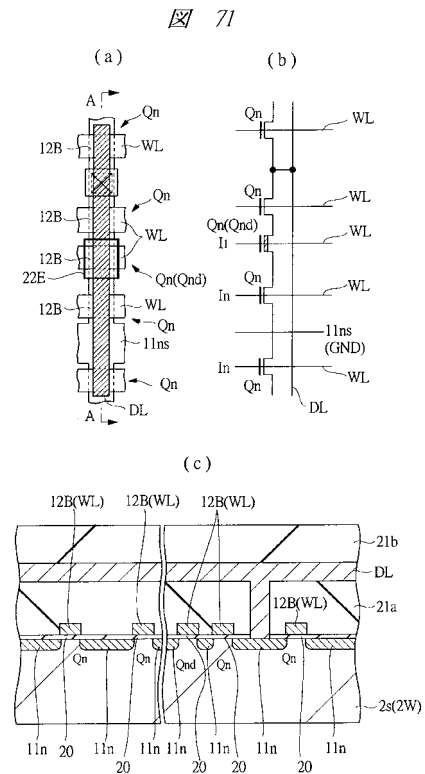
【図 69】



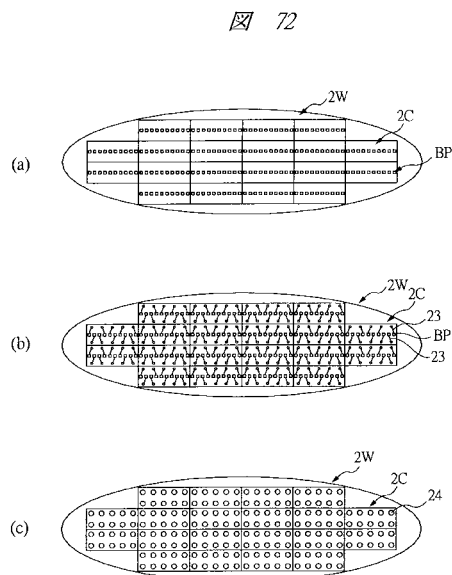
【図 70】



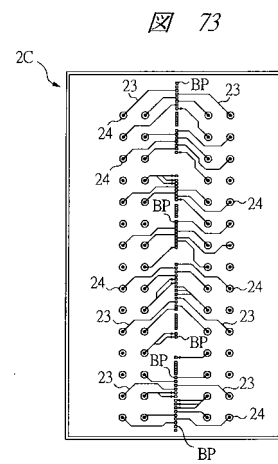
【図 71】



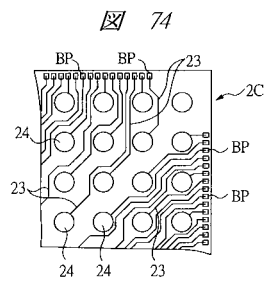
【図 72】



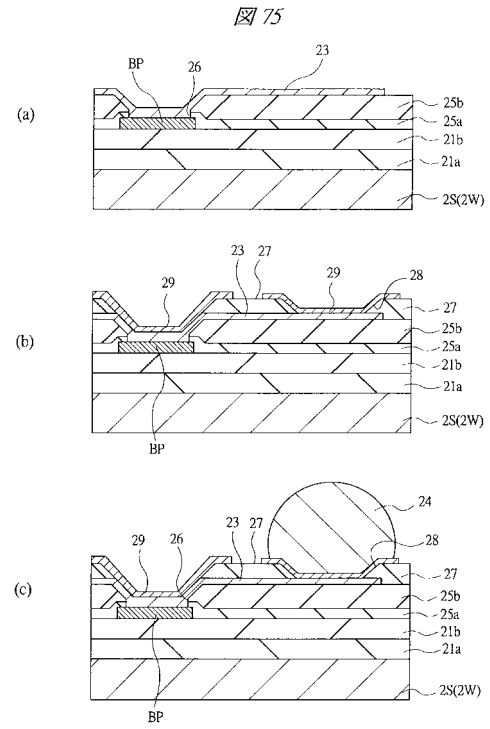
【図 73】



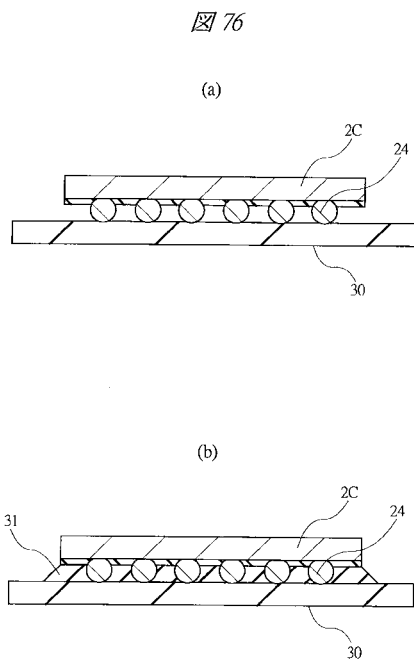
【図 7 4】



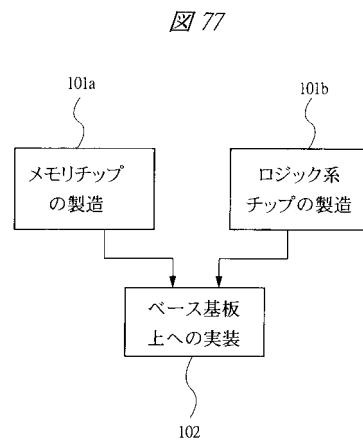
【図 7 5】



【図 7 6】

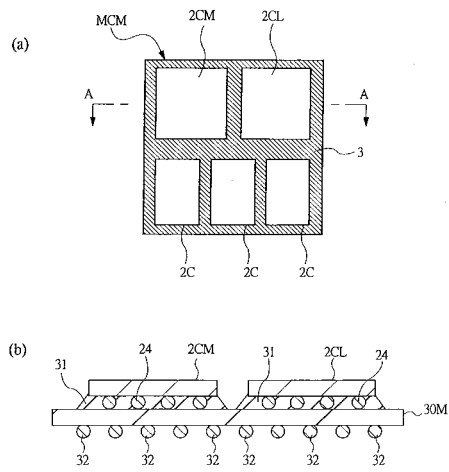


【図 7 7】



【図 78】

図 78



フロントページの続き

(51)Int.Cl. F I
G 0 3 F 7/20 (2006.01) G 0 3 F 7/20 5 0 2
G 0 3 F 7/22 (2006.01) G 0 3 F 7/22 H
H 0 1 L 21/30 5 0 2 P

(72)発明者 長谷川 昇雄
東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内
(72)発明者 森 和孝
東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

審査官 渡戸 正義

(56)参考文献 特開平10-090358 (JP, A)
特開平05-289307 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H01L 21/027
G03F 1/08 - 1/14
G03F 7/20 - 7/22