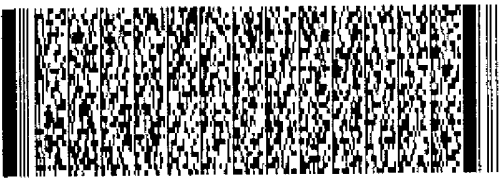
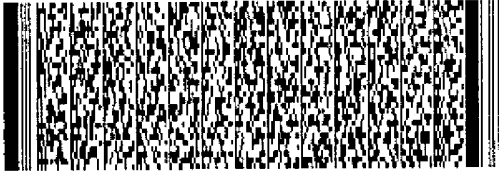


申請日期	類別	案號
8/29/88	H01L 29/788	87119983

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	C軸配向性薄膜鐵電晶體記憶胞及其製造方法	416152
	英文	C-AXIS ORIENTED THIN FILM FERROELECTRIC TRANSISTOR MEMORY CELL AND METHOD OF MAKING THE SAME	
二、發明人	姓名 (中文)	1. 許 勝 藤 2. 李 宗 露 3. 彭 健 雄	
	姓名 (英文)	1. SHENG TENG HSU 2. JONG JAN LEE 3. CHIEN HSIUNG PENG	
	國籍	1. 美國 2. 中華民國 3. 中華民國	
	住、居所	1. 美國 華盛頓州98607 坎馬斯市 樽魚西北街2216號 2. 美國 華盛頓州98607 坎馬斯市 瓦力西北街4635號 3. 美國 華盛頓州98604 凡庫弗市 東北159街2014號	
三、申請人	姓名 (名稱) (中文)	1. 日商夏普股份有限公司 2. 美商夏普微電子科技公司	
	姓名 (名稱) (英文)	1. SHARP KABUSHIKI KAISHA 2. SHARP MICROELECTRONICS TECHNOLOGY, INC.	
	國籍	1. 日本 2. 美國	
	住、居所 (事務所)	1. 日本國大阪府大阪市阿倍野區長池町22番22號 2. 美國華盛頓州坎馬斯市新太平洋濱大道5700號	
	代表人 姓名 (中文)	1. 町田 勝 彦 2. 瓊 A. 休意爾	
	代表人 姓名 (英文)	1. KATSUHIKO MACHIDA 2. JON A. SHROYER	
			

416152

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

1998/01/02 09/002,364

有

有關微生物已寄存於

寄存日期

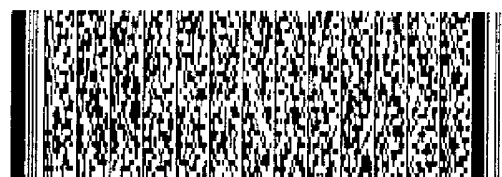
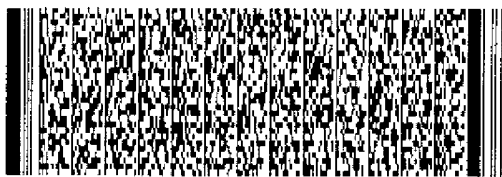
寄存號碼

無



相關之專利申請

以下是與本發明相關的專利申請：Hsu 等人之 ONE TRANSISTOR FERROELECTRIC MEMORY CELL AND METHOD OF MAKING THE SAME(一電晶體式鐵電記憶細胞及其製造方法)，其專利申請序列號碼為08/812,759，申請日期為1997年3月7日；SHALLOW JUNCTION FERROELECTRIC MEMORY CELL HAVING A LATERALLY EXTENDING p-n JUNCTION AND METHOD OF MAKING THE SAME(具有一側面延伸p-n結之淺結鐵電記憶細胞及其製造方法)，其序列號碼為08/834,499，申請日期為1997年4月4日；TWO TRANSISTOR FERROELECTRIC MEMORY CELL AND METHOD OF MAKING THE SAME(二電晶體式鐵電記憶細胞及其製造方法)，其序列號碼為08/870,161，申請日期為1997年6月6日；SHALLOW JUNCTION FERROELECTRIC MEMORY CELL AND METHOD OF MAKING THE SAME(淺結鐵電記憶細胞及其製造方法)，其序列號碼為08/869,534，申請日期為1997年6月6日；FERROELECTRIC MEMORY CELL FOR VLSI RAM ARRAY AND METHOD OF MAKING THE SAME(用於極大尺寸積體電路隨機記憶體陣列之淺結鐵電記憶細胞及其製造方法)，其序列號碼為08/870,375，申請日期為1997年6月6日；與 SINGLE TRANSISTOR FERROELECTRIC MEMORY CELL WITH ASYMMETRICAL FERROELECTRIC POLARIZATION AND METHOD OF MAKING THE SAME(具有不均勻的鐵電極性之單一電晶體式鐵電記憶細胞及其製造方法)，其序列號碼為



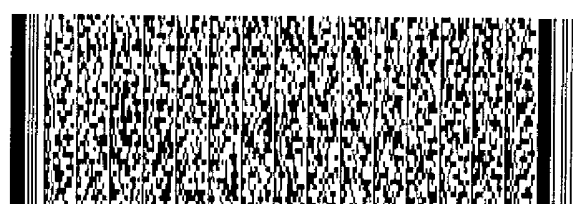
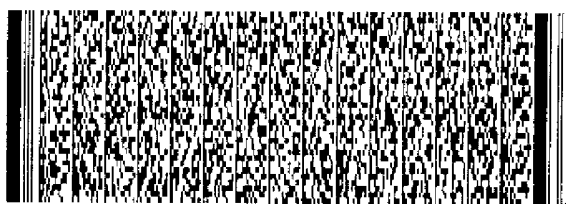
五、發明說明 (2)

08/905,380，申請日期為1997年8月4日。

發明背景

本專利申請是有關使用於非揮發性記憶體之鐵電薄膜，且特別是有關一使用於金屬-鐵電物質-金屬-矽半導體的C軸配向性鐵電物質。已知的鐵電隨機存取記憶體(FRAM)是以一電晶體(1T)及一電容(1C)製造。該電容的製造一般是以三明治方式將一鐵電薄膜夾在二導電性電極之間，該等電極通常是白金造的。除鐵電隨機存取記憶體(FRAM)中不需要資料更新以外，該類記憶體之電路架構及讀取/寫入順序均類似於傳統動態隨機存取記憶體(DRAM)者。然而，據觀察，已知的鐵電隨機存取記憶體(FRAM)裝置之鐵電物質電容有金屬疲乏問題，該問題是主要障礙之一，使得該等記憶體的商業用途受到限制。該項疲乏是由於切換循環次數增加而導致可切換的極性(儲存的非揮發性電荷)減少所造成之結果。就使用於該案例而言，"切換循環"指的是將脈衝讀取及寫入記憶體之次數和(sum)。

鐵電薄膜在記憶體應用中的另一已知用途是藉由將該鐵電薄膜直接沉澱於該場效電晶體(FET)之柵極區域上而形成一以鐵電柵極控制的場效電晶體(FET)。該以鐵電柵極控制之裝置已存在一段時日且包括眾所周知的金屬-鐵電物質-矽(MFS)場效電晶體(FETs)。整合有該金屬-鐵電物質-矽(MFS)場效電晶體(FET)結構之鐵電隨機存取記憶體(FRAMs)主要具有二項優於該電晶體-電容架構的優點：
(1) 該金屬-鐵電物質-矽(MFS)場效電晶體(FET)佔有較少



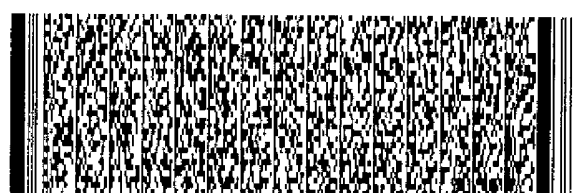
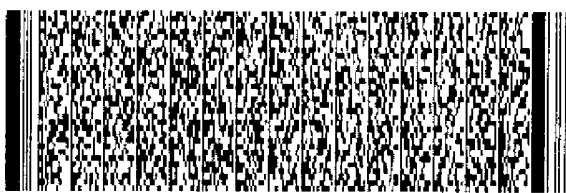
五、發明說明 (3)

表面積並(2)提供一非破壞性讀數(NDR)。後一特性使一金屬-鐵電物質-矽(MFS)場效電晶體(FET)裝置得以被讀取數千次而不必切換鐵電極性。因此，如使用金屬-鐵電物質-矽(MFS)場效電晶體(FET)裝置時，不必過於擔心金屬疲乏問題。可製造各種形式的金屬-鐵電物質-矽(MFS)場效電晶體(FET)結構，例如金屬鐵電物質絕緣體矽(MFIS)場效電晶體(FET)、金屬鐵電物質金屬矽(MFMS)場效電晶體(FET)及金屬鐵電物質金屬氧化矽(MFMOS)場效電晶體(FET)。

為製造一有效率的金屬-鐵電物質-矽(MFS)場效電晶體(FET)裝置，有一些問題必須克服。第一問題是難以直接在基板上形成一可另人接受的結晶鐵電薄膜。該結構顯示於美國專利號碼3,832,700中。此外，在該鐵電物質與該矽之間很難有一乾淨的介面。另外，欲在該鐵電物質中維持適當電荷是有問題的。美國專利號碼5,303,182中顯示一柵極區域上的一鐵電記憶(FEM)結構，該專利強調最好勿將金屬離子傳入該柵極區域中。美國專利號碼5,416,735中顯示相似結構。

發明概述

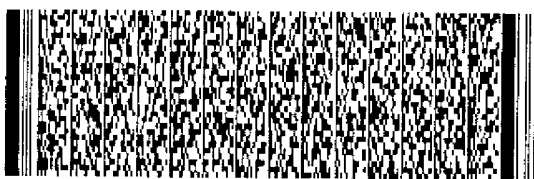
形成本發明之C軸鐵電記憶細胞半導體結構的方法包括在一單晶矽基板上形成一含有一C軸配向性鐵電記憶(FEM)柵極單元之半導體結構，並包括形成該鐵電記憶(FEM)柵極單元的一矽裝置區域；在該矽裝置區域內植入一第一類型摻雜劑以形成一第一類型導電通道以用於當作一源極結



五、發明說明 (4)

區域及一汲極結區域；形成一第二類型導電通道以用於該矽裝置區域上的鐵電記憶(FEM)柵極單元中當作該源極結區域與汲極結區域之間的柵極結區域；在該柵極結區域上沉澱一鐵電記憶(FEM)柵極單元，包括沉澱一下電極、一C軸配向性 $Pb_5Ge_3O_{11}$ 鐵電物質(FE)層及一上電極，其中該鐵電記憶(FEM)柵極單元在該柵極結區域上被調整大小以使該鐵電記憶(FEM)柵極單元之任一邊離開該源極結區域與該汲極結區域的邊有一段"D"距離，其中"D"是大約介於50nm與300nm之間；並在該鐵電記憶(FEM)柵極單元周圍沉澱一絕緣結構。

該C軸鐵電記憶細胞半導體之結構包括一基板，該基板可以是一塊狀矽基板或一SOI(矽頂絕緣體)類型基板，包括其中含一目前有效區域之單晶矽基板；位於該目前有效區域中的一源極結區域及一汲極結區域，其中塗以一第一類型摻雜劑以形成一對第一類型導電通道；位於該目前有效區域中的該源極結區域與該汲極結區域之間的一柵極結區域，塗抹以形成一第二類型導電通道；包括一下電極、一C軸配向性 $Pb_5Ge_3O_{11}$ 鐵電物質(FE)層及一上電極的一鐵電記憶(FEM)柵極單元；其中該鐵電記憶(FEM)柵極單元在該柵極結區域上被調整大小以使該鐵電記憶(FEM)柵極單元之任一邊離開該源極結區域與該汲極結區域的邊有一段"D"距離，其中"D"是大約介於50nm與300nm之間；一絕緣層，具有一上表面且重疊於該等結區域、該鐵電記憶(FEM)柵極單元及該基板之上；一源極電極及一汲極電



五、發明說明(5)

極，各位於該絕緣層之上表面並延伸通過該表面以使電路接觸其個別結區域，與一柵極電極，位於該絕緣層之上表面並延伸通過該表面以使電路接觸該鐵電記憶(FEM)柵極單元之上電極。

本發明的一目標是提供一其中整合有C軸鐵電(FE)物質之金屬-鐵電物質-矽(MFS)場效電晶體(FET)裝置以克服前述問題。

本發明的另一目標是提供一金屬-鐵電物質-矽(MFS)場效電晶體(FET)裝置以提供一非破壞性讀數。

本發明的另一目標是提供一相對佔有較少表面積之金屬-鐵電物質-矽(MFS)場效電晶體(FET)裝置。

另外本發明的另一目標是提供一相對需要較低程式設計電壓之金屬-鐵電物質-矽(MFS)場效電晶體(FET)裝置。

在閱讀下列說明時如連同該等圖示一起查看，則本發明的該等及其他目標與優點將完全顯露出來。

圖式簡述

圖1及2描繪使用於本發明的鐵電記憶(FEM)細胞中之基板的連續性形成步驟範例。

圖3描繪建立於該基板上的鐵電記憶(FEM)柵極單元。

圖4描繪本發明的第一具體實施例，其中具有在一單一電晶體式鐵電記憶細胞之鐵電記憶(FEM)柵極單元的下方形成之矽化物層。

圖5描繪在一基板上垂直排列的鐵電記憶(FEM)細胞。

圖6a及6b描繪本發明的金屬-鐵電物質-矽(MFS)場效電



五、發明說明 (6)

晶體(FET)之基本作業原理。

圖7a及7b是本發明的鐵電記憶(FEM)柵極單元之ID與VG對照圖。

圖8描繪一形成於一塊狀矽基板上之二電晶體式鐵電記憶細胞。

圖9描繪一形成於一SOI(矽頂絕緣體)基板上之二電晶體式鐵電記憶細胞。

圖10描繪一鐵電記憶細胞，其中形成有一淺結層。

圖11描繪一鐵電記憶細胞，其中形成有一淺結層及一側面延伸的p-n層。

圖12描繪一鐵電記憶細胞，適用於一極大尺寸積體電路隨機記憶體陣列(VLSI RAM Array)。

圖13描繪一具有不均勻的鐵電(FE)極性之單一電晶體式鐵電記憶細胞。

較佳具體實施例之詳述

本發明之C軸配向性鐵電記憶(FEM)細胞可形成於一矽頂絕緣體(SOI或SIMOX)基板上，或可形成於一塊狀矽基板上，其中有形成完美之p-。最初的說明將集中於一矽頂絕緣體(SIMOX)基板上之鐵電記憶(FEM)柵極單元的構成。令人欣賞的是，該鐵電記憶(FEM)柵極單元之某些具體實施例中，藉由本技藝的一般技術人員所熟知之傳統方法，可同時製造出一MOS(金氧半導體)電晶體及該鐵電記憶細胞。在某些案例中，為簡化起見，某些圖示未描繪該MOS(金氧半導體)電晶體之構成。



在該等相關的專利申請中說明有一些鐵電(FE)物質適於製造鐵電(FE)裝置。此揭示集中在C軸配向性 $Pb_5Ge_3O_{11}$ 薄膜鐵電(FE)物質，可用於製造一些種類的金屬-鐵電物質-半導體(MFS)、金屬-鐵電物質-金屬-矽(MFMS)、金屬-鐵電物質-絕緣體-半導體(MFIS)及金屬-鐵電物質-金屬-絕緣體-半導體(MFMIS)結構，該等結構可用於當作相對需要較低程式設計電壓之低壓VLSI RAM(極大尺寸積體電路隨機記憶體)陣列的非揮發性鐵電物質(FE)電晶體。即將說明於此之記憶體裝置具有一 $2P_r/C_{FE}$ 的記憶體視窗，其中 P_r 是殘留極化(remnant polarization)，而 C_{FE} 是該鐵電(FE)柵極單元之鐵電物質電容。意思是該記憶體裝置需要一相對較小的介質常數(dielectric constant)以便利用相對較低之程式設計電壓進行作業，且亦具有一大而合理的記憶體視窗殘留極化。我們已發現C軸配向性 $Pb_5Ge_3O_{11}$ 薄膜鐵電物質(FE)具有一約35之介質常數，且大約 $3.5 \mu C/cm^2$ 的殘留極化可提供用於該等類型記憶體的最佳鐵電(FE)物質。在該等相關的專利申請中，該C軸配向性 $Pb_5Ge_3O_{11}$ 具有一約 $0.25 \mu C/cm_2$ 之殘留極化。因此，該C軸配向性 $Pb_5Ge_3O_{11}$ 之殘留極化大約是非C軸配向性鐵電物質(FE)的14倍。下列說明揭示如何將該C軸配向性鐵電(FE)物質併入該等相關的專利申請所描述之結構中，及在實行本發明的方法時如何使用該C軸物質。

首先將說明一單一電晶體式鐵電記憶細胞之製造。接著請參考圖1，在30處描繪有一矽頂絕緣體(SIMOX)基板。在



五、發明說明 (8)

較佳具體實施例中，基板30是由 SiO_2 (二氧化矽)形成，且是一單晶基板。當用於此處時，"矽基板"指的是一塊狀矽基板或一SOI(矽頂絕緣體)基板，或任何其他合適之以矽為基礎的基板。如圖1所示，基板30已被局部蝕刻成所示架構，而該基板的一部分已稍被塗抹塗料以形成一目前有效區域32，又稱裝置區域，在該案例中，該目前有效區域32提供一理想的n-區域背景極性。如同本技藝的技術人員所熟知者，許多該等區域是形成於一矽晶圓表面上。對於本發明之鐵電記憶(FEM)柵極單元而言，該等記憶細胞是排列成垂直方格以形成一記憶體陣列。

首先說明形成及準備鐵電記憶(FEM)柵極單元欲重疊之基板的通用方法，最後產生一鐵電記憶細胞。目前有效區域32是以目前無效的，亦即絕緣區域34、36為界。

接著請參考圖2，可發現目前有效區域32已修改成一源極區域42、一柵極區域44、一汲極區域46。該等區域之形成是將一光阻蝕刻劑塗抹過目前有效區域32以罩住最終屬於柵極區域44的地區，並將適當離子植入目前有效區域32之其餘區域以形成二 n^+ 層，此處亦稱為一第一類型導電通道，其用途在於當作源極區域42及汲極區域46。雖然以40 keV至70 keV範圍進行植入是可接受的，在該案例中，適當離子之植入是以大約50 keV能量與 $2 \cdot 10^{15} \text{cm}^{-2}$ 至 $5 \cdot 10^{15} \text{cm}^{-2}$ 的劑量範圍之砷(As)離子植入為較佳。另外，可採用相同劑量範圍而能量範圍為30 keV至60 keV的磷(P)離子進行植入。然後以熱處理該晶圓以活化及緩和該等植入



五、發明說明 (9)

的離子。該熱處理之溫度範圍是在 500°C 至 1100°C 範圍內。此處柵極區域44亦稱為一第二類型的導電通道。此處所述其他具體實施例中，可進一步處理基板。

其他的導電通道類型是依序編號。總結導電層之命名，一第一類型導電層或通道是為 n^+ 層，且作用在於當作該電晶體的源極或汲極。其形成方式是以一第一類型之摻雜劑塗抹於該矽基板或一導電層，該等摻雜劑包括砷(As)及磷(P)。一第二類型導電通道是為一 n^- 層，且一般作用在於當作一柵極區域。其形成方式可以一第二類型之摻雜劑塗抹於一區域，該等摻雜劑是標示於以下其特定具體實施例中。一第三類型導電層是為一矽化物層，一般是由一第三類型之摻雜劑擴散形成，且形成一障礙層。一第四類型的摻雜劑包括B(硼)及 BF_2 (二氟化硼)，被植入或擴散以形成一 p^- 井，一般作用在於當作一柵極區域，或當作另一導電層或通道之先驅，而稱為一第四類型導電通道。一第五類型導電層是為一通用導電區域，於稍後連同特定具體實施例一起進一步說明。最後，一第六類型導電層是為一 p^-n 結，一般是由B(硼)或 BF_2 (二氟化硼)摻雜劑擴散形成，在該案例中稱為一第六類型摻雜劑。

此時，該鐵電記憶(FEM)柵極單元可開始形成。接著請參考圖3，在48處顯示一般鐵電記憶(FEM)柵極單元且包括一下電極50、一C軸配向性鐵電(FE)物質52及一上電極54。鐵電記憶(FEM)柵極單元48的製造開始是將該下電極沉澱於柵極區域44之上。下電極50可由Pt(白金)或



五、發明說明 (10)

Ir(銱)、 IrO_2 (二氧化銱)、Pt/Ir 合金或其他合適之導電物質形成。該金屬層的厚度是20 nm至100 nm。

接著，以化學蒸氣沉澱法(CVD)將該 $\text{Pb}_5\text{Ge}_3\text{O}_{11}$ 鐵電(FE)物質沉澱，厚度為50nm至400nm。

然後該上電極54形成於該鐵電(FE)物質之上。該上電極可用相同於該下電極的物質形成，厚度為20nm至200nm。在56處顯示一導電通道先驅。藉由把金屬離子從下電極50擴散進入該柵極區域44，該先驅最後將變成一金屬矽化物層58。一下電極介面51位於鐵電物質(FE)層52與下電極50之間。一上電極介面55位於鐵電物質(FE)層52與上電極54之間。

光阻蝕刻劑被塗抹於該鐵電記憶(FEM)柵極單元之上，然後該記憶細胞被蝕刻成適當架構及大小。值得欣賞的是，該三層鐵電記憶(FEM)柵極單元不必如圖所示準確對齊，因為其形狀可藉由塗抹一光阻蝕刻劑並以不同幾何圖形罩遮進行蝕刻而形成。然而，為簡化起見，故該鐵電記憶(FEM)柵極單元被描繪成具有連續性對齊的側壁結構。

接著請參考圖4，鐵電記憶(FEM)柵極單元48被描繪成一鐵電記憶細胞60，該鐵電記憶細胞60包括鐵電記憶(FEM)柵極單元48及其下之源極、通道與汲極區域，該具體實施例包括一薄矽化物層58，形成於導電通道先驅56所在位置的鐵電記憶(FEM)柵極單元48之下。如本發明的方法中另一具體實施例所述，矽化物層58可在鐵電記憶(FEM)柵極單元48的組成沉澱之前形成，或者，假設下電極50是由白



五、發明說明 (II)

金(Pt)或其合金所形成，則可允許該白金(Pt)擴散進入柵極區域44的上方部分而形成一淺矽化物層以當作一肖特基勢壘(Schottky barrier)，此處該肖特基勢壘稱為一第三類型導電通道、一淺結或一障礙結構。

為保護該鐵電記憶(FEM)柵極單元而以化學蒸氣沉澱法(CVD)形成一層 TiO_x 62或其他合適的障礙絕緣物質。該 TiO_x 被蝕刻以形成該柵極電極之側壁絕緣體。以光阻蝕刻劑塗抹之並以離子植入方式形成適合的 n^+ 與 p^+ 區域。以化學蒸氣沉澱法(CVD)或塗抹其他合適的鈍態絕緣體而形成一般由 SiO_2 (二氧化矽)所形成之氧化物層64。在 $500^\circ C$ 與 $1100^\circ C$ 之間將該結構加以熱處理，以允許該等植入的離子得以鈍化及擴散。為完成對於鐵電記憶細胞60之說明，孔口形成於氧化物層64中，且形成一源極電極66、一柵極電極68及一汲極電極70並予以連接至其相關組成。

圖4所示之具體實施例代表本發明最簡單的結構範例。該結構是一鐵電柵極消耗型MIS(金屬-絕緣體-半導體)電晶體。在0柵極電壓下，該鐵電記憶(FEM)柵極單元之下的 n^- 通道中，電荷完全消耗殆盡。因此，漏失電流非常小。為維持小量漏電，在下電極50之任一邊有接觸到該 n^- 矽處與該 n^- 源極或 n^+ 汲極區域的邊之間的距離，以"D"表示，必須至少為50 nm以使該漏失電流維持小量。然而，如D增加，則該記憶細胞之串聯電阻亦增加。因此較佳的是，D小於300 nm。該柵極漏失電流是取決於該白金(Pt)至 n^- 型矽肖特基勢壘(Schottky barrier)及該白金(Pt)至C軸配



五、發明說明 (12)

向性鐵電物質之接點。該柵極漏失電流等於從極小至中等電場強度的柵極電流。該白金(Pt)與 n^- 型矽之間的電位障礙是0.9 eV(電子伏特)。如該C軸配向性鐵電物質未被極性化，或如利用該下電極處之負電荷將該C軸配向性鐵電物質極性化，則該種大小的電位障礙會導致該 n^- 型矽通道完全耗盡。如利用該下電極處之正電荷將該C軸配向性鐵電物質極性化，則該記憶電晶體之門檻電壓是小的。稍後將討論該等記憶體電荷之特質及用於改變該等記憶細胞程式設計所需的電壓量之技術。

無論用以形成肖特基勢壘(Schottky barrier)⁵⁸或一淺結層的方法為何，該障礙結構用途在於提供一有效率之本發明的鐵電記憶細胞交換機制。

另外，如該鐵電物質無法忍受高溫熱處理，則可在該下柵極電極沉澱之前完成該源極/汲極離子的植入及退火。
運作

該C軸配向性鐵電記憶裝置可使用於低壓、高密度及高速應用中。如圖5所示，該記憶細胞是配置於該基板上。圖5描繪一9-記憶細胞陣列，其中該等字線(word lines)是取名為WL1、WL2及WL3，該等位元或汲極線(drain lines)是取名為BL1、BL2與BL3。該等源極區域及所有電晶體的基板均接地。如圖5所示，該源極、字線與位元線是獨立連接至周邊電路。該記憶體陣列是藉由施加一正電壓 V_{pp} 到具有接地的位元線之字線(柵極)上以便予以分批程式設計成"1"(高導電性)狀態。為將各個別記憶細胞以程



五、發明說明 (13)

式設計成一"0"(低導電性)狀態，故施加一負的程式設計電壓 $-V_{pp}$ 到該字線上，同時施加一正的程式設計電壓 V_{pp} 到該位元線上。此舉之結果是，僅有一記憶細胞在該柵極處具有一 $-V_{pp}$ 偏壓而在該汲極處具有一 $+V_{pp}$ 偏壓。在整個陣列中僅該記憶細胞會被寫成"0"狀態。

按照本發明製造的結構特別有效率，因為位於該柵極區域之導電通道上的鐵電記憶(FEM)柵極單元有能力變換該柵極區域之極性，允許電流得以有效率的從該源極流動通過該柵極而到達該汲極。該結構在"off"狀態時提供近乎完全的電荷消耗，而在"on"狀態時提供有效率之電流傳輸。其原因在於已知的鐵電記憶(FEM)細胞架構不完全允許電流流動通過該柵極區域。該結構可被想成為一部分"open"("打開的")之開關。

按照本發明製造的記憶細胞可放置於一記憶細胞陣列中，以致如圖5所示該等柵極線垂直於該等汲極線。為寫入鐵電記憶(FEM)柵極單元48，故以 $+V_{p1}$ 施加到所有柵極電極，同時該記憶細胞之源極與汲極電極均處於地電位。此舉使該C軸配向性鐵電物質(FE)52極性化，以致下電極50處有一正電荷而上電極54處有一負電荷。(見圖6a)。此舉將鐵電記憶(FEM)柵極單元48置於高導電性狀態。

如施加一負電壓 $-V_{p0}$ 到該柵極電極(程式線)並施加一正電壓 $+V_{p0}$ 到該汲極，且該源極接地，其中 $|V_{p1}| > |V_{p0}|$ ，則該鐵電物質(FE)被極性化以致下電極50處有一負電荷。此舉將鐵電記憶(FEM)柵極單元48置於低導電性狀態。(見圖



五、發明說明 (14)

6b)。該寫入程序使得無論一陣列之其他記憶細胞如何，均得以寫入該記憶體陣列中的各記憶電晶體，而不會干擾到該陣列之其他記憶細胞的門檻電壓，或被該陣列之其他記憶細胞的門檻電壓所干擾。

鐵電記憶(FEM)柵極單元48之門檻電壓可如下決定：對於大尺寸陣列而言，"1"狀態下的門檻電壓必須是一正值，亦即，0.4V至0.8V。"0"狀態下的門檻電壓必須大於供應電壓3.3 V。該p⁻型基板結及該下電極肖特基勢壘(Schottky barrier)，或該極淺的p⁻表面層與該柵極偏壓將該n⁻通道電壓消耗殆盡。圖中顯示，記憶體視窗等於：

$$\Delta V_r = \frac{2Q_{FE}}{C_{FE}} \quad (1)$$

-- 其中 Q_{FE} 是殘餘電荷而 C_{FE} 是柵極單元之C軸配向性鐵電物質電容。

在讀取作業期間會將一小於該矯頑電壓(coercive voltage)，亦即該記憶體內容可藉以改變的電壓 V_a 施加到該柵極電極及該汲極電極。因為當任一電極以 V_a 被偏壓時該記憶細胞內容未遭攪亂，故該讀取作業將不攪亂任何記憶細胞之記憶內容。因此，可獲得長久的電荷記憶。

圖7描繪該金屬鐵電物質金屬氧化矽(MFMOS)場效電晶體(FET)的一般 I_D 對 V_G 圖。圖7a描繪具有高通道塗抹 N_D 之鐵電記憶(FEM)細胞的 I_D 對 V_G 特性。中心線(L2)是當該鐵電記憶(FEM)柵極單元未充電時的 I_D 對 V_G 曲線。當以程式將該鐵電



五、發明說明 (15)

記憶(FEM)細胞設為"1"狀態(L1)時，該鐵電記憶(FEM)細胞之門檻電壓是負的。因此，即使 $V_G = \Phi V$ ，大的汲極電流亦可流動通過該通道區域。該一裝置不適用於大尺寸陣列應用。

圖7b描繪具有低通道塗抹 N_D 之鐵電記憶(FEM)細胞的 I_D 對 V_G 特性。當以程式將該鐵電記憶(FEM)細胞設為"1"狀態時，該鐵電記憶(FEM)細胞之門檻電壓是正的(L1)。當該柵極是處於地電位時，任何電流均不可流動通過該裝置。該等裝置之大尺寸記憶體陣列將有極小的待命漏失電流，且將不需要經常更新。"0"狀態之門檻電壓(L3)永遠是正的。

圖中顯示，較低的C軸配向性鐵電物質電容可造成較高之記憶體視窗及較低的程式設計電壓。較厚的薄膜及較低 ϵ_r 之物質可造成較低的C軸配向性鐵電物質電容；然而，如C軸配向性鐵電物質之交換電場有妥當地定義，則前項選擇會增加程式設計電壓。一般的氧化物鐵電物質呈現較高之 ϵ_r 及 T_c ，而非氧化物鐵電物質呈現較低的 ϵ_r 與 T_c 。氧化物 $Pb_5Ge_3O_{11}$ 薄膜具有極低之 ϵ_r 及中等的 T_c (178°C)。

接著請參考圖8，即將說明二電晶體式鐵電記憶細胞之製造。在80處描繪有一矽基板。在該具體實施例中，基板80是一單晶基板，且由塊狀矽所形成。如圖8所示，基板80已被修改成所示架構，且一部分基板已被稍加塗抹以形成一目前有效區域32，又稱裝置區域32，該區域提供理想的背景極性，在該案例中是為一 p^- 區域，此處稱為一第四



五、發明說明 (16)

類型導電通道。目前有效區域32是以絕緣區域34、36為界，該等絕緣區域34、36之形成是將 SiO_2 (二氧化矽)加熱氧化或以化學蒸氣沉澱法(CVD)將 SiO_2 (二氧化矽)沉澱以在裝置與裝置之間形成LOCOS(矽的局部氧化)或臺面式隔離。具有本專業技藝的人皆十分清楚，眾多該等目前有效區域是形成於一矽晶圓表面上。對於本發明之二電晶體式鐵電記憶細胞而言，該等目前有效區域是排列成一垂直方格以形成一記憶體陣列，如圖5所示。

該 p^- 井84可藉由將此處稱為一第四類型摻雜劑的B(硼)或 BF_2 (二氟化硼)離子植入於目前有效層32之上而形成。硼(B)離子可在3 keV至80 keV的能量下植入，而 BF_2 (二氟化硼)離子是在15 keV至50 keV之能量等級下植入。該兩例中的離子濃度均在 $5 \cdot 10^{11} \text{cm}^{-2}$ 至 $1 \cdot 10^{13} \text{cm}^{-2}$ 範圍內。該等離子均藉由退火而加熱活化。該等植入的離子將擴散進入該基板以形成一 p^- 井，此處稱為一第四類型導電通道。擴散是在 800°C 至 1100°C 溫度範圍內發生。此處稱為一第五類型導電通道之通道區域86保留在 p^- 井84的任一邊。此處所使用之"相鄰"意思是該二電晶體是相互沿邊形成，或一電晶體重疊另一電晶體。

一層 SiO_2 (二氧化矽) 88以熱方式成長於 p^- 井84上。一層 n^- 聚合矽90以化學蒸氣沉澱法(CVD)沉澱於其上。一層矽化物92可以化學蒸氣沉澱法(CVD)形成於該 n^- 聚合矽90之上，並當作該MOS(金氧半導體)電晶體的一部分，雖然有描繪於圖中，該項屬於本發明之方法與結構的可有可無部



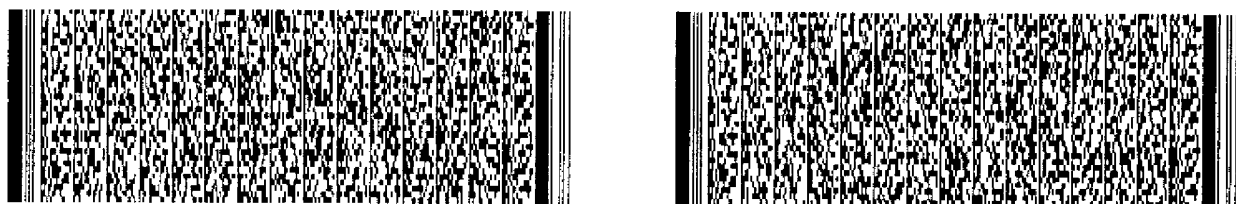
五、發明說明 (17)

分。另一層此處亦稱為電晶體絕緣層之 SiO_2 (二氧化矽)層94是以化學蒸氣沉澱法(CVD)鋪設。

一光罩被用以保護MOS(金氧半導體)電晶體82之柵極區域。 SiO_2 (二氧化矽)層88、 n^- 聚合矽層90、矽化物層92及 SiO_2 (二氧化矽)層94隨後被蝕刻以形成該MOS(金氧半導體)電晶體82的一柵極。該光阻蝕刻劑物質被剝除。在能量為30 keV至120 keV,劑量為 $1.0 \cdot 10^{12} \text{ cm}^{-2}$ 至 $5.0 \cdot 10^{13} \text{ cm}^{-2}$ 下,此處亦稱為一第二類型摻雜劑之磷(P)離子被植入於欲用以製造該鐵電記憶(FEM)柵極單元的 p^- 井處,亦即柵極區域94之上,以形成第二類型導電通道。為在該 n^- 層中獲得最佳施主分佈,可能需要多重植入步驟及/或熱擴散。一額外的 SiO_2 (二氧化矽)層在無任何罩遮下被沉澱並蝕刻以形成該側壁氧化物,圖中該層是包含於 SiO_2 (二氧化矽)層94的一部分。

鐵電記憶(FEM)柵極單元48是製造於MOS(金氧半導體)電晶體82上,並與之相鄰。柵極單元48包括一下電極50、一鐵電物質(FE)層52及一上電極54。鐵電記憶(FEM)柵極單元48的製造開始是將該下電極沉澱於 SiO_2 (二氧化矽)層94之上,該下電極有一部分延伸於通道區域86之上。下電極50可按前述方式形成。在較佳具體實施例中,電極50的厚度是20 nm至100 nm。

接著,以化學蒸氣沉澱法(CVD)將C軸配向性鐵電(FE)物質52沉澱。鐵電(FE)物質52被沉澱成50 nm至400 nm厚度。然後上電極54形成於該鐵電(FE)物質之上。該上電極



五、發明說明 (18)

可以相同於該下電極的物質形成一20 nm至200 nm之厚度。

光阻蝕刻劑被塗抹於該鐵電記憶(FEM)柵極單元上，然後該記憶細胞被蝕刻成適當架構及大小。值得欣賞的是，該三層鐵電記憶(FEM)柵極單元不必如圖所示準確對齊，因為其形狀可藉由塗抹一光阻蝕刻劑並以不同幾何圖形罩遮進行蝕刻而形成。然而，為簡化起見，故該鐵電記憶(FEM)柵極單元被描繪成具有連續性對齊的側壁結構。該光阻蝕刻劑從該鐵電記憶(FEM)柵極單元中被剝除，而一層 TiO_x 62、 Si_3N_4 或其他合適的絕緣物質以化學蒸氣沉澱法(CVD)被沉澱以自該矽氧化物中隔離該鐵電物質。

然後以砷(As)離子植入方式處理裝置區域32以形成一 n^+ 矽源極區域42及一 n^- 矽汲極區域46，此處稱為一第一類型導電通道。雖然以40 keV至70 keV範圍進行植入及 $1 \cdot 10^{15} \text{ cm}^{-2}$ 至 $5 \cdot 10^{15} \text{ cm}^{-2}$ 的劑量範圍是可接受的，在該案例中，適當離子之植入是以大約50 keV能量的砷(As)離子植入為較佳。另外，可採用相同劑量範圍而能量範圍為30 keV至60 keV的磷(P)離子進行植入。無論其中任一案例，該製造步驟所植入之物質在此處均稱為一第一類型摻雜劑。

最後以一矽氧化物層64，即一覆蓋用絕緣層沉澱於該結構的範圍，並將一源極電極66、一柵極電極68與一汲極電極70輾壓成棒並插入，以完成該結構。在96處概括地描繪二電晶體式鐵電記憶細胞。

接著請參考圖9，在98處概括地描繪本發明之結構，就

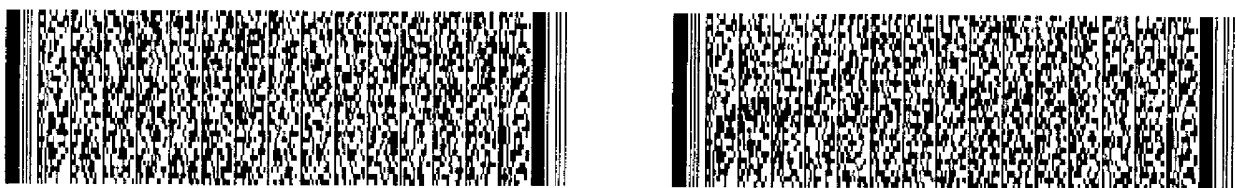


五、發明說明 (19)

如同形成於一SOI(矽頂絕緣體)基板上者，除該基板是由矽氧化物80而非圖8具體實施例中所用之塊狀矽形成以外，該結構大體上包括以相似參考號碼標示的所有相同組件。

圖8及9所描繪的具體實施例代表一C軸配向性鐵電柵極消耗型MIS(金屬-絕緣體-半導體)電晶體結合一傳統MOS(金氧半導體)電晶體。如圖6a所示，當該鐵電物質(FE)被極性化以致下電極介面51處有一正電荷時，該金屬-鐵電物質-矽(MFS)電晶體之門檻電壓可以為負的。當該鐵電物質(FE)被極性化以致下電極介面51處有一負電荷時，該金屬-鐵電物質-矽(MFS)電晶體之門檻電壓非常大(圖6b)。在0柵極電壓下，該MOS(金氧半導體)電晶體不導電。因此，即使該金屬-鐵電物質-矽(MFS)電晶體之門檻電壓為負的，亦無電流流動通過該裝置。

當該柵極電壓等於該作業電壓時，該MOS(金氧半導體)電晶體極具導電性。該裝置電流是由該金屬-鐵電物質-矽(MFS)電晶體中的電流流動控制。當該金屬-鐵電物質-矽(MFS)電晶體處於"0"狀態時，亦即該門檻電壓大於該作業電壓時，無電流流動通過該裝置。為在"0"狀態時維持小量漏電，在下電極50之任一邊與該 n^- 源極及 n^- 汲極區域的任一邊之間的距離，以"D"表示，必須至少為50 nm。然而，如D增加，則該記憶細胞之串聯電阻亦增加。因此較佳的是，D小於300 nm。當該金屬-鐵電物質-矽(MFS)電晶體處於"1"狀態時，亦即該門檻電壓極小時，或具有一負



五、發明說明 (20)

值時，該MOS(金氧半導體)電晶體及該金屬-鐵電物質-矽(MFS)電晶體兩者均具導電性。因此，大電流可流動通過該裝置。即使該金屬-鐵電物質-矽(MFS)電晶體之"1"狀態門檻電壓為負值，此舉亦使該裝置得以使用於大尺寸記憶體陣列。

圖8及9所示鐵電記憶(FEM)柵極單元48的門檻電壓可如下決定：對於大尺寸陣列而言，"1"狀態之門檻電壓必須是負或小的正電壓。"0"狀態之門檻電壓必須大於供應電壓3.3 V。

如該 n^- 區域之塗抹密度約為 $1.0 \cdot 10^{16} \text{cm}^{-3}$ ，則一Pt-n矽障礙物的 n^- 區域之空間寬度大約 $0.3 \mu\text{m}$ 。可藉由改變該塗抹密度及該 n^- 通道層厚度與該C軸配向性鐵電物質電容的電容率及殘餘電荷以調整該門檻電壓。

在讀取作業期間會將一小於該矯頑電壓(coercive voltage)，亦即該記憶體內容可藉以改變的電壓 V_a 施加到該柵極電極及該汲極電極。因為當任一電極以 V_a 被偏壓時該記憶細胞內容未遭攪亂，故該讀取作業將不攪亂任何記憶細胞之記憶內容。因此，可獲得長久的電荷記憶。

圖7描繪該金屬鐵電物質金屬氧化矽(MFMOS)場效電晶體(FET)的一般 I_D 對 V_G 圖。圖7a描繪具有高通道塗抹 N_D 之鐵電記憶(FEM)細胞的 I_D 對 V_G 特性。中心線(L2)是當該鐵電記憶(FEM)柵極單元未充電時的 I_D 對 V_G 曲線。當以程式將該鐵電記憶(FEM)細胞設為"1"狀態(L1)時，該鐵電記憶(FEM)細胞之門檻電壓是負的。當以程式將該鐵電記憶(FEM)細胞



五、發明說明 (21)

設為"0"狀態(L3)時，該鐵電記憶(FEM)細胞之門檻電壓是正的。因此，即使 $V_G = \Phi V$ ，大的汲極電流亦可流動通過該通道區域。該一裝置獨自不適於大尺寸陣列應用。

圖7b描繪本發明之裝置的 I_D 對 V_G 特性。L2描繪當該鐵電記憶(FEM)柵極單元未充電時的 I_D 對 V_G 曲線。當以程式將該鐵電記憶(FEM)細胞設為"1"狀態(L1)時，該鐵電記憶(FEM)細胞之門檻電壓是負的。當以程式將該鐵電記憶(FEM)細胞設為"0"狀態(L3)時，該鐵電記憶(FEM)細胞之門檻電壓是正的。當以程式將該MOS(金氧半導體)電晶體設為"1"狀態時，虛線L4處之MOS(金氧半導體)電晶體的門檻電壓將該裝置之門檻電壓限制為小的正值。當該柵極是處於地電位時，任何電流均不可流動通過該裝置。該等裝置之大尺寸記憶體陣列將有極小的待命漏失電流，且將不需要經常更新。

接著請參考圖10，即將說明具有一淺結層的鐵電記憶(FEM)細胞之製造。在80處描繪有一矽基板。在較佳具體實施例中，基板80是一單晶基板，且由塊狀矽所形成。在其他具體實施例中可由SOI(矽頂絕緣體)所形成。以一塊狀CMOS(互補式金氧半導體)基板為例來解釋製造程序，最初步驟是製造 n^- 井及 p^- 井結構、隔離該等結構並植入適當離子以供調整該等電晶體之門檻電壓。如圖10所示，基板80被蝕刻且該基板的一部分被稍加塗抹以形成一目前有效區域32，又稱裝置區域32，該區域提供理想的背景極性，在該案例中是為一 n^- 區域，此處稱為一第二類型導電通



五、發明說明 (22)

道。目前有效區域32是以由 SiO_2 (二氧化矽)形成之絕緣區域34、36為界。具有本專業技藝的人皆十分清楚，眾多該等區域是形成於一矽晶圓表面上。對於本發明之鐵電記憶(FEM)柵極單元而言，該等記憶細胞是排列成一垂直方格以形成一記憶體陣列，如圖5所示。

光阻蝕刻劑被用以罩住該晶圓的區段。接著，在能量為30 keV至120 keV，劑量為 $1.0 \times 10^{12} \text{cm}^{-2}$ 至 $5.0 \times 10^{13} \text{cm}^{-2}$ 下，此處亦稱為一第二類型摻雜劑之磷(P)離子被植入於欲用以製造該鐵電記憶(FEM)柵極單元的 p^- 井處。為在該 n^- 層中獲得最佳施主分佈，可能需要多重植入步驟及/或熱擴散。該光阻蝕刻劑被剝除。該植入的 n^- 型矽層亦可用一厚度為100 nm至1000 nm之選擇性外延生長矽(epitaxial growth of silicon)取代。

在48處顯示一般鐵電記憶(FEM)柵極單元且包括下電極50、C軸配向性鐵電(FE)物質52及上電極54。鐵電記憶(FEM)柵極單元48的製造開始是將下電極50沉澱於目前有效區域32之上。下電極50可按前述方式形成。在較佳具體實施例中，該金屬的厚度是20 nm至100 nm。

最終，一 p^- 層102將形成於鐵電記憶(FEM)柵極單元48與一柵極結區域44之間。該 p^- 層可藉由將此處稱為一第六類型摻雜劑的B(硼)或 BF_2 (二氟化硼)離子植入於一第二類型導電通道表面，或植入下電極50而形成。硼(B)離子可在3 keV至80 keV的能量下植入，而 BF_2 (二氟化硼)離子是在15 keV至50 keV之能量等級下植入。該兩例中的離子濃度均



五、發明說明 (23)

在 $1 \cdot 10^{11} \text{ cm}^{-2}$ 至 $1 \cdot 10^{13} \text{ cm}^{-2}$ 範圍內。在稍後說明於此的退火步驟期間，該等植入的離子將擴散進入一 n^- 柵極結區域以形成一 p^- 井，此處稱為一第六類型導電通道。

接著，以化學蒸氣沉澱法(CVD)將該C軸配向性 $\text{Pb}_5\text{Ge}_3\text{O}_{11}$ 鐵電(FE)物質沉澱，厚度為50 nm至400 nm。

然後上電極54形成於該鐵電(FE)物質之上。該上電極可用相同於該下電極的物質形成，厚度為20 nm至200 nm。

光阻蝕刻劑被塗抹於該鐵電記憶(FEM)柵極單元之上，然後該記憶細胞被蝕刻成適當架構及大小。值得欣賞的是，該三層鐵電記憶(FEM)柵極單元不必如圖所示準確對齊，因為其形狀可藉由塗抹一光阻蝕刻劑並以不同幾何圖形罩遮進行蝕刻而形成。然而，為簡化起見，故該鐵電記憶(FEM)柵極單元被描繪成具有連續性對齊的側壁結構。

為保護該鐵電記憶(FEM)柵極單元而以化學蒸氣沉澱法(CVD)形成一層 TiO_x 、 Si_3N_4 或其他合適的障礙絕緣物質62。該障礙絕緣物質被蝕刻以形成該柵極電極之側壁絕緣體。

可發現目前有效區域32已修改成一源極區域42及一汲極區域46。該等區域之形成是將此處亦稱為一第一類型摻雜劑的適當離子植入目前有效區域32之其餘區域以形成二 n^- 層，此處亦稱為一第一類型導電通道，其用途在於當作源極區域42及汲極區域46。雖然以40 keV至70 keV範圍進行植入是可接受的，在該案例中，適當離子之植入是以大約50 keV能量與 $1 \cdot 10^{15} \text{ cm}^{-2}$ 至 $5 \cdot 10^{15} \text{ cm}^{-2}$ 的劑量範圍之砷(As)



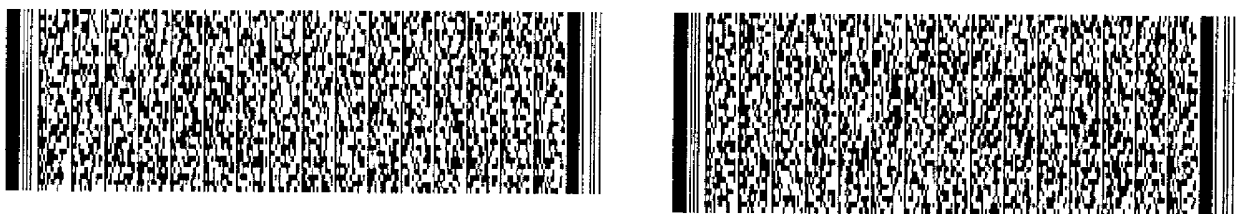
五、發明說明 (24)

離子植入為較佳。另外，可採用相同劑量範圍而能量範圍為30 keV至60 keV的磷(P)離子進行植入。在44處描繪有一柵極區域。

接著，以熱處理該晶圓以活化並擴散該源極區域與汲極區域和該下電極中之該等植入的離子。植入於下電極50之離子的擴散結果在鐵電記憶(FEM)柵極單元48之下形成一淺結102，此處稱為一第六類型導電通道。該熱處理之溫度範圍是在500°C至1100°C範圍內，以允許該等植入的離子得以鈍化及擴散。然後以化學蒸氣沉澱法(CVD)在該結構上形成一SiO₂(二氧化矽)層64，或施以其他合適之鈍化絕緣。鐵電記憶(FEM)柵極單元48被描繪成鐵電記憶(FEM)細胞100的一部分，該鐵電記憶(FEM)細胞100包括鐵電記憶(FEM)柵極單元48及其下之源極、通道與汲極區域，該具體實施例包括一淺薄結區域102，該結區域102為一p⁻層，形成於鐵電記憶(FEM)柵極單元48之下。

為完成對於鐵電記憶(FEM)細胞100的說明，硼(B)形成於氧化物層64中以接收一源極電極66、一柵極電極68及一汲極電極70，皆分別連接其個別組件。

圖10所示具體實施例代表一C軸配向性鐵電柵極消耗型MIS(金屬-絕緣體-半導體)電晶體。在0柵極電壓下，該鐵電記憶(FEM)柵極單元之下的n-通道中，電荷完全消耗殆盡。因此，漏失電流非常小。為維持小量漏電，在下電極50之任一邊與該n⁻源極或n⁻汲極區域的邊之間的距離，以"D"表示，必須至少為50 nm以使該漏失電流維持小量。然



五、發明說明 (25)

而，如D增加，則該記憶細胞之串聯電阻亦增加。因此較佳的是，D小於300 nm。該柵極漏失電流是取決於該p⁻型矽淺結102及該白金(Pt)或銱(Ir)至C軸配向性鐵電物質之接點。該漏失電流等於從極小至中等電場強度的柵極電流。該白金(Pt)與n⁻型矽之間的電位障礙是0.9 eV(電子伏特)。該第四類型p⁻導電層102與該第二類型n⁻導電層44之間的電位障礙亦在0.9 eV(電子伏特)等級。如該C軸配向性鐵電物質未被極性化，則該種大小的電位障礙會導致該n⁻型矽通道完全耗盡。如利用該下電極介面51處之正電荷將該C軸配向性鐵電物質極性化，則該門檻電壓是小的。如利用該下電極介面51處之負電荷將該C軸配向性鐵電物質極性化，則該記憶電晶體的門檻電壓非常大。稍後將討論該等記憶體電荷之特質及用於改變該等記憶細胞程式設計所需的電壓量之技術。

植入的B(硼)或BF₂(二氟化硼)離子之擴散進入該柵極結區域受到控制以在淺結層102的任一邊與該等源極及汲極區域之間維持一距離"C"。在較佳具體實施例中，"C"是大約介於0 nm與300 nm之間。該淺結結構是用以在柵極區域44與該導電通道之間提供可靠的電位障礙以獲得低漏失電流，並提供有效率之本發明的鐵電記憶細胞交換機制。

另外，如該C軸配向性鐵電物質無法忍受高溫熱處理，則可在該下柵極電極沉澱之前完成該源極/汲極離子的植入及退火。

按照本發明製造的結構特別有效率，因為位於該柵極區



五、發明說明 (26)

域之導電通道上的鐵電記憶(FEM)柵極單元有能力變換該柵極區域之極性，允許電流得以有效率的從該源極流動通過該通道而到達該汲極。該結構在"off"狀態時提供近乎完全的電荷消耗。消耗型裝置之作業理論類似於一結場效電晶體(FET)的作业理論。

按照本發明製造的記憶細胞可放置於一記憶細胞陣列中，以致如圖5所示該等柵極線垂直於該等汲極線。如施加一負電壓 $-V_{p0}$ 到該柵極電極68(程式線)並施加一正電壓 $+V_{p0}$ 到該汲極電極70，且該源極電極66接地，其中 $|V_{p1}| > |V_{p0}|$ ，則會利用下電極介面51處的負電荷將該鐵電物質(FE)極性化。此舉將鐵電記憶(FEM)柵極單元48置於低導電性狀態。(見圖6a)。該寫入程序使得無論一陣列之其他記憶細胞如何，均得以寫入該記憶體陣列中的各記憶電晶體，而不會干擾到該陣列之其他記憶細胞。

為寫入鐵電記憶(FEM)柵極單元48，故以 $+V_{p1}$ 施加到所有柵極電極68，同時該記憶細胞之源極電極66與汲極電極70均處於地電位。此舉使該鐵電物質(FE)52極性化，以致下電極介面51處有一正電荷而上電極介面55處有一正電荷。(見圖6b)。此舉將鐵電記憶(FEM)柵極單元48置於高導電性狀態。

鐵電記憶(FEM)柵極單元48的門檻電壓可如下決定：對於大尺寸陣列而言，"1"狀態之門檻電壓必須是一小的正值，亦即，0.4V至0.8V。"0"狀態下的門檻電壓必須大於供應電壓3.3 V。該p-型基板結及該極淺的p⁻表面層與該



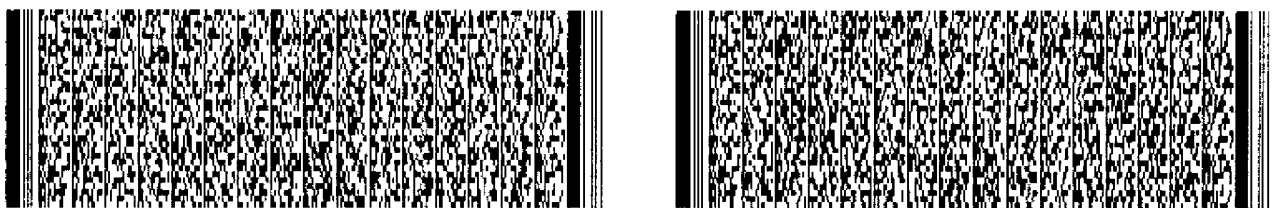
五、發明說明 (27)

柵極偏壓將該 n^- 通道層消耗殆盡。方程式(1)定義該記憶體視窗。

在讀取作業期間會將一小於該矯頑電壓(coercive voltage)，亦即該記憶體內容可藉以改變的電壓 V_a 施加到該柵極電極及該汲極電極。因為當任一電極以 V_a 被偏壓時該記憶細胞內容未遭攪亂，故該讀取作業將不攪亂任何記憶細胞之記憶內容。因此，可獲得長久的電荷記憶。

接著請參考圖11，在110處概括地描繪具有一淺結層的鐵電記憶(FEM)細胞及一側面延伸之 p^- 結。在80處描繪有一矽基板。在該具體實施例中，基板80是一單晶基板，且由塊狀矽所形成。基板80被蝕刻成所示架構，且一部分基板被稍加塗抹以形成一目前有效區域32，又稱裝置區域32，該區域提供理想的背景極性，在該案例中是為一 n^- 區域，此處稱為一第二類型導電通道。目前有效區域32是由 SiO_2 (二氧化矽)形成之絕緣區域34、36為界。具有本專業技藝的人皆十分清楚，眾多該等區域是形成於一矽晶圓表面上。對於本發明之鐵電記憶(FEM)柵極單元而言，該等記憶細胞是排列成一垂直方格以形成一記憶體陣列，如圖5所示。

以一塊狀CMOS(互補式金氧半導體)基板為例來解釋製造程序，最初步驟是製造 n^- 井及 p^- 井結構、隔離該等結構並植入適當離子以供調整該等電晶體之門檻電壓。在該具體實施例中，基板80已被製成 p^- 矽，或稱一 p^- 井。光阻蝕刻劑被用以罩住該晶圓的區段。接著，在能量為30 keV至



五、發明說明 (28)

120 keV，劑量為 $1.0 \times 10^{12} \text{cm}^{-2}$ 至 $5.0 \times 10^{13} \text{cm}^{-2}$ 下，此處亦稱為一第二類型摻雜劑之磷(P)離子被植入於欲用以製造該鐵電記憶(FEM)柵極單元的 p^- 井處，藉以形成第二類型導電通道，亦即 n^- 型導電通道。為在該 n^- 層中獲得最佳施主分佈，可能需要多重植入步驟及/或熱擴散。該光阻蝕刻劑被剝除。該植入的 n^- 型矽層(32)亦可用一厚度為100 nm至1000 nm之選擇性外延生長矽(epitaxial growth of silicon)取代。

接著，一 p^- 層112形成於目前有效區域32上。該 p^- 層可藉由將此處稱為一第六類型摻雜劑的B(硼)或 BF_2 (二氟化硼)離子植入於目前有效區域32上而形成。硼(B)離子可在3 keV至80 keV的能量下植入，而 BF_2 (二氟化硼)離子是在15 keV至50 keV之能量等級下植入。該兩例中的離子濃度均在 $5 \cdot 10^{11} \text{cm}^{-2}$ 至 $1 \cdot 10^{13} \text{cm}^{-2}$ 範圍內。該等離子均藉由退火而加熱活化。該等植入的離子將擴散進入該 n^- 目前有效區域以形成一 p^- 層，此處稱為一第六類型導電通道。退火是在 500°C 至 1100°C 溫度範圍內發生。

此時，該鐵電記憶(FEM)柵極單元可開始形成。在48處顯示一般鐵電記憶(FEM)柵極單元且包括一下電極50、一C軸配向性鐵電(FE)物質52及一上電極54。鐵電記憶(FEM)柵極單元48的製造開始是將該下電極沉澱於 p^- 層112之上。下電極50可按前述方式形成。亦可使用其他合適的導電性障礙層物質。在較佳具體實施例中，該電極50的厚度是20 nm至100 nm。



五、發明說明 (29)

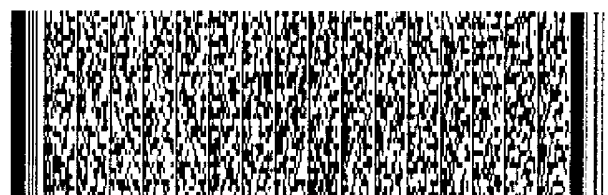
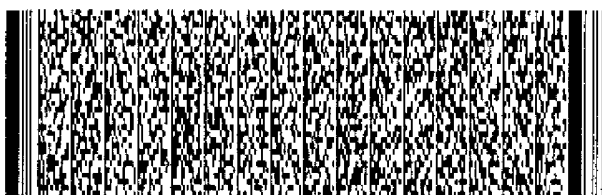
接著，以化學蒸氣沉澱法(CVD)將該鐵電(FE)物質沉澱。該鐵電(FE)物質是C軸配向性 $Pb_5Ge_3O_{11}$ 。鐵電(FE)物質52被沉澱成厚度為100 nm至400 nm。

然後上電極54形成於該鐵電(FE)物質之上。該上電極可用相同於該下電極的物質形成，厚度為20 nm至200 nm。

光阻蝕刻劑被塗抹於該鐵電記憶(FEM)柵極單元之上，然後該記憶細胞被蝕刻成適當架構及大小。值得欣賞的是，該三層鐵電記憶(FEM)柵極單元不必如圖所示準確對齊，因為其形狀可藉由塗抹一光阻蝕刻劑並以不同幾何圖形罩遮進行蝕刻而形成。然而，為簡化起見，故該鐵電記憶(FEM)柵極單元被描繪成具有連續性對齊的側壁結構。

為保護該鐵電記憶(FEM)柵極單元而以化學蒸氣沉澱法(CVD)形成一層 TiO_x 62或其他合適的障礙絕緣物質。該 TiO_x 被蝕刻以形成該柵極電極之側壁絕緣體。

目前有效區域32被修改以形成一源極區域42、一柵極區域44及一汲極區域46。該等區域之形成是將一光阻蝕刻劑塗抹過目前有效區域32以罩住最終屬於柵極區域44的地區，並將此處亦稱為一第一類型摻雜劑之適當離子植入目前有效區域32的其餘區域以形成二 n^+ 層，此處亦稱為一第一類型導電通道，其用途在於當作源極區域42及汲極區域46。雖然以40 keV至70 keV範圍進行植入是可接受的，在該案例中，適當離子之植入是以大約50 keV能量與 $1 \cdot 10^{15} \text{ cm}^{-2}$ 至 $5 \cdot 10^{15} \text{ cm}^{-2}$ 的劑量範圍之砷(As)離子植入為較佳。另外，可採用相同劑量範圍而能量範圍為30 keV至60 keV的



五、發明說明 (30)

磷(P)離子進行植入。

該晶圓被加以熱處理以活化並擴散該源極區域與汲極區域和該下電極中之該等植入的離子。植入於層112之第六類型摻雜劑B(硼)或 BF_2 (二氟化硼)離子的擴散結果在鐵電記憶(FEM)柵極單元48之下形成一淺 p^- 結，此處稱為一第六類型導電通道。該熱處理之溫度範圍是在 500°C 至 1100°C 範圍內，以允許該等植入的離子得以鈍化及擴散。一 TiO_x 側壁62形成於鐵電記憶(FEM)柵極單元48周圍。然後以化學蒸氣沉澱法(CVD)在該結構上形成一 SiO_2 (二氧化矽)層64，或施以其他合適之鈍化絕緣。

鐵電記憶(FEM)柵極單元48被描繪成鐵電記憶(FEM)細胞110的一部分，該鐵電記憶(FEM)細胞110包括鐵電記憶(FEM)柵極單元48及其下之源極、通道與汲極區域，該具體實施例包括一淺薄結區域112，該結區域112為一 p^- 層，形成於鐵電記憶(FEM)柵極單元48之下。

為完成對於鐵電記憶(FEM)細胞110的說明，硼(B)形成於氧化物層64中以接收一源極電極66、一柵極電極68及一汲極電極70，皆分別連接其個別組件。圖中可見汲極電極70連接至汲極區域46及 p^- 結112。

圖11所示具體實施例代表一C軸配向性鐵電柵極消耗型MIS(金屬-絕緣體-半導體)電晶體。在0柵極電壓下，該鐵電記憶(FEM)柵極單元之下的 n^- 通道中，電荷完全消耗殆盡。因此，漏失電流非常小。為維持小量漏電，在下電極50之任一邊與該 n^- 源極或 n^- 汲極區域的邊之間的距離，以



五、發明說明 (31)

"D" 表示，必須至少為 50 nm 以使該漏失電流維持小量。然而，如 D 增加，則該記憶細胞之串聯電阻亦增加。因此較佳的是，D 小於 300 nm。該柵極漏失電流是取決於該白金 (Pt) 至 p^- 型矽淺結 112 及該白金 (Pt) 至 C 軸配向性鐵電物質之接點。該漏失電流等於從極小至中等電場強度的柵極電流。該 p^- 層與 n^- 型矽之間的電位障礙是 0.8 eV (電子伏特) 至 1.0 eV (電子伏特)。如該 C 軸配向性鐵電物質未被極性化，或如利用該下電極處之負電荷將該 C 軸配向性鐵電物質極性化，則該種大小的電位障礙會導致該 n^- 型矽通道完全耗盡。如利用該下電極處之正電荷將該 C 軸配向性鐵電物質極性化，則該記憶電晶體之門檻電壓是小的。稍後將討論該等記憶體電荷之特質及用於改變該等記憶細胞程式設計所需的電壓量之技術。

另外，如該 C 軸配向性鐵電物質無法忍受高溫熱處理，則可在該下柵極電極沉澱之前完成該源極/汲極離子的植入及退火。

按照本發明製造的結構特別有效率，因為位於該柵極區域之導電通道上的鐵電記憶 (FEM) 柵極單元有能力變換該柵極區域之極性，允許電流得以有效率的從該源極流動通過該通道而到達該汲極。該結構在 "off" 狀態時提供近乎完全的電荷消耗。在 "on" 狀態時，電流流動通過整個通道區域。

按照本發明製造的記憶細胞可放置於一記憶細胞陣列中，以致如圖 5 所示該等柵極線垂直於該等汲極線。為寫



五、發明說明 (32)

入鐵電記憶(FEM)柵極單元48，故以 $+V_{p1}$ 施加到所有柵極電極，同時該記憶細胞之源極與汲極電極均處於地電位。此舉使該鐵電物質(FE)52極性化，以致下電極50處有一正電荷而上電極54處有一負電荷。(見圖6a)。此舉將鐵電記憶(FEM)柵極單元48置於高導電性狀態。

如施加一負電壓 $-V_{p0}$ 到該柵極電極(程式線)並施加一正電壓 $+V_{p0}$ 到該汲極，且該源極接地，其中 $|V_{p1}| > |V_{p0}|$ ，則該鐵電物質(FE)被極性化以致下電極50處有一負電荷。此舉將鐵電記憶(FEM)柵極單元48置於低導電性狀態。(見圖6b)。該寫入程序使得無論一陣列之其他記憶細胞如何，均得以寫入該記憶體陣列中的各記憶電晶體，而不會干擾到該陣列之其他記憶細胞的程式設計，或被該陣列之其他記憶細胞的程式設計所干擾。

鐵電記憶(FEM)柵極單元48之門檻電壓可如下決定：對於大尺寸陣列而言，"1"狀態下的門檻電壓必須是一正值，亦即，0.4V至0.8V。"0"狀態下的門檻電壓必須大於供應電壓3.3 V。該 p^- 型基板結及該極淺的 p^- 表面層與該柵極偏壓將該 n^- 通道層消耗殆盡。方程式(1)定義該記憶體視窗。

如該 n^- 區域之塗抹密度為 $1.0 \times 10^{16} \text{cm}^{-3}$ ，則一 P^-/n 結的 n^- 區域之空間寬度大約0.3 μm 。明顯地，如該 n^- 通道層的厚度與塗抹是微小的，則該"1"狀態下的門檻電壓可為正值。該塗抹密度及該 n^- 通道層與該 P^- 表面層之厚度兩者、該C軸配向性鐵電物質電容的電容率及殘餘電荷可用以調



五、發明說明 (33)

整該門檻電壓。

在讀取作業期間會將一小於該矯頑電壓(coercive voltage)，亦即該記憶體內容可藉以改變的電壓 V_a 施加到該柵極電極及該汲極電極。因為當任一電極以 V_a 被偏壓時該記憶細胞內容未遭攪亂，故該讀取作業將不攪亂任何記憶細胞之記憶內容。因此，可獲得長久的電荷記憶。

接著請參考圖12，在120處概括地描繪一意欲使用於一極大尺寸積體電路隨機記憶體陣列(VLSI RAM Array)之鐵電記憶(FEM)細胞。如前所述，本發明包括金屬鐵電物質金屬氧化矽(MFMOS)記憶細胞的製造方法，該MFMOS記憶細胞包括位於一MOS(金氧半導體)電容之頂部的一C軸配向性鐵電物質電容，或鐵電記憶(FEM)柵極單元，此處該二裝置合稱一堆疊柵極單元。在本發明一具體實施例中，該MOS(金氧半導體)電容面積大於該C軸配向性鐵電物質電容面積，因而增加該裝置之耦合效率(coupling efficiency)。

另一具體實施例中說明一第二電晶體沿著該堆疊的MOS(金氧半導體)及鐵電物質電容並排形成，並包括將一C軸配向性鐵電物質電容放置於一MOS(金氧半導體)電容頂部，其中該C軸配向性鐵電物質電容與該MOS(金氧半導體)電容具有相同截面積。如圖12所示，該架構終將造成極小的記憶細胞尺寸及比不同大小結構更低的程式設計電壓，亦稱彌補柵極C軸配向性鐵電記憶細胞。

一第三具體實施例包括與鐵電物質電容堆疊在一起的一



五、發明說明 (34)

MOS(金氧半導體)電容，其中兩電容具有相同大小之軌跡。此處MOS(金氧半導體)電晶體及鐵電物質電容的並列是指將該二結構相鄰放置在一起，且包括垂直堆放或相對平放該二結構之架構。

本發明之堆疊的C軸配向性鐵電記憶柵極單元可形成於一矽頂絕緣體(SOI(SIMOX))基板上，或可形成於一塊狀矽基板中，該塊狀矽基板有一 p^- 井形成於其中。如使用塊狀基板，則該基板為 n^- 型或 p^- 型。最初步驟是製造 n^- 井及 p^- 井結構，隔離該等結構並植入適當離子以供調整該等電晶體之門檻電壓。如使用SOI(矽頂絕緣體)基板，則不必形成該 n^- 型或該 p^- 型。

如圖12所示，在80處描繪有一矽基板。在較佳具體實施例中，基板80是一單晶基板，且由塊狀矽所形成。如圖12所示，基板80是由 n^- 矽形成。可藉由將B(硼)或 BF_2 (二氟化硼)離子植入於該基板表面，然後在 $950^\circ C$ 至 $1200^\circ C$ 溫度範圍內進行一到四小時的熱擴散步驟以形成一 p^- 井122、一第四類型導電通道。硼(B)離子可在3 keV至80 keV的能量下植入，而 BF_2 (二氟化硼)離子是在15 keV至50 keV之能量等級下植入。該兩例中的離子劑量均在 $1 \cdot 10^{12} cm^{-2}$ 至 $1 \cdot 10^{14} cm^{-2}$ 範圍內。

一層氧化物124形成於 p^- 井122上，且以由 SiO_2 (二氧化矽)形成之絕緣區域34、36為界。具有本專業技藝的人皆十分清楚，眾多該等區域是形成於一矽晶圓表面上。對於本發明之結構而言，該等記憶細胞是排列成一垂直柵極方



五、發明說明 (35)

格以汲極一記憶體陣列及一垂直 p^- 井方格以形成一記憶體陣列。額外的層依序沉澱於其上，且包括一可有可無之 n^- 聚合矽層126、一下電極50、一鐵電物質(FE)層52及一上電極54，後面諸元件形成鐵電記憶(FEM)極單元48。

塗抹光阻蝕刻劑且將該結構加以蝕刻，以允許製造一MOS(金氧半導體)電容128及一鐵電記憶(FEM)柵極單元或電容48，形成於一堆疊的柵極單元130中。此時，為保護該C軸配向性鐵電物質，可加上一層絕緣物質，例如 TiO_x 62或其他合適的絕緣物質。然後塗抹光阻蝕刻劑以保護該 p^- 通道結構，並植入 n^- 離子以形成一 n^- 源極區域42與 n^- 汲極區域46。其餘 p^- 物質提供一柵極通道44。

最後結構包括一絕緣層62、一源極電極66、一柵極電極68及一汲極電極70。

該特定具體實施例提供極小的記憶細胞尺寸。該裝置特別適用於VLSI(極大尺寸積體電路)記憶體應用。

接著請參考圖13，在140處描繪一具有不均勻的鐵電極性之單電晶體鐵電記憶(FEM)細胞。在80處描繪一矽基板。在較佳具體實施例中，基板80是一單晶基板，且由塊狀矽所形成。在其他具體實施例中可由SOI(矽頂絕緣體)所形成。如圖13所示，該 p^- 井80具有第四類型摻雜劑，即濃度為大約 $1.0 \cdot 10^{15} \text{cm}^{-3}$ 至 $5.0 \cdot 10^{16} \text{cm}^{-3}$ 之硼(B)或硼化合物。

然後此處亦稱為第二類型導電通道而具有第二類型摻雜劑的一淺 n^- 型層142藉由植入磷(P)或砷(As)而形成於該柵



五、發明說明 (36)

極區域之下。該離子能量是在10 keV至50 keV範圍內而其劑量是在 $1.0 \cdot 10^{12} \text{cm}^{-2}$ 至 $1.0 \cdot 10^{13} \text{cm}^{-2}$ 範圍內。

形成具有第六類型摻雜劑之極淺的 p^- 型矽層144，且連同 BF_2 (二氟化硼)被植入於該 n^- 型第二導電層頂部。該 BF_2 (二氟化硼)能量是在10 keV至40 keV範圍內而其劑量範圍是在 $5.0 \cdot 10^{11} \text{cm}^{-2}$ 至 $5.0 \cdot 10^{12} \text{cm}^{-2}$ 之間。此處該層稱為第六類型導電通道。

此時，該鐵電記憶(FEM)柵極單元可開始形成。在48處顯示一般鐵電記憶(FEM)柵極單元且包括一下電極50、C軸配向性鐵電(FE)物質52及一上電極54。鐵電記憶(FEM)柵極單元48的製造開始是將該下電極50沉澱於 p^- 層144之上。下電極50可按前述方式形成。在較佳具體實施例中，該金屬的厚度是20 nm至100 nm。該C軸配向性鐵電(FE)物質52被沉澱成50 nm至400 nm厚度。然後上電極54形成於該鐵電(FE)物質之上。該上電極可按前述方式形成-20 nm至200 nm的厚度。

光阻蝕刻劑被塗抹於該鐵電記憶(FEM)柵極單元之上，然後該記憶細胞被蝕刻成適當架構及大小。值得欣賞的是，該三層鐵電記憶(FEM)柵極單元不必如圖所示準確對齊，因為其形狀可藉由塗抹一光阻蝕刻劑並以不同幾何圖形罩遮進行蝕刻而形成。然而，為簡化起見，故該鐵電記憶(FEM)柵極單元被描繪成具有連續性對齊的側壁結構。

接著藉由植入此處亦稱為一第一類型摻雜劑的適當離子以修改該 p^- 基板80以形成二 n^+ 層；此處亦稱為一第一類型



五、發明說明 (37)

導電通道，其用途在於當作源極區域42及汲極區域46。雖然以40 keV至70 keV範圍進行植入是可接受的，在該案例中，適當離子之植入是以大約50 keV能量與 $1 \cdot 10^{15} \text{ cm}^{-2}$ 至 $5 \cdot 10^{15} \text{ cm}^{-2}$ 的劑量範圍之砷(As)離子植入為較佳。另外，可採用相同劑量範圍而能量範圍為30 keV至60 keV的磷(P)離子進行植入。

該晶圓被加以熱處理以活化並擴散該源極區域與汲極區域中之該等植入的離子。該熱處理之溫度範圍是在 500°C 至 1100°C 範圍內，以允許該等植入的離子得以活化及擴散。

為保護該鐵電記憶(FEM)柵極單元而以化學蒸氣沉澱法(CVD)形成一層 TiO_x 、 Si_3N_4 或其他合適的障礙絕緣物質62，結果形成一鐵電記憶細胞140。

為完成對於鐵電記憶(FEM)細胞140的說明，硼(B)形成於絕緣層62中以接收一字線(WL)(柵極)電極68及一位元線(BL)電極70，皆分別連接其個別組件。源極44連接至地端66。

圖13所示具體實施例代表一C軸配向性鐵電柵極消耗型MFMS(金屬-鐵電物質-金屬-矽)電晶體。在0柵極電壓下，該鐵電記憶(FEM)柵極單元之下的 n^- 通道中，電荷完全消耗殆盡。因此，漏失電流非常小。為維持小量漏電，在下電極50之任一邊與 n^- 源極區域42及 n^+ 汲極區域46的邊之間的距離，以"D"表示，必須至少為50 nm以使該漏失電流維持小量。然而，如D增加，則該記憶細胞之串聯電阻亦增



五、發明說明 (38)

加。因此較佳的是， D 小於 300 nm 。該第六類型 p^- 導電層 144 與該第二類型 n^- 型導電層 142 之間的電位障礙是 0.9 eV (電子伏特) 等級。如該 C 軸配向性鐵電物質未被極性化，則該種大小的電位障礙會導致該 n^- 型矽通道完全耗盡。如利用相鄰於下電極 50 之正電荷將該 C 軸配向性鐵電物質 52 極性化，則該門檻電壓是小的。如利用相鄰於下電極 50 之負電荷將該 C 軸配向性鐵電物質 52 極性化，則該記憶電晶體的門檻電壓非常大。稍後將討論該等記憶體電荷之特質及用於改變該等記憶細胞程式設計所需的電壓量之技術。

另外，如該 C 軸配向性鐵電物質無法忍受高溫熱處理，則可在該下柵極電極沉澱之前完成該源極/汲極離子的植入及退火。

按照本發明製造的結構特別有效率，因為位於該柵極區域之導電通道上的鐵電記憶 (FEM) 柵極單元有能力變換該柵極區域之極性，允許電流得以有效率的從該源極流動通過該通道而到達該汲極。該結構在 "off" 狀態時提供近乎完全的電荷消耗。消耗型裝置之作業理論類似於一結場效電晶體 (FET) 的作业理論。

該 C 軸配向性鐵電記憶裝置可使用於低壓、高密度及高速應用中。如圖 5 所示，該等記憶細胞是配置於該基板上。該記憶體陣列是藉由施加一正電壓 V_{pp} 到具有接地的位元線之字線 (柵極) 上以便予以分批程式設計成 "1" (高導電性) 狀態。為將各個別記憶細胞以程式設計成一 "0" (低導



五、發明說明 (39)

電性) 狀態，故施加一負的程式設計電壓 $-V_{pp}$ 到該字線上，同時施加一正的程式設計電壓 V_{pp} 到該位元線上。此舉之結果是，僅有一記憶細胞在該柵極處具有 $-V_{pp}$ 偏壓而在該汲極處具有 $+V_{pp}$ 偏壓。在整個陣列中僅該記憶細胞會被寫成"0"狀態。

在許多電極組合中可觀察到減輕型不均勻極性。另外，亦可在任何C軸配向性鐵電薄膜及任一種C軸配向性鐵電柵極結構中觀察到。用以減輕不均勻極性之機制是既複雜又容易受處理條件影響的。在本發明之較佳具體實施例中，此事的先決條件是必須使用減輕不均勻極性之技術以製造由該C軸配向性鐵電柵極所控制的一電晶體式記憶細胞。

鐵電記憶(FEM)柵極單元48的門檻電壓可如下決定：對於大尺寸陣列而言，"1"狀態之門檻電壓必須是一小的正值，亦即，0.4V至0.8V。"0"狀態下的門檻電壓必須大於供應電壓3.3 V。該p⁻型基板結及該極淺的p⁻表面層與該柵極偏壓將該n⁻通道層消耗殆盡。方程式(1)定義該記憶體視窗。

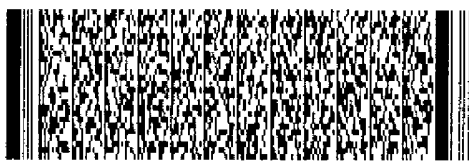
在讀取作業期間會將一小於該矯頑電壓(coercive voltage)，亦即該記憶體內容可藉以改變的電壓 V_a 施加到該柵極電極及該汲極電極。因為當任一電極以 V_a 被偏壓時該記憶細胞內容未遭攪亂，故該讀取作業將不攪亂任何記憶細胞之記憶內容。因此，可獲得長久的電荷記憶。

因此，目前已揭示一鐵電記憶(FEM)細胞和其製造方法、及其各自的一些變化版本。該鐵電記憶(FEM)柵極單



五、發明說明 (40)

元可製造成一單一電晶體裝置，或可與相關之MOS(金氧半導體)電晶體一起製造。雖然已揭示本發明的一些具體實施例，值得欣賞的是，可進一步改變該架構及方法而不脫離定義於如下申請專利範圍之本發明範圍。



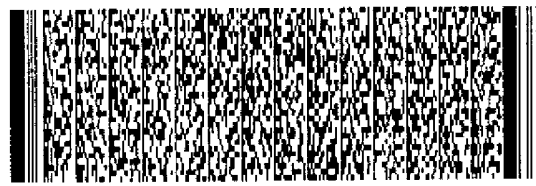
四、中文發明摘要 (發明之名稱：C軸配向性薄膜鐵電晶體記憶胞及其製造方法)

一種形成該C軸鐵電記憶細胞半導體結構的方法，其包括在一單晶矽基板上形成一含有一鐵電記憶(FEM)柵極單元之半導體結構；形成一第一類型導電通道以用於當作一源極結區域及一汲極結區域；形成一第二類型導電通道以當作該源極結區域與汲極結區域之間的柵極結區域；在該柵極結區域上沉澱一鐵電記憶(FEM)柵極單元，包括沉澱一下電極、一C軸配向性 $Pb_5Ge_3O_{11}$ 鐵電物質(FE)層及一上電極，其中該鐵電記憶(FEM)柵極單元在該柵極結區域上被調整大小以使該鐵電記憶(FEM)柵極單元之任一邊離開該源極結區域與該汲極結區域的邊有一段"D"距離，並在該鐵電記憶(FEM)柵極單元周圍沉澱一絕緣結構。

該C軸鐵電記憶細胞半導體之結構包括一矽基板；位於

英文發明摘要 (發明之名稱：C-AXIS ORIENTED THIN FILM FERROELECTRIC TRANSISTOR MEMORY CELL AND METHOD OF MAKING THE SAME)

A method of forming the c-axis FEM cell semi-conductor structure includes forming a semiconductor structure having a ferroelectric memory (FEM) gate unit on a substrate of single crystal silicon; forming a conductive channel of a first type for use as a source junction region and a drain junction region; forming a conductive channel of a second type to act as a gate junction region between the source junction region and drain junction region; depositing an FEM gate unit



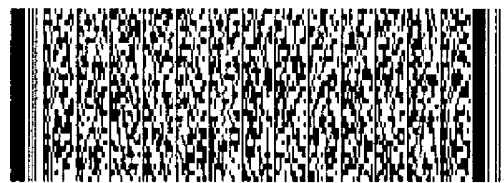
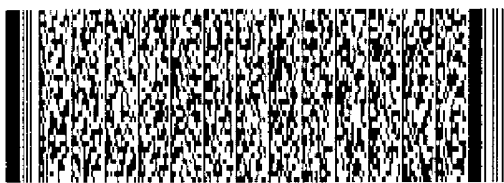
四、中文發明摘要 (發明之名稱：C軸配向性薄膜鐵電晶體記憶胞及其製造方法)

於該基板中的一源極結區域及一汲極結區域；位於該源極結區域與該汲極結區域之間的一柵極結區域；包括一下電極、一C軸配向性 $Pb_5Ge_3O_{11}$ 鐵電物質(FE)層及一上電極的一鐵電記憶(FEM)柵極單元；其中該鐵電記憶(FEM)柵極單元在該柵極結區域上被調整大小以使該鐵電記憶(FEM)柵極單元之任一邊離開該源極結區域與該汲極結區域的邊有一段"D"距離；一絕緣層，具有一上表面且重疊於該等結區域、該鐵電記憶(FEM)柵極單元及該基板之上；與源極、汲極及柵極電極。

英文發明摘要 (發明之名稱：C-AXIS ORIENTED THIN FILM FERROELECTRIC TRANSISTOR MEMORY CELL AND METHOD OF MAKING THE SAME)

over the gate junction region, including depositing a lower electrode, a c-axis oriented $Pb_5Ge_3O_{11}$ FE layer and an upper electrode, wherein the FEM gate unit is sized on the gate junction region such that any edge of the FEM gate unit is a distance "D" from the edges of the source junction region and the drain junction region, and depositing an insulating structure about the FEM gate unit.

The structure of the c-axis FEM cell



41615^o

四、中文發明摘要 (發明之名稱：C軸配向性薄膜鐵電晶體記憶胞及其製造方法)

英文發明摘要 (發明之名稱：C-AXIS ORIENTED THIN FILM FERROELECTRIC TRANSISTOR MEMORY CELL AND METHOD OF MAKING THE SAME)

semiconductor includes a silicon substrate; a source junction region and a drain junction region located in the substrate; a gate junction region located between the source junction region and the drain junction region; a FEM gate unit including a lower electrode, a c-axis oriented $Pb_5Ge_3O_{11}$ FE layer and an upper electrode; wherein the FEM gate unit is sized on the gate junction region such that any edge of said FEM gate unit is a distance "D" from the edges of the source junction region

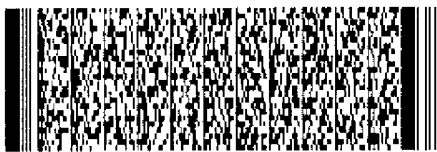


416152

四、中文發明摘要 (發明之名稱：C軸配向性薄膜鐵電晶體記憶胞及其製造方法)

英文發明摘要 (發明之名稱：C-AXIS ORIENTED THIN FILM FERROELECTRIC TRANSISTOR MEMORY CELL AND METHOD OF MAKING THE SAME)

and the drain junction region; an insulating layer, having an upper surface, overlying the junction regions, the FEM gate unit and the substrate; and source, drain and gate electrodes.



六、申請專利範圍

1. 一種在一單晶矽基板上形成一含有一鐵電記憶(FEM)柵極單元之半導體結構的方法，其包括：

形成該鐵電記憶(FEM)柵極單元的一矽裝置區域；

在該矽裝置區域內植入一第一類型摻雜劑以形成一第一類型導電通道以用於當作一源極結區域及一汲極結區域；

形成一第二類型導電通道以用於該矽裝置區域上的鐵電記憶(FEM)柵極單元中當作該源極結區域與汲極結區域之間的柵極結區域；

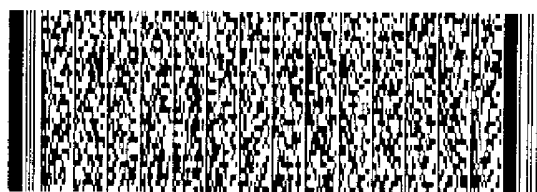
在該柵極結區域上沉澱一鐵電記憶(FEM)柵極單元，包括沉澱一下電極、一C軸配向性 $Pb_5Ge_3O_{11}$ 鐵電物質(FE)層及一上電極，其中該鐵電記憶(FEM)柵極單元在該柵極結區域上被調整大小以使該鐵電記憶(FEM)柵極單元之任一邊離開該源極結區域與該汲極結區域的邊有一段"D"距離，其中"D"是大約介於50nm與300nm之間；及

在該鐵電記憶(FEM)柵極單元周圍沉澱一絕緣結構。

2. 如申請專利範圍第1項的方法，其包括在大約500°C至1100°C溫度下將該結構加以退火(annealing)。

3. 如申請專利範圍第1項的方法，其中該鐵電記憶(FEM)柵極單元之沉澱包括將該下電極沉澱成為厚度大約20nm至100nm、將該鐵電物質層沉澱成為厚度大約100 nm至400 nm與將一上電極沉澱成為厚度大約20 nm至100 nm，其中該下電極及該上電極是由取自於包括Pt(白金)、Ir(銱)、 IrO_2 (二氧化銱)與Pt/Ir合金的群組物質所形成。

4. 如申請專利範圍第1項的方法，其中該一第一類型摻



六、申請專利範圍

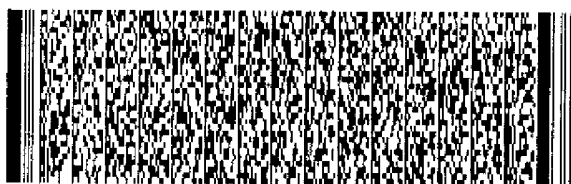
雜劑之植入包括利用取自於由砷(As)及磷(P)所組成的群組之離子來塗抹該裝置區域，該砷(As)是在一大約40 keV至70 keV的能量下植入，該磷(P)是在一大約30 keV至60 keV之能量下植入，該等離子具有大約 $2 \cdot 10^{15} \text{cm}^{-2}$ 至 $5 \cdot 10^{15} \text{cm}^{-2}$ 的劑量。

5. 如申請專利範圍第1項的方法，其中該沉澱一絕緣結構於該鐵電記憶(FEM)柵極單元周圍包括把一層取自於由 TiO_x 及 Si_3N_4 所組成的群組之絕緣物質沉澱於該鐵電記憶(FEM)柵極單元上。

6. 如申請專利範圍第1項的方法，包括在該柵極結區域上形成一導電通道先驅層以形成一第六類型導電通道而其作用在於當作該鐵電記憶(FEM)柵極單元與該柵極區域之間的障礙層，包括在分別為3 keV至10 keV或15 keV至50 keV之能量範圍且劑量為 $5 \cdot 10^{11} \text{cm}^{-2}$ 至 $1 \cdot 10^{13} \text{cm}^{-2}$ 下植入一取自於由B(硼)或 BF_2 (二氟化硼)所組成的群組之摻雜劑以形成該導電通道先驅，並包括在一大約 500°C 至 1100°C 溫度下將該結構加以退火以從該下電極將離子擴散進入該柵極結區域以形成該導電通道先驅。

7. 如申請專利範圍第6項的方法，其中形成該導電通道先驅層以成為該鐵電記憶(FEM)柵極單元之基礎邊界。

8. 如申請專利範圍第1項的方法，其中包括形成一MOS(金氧半導體)電晶體及一形成於一矽基板上之鐵電記憶(FEM)細胞，其中在該基板上的一目前有效區域之形成包括形成一 p^- 井於該基板中，藉以形成一第四類型導電通



六、申請專利範圍

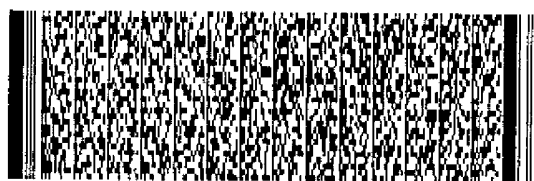
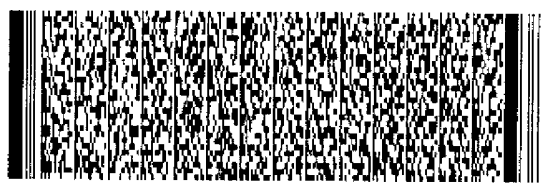
道；其中進而包括在該 p^- 井上製造一MOS(金氧半導體)電晶體；且其中該下電極重疊於至少該第一類型導電通道的一部分；其中該第二類型導電通道之形成包括在分別為3 keV至10 keV或15 keV至50 keV的能量範圍且劑量為 $5 \cdot 10^{11} \text{ cm}^{-2}$ 至 $1 \cdot 10^{13} \text{ cm}^{-2}$ 下將一取自於由砷(As)或磷(P)所組成的群組之摻雜劑植入於該裝置區域，並在溫度大約 500°C 至 1100°C 下將該結構加以退火，以從該第二類型導電通道中將砷(As)或磷(P)離子擴散進入該柵極結區域以形成該第二類型導電通道。

9. 如申請專利範圍第8項的方法，其中該沉澱一絕緣結構於該鐵電記憶(FEM)柵極單元周圍包括把一層取自於由 TiO_x 及 Si_3N_4 所組成的群組之絕緣物質沉澱於該MOS(金氧半導體)電晶體與該鐵電記憶(FEM)柵極單元上。

10. 如申請專利範圍第8項的方法，其中該鐵電記憶(FEM)柵極單元之形成包括將一電晶體絕緣層沉澱於該MOS(金氧半導體)電晶體上及後續在該電晶體絕緣層上製造該鐵電記憶(FEM)柵極單元。

11. 如申請專利範圍第8項的方法，其中該鐵電記憶(FEM)柵極單元之形成包括將一電晶體絕緣層沉澱於該MOS(金氧半導體)電晶體上及後續沿著該電晶體絕緣層製造該鐵電記憶(FEM)柵極單元。

12. 如申請專利範圍第1項的方法，其包括在該柵極結區域中形成一第四類型導電通道，其中該第三類型導電通道在該柵極結區域上被調整大小以使該第三類型導電通道之



六、申請專利範圍

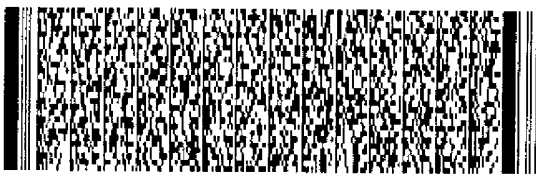
任一邊離開該源極結區域與該汲極結區域的邊有一段"C"距離，其中"C"是大約介於0 nm與300 nm之間。

13. 如申請專利範圍第12項的方法，其中該第六類型導電通道之形成包括在分別為3 keV至10 keV或15 keV至50 keV的能量範圍且劑量為 $5 \cdot 10^{11} \text{ cm}^{-2}$ 至 $1 \cdot 10^{13} \text{ cm}^{-2}$ 下植入一取自於由B(硼)或 BF_2 (二氟化硼)所組成的群組之摻雜劑。

14. 如申請專利範圍第12項的方法，其包括在一大約500 °C至1100 °C溫度下將該結構加以退火以從該下電極將B(硼)或 BF_2 (二氟化硼)離子擴散進入該柵極結區域以形成該第六類型導電通道。

15. 如申請專利範圍第1項的方法，其包括將一第四類型摻雜劑植入於該裝置區域上以形成一第四類型導電層；將該第一類型摻雜劑植入於該矽裝置區域之該柵極結區域的任一邊以形成該第一類型導電通道以用於當作一源極結區域及一汲極結區域，其中該第四類型導電通道延伸進入該汲極結區域；其中該第五類型導電通道之形成包括在分別為3 keV至10 keV或15 keV至50 keV的能量範圍且劑量為 $5 \cdot 10^{11} \text{ cm}^{-2}$ 至 $1 \cdot 10^{13} \text{ cm}^{-2}$ 下將一取自於由B(硼)或 BF_2 (二氟化硼)所組成的群組之摻雜劑植入於該裝置區域並包括在一大約500 °C至1100 °C溫度下將該結構加以退火以從該第四類型導電通道將B(硼)或 BF_2 (二氟化硼)離子擴散進入該柵極結區域以形成該第二類型導電通道。

16. 如申請專利範圍第15項的方法，其尚包括將一矽化



六、申請專利範圍

物層沉澱於該源極結區域及該汲極結區域。

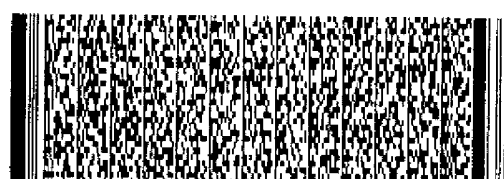
17. 如申請專利範圍第1項的方法，其包括在該第二類型導電通道上形成一MOS(金氧半導體)電容；將該鐵電記憶(FEM)柵極單元沉澱於該MOS(金氧半導體)電容上，藉以形成一堆疊的柵極單元。

18. 如申請專利範圍第17項的方法，其中該MOS(金氧半導體)電容之形成包括形成一具有一預定表面積的MOS(金氧半導體)電容，且其中一鐵電記憶(FEM)柵極單元之沉澱包括將一具有一小於該MOS(金氧半導體)電容表面積的鐵電記憶(FEM)電容予以沉澱。

19. 如申請專利範圍第17項的方法，其中該MOS(金氧半導體)電容之形成包括形成一具有一預定表面積的MOS(金氧半導體)電容，且其中一鐵電記憶(FEM)柵極單元之沉澱包括將一具有一大體上等於該MOS(金氧半導體)電容表面積的鐵電記憶(FEM)電容予以沉澱。

20. 如申請專利範圍第17項的方法，其包括沿著該堆疊之柵極單元形成一第二MOS(金氧半導體)電容。

21. 如申請專利範圍第1項的方法，其包括將一第二類型摻雜劑併入該基板以形成一第二類型導電基板；將一第四類型摻雜劑植入該第二類型導電基板以形成一第四類型導電通道；其中一第一類型摻雜劑之植入包括在10 keV至50 keV的能量等級範圍內及在 $5.0 \cdot 10^{12} \text{ cm}^{-2}$ 至 $5.0 \cdot 10^{13} \text{ cm}^{-2}$ 之劑量範圍內植入一取自於由磷(P)及砷(As)所組成的群組之摻雜劑；與將一第二類型摻雜劑植入該第一類型導電



六、申請專利範圍

通道以形成一第二類型導電通道以用於當作一柵極結區域；及將一第一類型摻雜劑植入該柵極結區域的任一邊以形成一多元第一類型導電通道以用於當作一源極結區域與一汲極結區域。

22. 一種鐵電記憶(FEM)細胞，其包括：

一包括一有效區域的單晶矽基板；

一位於該有效區域中的源極結區域及汲極結區域，其中塗以一第一類型摻雜劑以形成一對第一類型導電通道；

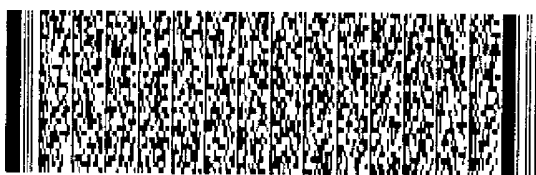
一位於該有效區域中源極結區域與汲極結區域之間的柵極結區域，經塗抹以形成一第二類型導電通道；

包含一下電極、一C軸配向性 $Pb_5Ge_3O_{11}$ 鐵電物質(FE)層及一上電極的一鐵電記憶(FEM)柵極單元；其中該鐵電記憶(FEM)柵極單元在該柵極結區域上被調整大小以使該鐵電記憶(FEM)柵極單元之任一邊離開該源極結區域與該汲極結區域的邊有一段"D"距離，其中"D"是大約介於50nm與300nm之間；

一絕緣層，具有一上表面且重疊於該等結區域、該鐵電記憶(FEM)柵極單元及該基板之上；

一源極電極及一汲極電極，各位於該絕緣層之上表面並延伸通過該表面以使電路接觸其個別結區域，與一柵極電極，位於該絕緣層之上表面並延伸通過該表面以使電路接觸該鐵電記憶(FEM)柵極單元之上電極。

23. 如申請專利範圍第22項的鐵電記憶(FEM)細胞，其中包括一位於該柵極結區域上之導電通道先驅區域；其中該



六、申請專利範圍

導電通道先驅中包括白金(Pt)離子，在溫度大約500 °C至1100 °C下將該結構加以退火的期間，該等白金(Pt)離子從該鐵電記憶(FEM)柵極單元之下電極中擴散。

24. 如申請專利範圍第22項的鐵電記憶(FEM)細胞，其中包括一位於該柵極結區域上之導電通道先驅區域；其中該導電通道先驅包括植入於其中的離子，而其中該等離子是取自於由B(硼)與BF₂(二氟化硼)所組成之群組，在分別為3 keV至10 keV及15 keV至50 keV的能量範圍且劑量為5 · 10¹¹ cm⁻²至1 · 10¹³ cm⁻²下植入。

25. 如申請專利範圍第22項的鐵電記憶(FEM)細胞，其中該下電極具有大約20 nm至100 nm之厚度，該鐵電物質(FE)層具有大約100 nm至400 nm的厚度，而該上電極具有大約20 nm至100 nm之厚度，其中該下電極與該上電極是由取自於包括Pt(白金)、Ir(銱)、IrO₂(二氧化銱)及Pt/Ir合金的群組之物質所形成。

26. 如申請專利範圍第22項的鐵電記憶(FEM)細胞，其中該第二類型摻雜劑包括取自於由砷(As)及磷(P)所組成的群組之離子，該砷(As)是在一大約40 keV至70 keV的能量下植入，該磷(P)是在一大約30 keV至60 keV之能量下植入，該等離子具有大約2 · 10¹⁵ cm⁻²至5 · 10¹⁵ cm⁻²的劑量。

27. 如申請專利範圍第22項之鐵電記憶(FEM)細胞，其中包括一位於該目前有效區域中的第四類型導電通道區域，塗以一第四類型摻雜劑；一位於該第二類型導電通道隔壁之MOS(金氧半導體)電晶體；其中該汲極電極接觸該汲極



六、申請專利範圍

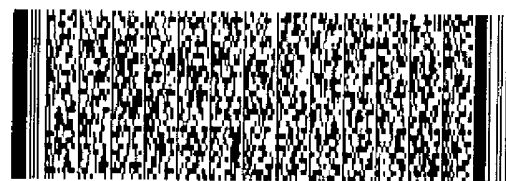
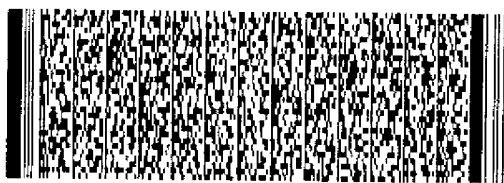
結區域與該第四類型導電通道；且其中該第四類型導電通道包括植入於其中的離子，而其中該等離子是取自於由B(硼)與 BF_2 (二氟化硼)所組成之群組，在分別為3 keV至10 keV及15 keV至50 keV的能量範圍且劑量為 $5 \cdot 10^{11} \text{cm}^{-2}$ 至 $1 \cdot 10^{13} \text{cm}^{-2}$ 下植入，該等離子在溫度大約 500°C 至 1100°C 下將該結構加以退火的期間，從該裝置區域中擴散。

28. 如申請專利範圍第27項之鐵電記憶(FEM)細胞，其中該鐵電記憶(FEM)柵極單元重疊於該MOS(金氧半導體)電晶體上。

29. 如申請專利範圍第27項之鐵電記憶(FEM)細胞，其中該MOS(金氧半導體)電晶體及該鐵電記憶(FEM)柵極單元以邊靠邊排列。

30. 如申請專利範圍第22項之鐵電記憶(FEM)細胞，其中包括一位於該柵極結區域上的一第四類型導電通道，其中該鐵電記憶(FEM)柵極單元重疊於該第四類型導電通道上且具有一小於該第四類型導電通道區域之表面積；其中該第四類型導電通道包括植入於其中的離子，而其中該等離子是取自於由B(硼)與 BF_2 (二氟化硼)所組成之群組，在分別為3 keV至10 keV及15 keV至50 keV的能量範圍且劑量為 $5 \cdot 10^{11} \text{cm}^{-2}$ 至 $1 \cdot 10^{13} \text{cm}^{-2}$ 下植入，該等離子在溫度大約 500°C 至 1100°C 下將該結構加以退火的期間，從該鐵電記憶(FEM)柵極單元之下電極中擴散。

31. 如申請專利範圍第30項之鐵電記憶(FEM)細胞，其中該第四類型導電通道被製造及排列以致其中任一邊離開該



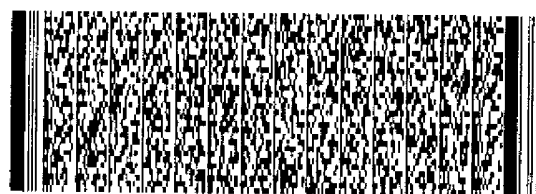
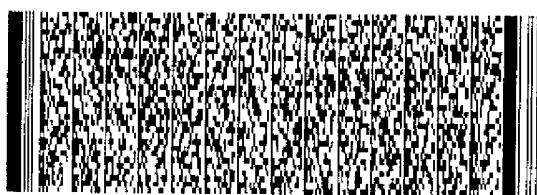
六、申請專利範圍

源極結區域與該汲極結區域的邊有一段"C"距離，其中"C"是大約介於0 nm與300 nm之間。

32. 如申請專利範圍第22項之鐵電記憶(FEM)細胞，其中包括一位於該柵極結區域上且有一部分延伸進入該汲極結區域的一第四類型導電通道；其中該鐵電記憶(FEM)柵極單元重疊於該第四類型導電通道上且具有一小於該第四類型導電通道區域之表面積，且在該柵極結區域上被調整大小以使該鐵電記憶(FEM)柵極單元之任一邊離開該源極結區域與該汲極結區域的邊有一段"D"距離，其中"D"是大約介於50nm與300nm之間；其中該第四類型導電通道包括植入於其中的離子，而其中該等離子是取自於由B(硼)與 BF_2 (二氟化硼)所組成之群組，在分別為3 keV至10 keV及15 keV至50 keV的能量範圍且劑量為 $5 \cdot 10^{11} \text{cm}^{-2}$ 至 $1 \cdot 10^{13} \text{cm}^{-2}$ 下植入，該等離子在溫度大約 500°C 至 1100°C 下將該結構加以退火的期間，從該裝置區域中擴散。

33. 如申請專利範圍第32項之鐵電記憶(FEM)細胞，其中尚包括一重疊於該源極結區域與該汲極結區域的矽化物層。

34. 如申請專利範圍第22項之鐵電記憶(FEM)細胞，其包括一MOS(金氧半導體)電容，包括一位於該柵極結區域上的氧化物層及導電層n-聚合矽，該MOS(金氧半導體)電容具有一預定之表面積；其中該鐵電記憶(FEM)柵極單元是堆疊於且重疊於至少該MOS(金氧半導體)電容的一部分，藉以利用該MOS(金氧半導體)電容形成一堆疊的柵極單



六、申請專利範圍

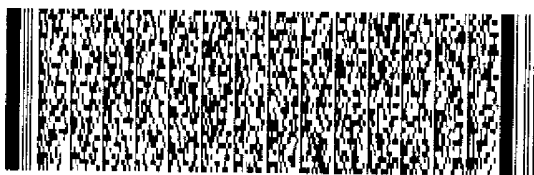
元。

35. 如申請專利範圍第34項之鐵電記憶(FEM)細胞，其中該鐵電記憶(FEM)電容重疊於該MOS(金氧半導體)電容的整個表面積。

36. 如申請專利範圍第34項之鐵電記憶(FEM)細胞，其中該鐵電記憶(FEM)電容重疊於小於該MOS(金氧半導體)電容的整個表面積。

37. 如申請專利範圍第34項之鐵電記憶(FEM)細胞，其中進而包括一並排形成於該堆疊的柵極單元之第二MOS(金氧半導體)電容。

38. 如申請專利範圍第22項之鐵電記憶(FEM)細胞，其包括一第二導電類型矽基板；形成於該基板的一第四導電類型淺導電通道；其中該第二導電類型導電層是形成於該第四類型淺導電通道中，以提供一柵極結區域。



8 年 9 月 27 日 修正
補充

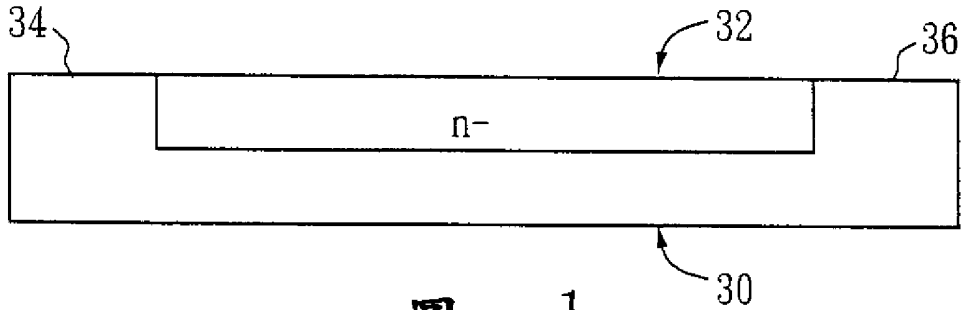


圖 1

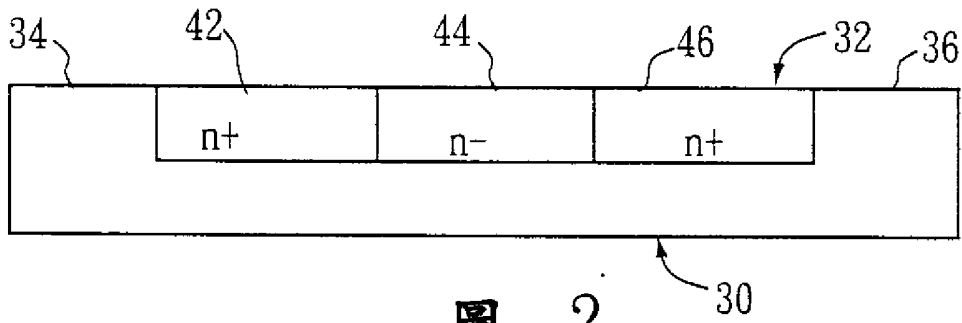


圖 2

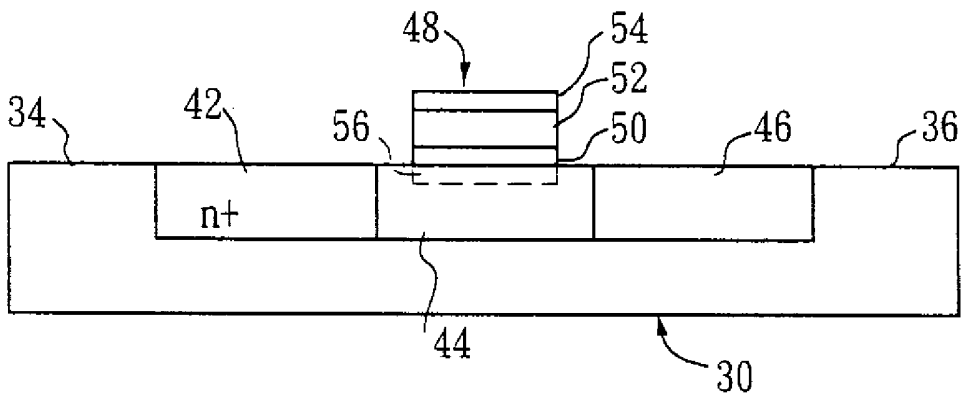


圖 3

8 年 9 月 27 日 修正
補充

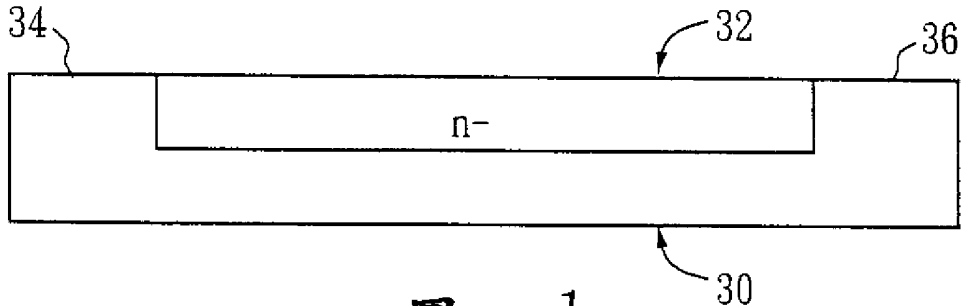


圖 1

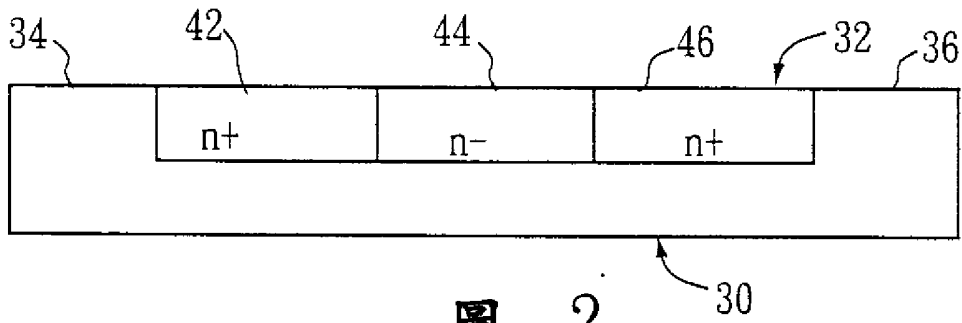


圖 2

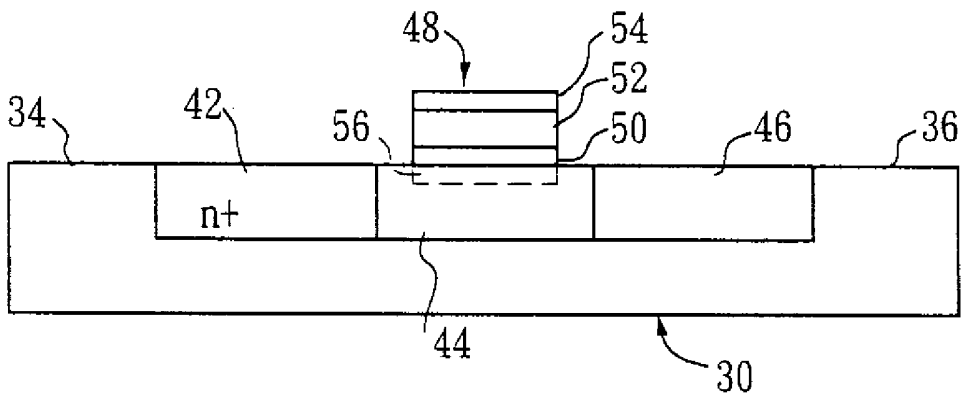


圖 3

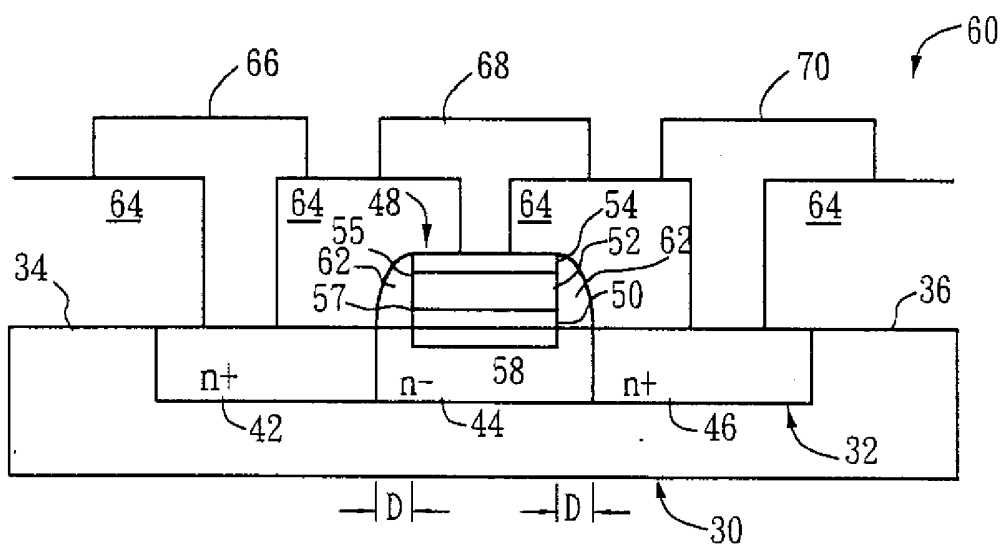


圖 4

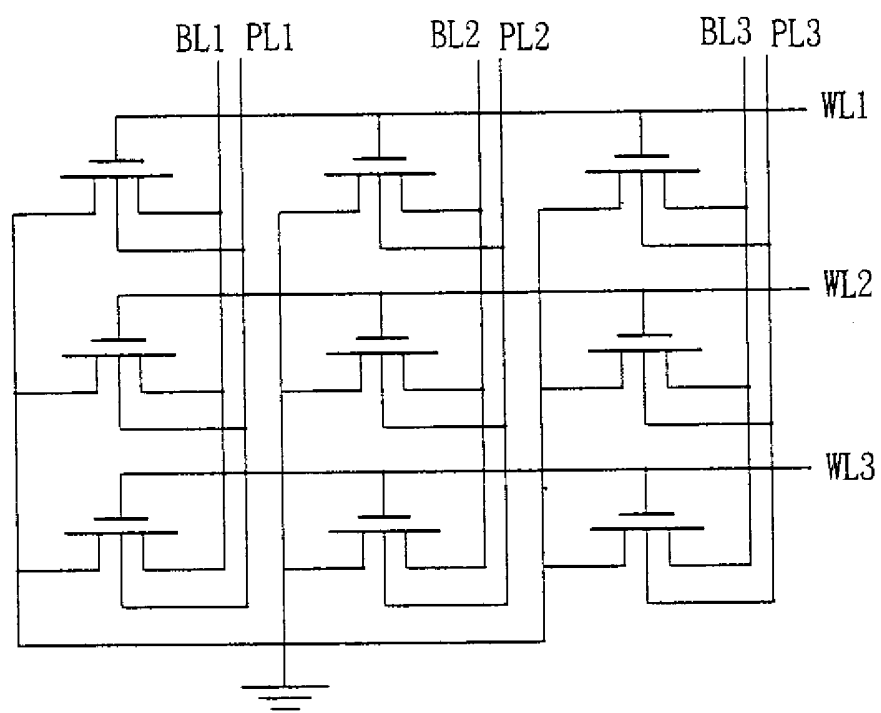


圖 5

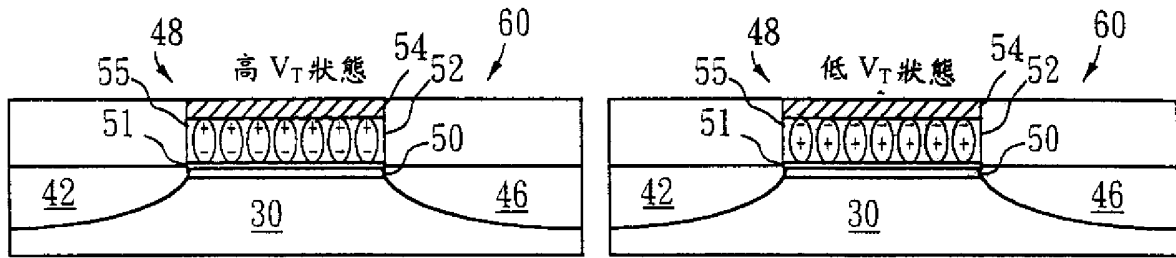


圖 6a

圖 6b

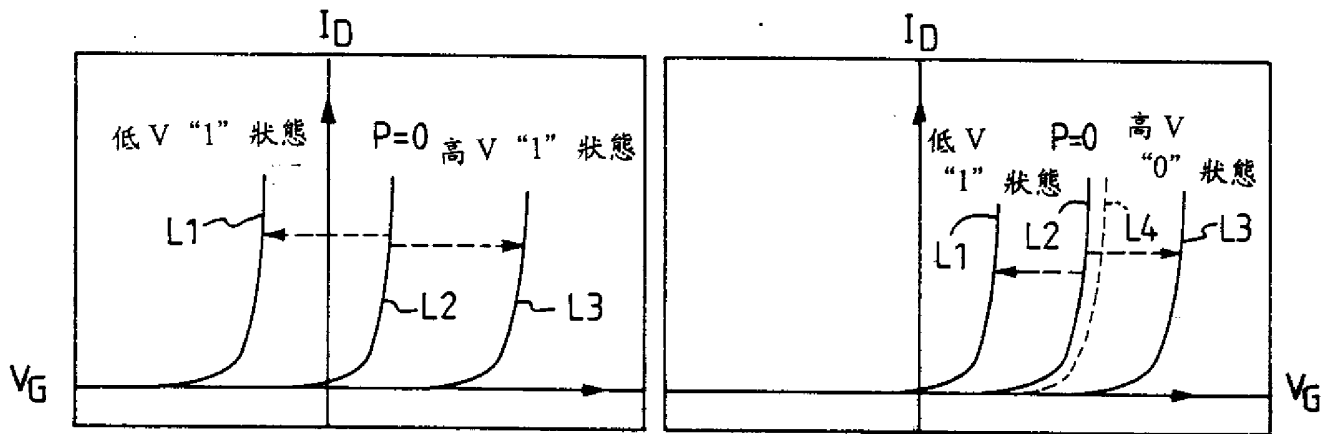


圖 7a

圖 7b

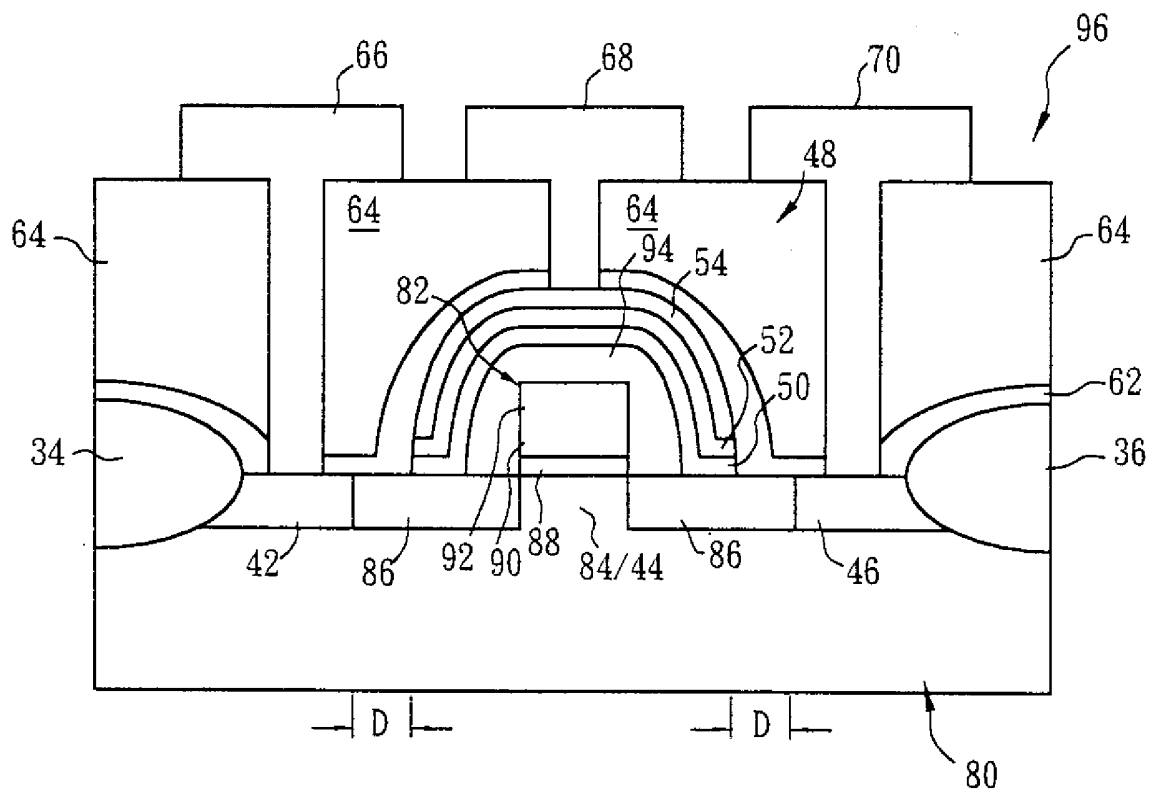


圖 8

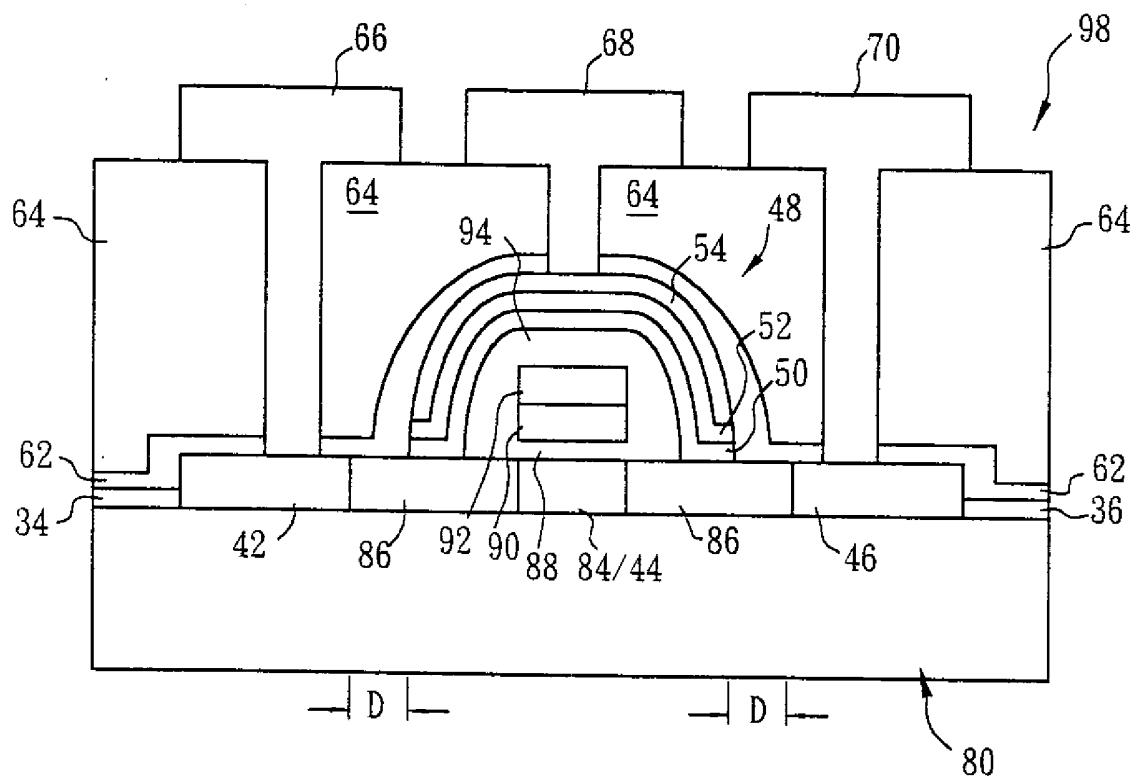


圖 9

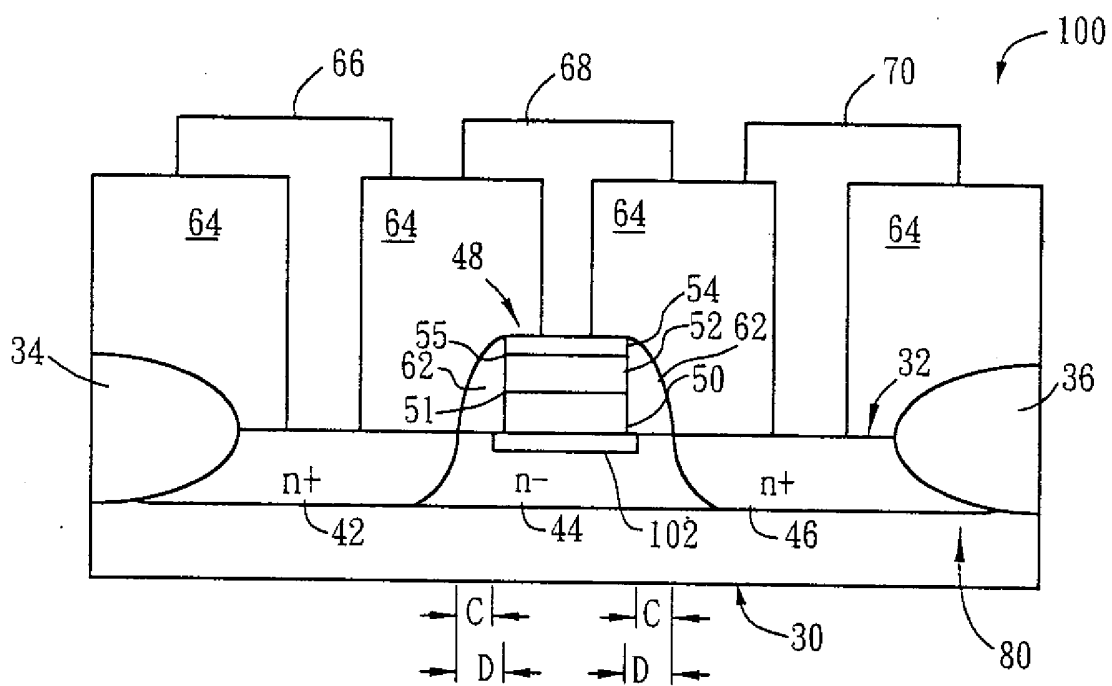


圖 10

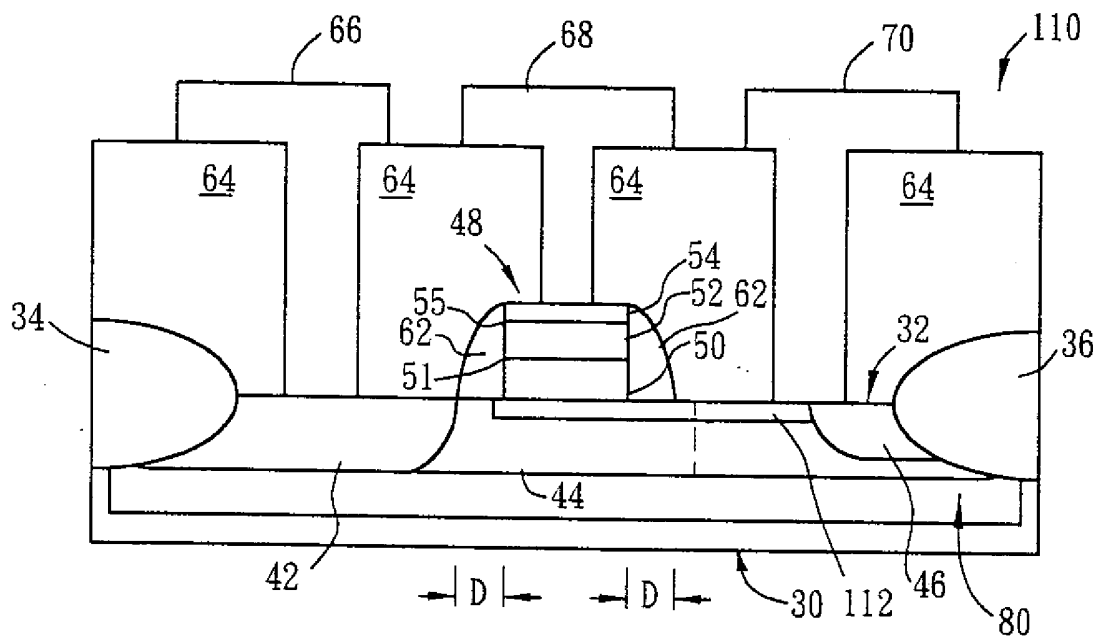


圖 11

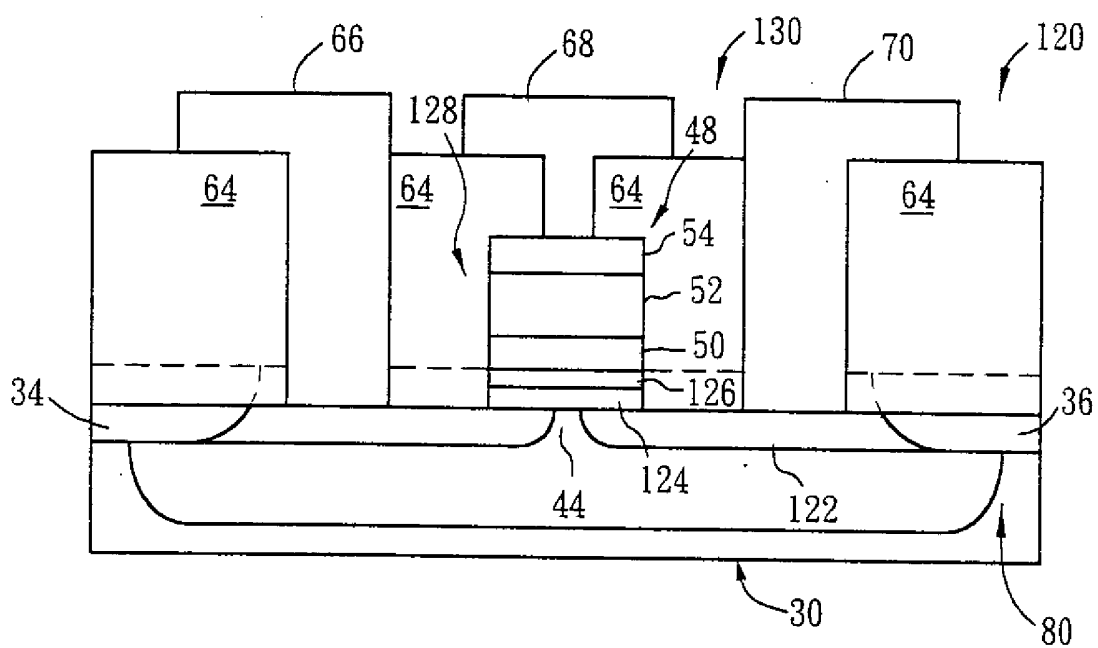


圖 12

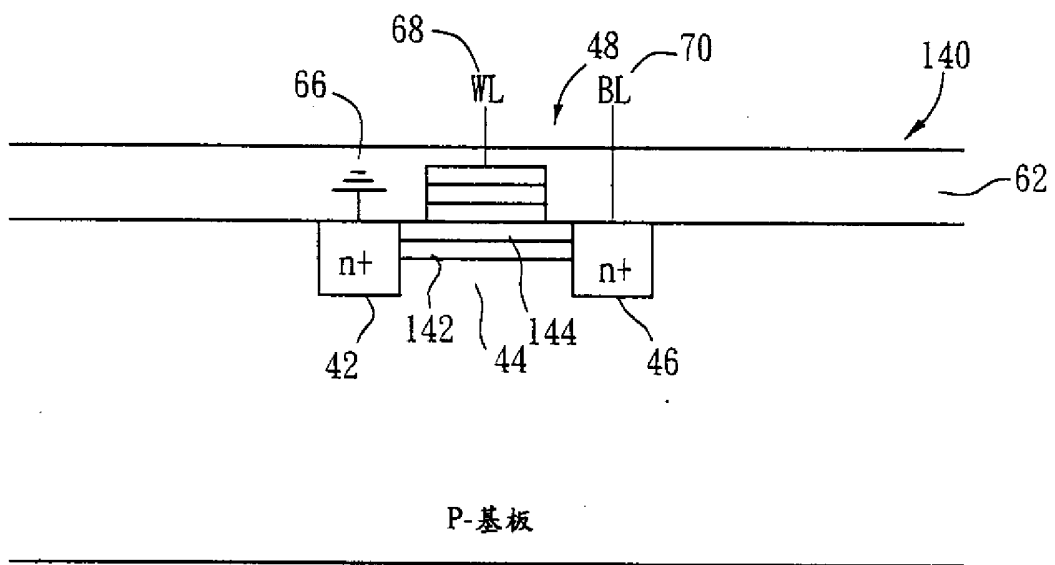


圖 13