六、申請專利範圍

第 84113309 號專利申請案

中文申請專利範圍更正本

民國 93 年 7 月 20 日更正

1．一種半導體積體電路裝置，係屬於由（a）在半導體基板、及（b）形成於前述半導體基板上之第 1 配線膜、及（c）形成於前述第 1 配線膜上而且具有多個通孔之絕緣膜、及（d）在前述通孔與前述第 1 配膜相連接，而形成於前述絕緣膜上之第 2 配線膜、及（e）連接於前述第 2 配線膜之結合線所組成之形態之半導體裝置，其特徵爲：前述第 1 配線膜係設有，第 1 鋁合金膜、及形成於該鋁合金膜上之鈦膜、及形成於前述鈦膜上之第 1 氮化鈦膜；前述第 2 配線膜係由第 2 鋁合金膜、及形成於該鋁合金膜上之第 2 氮化鈦膜所組成。

2．如申請專利範圍第 1 項所述之半導體積體電路裝置，其中氧化鋁膜係介於前述第 2 配線膜之第 2 鋁合金膜與第 2 氮化鈦膜之間。

3．如申請專利範圍第 1 項所述之半導體積體電路裝置，其中在連接前述結合線之區域，除去前述第 2 氮化鈦膜。

4．如申請專利範圍第 2 項所述之半導體積體電路裝置，其中前述氧化鋁膜，係直接形成於前述第 2 鋁合金膜上；前述第 2 氮化鈦膜，係直接形成於前述氧化鋁膜上。

5．一種半導體積體電路裝置之製造方法，係屬於利用濺鍍法，在半導體基板之主面上，形成鋁膜之形態之方

（請先閱讀背面之注意事項再填寫本頁）
裝 訂
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

法，其特徵爲：使前述半導體基板，在比較低溫之狀態下，來形成第1鋁膜；使前述半導體基板，在比起前述第1鋁膜成形時之較高溫度狀態下，形成第2鋁膜。

6．如申請專利範圍第5項所述之半導體積體電路裝置之製造方法，其中前述第1鋁膜，係在比較高之濺鍍速度下而形成；前述第2鋁膜，係在比起前述第1鋁膜形成時之較低濺鍍速度下而形成。

7．一種半導體積體電路裝置之製造方法，係包括：（a）在半導體基板上，形成其具有多個第1通孔之第1絕緣膜之作業；及（b）在前述第1絕緣膜上與第1通孔內，形成用以埋掉前述第1通孔之鎢膜厚膜之作業；及（c）蝕刻前述鎢膜，除去前述第1絕緣膜上之鎢膜，以露出前述第1絕緣膜之表面，選擇性地殘留前述鎢膜於前述第1通孔內之作業；及（d）在前述第1絕緣膜之表面與前述第1通孔內鎢膜上之間，形成第1鋁膜之作業；及（e）在所定溫度下，重熔前述第1鋁膜之作業所組成者。

8．如申請專利範圍第7項所述之半導體積體電路裝置之製造方法，其中更設有：（f）於前述第1鋁膜上，形成第2絕緣膜，在前述第1通孔上面部位，於前述第2絕緣膜，形成有第2通孔之作業；及（g）於前述第2通孔內部與前述第2絕緣膜上，形成有第1底材膜之作業；及（h）於前述第2通孔內部與前述第2絕緣膜上，形成有鎢膜之作業。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

9．如申請專利範圍第8項所述之半導體積體電路裝置之製造方法，其中更設有：（i）蝕刻前述鎢膜，除去前述第2絕緣膜上之鎢膜，以露出前述第1底材膜之表面，選擇性地殘留前述鎢膜於前述通孔內之作業；及（j）於前述第1底材膜上，形成第2鋁膜之作業。

10．如申請專利範圍第9項所述之半導體積體電路裝置之製造方法，其中更在前述作業（a）與（b）之間，包括有（k）在前述第1絕緣膜上與第1通孔內，形成第2底材膜之作業；在前述作業（c），其前述第1底材膜，用以作爲蝕刻阻擋用。

11．如申請專利範圍第10項所述之半導體積體電路裝置之製造方法，其中前述第1及第2底材膜，係爲TiN膜。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部智慧財產局員工消費合作社印製