

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015年11月12日 (12.11.2015)



(10) 国际公布号
WO 2015/169054 A1

- (51) 国际专利分类号:
G06F 12/08 (2006.01)
- (21) 国际申请号: PCT/CN2014/088637
- (22) 国际申请日: 2014年10月15日 (15.10.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410190727.0 2014年5月7日 (07.05.2014) CN
- (71) 申请人: 深圳市中兴微电子有限公司 (ZHONGXING MICROELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国广东省深圳市盐田区大梅沙1号厂房, Guangdong 518085 (CN)。
- (72) 发明人: 寇楠 (KOU, Nan); 中国广东省深圳市盐田区大梅沙1号厂房, Guangdong 518085 (CN)。 刘卫 (LIU, Wei); 中国广东省深圳市盐田区大梅沙1号厂房, Guangdong 518085 (CN)。 李瑛 (LI, Ying); 中国广东省深圳市盐田区大梅沙1号厂房, Guangdong 518085 (CN)。
- (74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OF-

FICE); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(54) Title: METHOD AND DEVICE FOR REALIZING DATA CONSISTENCY, AND COMPUTER STORAGE MEDIUM

(54) 发明名称: 一种实现数据一致性的方法、装置及计算机存储介质



图 1 / Fig. 1

- 11 Slave interface unit
- 12 Monitoring control unit

(57) Abstract: Disclosed are a device and method for realizing data consistency, and a computer storage medium. The method comprises: when it is determined that a protocol corresponding to a received data consistency request is not supported, conducting protocol conversion processing on the received data consistency request; according to the data consistency request after the protocol conversion processing, determining a corresponding data consistency operation apparatus, and conducting a data consistency operation on the data consistency operation apparatus.

(57) 摘要: 本发明公开了一种实现数据一致性的装置、方法及计算机存储介质, 所述方法包括: 确定不支持接收的数据一致性请求对应的协议时, 对接收的数据一致性请求进行协议转换处理, 根据协议转换处理后的数据一致性请求, 确定对应的数据一致性操作设备, 对所述数据一致性操作设备进行数据一致性操作。



WO 2015/169054 A1

一种实现数据一致性的方法、装置及计算机存储介质

技术领域

本发明涉及数据存储一致性的技术领域，尤其涉及一种实现数据一致性的方法、装置及计算机存储介质。

5 背景技术

目前，片内多处理器系统中的多个处理器都具有各自的高速缓冲存储器（cache），在保证多个 cache 之间以及 cache 与共享存储器之间的数据一致性时，会影响系统的性能和系统的精确性，因此，如何更有效地保证片内多处理器系统中数据存储的一致性急需解决的重要问题。

10 发明内容

针对现有技术存在的问题，本发明实施例提供了一种实现数据一致性的方法及装置。

本发明实施例提供了一种实现数据一致性的装置，所述装置包括：从接口单元及监听控制单元；其中，

15 所述从接口单元，配置为确定不支持接收的数据一致性请求对应的协议时，对接收的数据一致性请求进行协议转换处理，并将协议转换处理后的数据一致性请求发送至所述监听控制单元；

所述监听控制单元，配置为根据所述从接口单元发送的数据一致性请求，确定对应的数据一致性操作设备，对所述数据一致性操作设备进行数
20 据一致性操作。

上述方案中，所述监听控制单元，还配置为当收到的数据一致性请求为两个以上数据一致性请求时，对收到的两个以上数据一致性请求的执行

进行仲裁，根据仲裁后的数据一致性请求，确定对应的数据一致性操作设备，对所述数据一致性操作设备进行数据一致性操作。

上述方案中，所述从接口单元，还配置为确定支持接收的数据一致性请求对应的协议时，将接收的数据一致性请求发送至所述监听控制单元。

5 上述方案中，所述从接口单元包括：第一从接口单元及第二从接口单元；其中，

所述第一从接口单元，配置为将接收的来自第一主设备单元的第一读数据一致性请求发送至所述监听控制单元；

10 所述第二从接口单元，配置为将接收的来自第二主设备单元的数据一致性请求进行协议转换处理，并将协议转换处理后的数据一致性请求发送至所述监听控制单元。

上述方案中，所述第二从接口单元，配置为：将接收的第二主设备单元发送的支持高级可扩展接口（AXI，Advanced eXtensible Interface）协议的数据一致性请求转换成支持 ACE_Lite 协议的数据一致性请求；并将协议
15 转换后的数据一致性请求的字节数转换成完整缓存数据行 Full Cache Line 字节数。

上述方案中，所述第二从接口单元包括：协议转换子单元、读操作转换子单元、读接口子单元、写操作转换子单元、以及写接口子单元；其中，

20 所述协议转换子单元，配置为将接收的第二主设备单元发送的支持 AXI 协议的数据一致性请求转换成支持 ACE_Lite 协议的数据一致性请求；

所述读操作转换子单元，配置为当第二主设备单元发送的数据一致性请求为第二读数据一致性请求时，将协议转换后的第二读数据一致性请求的字节数转换成完整缓存数据行 Full Cache Line 字节数；

25 所述读接口子单元，配置为为所述字节数转换后的第二读数据一致性请求分发第二读数据一致性请求通道，复用读数据通道；

所述写操作转换子单元，配置为当第二主设备单元发送的数据一致性请求为第二写数据一致性请求时，将协议转换后的第二写数据一致性请求的字节数转换成完整缓存数据行 Full Cache Line 字节数；

所述写接口子单元，配置为为所述字节数转换后的第二写数据一致性请求分发第二写数据一致性请求通道，缓存写数据响应通道。

上述方案中，所述第二从接口单元还包括：仲裁子单元，配置为当同时收到所述读接口子单元与所述写接口子单元发送的数据一致性请求时，对所述字节数转换后的第二读数据一致性请求及所述字节数转换后的第二写数据一致性请求的执行进行仲裁，并根据仲裁后的第二读数据一致性请求或第二写数据一致性请求向所述监听控制单元发送相应的数据一致性请求。

上述方案中，所述读接口子单元还配置为阻塞传输事务间顺序。

上述方案中，写接口子单元还配置为阻塞传输事务间顺序、处理写后写 WAW 和读后写 RAW 冲突。

上述方案中，所述第一从接口单元，还配置为将来自第一主设备单元的第一写数据一致性请求发送至互连单元，直接向互连单元发起写操作。

上述方案中，所述监听控制单元包括标记控制子单元及数据交换子单元；其中，

所述标记控制子单元，配置为接收第一从接口单元发送的第一读和/或第一写数据一致性请求、第二从接口单元发送的第二读和/或第二写一致性请求及数据交换子单元发送的无效请求 invalidate，并对这些请求的执行进行仲裁；当仲裁后的请求是第一读数据一致性请求或第二读数据一致性请求时，根据第一读数据一致性请求或第二读数据一致性请求查找标记存储器，如果查找到标记存储器，则根据标记存储器中的完整缓存数据行 Full Cache Line 信息生成命中结果；若命中结果中的完整缓存数据行 Full Cache Line

是有效状态，则向所述数据交换子单元发送监听请求，以获取读数据；若命中结果中的完整缓存数据行 Full Cache Line 是无效状态或命中结果中不存在完整缓存数据行 Full Cache Line，则利用互连单元获取读数据；

所述数据交换子单元，配置为根据命中信息将所述监听请求发送至第一主设备单元，接收第一主设备单元返回的监听响应和监听数据，并将监听数据发送至第一从接口单元或第二从接口单元后，向第一从接口单元或第二从接口单元发送数据一致性请求操作完成指示。

上述方案中，所述标记控制子单元，还配置为当监听请求无响应时，利用互连单元获取读数据。

上述方案中，所述数据交换子单元，还配置为收到第二从接口单元发送的无效请求后，向第二从接口单元返回无效请求响应；并向所述标记控制子单元发送对应标记存储的无效请求；

相应地，所述标记控制子单元，还配置为收到数据交换子单元的无效请求后，将相应标记存储器设置成无效状态，同时根据收到的写回请求中的更新消息更新标记存储器；

第二从接口单元，还配置为收到数据交换子单元的响应后，向互连单元发起写操作。

上述方案中，所述监听控制单元还包括仲裁子单元，配置为：对标记控制子单元发送的读外部存储器 memory 请求及所述数据交换子单元发送的读外部存储器请求的执行进行仲裁，并将仲裁后的读请求发送至互连单元，接收互连单元返回的读数据。

本发明实施例还提供了一种实现数据一致性的方法，所述方法还包括：

确定不支持接收的数据一致性请求对应的协议时，对接收的数据一致性请求进行协议转换处理；

根据协议转换处理后的数据一致性请求，确定对应的数据一致性操作

设备，对所述数据一致性操作设备进行数据一致性操作。

上述方案中，所述对接收的数据一致性请求进行协议转换处理，包括：

将接收的支持 AXI 协议的数据一致性请求转换成支持 ACE_Lite 协议的数据一致性请求；并将协议转换后的数据一致性请求的字节数转换成完整
5 缓存数据行 Full Cache Line 字节数。

上述方案中，当接收的数据一致性请求为读一致性请求时，所述根据协议转换处理后的数据一致性请求，确定对应的数据一致性操作设备，对所述数据一致性操作设备进行数据一致性操作，包括：

根据协议转换处理后的读数据一致性请求，查找标记存储器，确定查
10 找到标记存储器，向查找到的标记存储器对应的主设备单元发起监听，以获取读数据；确定未查找到标记存储器时，利用互连单元获取读数据。

上述方案中，所述方法还包括：

当监听无响应时，利用互连单元获取读数据。

上述方案中，当接收的数据一致性请求为写一致性请求时，所述根据
15 协议转换处理后的数据一致性请求，确定对应的数据一致性操作设备，对所述数据一致性操作设备进行数据一致性操作，包括：

根据字节数转换后的写数据一致性请求向实现数据一致性的装置的监听控制单元发送无效请求；

所述监听控制单元返回无效请求响应；

20 根据无效请求响应，向实现数据一致性的装置的互连单元发起写操作。

上述方案中，所述方法还包括：

阻塞传输事务间顺序；和/或，

处理 WAW 和 RAW 冲突。

本发明实施例又提供了一种计算机存储介质，所述计算机存储介质包
25 括一组指令，当执行所述指令时，引起至少一个处理器执行上述的实现数

据一致性的方法。

本发明实施例提供的实现数据一致性的装置、方法及计算机存储介质，确定不支持接收的数据一致性请求对应的协议时，对接收的数据一致性请求进行协议转换处理，根据协议转换处理后的数据一致性请求，确定对应的数据一致性操作设备，对所述数据一致性操作设备进行数据一致性操作，如此，可通过协议转换处理，解决大多数系统中不兼容 ACE_Lite 协议的问题，从而有效的解决了片内多处理器系统中存在的共享数据一致性问题。

附图说明

在附图（其不一定是按比例绘制的）中，相似的附图标记可在不同的视图中描述相似的部件。具有不同字母后缀的相似附图标记可表示相似部件的不同示例。附图以示例而非限制的方式大体示出了本文中所讨论的各个实施例。

图 1 为本发明实施例一提供的实现数据一致性的一种装置结构示意图；

图 2 为本发明实施例一提供的实现数据一致性的另一种装置结构示意图；

图 3 为本发明一具体实施例的实现数据一致性的装置结构示意图；

图 4 为本发明实施例一提供的第二从接口单元结构示意图；

图 5 为本发明实施例一、二提供的读数据一致性请求转换时的接口时序示意图；

图 6 为本发明实施例一提供的写数据一致性请求转换时的接口时序示意图；

图 7 为本发明实施例一提供的监听控制单元结构示意图；

图 8 为本发明实施例二提供的实现数据一致性的方法流程示意图。

具体实施方式

为了能更好的理解本发明实施例的内容，本文先介绍现有技术中常用的维护数据一致性的方法；现有技术中一般包括软件维护一致性的方法和硬件维护一致性的方法；软件维护一致性的方法虽然较容易实现，但精确性不高，并且在维护过程中会降低系统性能；硬件维护一致性的方法虽然设计复杂，但能够提高系统性能；例如，ARM 公司发布的一种硬件维护一致性的架构，是基于高级微控制器总线架构（AMBA，Advanced Microcontroller Bus Architecture）的总线监听及 ACE（AXI Coherency Extensions）协议来实现的；其中，ACE 协议是在 AXI 协议一致性方面扩展的协议，ACE_Lite 协议是 ACE 协议的子集，一般来讲，自身有 cache 的处理器可以支持 ACE 协议，而自身没有 cache 的处理器或其它设备则支持 ACE_Lite 协议。

但是，由于目前支持 ACE 协议的处理器较少，并且大部分输入输出（IO，Input Output）设备只支持 AXI 协议，不支持 ACE_Lite 协议。因此在绝大部分的片内多处理器系统中，是不能兼容 ACE_Lite 协议的，从而导致片内多处理器系统中存在共享数据一致性的问题。

基于此，在本发明的各种实施例中：确定不支持接收的数据一致性请求对应的协议时，对接收的数据一致性请求进行协议转换处理，根据协议转换处理后的数据一致性请求，确定对应的数据一致性操作设备，对所述数据一致性操作设备进行数据一致性操作。

下面通过附图及具体实施例对本发明的技术方案做进一步地详细说明。

实施例一

本实施例提供一种实现数据一致性的装置，如图 1 所示，所述装置包括：从接口单元 11 及监听控制单元 12；其中，

所述从接口单元 11，配置为确定不支持接收的数据一致性请求对应的协议时，对接收的数据一致性请求进行协议转换处理，并将协议转换处理后的数据一致性请求发送至所述监听控制单元 12；

所述监听控制单元 12，配置为根据所述从接口单元 11 发送的数据一致性请求，确定对应的数据一致性操作设备，对所述数据一致性操作设备进行数据一致性操作。

这里，所述从接口单元 11，还配置为确定支持接收的数据一致性请求对应的协议时，直接将接收的数据一致性请求发送至所述监听控制单元 12，以便所述监听控制单元 12 根据所述从接口单元 11 发送的数据一致性请求，确定对应的数据一致性操作设备，对所述数据一致性操作设备进行数据一致性操作。其中，所述数据一致性请求包括读数据一致性请求及写数据一致性请求。

实际应用时，所述对接收的数据一致性请求进行协议转换处理，具体为：

对所述接收的数据一致性请求进行 AXI 协议到 ACE_Lite 协议的转换处理。

所述监听控制单元 12，还配置为当收到的数据一致性请求为两个以上数据一致性请求时，对收到的两个以上数据一致性请求的执行进行仲裁，根据仲裁后的数据一致性请求，确定对应的数据一致性操作设备，对所述数据一致性操作设备进行数据一致性操作。

具体地，如图 2 所示，所述从接口单元 11 包括第一从接口单元 111、第二从接口单元 112；其中，

所述第一从接口单元 111，配置为将接收的来自第一主设备单元 21 的第一读数据一致性请求发送至所述监听控制单元 12；

所述第二从接口单元 112，配置为将接收的来自第二主设备单元 22 的

第二读数据一致性请求 ReadOnce 进行协议转换处理，并将协议转换处理后的第二读数据一致性请求 ReadOnce 发送至所述监听控制单元 12；

所述监听控制单元 12，配置为对所述第一读数据一致性请求及第二读数据一致性请求 ReadOnce 的执行进行仲裁，根据仲裁后的第一读数据一致性请求或第二读数据一致性请求 ReadOnce 确定未查找到对应的标记存储器 tag_ram 时，向所述互连单元 23 发送读数据操作指示，以获取读数据；确定查找到对应的标记存储器 tag_ram 时，向查找到的标记存储器 tag_ram 所对应的主设备单元发起监听，以获取读数据；这里，因为所述监听控制单元 12 在同一时刻只能处理一个一致性请求，所以所述监听控制单元 12 需要对第一从接口单元 111 发送的第一读数据一致性请求和第二从接口单元 112 发送的第二读数据一致性请求 ReadOnce 的执行进行仲裁。

如果所述监听控制单元 12 仲裁后的请求是所述第一读数据一致性请求时，则对所述第一读数据一致性请求处理完毕之后，还需对第二读数据一致性请求 ReadOnce 进行处理；或者，如果所述监听控制单元 12 仲裁后的请求是所述第二读数据一致性请求 ReadOnce 时，则对所述第二读数据一致性请求 ReadOnce 处理完毕之后，还需对第一读数据一致性请求进行处理。

这里，所述监听控制单元 12 对所述第一读数据一致性请求及第二读数据一致性请求 ReadOnce 的执行进行仲裁的具体实现方式有很多种，比如：可以根据轮询仲裁的方式对所述第一读数据一致性请求及第二读数据一致性请求 ReadOnce 的执行进行仲裁，还可以根据最近最少访问或伪随机的仲裁方式进行仲裁等等。

实际应用时，如图 3 所示，所述互连单元 23 可以包括五个主接口单元，六个从接口单元；其中，六个从接口单元分别连接第一主设备单元 21 对应的第一从接口单元 111、第二主设备单元 22 对应的第二从接口单元 112 及监听控制单元 12；一个主接口单元用于连接各寄存器，其余四个主接口单

元作为输出，连接从设备单元 31；其中，所述各寄存器包括：无效标记存储器 tag_ram 寄存器、early wresp 控制寄存器、超时阈值寄存器、中断状态寄存器、调试 debug 控制寄存器及中断屏蔽寄存器；

实际应用时，本实施例提供的装置是在各个寄存器的使能下进行工作的；比如：在装置初始化时，所述无效标记存储器 tag_ram 寄存器向监听控制单元 12 提供无效使能信号，以便所述监听控制单元根据无效使能信号将相应标记存储器 tag_ram 预设成无效状态；所述 early wresp 控制寄存器向所述第一从接口单元 111 提供控制信号，以使所述第一从接口单元 111 根据所述控制信号选择写响应提前返回 early response 或写响应正常返回 normal response 的方式；所述超时阈值寄存器向所述第一从接口单元 111 提供计数阈值周期，以使所述第一从接口单元 111 通过计数检测来判断数据传输的各阶段是否超时；当判断为超时时，所述第一从接口单元 111 根据所述中断状态寄存器提供的超时中断信号产生超时中断；所述调试 debug 控制寄存器配置为对实现数据一致性的装置中的相应模块的状态信号进行调试；所述中断屏蔽寄存器配置为屏蔽掉实现数据一致性的装置中相应模块的中断状态信号。

其中，所述调试 debug 控制寄存器的具体作用不是本发明实施例关心的内容。

相应地，所述第一主设备单元 21 可以至少包括两个设备单元 cluster，所述 cluster 可以为支持 ACE 协议的主设备 ACE master；比如，可以为 ARM 公司的 ARM Cortex A15 及 ARM Cortex A7。

所述第二主设备单元 22 可以至少包括一个主设备，可以为支持 ACE_Lite 协议的主设备 ACE_Lite master，或者是支持 AXI 协议的主设备 AXI master；比如可以为 IO 主设备、图形处理器（GPU，Graphic Processing Unit）、直接内存存取（DMA，Direct Memory Access）以及 AXI 子系统等。

所述从设备单元 31 可以至少包括一个从设备,可以为支持 AXI 协议的从设备 AXI slave, 所述从设备也可以包括外部存储器 memory。

实际应用时, 所述第二主设备单元 22 及所述从设备单元 31 的个数可根据系统需要进行扩展或剪裁。

5 所述第二从接口单元 112, 还配置为: 对接收的来自第二主设备单元 22 的第二写数据一致性请求 WriteUnique 进行协议转换处理, 根据协议转换后的第二写数据一致性请求 WriteUnique, 向监听控制单元 12 发送无效请求 invalidate, 并接收监听控制单元 12 返回的无效请求响应后, 向所述互连单元 23 发起写操作。

10 这里, 如 4 所示, 所述第二从接口单元 112 包括: 协议转换子单元 1121、读操作转换子单元 1122、读接口子单元 1123、写操作转换子单元 1124、写接口子单元 1125、仲裁子单元 1126; 其中,

所述协议转换子单元 1121, 配置为将接收的第二主设备单元 22 发送的支持 AXI 协议的数据一致性请求转换成支持 ACE_Lite 协议的数据一致性请求;
15

所述读操作转换子单元 1122, 配置为当第二主设备单元发送的数据一致性请求为第二读数据一致性请求时, 将协议转换后的第二读数据一致性请求 Read Once 的字节数转换成完整缓存数据行 Full Cache Line 字节数;

所述读接口子单元 1123, 配置为为所述字节数转换后的第二读数据一致性请求 ReadOnce 分发第二读数据一致性请求 ReadOnce 通道, 复用读数据通道, 并将字节数转换后的第二读数据一致性请求 ReadOnce 发送给所述
20 仲裁子单元 1126;

所述写操作转换子单元 1124, 配置为当第二主设备单元发送的数据一致性请求为第二写数据一致性请求 WriteUnique 时, 将协议转换后的第二写数据一致性请求 WriteUnique 的字节数转换成完整缓存数据行 Full Cache
25

Line 字节数;

所述写接口子单元 1125, 配置为为所述字节数转换后的第二写数据一致性请求 WriteUnique 分发第二写数据一致性请求 WriteUnique 通道, 缓存写数据响应通道, 并根据字节数转换后的第二写数据一致性请求
5 WriteUnique 向所述仲裁子单元 1126 发送无效请求 invalidate;

所述仲裁子单元 1126, 配置为当同时收到所述读接口子单元 1123 与所述写接口子单元 1125 发送的数据一致性请求时, 对所述字节数转换后的第二读数据一致性请求 ReadOnce 及所述字节数转换后的第二写数据一致性请求 WriteUnique 的执行进行仲裁, 并根据仲裁后的第二读数据一致性请求
10 ReadOnce 或第二写数据一致性请求 WriteUnique 向所述监听控制单元 12 发送相应的数据一致性请求; 具体地, 当仲裁后的数据一致性请求为第二读数据一致性请求 ReadOnce 时, 将字节数转换后的第二读数据一致性请求 ReadOnce 发送给所述监听控制单元 12; 当仲裁后的数据一致性请求为第二写数据一致性请求 WriteUnique 时, 向所述监听控制单元 12 发送无效请求
15 invalidate。其中, 所述字节数转换后的第二读数据一致性请求 ReadOnce 是指读共享数据且读出的共享数据不被缓存的请求。

这里, 当所述仲裁子单元 1126 同时收到所述读接口子单元 1123 与所述写接口子单元 1125 发送的数据一致性请求时, 若所述仲裁子单元 1126 仲裁后的请求是第二读数据一致性请求 ReadOnce 时, 将第二读数据一致性
20 请求 ReadOnce 发送至所述监听控制单元 12 后, 还需根据所述第二写数据一致性请求 WriteUnique 向所述监听控制单元 12 发送无效请求 invalidate;
或者,

当所述仲裁子单元 1126 仲裁后的请求是第二写数据一致性请求 WriteUnique 时, 根据第二写数据一致性请求 WriteUnique 向所述监听控制
25 单元 12 发送无效请求 invalidate 后, 还需将所述第二读数据一致性请求

ReadOnce 发送至所述监听控制单元 12。

具体地，当所述第二主设备单元 22 包括 AXI master 时，所述协议转换子单元 1121，具体配置为：根据 AXI master 中不同的 AXI 地址产生不同的 ACE_Lite 传输类型，将支持 AXI 协议的第二读或写数据一致性请求转换成支持 ACE_Lite 协议的第二读或写数据一致性请求，以使 AXI master 发送的第二读或写数据一致性请求可以有效发送，换句话说，以使 AXI master 发送的第二读或写数据一致性请求得到所述监听控制单元 12 相应的响应；其中，所述传输类型包括：写地址通道的监听请求 AWSNOOP、读地址通道的监听请求 ARSNOOP；所述 AXI 地址与 ACE_Lite 传输类型之间的映射关系可预先配置。

当所述第二主设备单元 22 发送的第二数据一致性请求是第二读数据一致性请求 ReadOnce 时，所述读操作转换子单元 1121，具体配置为：利用内容寻址存储器（CAM，Content Addressable Memory）、拆分算法及控制逻辑将协议转换后的第二读数据一致性请求 ReadOnce 的字节数转换成完整缓存数据行 Full Cache Line 字节数；具体地，所述读操作转换子单元 1122 将收到的协议转换后的第二读数据一致性请求 ReadOnce 进行字节合并，过滤掉多余字节，以满足原始命令数据量 burst 的要求；这里，因为所述监听控制单元 12 要求读数据一致性请求的字节数与缓存数据行完整缓存数据行 Full Cache Line 字节数相同，而所述协议转换后的第二读数据一致性请求 ReadOnce 的字节数却无类似的限制，所以需要进行字节数的转换；

其中，所述完整缓存数据行 Full Cache Line 字节数通常为 32byte 或 64byte；所述原始命令数据量 burst 包括：数据位宽、数据类型及数据长度，所述数据位宽一般为 32bit、64bit 或 128bit；所述数据类型包括：固定型 fixed、增加型 incr 及回绕型 wrap；所述数据长度至少包括一笔数据，所述 CAM 的存储单元个数可根据系统要求进行配置。

比如，假设完整缓存数据行 Full Cache Line 字节数要求为 32byte，数据位宽为 128bit，则对应的原始命令数据量 burst 的数据位宽也为 128bit，数据类型为回绕型、回绕长度为 2 (wrap2)；则第二读数据一致性请求 Read Once 转换时的接口时序如图 5 所示。

5 由图 5 可以获知，可将字节转换后的第二读数据一致性请求 ReadOnce 中低位地址为 12'h18、数据位宽为 64bit、数据类型为 incr4 的 burst 拆成低位地址为 12'h10、数据位宽为 128bit、wrap2 及低位地址为 12'h20、数据位宽为 128bit、wrap2 这两个原始命令数据量 burst；其中，当不需要第一个原始命令数据量 burst 数据的第二笔数据时，则跳过 skip 第二笔数据，第二个
10 原始命令数据量 burst 的第一笔数据保持了两个周期，对应着 s 侧中地址分别为 12'h20 及 12'h28 的数据；并且，s 侧在收到第四笔数据时将 rlast_s 拉高；

这里，还可将字节转换后的第二读数据一致性请求 ReadOnce 中低位地址为 12'h18、数据位宽为 64bit，wrap4 的 burst 拆成两个低位地址都为
15 12'h10，数据位宽为 128bit，wrap2 的原始命令数据量 burst。其中，第一个原始命令数据量 burst 的第二笔数据保持了两个周期，对应 s 侧中地址分别为 12'h00 及 12'h08 的数据；s 侧收到第四笔数据时将 rlast_s 拉高，其中，当不需要第二个原始命令数据量 burst 的第二笔数据时，则跳过 skip 第二笔数据；所述 s 侧是指从设备 slave 的接口信号，所述 m 侧是指第二主设备单
20 元 22 的接口信号，所述 s 侧的信息对应读操作转换子单元 1122 转换后输出的 m 侧的信息。

所述 s 侧的信息包括：araddr_s、arvalid_s、arready_s、rdata_s、rlast_s、rvalid_s、rready_s；所述 araddr_s 是指 s 侧读地址通道的地址；所述 arvalid_s 是指 s 侧读地址通道的请求；所述 arready_s 是指 s 侧读地址通道请求响应；
25 所述 rdata_s 是指 s 侧读数据通道的读数据；所述 rlast_s 是指 s 侧最后一笔

读数据的指示信号; 所述 rvalid_s 是指 s 侧读数据通道的请求; 所述 rready_s 是指 s 侧读数据通道的请求响应;

所述 m 侧的信息包括: araddr_m、arvalid_m、arready_m、rdata_m、rlast_m、rvalid_m、rready_m; 所述 araddr_m 是指 m 侧读地址通道的地址; 5 所述 arvalid_m 是指 m 侧读地址通道的请求; 所述 arready_m 是指 m 侧读地址通道的请求响应; 所述 rdata_m 是指 m 侧读数据通道的读数据; 所述 rlast_m 是指 m 侧最后一笔读数据的指示信号; 所述 rvalid_m 是指 m 侧读数据通道的请求; 所述 rready_m 是指 m 侧读数据通道的请求响应; 所述 beat_complete 是指当前一笔数据结束; 所述 last_match 是指最后一笔数据; 10 上述 araddr_s、arvalid_s、arready_s、rvalid_s、rlast_s、rdata_s、rready_s、araddr_m、arvalid_m、arready_m、rvalid_m、rlast_m、rdata_m、rready_m 分别对应 AXI 协议中的标准信号。

当所述读操作转换子单元 1122 将协议转换子单元 1121 转换后的第二读数据一致性请求 ReadOnce 字节数转换完成之后, 所述读接口子单元 15 1123, 具体配置为: 利用缓存器 buffer 缓存所述读操作转换子单元 1122 字节数转换后的第二读数据一致性请求 ReadOnce, 并为所述读操作转换子单元 1122 字节数转换后的第二读数据一致性请求 ReadOnce 分发读数据一致性请求通道, 复用读数据通道; 其中, 所述复用读数据通道为: 当所述监听控制单元 12 及所述互连单元 23 同时返回读数据时, 先返回所述监听控 20 制单元 12 的读数据。

为了避免死锁, 所述读接口子单元 1123 还配置为阻塞传输事务间顺序 ordering; 所述阻塞传输事务间顺序 ordering 包括: 所有一致性传输数据请求全部结束后, 当前无一致性传输数据的请求才能发出; 或者, 所有无一致性传输数据请求全部结束后, 当前一致性传输数据的请求才能发出。

25 当所述第二主设备单元 22 发送的第二数据一致性请求是第二写数据一

致性请求 WriteUnique 时, 所述写操作转换子单元 1124, 具体配置为: 利用 CAM、拆分算法及控制逻辑将协议转换后的第二写数据一致性请求 WriteUnique 的字节数转换成完整缓存数据行 Full Cache Line 字节数; 这里, 因为本发明实施例设计的监听控制单元 12 要求写数据一致性请求 WriteUnique 的字节数与完整缓存数据行 Full Cache Line 字节数相同, 而所述协议转换后的第二写数据一致性请求 WriteUnique 的字节数却无类似的限制, 所以需要进行字节数的转换, 将协议转换后的第二写数据一致性请求 WriteUnique 进行拆分, 经过拆分后的每个原始命令数据量 burst 的总字节数都小于或等于完整缓存数据行 Full Cache Line 字节数, 并将收到的写响应合并, 以满足原始命令数据量 burst 的要求;

具体地, 与转换所述第二读数据一致性请求 ReadOnce 类似, 比如, 假设完整缓存数据行 Full Cache Line 字节数要求为 32byte, 数据位宽为 128bit, 则对应的 burst 的数据位宽也为 128bit, 数据类型为回绕型、回绕长度为 2 (wrap2); 则写数据一致性请求 WriteUnique 转换时的接口时序如图 6 所示。

由图 6 可以获知, 可将所述字节转换后的第二写数据一致性请求 WriteUnique 的低位地址为 12'h18、数据位宽为 64bit、数据类型为 incr4 的原始命令数据量 burst 分别拆成低位地址为 12'h18、数据位宽为 64bit、incr1 及低位地址为 12'h20、数据位宽为 64bit、incr3 这两个原始命令数据量 burst; 并且将 m 侧返回的两个写通道数据响应 bresp 合并成一个写通道数据响应 bresp 后从 s 侧发出;

这里, 还可将所述字节转换后的第二写数据一致性请求 WriteUnique 中低位地址为 12'h10、数据位宽为 128bit, wrap4 的原始命令数据量 burst 分别拆成低位地址为 12'h10, 数据位宽为 128bit, incr1 的 burst、低位地址为 12'h20, 数据位宽为 128bit, incr2 的 burst 及低位地址为 12'h00, 数据位宽为 128bit, incr1 的 burst; 并且将 m 侧返回的三个写通道数据响应 bresp 合

并成一个写通道数据响应 bresp 后从 s 侧发出；其中，所述 m 侧为主设备单元的接口；所述 awaddr_s 是指 s 侧写地址通道的地址；所述 awvalid_s 是指 s 侧写地址通道的请求；所述 awready_s 是指 s 侧写地址通道的请求响应；所述 wdata_s 是指 s 侧写数据通道的写数据；所述 wlast_s 是指 s 侧最后一笔写数据的指示信号；所述 bvalid_s 是指 s 侧写响应通道的请求；所述 bready_s 是指 s 侧写响应通道的请求响应；所述 awaddr_m 是指 m 侧写地址通道的地址；所述 awvalid_m 是指 m 侧写地址通道的请求；所述 awready_m 是指 m 侧写地址通道的请求响应；所述 wdata_m 是指 m 侧写数据通道的写数据；所述 wlast_m 是指 m 侧最后一笔写数据指示信号；所述 bvalid_m 是指 m 侧写响应通道的请求；所述 bready_m 是指 m 侧写响应通道的请求响应；上述 awaddr_s、awvalid_s、awready_s、wdata_s、wlast_s、bvalid_s、bready_s、awaddr_m、awvalid_m、awready_m、wdata_m、wlast_m、bvalid_m、bready_m 分别对应 AXI 协议中的标准信号。

当所述写操作转换子单元 1124 将第二写数据一致性请求 WriteUnique 的字节转换完成之后，所述写接口子单元 1125，具体配置为：首先利用缓存器 buffer 缓存字节转换后的第二写数据一致性请求 WriteUnique，并为第二写数据一致性请求 WriteUnique 分发写数据一致性请求通道；再将无效请求 invalidate 的字节数调整成与所述字节转换后的第二写数据一致性请求 WriteUnique 字节数相等，将无效请求 invalidate 发送至监听控制单元 12，接收监听控制单元 12 返回的无效请求响应 inv_done 后，向所述互连单元 23 发起写操作，缓存写数据响应通道；

这里，由于监听控制单元 12 返回的无效请求响应 inv_done 可能是乱序的，为了保证经所述写操作转换子单元 1124 字节数转换后的第二写数据一致性请求与第二主设备单元 22 发送的第二写数据一致性请求 WriteUnique 顺序的一致性，所述写接口子单元 1125 在无效请求 invalidate 的标识 inv_id

中除了添加有第二主设备单元 22 的写地址通道标识 awid 外，还要在字节数转换后的第二写数据一致性请求 WriteUnique 中添加 buffer 号，并保存在 buffer 中；如果返回的 inv_id 与保存的 buffer 号一致，才将对应的经所述写操作转换子单元 1124 字节数转换后的第二写数据一致性请求 WriteUnique 5 发送至互连单元 23。

为了避免死锁，所述写接口子单元 1125 还配置为阻塞传输事务间顺序 ordering、处理写后写 WAW 和读后写 RAW 冲突；其中，

所述阻塞传输事务间顺序 ordering 包括：所有一致性传输数据请求全部结束后，当前无一致性传输数据的请求才能发出；或者，所有无一致性 10 传输数据请求全部结束后，当前一致性传输数据的请求才能发出。

对于 WAW 冲突，所述写接口子单元 1125 会将字节转换后的第二写数据一致性请求 WriteUnique 地址发送至第一从接口单元 11 中，若与所述第一写数据一致性请求之间存在冲突，所述写接口子单元 1125 则会阻塞字节转换后的第二写数据一致性请求 WriteUnique，直至第一从接口单元 11 的 15 字节转换后的第一写数据一致性请求完成操作；所述 WAW 冲突是指第一主设备单元 21 对该地址区域进行写操作之后，第二主设备单元 22 对该地址区域进行写操作；或者指第二主设备单元 22 对该地址区域进行写操作之后，第一主设备单元 21 对该地址区域进行写操作。

对于 RAW 冲突，所述写接口子单元 1125 利用 CAM 保存未处理的第二写数据一致性请求的写地址通道标识 awid 和写地址通道地址，所述监听 20 控制单元 12 将读数据一致性请求的 miss 地址发送至写接口子单元 1125，所述写接口子单元 1125 判断读数据一致性请求的 miss 地址与 pending 地址是否相同，若相同，则向所述监听控制单元 12 返回冲突信号 hazard，以保证字节转换后的第二写数据一致性请求 WriteUnique 完成操作，只有字节数 25 转换后的第二写数据一致性请求 WriteUnique 完成操作后，所述监听控制单

元 12 才会向互连单元 23 发起读数据一致性操作；其中，所述 miss 地址是指无命中结果的地址；所述写地址通道标识 awid 用于查找写响应通道标识 bid 以及从 CAM 中读取数据；所述 RAW 是指第一主设备单元 21 通过第一从接口单元 111 对该地址区域进行写操作之后，第二主设备单元 22 通过第二从接口单元 112 对该地址区域进行读操作；或者是指第一主设备单元 21 对该地址区域进行写操作之后，第二主设备单元 22 对该地址区域进行读操作。

当所述第二主设备单元 22 同时发送所述第二读数据一致性请求 ReadOnce 和第二写数据一致性请求 WriteUnique 时，所述仲裁子单元 1126，具体配置为对所述字节转换后的第二读数据一致性请求 ReadOnce 和字节转换后的第二写数据一致性请求 WriteUnique 的执行进行仲裁；这里，因为第二从接口单元 112 与监听控制单元 12 之间的一致性请求接口只有一个，所以仲裁子单元 1126 需要对所述第二读数据一致性请求 ReadOnce 和第二写数据一致性请求 WriteUnique 进行仲裁后，向监听控制单元 12 发送第二读数据一致性请求 ReadOnce 或第二写数据一致性请求 WriteUnique。

另外，当所述从接口单元 11 确定支持接收的数据一致性请求对应的协议时，则不需要对接收的数据一致性请求进行协议转换处理，直接将接收的数据一致性请求发送至所述监听控制单元 12。

具体地，在有一致性数据传输要求的情况下，所述第一从接口单元 11，具体配置为：根据先进先出（FIFO, First In First Out）缓存传输类型、数据地址冲突、传输事务间顺序 ordering 情况，将所述第一主设备单元 21 的第一读数据一致性请求发送至监听控制单元 12，或者将第一主设备单元 21 的第一写数据一致性请求发送至互连单元 23，直接向互连单元 23 发起写操作；

这里，所述第一从接口单元 111，支持通过 early wresp 寄存器提供的控制信号选择写响应提前返回 early response 或写响应正常返回 normal

response 的方式。对于写响应提前返回 early response 方式，当根据写数据一致性请求完成写操作后，则返回写响应；如果实际写响应有错误 error，第一从接口单元 111 则会记录错误传输的地址和标识 ID；对于写响应正常返回 normal response 方式，将实际写响应返回给第一主设备单元 21。

5 这里，当第一主设备单元 21 进行除读和写外的其它一致性维护性操作时，所述第一从接口单元 111，还配置为：将改写后的 dirty 数据更新到 memory 并保留复本唯一的 CleanUnique 请求或保留复本共有的 CleanShared 请求或无效复本的 CleanInvalid 请求发送至监听控制单元 12，以对复本进行 clean 操作；以及将只保留复本唯一的 MakeUnique 请求或只无效复本的
10 MakeInvalid 请求发送至监听控制单元 12，以对复本进行 make 操作。所述第一从接口单元 111，还具有数据传输超时检测功能，在数据传输过程中，通过计数检测来判断数据传输的各阶段是否超时；具体地，第一主设备单元 21 通过握手机制向从设备单元 31 发送 valid 信号，当第一从接口单元 111 判断如果在超时阈值周期内没有接收到接收从设备单元 31 返回的 ready 信
15 号时，认为数据传输超时，产生超时中断；所述超时阈值周期可根据实际情况预先配置。

另外，在无一致性数据传输要求的情况下，所述第一从接口单元 111 根据 FIFO 缓存传输类型、数据地址冲突、传输事务间顺序 ordering 情况，将第一主设备单元 21 发送的第一读或写数据一致性请求发送至所述互连单
20 元 23；所述第二从接口单元 112 将第二主设备单元 22 的第二读或写数据一致性请求直接发送至互连单元 23，以访问相应的从设备单元 31；其中，从设备单元 31 至少包括一个。

当所述第一从接口单元 21、第二从接口单元 112 同时向监听控制单元 12 发送第一读数据一致性请求、第二读或写数据一致性请求时，所述监听
25 控制单元 12，具体配置为：根据第一读数据一致性请求或字节数转换后的

第二读数据一致性请求 ReadOnce, 确定查找到标记存储器 tag_ram, 向命
中的目标第一主设备单元 21 发送监听请求, 获取访问数据; 若第一主设备
单元 21 未响应监听请求, 监听控制单元 12 则向互连单元 23 发送读数据操
作, 获取读数据; 若确定未查找到标记存储器 tag_ram, 则向所述互连单元
5 23 发送读数据操作; 或者,

响应第二从接口单元 112 发送的无效请求 invalidate, 以使第二从接口
单元 112 向互连单元 23 发起写操作。

具体地, 如图 7 所示, 所述监听控制单元 12 包括: 标记控制子单元
snoop_tag_ctl 121、数据交换子单元 snoop_ddi 122、仲裁子单元 snoop_arb
10 123; 其中,

所述标记控制子单元 121, 配置为: 接收第一从接口单元 111 发送的第一
读或写数据一致性请求、第二从接口单元 112 发送的第二读或写一致性
请求及数据交换子单元 121 发送的无效请求 invalidate, 并对这些请求的执
行进行仲裁;

15 当仲裁后的请求是第一读数据一致性请求或第二读数据一致性请求
ReadOnce 时, 所述标记控制子单元 121, 具体配置为: 根据第一读数据一
致性请求或第二读数据一致性请求 ReadOnce 查找标记存储器 tag_ram, 如
果查找到标记存储器 tag_ram, 则根据标记存储器 tag_ram 中的完整缓存数
据行 Full Cache Line 信息生成命中结果; 其中, 若命中结果中的完整缓存
20 数据行 Full Cache Line 是有效状态, 则向数据交换子单元 122 发送监听请
求, 以获取读数据; 若命中结果中的完整缓存数据行 Full Cache Line 是无
效状态或命中结果中不存在完整缓存数据行 Full Cache Line, 所述标记控制
子单元 121 则利用互连单元 23 向外部存储器 memory 发送读 memory 请求;
所述操作类型为 ReadClean, 所述 ReadClean 是指读共享数据并且读出的共
25 享数据不被缓存, 所述标记存储器 tag_ram 中记录了所访问的完整缓存数据

行 Full Cache Line 是否存在于第一主设备单元 21 的 cache 中；所述第二从接口单元 112 还可以通过侦听第一从接口单元 111 判断是否能获取访问数据；如果第二主设备单元 22 需要访问的数据在第一主设备单元 21 的 cache 中，则在无需访问从设备单元 31 的情况下就可以直接从第一主设备单元 21 的 cache 中获取访问数据，这样，可以减少访问时间，提高访问效率。

如果所述第一从接口单元 111、第二从接口单元 112 发出的数据一致性请求具有相同的标识 ID，所述标记控制子单元 121 还配置为确保处理这些请求的顺序一致性。

另外，如果第一主设备单元 21 进行除读和写外的其它一致性维护操作时，所述标记控制子单元 121，具体还配置为：根据复本唯一 CleanUnique 请求或复本共有 CleanShared 请求或复本无效 CleanInvalid 请求查找标记存储器 tag_ram，如果查找到标记存储器 tag_ram，则根据标记存储器 tag_ram 中的完整缓存数据行 Full Cache Line 信息生成命中结果；其中，若命中结果中的完整缓存数据行 Full Cache Line 是有效状态，则向数据交换子单元 122 发送监听请求，以获取读数据及数据状态。其中，对于需要写回的 dirty 数据，所述监听控制单元 12 向互连单元 23 发送写操作。

当所述标记控制子单元 121 向所述数据交换子单元 122 发送监听请求时，所述数据交换子单元 122，配置为：根据命中信息将所述监听请求发送至第一主设备单元 21，接收第一主设备单元 21 返回的监听响应 cresponse 和监听数据 cdata，并将监听数据 cdata 发送至第一从接口单元 111 或第二从接口单元 112 后，向第一从接口单元 111 或第二从接口单元 112 发送数据一致性请求操作完成指示；当监听请求无响应时，所述标记控制子单元 121，还配置为利用互连单元 23 向外部存储器 memory 发送读外部存储器 memory 请求；所述命中信息包括：命中结果和操作类型。

当所述写操作转换子单元 1124 发送无效请求 invalidate 时，所述数据

交换子单元 122, 还配置为向写操作转换子单元 1124 返回无效请求响应 inv_done 后, 向标记控制子单元 121 发送对应标记存储器 tag_ram 的无效请求, 以使标记控制子单元 121 将相应标记存储器 tag_ram 设置成无效状态, 同时根据写回 WriteBack 请求中的更新消息更新标记存储器 tag_ram; 其中, 5 所述写回 WriteBack 请求是指第一从接口单元 111 向监听控制单元 12 发送的将数据写回 memory 的请求。这里, 因为在装置工作过程中, 标记存储器 tag_ram 可能从无效状态变成有效状态, 因此, 还需要标记控制单元 121 将需要的相应标记存储器 tag_ram 重新设置成无效状态。

另外, 当 dirty 数据需要写入外部存储器 memory 时, 所述标记控制子单元 121, 还配置为利用互连单元 23 向外部存储器 memory 发送写操作, 10 以将 dirty 数据写入外部存储器 memory 中。

当标记控制子单元 121 及所述数据交换子单元 122 同时发送读 memory 请求时, 所述仲裁子单元 123, 具体配置为: 对标记控制子单元 121 发送的读外部存储器 memory 请求及所述数据交换子单元 122 发送的读外部存储器 15 memory 请求的执行进行仲裁, 并将仲裁后的读 memory 请求发送至互连单元 23, 接收互连单元 23 返回的读数据;

当所述仲裁子单元 123 同时接收到数据交换子单元 122 发送的读数据及互连单元 23 返回的读数据时, 所述仲裁子单元 123, 还配置为对数据交换子单元 122 发送的监听数据及互连单元 23 返回的读数据进行仲裁后, 将 20 读数据发送至第一从接口单元 111 或第二从接口单元 112。

这里, 由于监听控制单元 12 是配置为维护第一主设备单元 21 中两个 cluster 之间的数据一致性, 但是若要采用现有技术中记录完整缓存数据行 Full Cache Line 状态的方法, 来记录各个完整缓存数据行 Full Cache Line 状态, 需要消耗非常大的资源, 并且方法复杂, 难以实现; 因此, 本实施例中, 所述监听控制单元 12 采用的是分段地址计数法, 来记录各个 cluster 中 25

完整缓存数据行 Full Cache Line 的存在状态，不但容易实现，而且能较精确地记录完整缓存数据行 Full Cache Line 的状态。

所述方法包括两个基本特性：（1）如果监听控制单元 12 中的记录表明某完整缓存数据行 Full Cache Line 存在于某个 cluster 中，但实际上，由于
5 监听算法的不精准性，导致该完整缓存数据行 Full Cache Line 很有可能在该 cluster 中是处于无效状态的；（2）如果监听控制单元 12 中的记录表明该 cluster 中不存在完整缓存数据行 Full Cache Line，则该 cluster 肯定不包含该完整缓存数据行 Full Cache Line，即该完整缓存数据行 Full Cache Line 在这个 cluster 中肯定处于无效状态；因此，可以精确记录完整缓存数据行 Full
10 Cache Line 的状态。

实际应用时，本发明实施例提供的从接口单元 11 可由实现数据一致性的装置中的物理接口及专用集成电路（ASIC, Application Specific Intergrated Circuit）或可编程逻辑阵列（FPGA, Field - Programmable Gate Array）实现，监听控制单元 12 可由实现数据一致性的装置中的 ASIC 或 FPGA 实现。

15 本实施例是基于 AMBA4 ACE 协议，结合互连单元和数据一致性的功能，从硬件上解决了多处理器系统中存在的共享存储数据一致性问题，减少软件干预及外部存储器的访问次数，提高系统访问效率，降低了内存访问带来的功耗。

并且，本发明实施例的装置具有监听过滤功能，减少不必要的监听操
20 作，进一步提升系统性能。

实施例二

相应于实施例一，本发明实施例还提供了一种实现数据一致性的方法，如图 8 所示，该方法主要包括以下步骤：

步骤 801，确定不支持接收的数据一致性请求对应的协议时，对接收的
25 数据一致性请求进行协议转换处理；

这里，当确定支持接收的数据一致性请求对应的协议时，则不对接收的数据一致性请求进行协议转换处理。

本步骤中，所述确定不支持接收的数据一致性请求对应的协议时，对接收的数据一致性请求进行协议转换处理，包括：

- 5 将接收的支持 AXI 协议的数据一致性请求转换成支持 ACE_Lite 协议的数据一致性请求；

该方法还包括：

将协议转换后的读数据一致性请求 ReadOnce 的字节数转换成完整缓存数据行 Full Cache Line 字节数；

- 10 为字节数转换后的读数据一致性请求 ReadOnce 分发读数据一致性请求 ReadOnce 通道，复用读数据通道；

将协议转换后的写数据一致性请求 WriteUnique 的字节数转换成完整缓存数据行 Full Cache Line 字节数；

- 15 为字节数转换后的写数据一致性请求 WriteUnique 分发写数据一致性请求 WriteUnique 通道，缓存写数据响应通道；

对所述字节数转换后的读数据一致性请求 ReadOnce 及所述字节数转换后的写数据一致性请求 WriteUnique 的执行进行仲裁；其中，所述协议转换后的读数据一致性请求 ReadOnce 是指读共享数据且读出的共享数据不被缓存的请求。

- 20 具体地，在有一致性数据传输要求的情况下，当所述数据一致性请求对应的主设备包括 AXI master 时，根据 AXI master 中不同的 AXI 地址产生不同的 ACE_Lite 传输类型，将支持 AXI 协议的读或写数据一致性请求转换成支持 ACE_Lite 协议的读或写数据一致性请求，以使 AXI master 发送的读或写数据一致性请求可以有效发送，换句话说，以使 AXI master 发送的读
25 或写数据一致性请求得到相应的响应；其中，所述传输类型包括：写地址

通道的监听请求 AWSNOOP、读地址通道的监听请求 ARSNOOP; 所述 AXI 地址与 ACE_Lite 传输类型之间的映射关系可预先配置。

这里, 当发送的数据一致性请求是读数据一致性请求 ReadOnce 时, 利用 CAM、拆分算法及控制逻辑将协议转换后的读数据一致性请求 ReadOnce 的字节数转换成完整缓存数据行 Full Cache Line 字节数; 具体地, 将收到的协议转换后的读数据一致性请求 ReadOnce 进行字节合并, 过滤掉多余字节, 以满足原始命令数据量 burst 的要求; 这里, 因为所述监听控制单元要求读数据一致性请求的字节数与缓存数据行完整缓存数据行 Full Cache Line 字节数相同, 而所述协议转换后的读数据一致性请求 ReadOnce 的字节数却无类似的限制, 所以需要进行字节数的转换;

其中, 所述完整缓存数据行 Full Cache Line 字节数通常为 32byte 或 64byte; 所述原始命令数据量 burst 包括: 数据位宽、数据类型及数据长度, 所述数据位宽一般为 32bit、64bit 或 128bit; 所述数据类型包括: 固定型 fixed、增加型 incr 及回绕型 wrap; 所述数据长度至少包括一笔数据, 所述 CAM 的存储单元个数可根据系统要求进行配置。

比如, 假设完整缓存数据行 Full Cache Line 字节数要求为 32byte, 数据位宽为 128bit, 则对应的原始命令数据量 burst 的数据位宽也为 128bit, 数据类型为回绕型、回绕长度为 2 (wrap2); 则读数据一致性请求 ReadOnce 转换时的接口时序如图 5 所示。

由图 5 可以获知, 可将字节数转换后的读数据一致性请求中的低位地址为 12'h18、数据位宽为 64bit、数据类型为 incr4 的 burst 拆成低位地址为 12'h10、数据位宽为 128bit、wrap2 及低位地址为 12'h20、数据位宽为 128bit、wrap2 这两个原始命令数据量 burst; 其中, 并不需要返回的第一个原始命令数据量 burst 数据的第二笔数据时, 则跳过 skip 第二笔数据, 第二个原始命令数据量 burst 的第一笔数据保持了两个周期, 对应着 s 侧中地址分别为

12'h20 及 12'h28 的数据；并且，s 侧在收到第四笔数据时将 rlast_s 拉高；

这里，还可将字节数转换后的读数据一致性请求 Read Once 中的低位地址为 12'h18、数据位宽为 64bit，wrap4 的原始命令数据量 burst 拆成两个低位地址都为 12'h10，数据位宽为 128bit，wrap2 的 burst。其中，第一个原始命令数据量 burst 的第二笔数据保持了两个周期，对应 s 侧中地址分别为 12'h00 及 12'h08 的数据；s 侧收到第四笔数据时将 rlast_s 拉高，其中，当不需要第二个原始命令数据量 burst 的第二笔数据时，则跳过 skip 第二笔数据；其中，所述 s 侧是指从设备 slave 的接口信号，所述 m 侧是指主设备单元的接口信号，所述 s 侧的信息第二从接口单元转换后输出的 m 侧的信息；

10 所述 s 侧的信息包括：araddr_s、arvalid_s、arready_s、rdata_s、rlast_s、rvalid_s、rready_s；所述 araddr_s 是指 s 侧读地址通道的地址；所述 arvalid_s 是指 s 侧读地址通道的请求；所述 arready_s 是指 s 侧读地址通道请求响应；所述 rdata_s 是指 s 侧读数据通道的读数据；所述 rlast_s 是指 s 侧最后一笔读数据的指示信号；所述 rvalid_s 是指 s 侧读数据通道的请求；所述 rready_s
15 是指 s 侧读数据通道的请求响应；

所述 m 侧的信息包括：araddr_m、arvalid_m、arready_m、rdata_m、rlast_m、rvalid_m、rready_m；所述 araddr_m 是指 m 侧读地址通道的地址；所述 arvalid_m 是指 m 侧读地址通道的请求；所述 arready_m 是指 m 侧读地址通道的请求响应；所述 rdata_m 是指 m 侧读数据通道的读数据；所述
20 rlast_m 是指 m 侧最后一笔读数据一致性请求信号，所述 rvalid_m 是指 m 侧读数据通道的请求；所述 rready_m 是指 m 侧读数据通道的请求响应；所述 beat_complete 是指当前一笔数据结束；所述 last_match 是指最后一笔数据；上述 araddr_s、arvalid_s、arready_s、rvalid_s、rlast_s、rdata_s、rready_s、araddr_m、arvalid_m、arready_m、rvalid_m、rlast_m、rdata_m、rready_m
25 分别对应 AXI 协议中的标准信号。

当读数据一致性请求 ReadOnce 的字节数转换完成之后，利用缓存器 buffer 缓存字节数转换后的读数据一致性请求 ReadOnce，并为字节数转换后的读数据一致性请求 ReadOnce 分发读数据一致性请求通道，复用读数据通道；其中，所述复用读数据通道为：当实现数据一致性的装置的监听控制单元及所述实现数据一致性的装置的互连单元同时返回读数据时，先返回所述监听控制单元的读数据。

为了避免死锁，还需要阻塞传输事务间顺序 ordering；所述阻塞传输事务间顺序 ordering 包括：所有一致性传输数据请求全部结束后，当前无一致性传输数据的请求才能发出；或者，所有无一致性传输数据请求全部结束后，当前一致性传输数据的请求才能发出。

另外，当发送的数据一致性请求是写数据一致性请求 WriteUnique 时，利用 CAM、拆分算法及控制逻辑将协议转换后的写数据一致性请求 WriteUnique 的字节数转换成完整缓存数据行 Full Cache Line 字节数；

这里，因为本发明实施例设计的所述监听控制单元要求写数据一致性请求 WriteUnique 的字节数与完整缓存数据行 Full Cache Line 字节数相同，而所述协议转换后的写数据一致性请求 WriteUnique 的字节数却无类似的限制，所以需要进行字节数的转换，将协议转换后的写数据一致性请求 WriteUnique 进行拆分，经过拆分后的每个原始命令数据量 burst 的总字节数都小于或等于完整缓存数据行 Full Cache Line 字节数，并将收到的写响应合并，以满足原始命令数据量 burst 的要求；

具体地，与转换所述读数据一致性请求 ReadOnce 类似，比如，假设完整缓存数据行 Full Cache Line 字节数要求为 32byte，数据位宽为 128bit，则对应的 burst 的数据位宽也为 128bit，数据类型为回绕型、回绕长度为 2 (wrap2)；则写数据一致性请求 WriteUnique 转换时的接口时序如图 6 所示。

由图 6 可以获知，可将所述字节转换后的写数据一致性请求

WriteUnique 中的低位地址为 12'h18、数据位宽为 64bit、数据类型为 incr4 的原始命令数据量 burst 分别拆成低位地址为 12'h18、数据位宽为 64bit、incr1 及低位地址为 12'h20、数据位宽为 64bit、incr3 这两个原始命令数据量 burst；并且将 m 侧返回的两个 bresp 合并成一个 bresp 后从 s 侧发出；

5 这里，还可将字节数转换后的写数据一致性请求 WriteUnique 中的低位地址为 12'h10、数据位宽为 128bit，wrap4 的原始命令数据量 burst 分别拆成低位地址为 12'h10，数据位宽为 128bit，incr1 的 burst、低位地址为 12'h20，数据位宽为 128bit，incr2 的 burst 及低位地址为 12'h00，数据位宽为 128bit，incr1 的 burst；并且将 m 侧返回的三个写通道数据响应 bresp 合并成一个写
10 通道数据响应 bresp 后从 s 侧发出；其中，所述 m 侧为主设备单元的接口；所述 awaddr_s 是指 s 侧写地址通道的地址；所述 awvalid_s 是指 s 侧写地址通道的请求；所述 awready_s 是指 s 侧写地址通道的请求响应；所述 wdata_s 是 s 侧指写数据通道的写数据；所述 wlast_s 是指 s 侧最后一笔写数据的指示信号；所述 bvalid_s 是指 s 侧写响应通道的请求；所述 bready_s 是指写响
15 应通道的请求响应；所述 awaddr_m 是指 m 侧写地址通道的地址；所述 awvalid_m 是指 m 侧写地址通道的请求；所述 awready_m 是指 m 侧写地址通道的请求响应；所述 wdata_m 是指 m 侧写数据通道的写数据；所述 wlast_m 是指 m 侧最后一笔写数据指示信号；所述 bvalid_m 是指 m 侧写响应通道的请求；所述 bready_m 是指 m 侧写响应通道的请求响应；上述对应
20 awaddr_s、awvalid_s、awready_s、wdata_s、wlast_s、bvalid_s、bready_s、awaddr_m、awvalid_m、awready_m、wdata_m、wlast_m、bvalid_m、bready_m 分别对应 AXI 协议中的标准信号。

当所述写数据一致性请求 WriteUnique 的字节转换完成之后，首先利用缓存器 buffer 缓存字节数转换后的写数据一致性请求 WriteUnique，并为
25 字节数转换后的写数据一致性请求 WriteUnique 分发写数据一致性请求通

道；再将无效请求 invalidate 的字节数调整成与所述字节转换后的写数据一致性请求 WriteUnique 字节数相等，向监听控制单元发送无效请求 invalidate，接收返回的无效请求响应 inv_done 后，向互连单元发起写操作，缓存写数据响应通道。

5 这里，由于监听控制单元返回的无效请求响应 inv_done 可能是乱序的，为了保证字节数转换后的写数据一致性请求 WriteUnique 与发送的写数据一致性请求 WriteUnique 顺序的一致性，在无效请求 invalidate 的标识 inv_id 中除了添加有第二主设备单元的写地址通道标识 awid 外，还要在字节数转换后的写数据一致性请求 WriteUnique 中添加 buffer 号，并保存在
10 buffer 中；如果返回的标识 inv_id 与保存的 buffer 号一致，才将对应的写数据一致性请求 WriteUnique 发送至互连单元。

步骤 702，根据协议转换处理后的数据一致性请求，确定对应的数据一致性操作设备，对所述数据一致性操作设备进行数据一致性操作；

本步骤中，当同时收到读数据一致性请求 ReadOnce 及写数据一致性请求 WriteUnique 时，对所述字节数转换后的读数据一致性请求 ReadOnce 及
15 所述字节数转换后的写数据一致性请求 WriteUnique 的执行进行仲裁，并根据仲裁后的读数据一致性请求 ReadOnce 或写数据一致性请求 WriteUnique 向所述监听控制单元发送相应的数据一致性请求；这里，因为所述实现数据一致性的装置的第二从接口单元与监听控制单元之间的一致性请求接口
20 只有一个，所以第二从接口单元需要对所述读数据一致性请求 ReadOnce 和写数据一致性请求 WriteUnique 的执行进行仲裁后，向监听控制单元发送读数据一致性请求 ReadOnce，或根据写数据一致性请求 WriteUnique 向监听控制单元发送无效请求 invalidate。

这里，若仲裁后的请求是读数据一致性请求 ReadOnce 时，将读数据一致性请求 ReadOnce 发送至所述监听控制单元后，还需根据所述写数据一致
25

性请求 WriteUnique 向所述监听控制单元发送无效请求 invalidate; 或者,

若仲裁后的请求是写数据一致性请求 WriteUnique 时, 根据写数据一致性请求 WriteUnique 向所述监听控制单元发送无效请求 invalidate 后, 还需将所述读数据一致性请求 ReadOnce 发送至所述监听控制单元。

5 其中, 对所述字节数转换后的读数据一致性请求及所述字节数转换后的写数据一致性请求的执行进行仲裁的具体实现方法有很多种, 比如: 可以根据轮询仲裁的方式对所述读数据一致性请求 ReadOnce 及写数据一致性请求 WriteUnique 的执行进行仲裁, 还可以根据最近最少访问或伪随机的仲裁方式进行仲裁。

10 这里, 所述根据协议转换处理后的数据一致性请求, 确定对应的数据一致性操作设备, 对所述数据一致性操作设备进行数据一致性操作, 包括:

根据协议转换处理后的数据一致性请求, 查找标记存储器, 确定查找到标记存储器, 向查找到的标记存储器对应的主设备单元发起监听, 以获取读数据; 确定未查找到标记存储器时, 利用互连单元获取读数据。

15 具体地, 当收到协议转换处理后的读数据一致性请求 ReadOnce 时, 根据协议转换后的读数据一致性请求 ReadOnce, 确定查找到标记存储器 tag_ram 时, 向查找到的标记存储器 tag_ram 对应的第一主设备单元发送监听请求, 获取访问数据; 若第一主设备单元未响应监听请求, 则向互连单元发送读数据操作指示, 获取读数据; 若确定未查找到标记存储器 tag_ram
20 时, 则向所述互连单元发送读数据操作指示, 获取读数据; 或者,

当接收的数据一致性请求为写一致性请求 WriteUnique 时, 所述根据协议转换处理后的数据一致性请求, 确定对应的数据一致性操作设备, 对所述数据一致性操作设备进行数据一致性操作, 包括:

当收到协议转换处理后的写数据一致性请求 WriteUnique 时, 响应接收
25 写数据一致性请求 WriteUnique 的第二从接口单元发送的无效请求

invalidate, 以使第二从接口单元向互连发起写操作;

这里, 所述根据所述协议转换后的读数据一致性请求 ReadOnce 查找标记存储器 tag_ram, 如果查找到标记存储器 tag_ram, 则向发送第一主设备单元发送监听请求, 具体包括:

- 5 根据所述协议转换后的读数据一致性请求 ReadOnce 查找标记存储器 tag_ram, 如果查找到标记存储器 tag_ram, 则根据标记存储器 tag_ram 中的完整缓存数据行 Full Cache Line 信息生成命中结果; 其中, 若命中结果中的完整缓存数据行 Full Cache Line 是有效状态, 则向第一主设备单元发送监听请求, 以获取读数据; 若命中结果中的完整缓存数据行 Full Cache Line 10 是无效状态或命中结果中不存在完整缓存数据行 Full Cache Line, 则利用互连单元向外部存储器 memory 发送读外部存储器 memory 请求; 所述操作类型为 ReadClean, 所述 ReadClean 是指读共享数据并且读出的共享数据不被缓存, 所述标记存储器 tag_ram 中记录了所访问的完整缓存数据行 Full Cache Line 是否存在于第一主设备单元的 cache 中; 所述第二从接口单元还 15 可以通过侦听所述第一主设备单元对应的第一从接口单元判断是否能获取访问数据; 如果第二主设备单元需要访问的数据在第一主设备单元的 cache 中, 则在无需访问从设备单元的情况下就可以直接从第一主设备单元的 cache 中获取访问数据, 这样, 可以减少访问时间, 提高访问效率。

- 当监听控制单元接收到无效请求 invalidate 时, 返回无效请求响应 20 inv_done, 第二从接口单元根据无效请求响应 inv_done 向互连单元发送写操作指示, 监听控制单元根据对应标记存储器 tag_ram 的无效请求, 将相应标记存储器 tag_ram 设置成无效状态, 同时根据写回 WriteBack 请求中的更新消息更新 tag_ram; 其中, 所述写回 WriteBack 请求是指所述第一从接口单元向监听控制单元发送的将数据写回到外部存储器 memory 的请求。

- 25 另外, 当确定支持接收的数据一致性请求对应的协议时, 则不需要对

接收的数据一致性请求进行协议转换处理，直接将接收的数据一致性请求发送至所述监听控制单元。

具体地，在有一致性数据传输要求的情况下，根据先进先出 FIFO 缓存传输类型、数据地址冲突、传输事务间顺序 ordering 情况，将无需进行协议转换的读数据一致性请求发送至监听控制单元，将无需进行协议转换处理的写数据一致性请求发送至互连单元，直接向互连单元发起读操作指示，当监听控制单元接收到返回的读数据后，将读数据发送至第一从接口单元。所述监听控制单元对无需进行协议转换的读数据一致性请求的处理流程与协议转换后的读数据一致性请求的处理流程相同。

这里，当所述监听控制单元同时接收到无需进行协议转换的读数据一致性请求及经协议转换后的读数据一致性请求 ReadOnce 时，需要对无需进行协议转换的读数据一致性请求及经协议转换后的读数据一致性请求 ReadOnce 的执行进行仲裁，如果所述监听控制单元仲裁后的请求是所述无需进行协议转换的读数据一致性请求时，则对所述无需进行协议转换的读数据一致性请求处理完毕之后，还需对经协议转换后的读数据一致性请求 ReadOnce 进行处理；或者，如果所述监听控制单元仲裁后的请求是所述经协议转换后的读数据一致性请求 ReadOnce 时，则对所述经协议转换后的读数据一致性请求 ReadOnce 处理完毕之后，还需对无需进行协议转换的读数据一致性请求进行处理。

这里，如果所述第一从接口单元发送的无需进行协议转换的数据一致性请求、第二从接口单元发出的需要协议转换的数据一致性请求具有相同的 ID，所述监听控制单元还需确保处理这些请求的顺序一致性。

这里，所述第一接口从单元，支持通过 early wresp 寄存器提供的控制信号选择写响应提前返回 early response 或写响应正常返回 normal response 的方式。对于写响应提前返回 early response 方式，当根据无需进行协议转

换的写数据一致性请求完成写操作后，则返回写响应；如果实际写响应有错误 error，第一接口从单元则会记录错误传输的地址和标识 ID；对于写响应正常返回 normal response 方式，将实际写响应返回给第一主设备单元。

5 所述第一接口从单元还具有数据传输超时检测功能，在数据传输过程中，通过计数检测来判断数据传输的各阶段是否超时。具体地，第一主设备单元通过握手机制向从设备单元发送 valid 信号，当第一从接口单元判断如果在超时阈值周期内没有接收到接收从设备单元返回的 ready 信号时，认为数据传输超时，产生超时中断；所述超时阈值周期可根据实际情况预先配置。

10 另外，如果第一主设备单元进行除读和写外的其它一致性维护操作时，所述监听控制单元根据复本唯一 CleanUnique 请求或复本共有 CleanShared 请求或复本无效 CleanInvalid 请求查找标记存储器 tag_ram，如果查找到标记存储器 tag_ram，则根据标记存储器 tag_ram 中的完整缓存数据行 Full Cache Line 信息生成命中结果；其中，若命中结果中的完整缓存数据行 Full
15 Cache Line 是有效状态，则向第一主设备单元发送监听请求，接收第一主设备单元返回的监听响应 cresponse 和监听数据 cdata，当 dirty 数据需要写入外部存储器 memory 时，所述监听控制单元利用互连单元向外部存储器 memory 发送写操作，以将 dirty 数据写入外部存储器 memory 中。

这里，由于监听控制单元是配置为维护第一主设备单元中两个 cluster
20 之间的数据一致性，但是若要采用现有技术中记录完整缓存数据行 Full Cache Line 状态的方法，来记录各个完整缓存数据行 Full Cache Line 状态，将需要消耗非常大的资源，并且方法复杂，难以实现；因此，本实施例中，所述监听控制单元采用的是分段地址计数法，来记录各个 cluster 中完整缓存数据行 Full Cache Line 的存在状态，不但容易实现，而且能较精确地记
25 录完整缓存数据行 Full Cache Line 的状态。

所述方法包括两个基本特性：(1) 如果监听控制单元中的记录表明某完整缓存数据行 Full Cache Line 存在某个 cluster 中，但实际上，由于监听算法的不精准性，导致该完整缓存数据行 Full Cache Line 很有可能在该 cluster 中是处于无效状态的；(2) 如果监听控制单元中的记录表明该 cluster 中不存在完整缓存数据行 Full Cache Line，则该 cluster 肯定不包含该完整缓存数据行 Full Cache Line，即该完整缓存数据行 Full Cache Line 在这个 cluster 中肯定处于无效状态；因此，可以精确记录完整缓存数据行 Full Cache Line 的状态。

本步骤中，为了避免死锁，还需要对传输事务间顺序 ordering 进行阻塞、处理写后写 WAW 和读后写 RAW 之间的冲突；其中，

所述阻塞传输事务间顺序 ordering 包括：所有一致性传输数据请求全部结束后，当前无一致性传输数据的请求才能发出；或者，所有无一致性传输数据请求全部结束后，当前一致性传输数据的请求才能发出。

对于 WAW 冲突，将字节数转换后的写数据一致性请求 WriteUnique 地址发送至第一从接口单元中，若与所述其他写数据一致性请求之间存在冲突，则会阻塞其他写数据一致性请求，直至字节数转换后的写数据一致性请求完成操作；所述 WAW 冲突是指第一主设备单元对该地址区域进行写操作之后，第二主设备单元对该地址区域进行读操作；或者指第二主设备单元对该地址区域进行写操作之后，第一主设备单元对该地址区域进行读操作。

对于 RAW 冲突，利用 CAM 保存未处理的数据一致性请求的写地址通道标识 awid 和写地址通道地址，读数据一致性请求的 miss 地址，判断读数据一致性请求的 miss 地址与 pending 地址是否相同，若相同，则返回冲突信号 hazard，以保证字节数转换后的写数据一致性请求 WriteUnique 完成操作，只有字节数转换后的写数据一致性请求 WriteUnique 完成操作后，才会

向互连单元发起读数据操作；其中，所述写地址通道标识 awid 用于查找写响应通道标识 bid 以及从 CAM 中读取数据；所述 RAW 是指第一主设备单元对该地址区域进行写操作之后，第二主设备单元对该地址区域进行读操作；或者是指第一主设备单元对该地址区域进行写操作之后，第二主设备单元对该地址区域进行读操作。

另外，本步骤中，当确定支持接收的数据一致性请求对应的协议时，则不需要对接收的数据一致性请求进行协议转换处理，将接收的数据一致性请求发送至所述监听控制单元，以便所述监听控制单元根据数据一致性请求，确定对应的数据一致性操作设备，对所述数据一致性操作设备进行数据一致性操作。

在无一致性数据传输要求的情况下，则根据 FIFO 缓存传输类型、数据地址冲突、传输事务间顺序 ordering 情况，将数据一致性请求直接发送至所述互连单元，以访问相应的从设备单元。

本发明实施例提供的方案，从硬件上解决了多处理器系统中存在的共享存储数据一致性问题，减少软件干预及外部存储器的访问次数，提高系统访问效率，降低了内存访问带来的功耗。

并且，本发明实施例的方案所对应的装置具有监听过滤功能，减少不必要的监听操作，进一步提升系统性能。

本领域内的技术人员应明白，本发明的实施例可提供为方法、系统、或计算机程序产品。因此，本发明可采用硬件实施例、软件实施例、或结合软件和硬件方面的实施例的形式。而且，本发明可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质（包括但不限于磁盘存储器和光学存储器等）上实施的计算机程序产品的形式。

本发明是参照根据本发明实施例的方法、设备（系统）、和计算机程序产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程

图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器，使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中，使得存储在该计算机可读存储器中的指令产生包括指令装置的制品，该指令装置实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能。

这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上，使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理，从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

以上所述，仅为本发明的较佳实施例而已，并非用于限定本发明的保护范围，凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本发明的保护范围之内。

权利要求书

1、一种实现数据一致性的装置，所述装置包括：从接口单元及监听控制单元；其中，

所述从接口单元，配置为确定不支持接收的数据一致性请求对应的协议时，对接收的数据一致性请求进行协议转换处理，并将协议转换处理后的数据一致性请求发送至所述监听控制单元；

所述监听控制单元，配置为根据所述从接口单元发送的数据一致性请求，确定对应的数据一致性操作设备，对所述数据一致性操作设备进行数据一致性操作。

2、根据权利要求1所述的装置，其中，所述监听控制单元，还配置为当收到的数据一致性请求为两个以上数据一致性请求时，对收到的两个以上数据一致性请求的执行进行仲裁，根据仲裁后的数据一致性请求，确定对应的数据一致性操作设备，对所述数据一致性操作设备进行数据一致性操作。

3、根据权利要求1所述的装置，其中，所述从接口单元，还配置为确定支持接收的数据一致性请求对应的协议时，将接收的数据一致性请求发送至所述监听控制单元。

4、根据权利要求3所述的装置，其中，所述从接口单元包括：第一从接口单元及第二从接口单元；其中，

所述第一从接口单元，配置为将接收的来自第一主设备单元的第一读数据一致性请求发送至所述监听控制单元；

所述第二从接口单元，配置为将接收的来自第二主设备单元的数据一致性请求进行协议转换处理，并将协议转换处理后的数据一致性请求发送至所述监听控制单元。

5、根据权利要求4所述的装置，其中，所述第二从接口单元，配置为：

将接收的第二主设备单元发送的支持 AXI 协议的数据一致性请求转换成支持 ACE_Lite 协议的数据一致性请求；并将协议转换后的数据一致性请求的字节数转换成完整缓存数据行 Full Cache Line 字节数。

6、根据权利要求 5 所述的装置，其中，所述第二从接口单元包括：协议转换子单元、读操作转换子单元、读接口子单元、写操作转换子单元、以及写接口子单元；其中，

所述协议转换子单元，配置为将接收的第二主设备单元发送的支持 AXI 协议的数据一致性请求转换成支持 ACE_Lite 协议的数据一致性请求；

所述读操作转换子单元，配置为当第二主设备单元发送的数据一致性请求为第二读数据一致性请求时，将协议转换后的第二读数据一致性请求的字节数转换成 Full Cache Line 字节数；

所述读接口子单元，配置为为所述字节数转换后的第二读数据一致性请求分发第二读数据一致性请求通道，复用读数据通道；

所述写操作转换子单元，配置为当第二主设备单元发送的数据一致性请求为第二写数据一致性请求时，将协议转换后的第二写数据一致性请求的字节数转换成 Full Cache Line 字节数；

所述写接口子单元，配置为为所述字节数转换后的第二写数据一致性请求分发第二写数据一致性请求通道，缓存写数据响应通道。

7、根据权利要求 6 所述的装置，其中，所述第二从接口单元还包括：仲裁子单元，配置为当同时收到所述读接口子单元与所述写接口子单元发送的数据一致性请求时，对所述字节数转换后的第二读数据一致性请求及所述字节数转换后的第二写数据一致性请求的执行进行仲裁，并根据仲裁后的第二读数据一致性请求或第二写数据一致性请求向所述监听控制单元发送相应的数据一致性请求。

8、根据权利要求 6 所述的装置，其中，所述读接口子单元还配置为阻

塞传输事务间顺序。

9、根据权利要求 6 所述的装置，其中，写接口子单元还配置为阻塞传输事务间顺序、处理写后写 WAW 和读后写 RAW 冲突。

10、根据权利要求 4 所述的装置，其中，所述第一从接口单元，还配置为将来自第一主设备单元的第一写数据一致性请求发送至互连单元，直接向互连单元发起写操作。

11、根据权利要求 4 所述的装置，其中，所述监听控制单元包括标记控制子单元及数据交换子单元；其中，

所述标记控制子单元，配置为接收第一从接口单元发送的第一读和/或第一写数据一致性请求、第二从接口单元发送的第二读和/或第二写一致性请求及数据交换子单元发送的无效请求 invalidate，并对这些请求的执行进行仲裁；当仲裁后的请求是第一读数据一致性请求或第二读数据一致性请求时，根据第一读数据一致性请求或第二读数据一致性请求查找标记存储器，如果查找到标记存储器，则根据标记存储器中的 Full Cache Line 信息生成命中结果；若命中结果中的 Full Cache Line 是有效状态，则向所述数据交换子单元发送监听请求，以获取读数据；若命中结果中的 Full Cache Line 是无效状态或命中结果中不存在 Full Cache Line，则利用互连单元获取读数据；

所述数据交换子单元，配置为根据命中信息将所述监听请求发送至第一主设备单元，接收第一主设备单元返回的监听响应和监听数据，并将监听数据发送至第一从接口单元或第二从接口单元后，向第一从接口单元或第二从接口单元发送数据一致性请求操作完成指示。

12、根据权利要求 11 所述的装置，其中，所述标记控制子单元，还配置为当监听请求无响应时，利用互连单元获取读数据。

13、根据权利要求 12 所述的装置，其中，所述数据交换子单元，还配

置为收到第二从接口单元发送的无效请求后，向第二从接口单元返回无效请求响应；并向所述标记控制子单元发送对应标记存储的无效请求；

相应地，所述标记控制子单元，还配置为收到数据交换子单元的无效请求后，将相应标记存储器设置成无效状态，同时根据收到的写回请求中的更新消息更新标记存储器；

第二从接口单元，还配置为收到数据交换子单元的响应后，向互连单元发起写操作。

14、根据权利要求 11 所述的装置，其中，所述监听控制单元还包括仲裁子单元，配置为：对标记控制子单元发送的读外部存储器 memory 请求及所述数据交换子单元发送的读外部存储器请求的执行进行仲裁，并将仲裁后的读请求发送至互连单元，接收互连单元返回的读数据。

15、一种实现数据一致性的方法，所述方法还包括：

确定不支持接收的数据一致性请求对应的协议时，对接收的数据一致性请求进行协议转换处理；

根据协议转换处理后的数据一致性请求，确定对应的数据一致性操作设备，对所述数据一致性操作设备进行数据一致性操作。

16、根据权利要求 15 所述的方法，其中，所述对接收的数据一致性请求进行协议转换处理，包括：

将接收的支持 AXI 协议的数据一致性请求转换成支持 ACE_Lite 协议的数据一致性请求；并将协议转换后的数据一致性请求的字节数转换成 Full Cache Line 字节数。

17、根据权利要求 16 所述的方法，其中，当接收的数据一致性请求为读一致性请求时，所述根据协议转换处理后的数据一致性请求，确定对应的数据一致性操作设备，对所述数据一致性操作设备进行数据一致性操作，包括：

根据协议转换处理后的读数据一致性请求，查找标记存储器，确定查找到标记存储器，向查找到的标记存储器对应的主设备单元发起监听，以获取读数据；确定未查找到标记存储器时，利用互连单元获取读数据。

18、根据权利要求 17 所述的方法，其中，所述方法还包括：

5 当监听无响应时，利用互连单元获取读数据。

19、根据权利要求 16 所述的方法，其中，当接收的数据一致性请求为写一致性请求时，所述根据协议转换处理后的数据一致性请求，确定对应的数据一致性操作设备，对所述数据一致性操作设备进行数据一致性操作，包括：

10 根据字节数转换后的写数据一致性请求向实现数据一致性的装置的监听控制单元发送无效请求；

所述监听控制单元返回无效请求响应；

根据无效请求响应，向实现数据一致性的装置的互连单元发起写操作。

20、根据权利要求 15 所述的方法，其中，所述方法还包括：

15 阻塞传输事务间顺序；和/或，

处理 WAW 和 RAW 冲突。

21、一种计算机存储介质，所述计算机存储介质包括一组指令，当执行所述指令时，引起至少一个处理器执行如权利要求 15 至 20 任一项所述的实现数据一致性的方法。



图 1

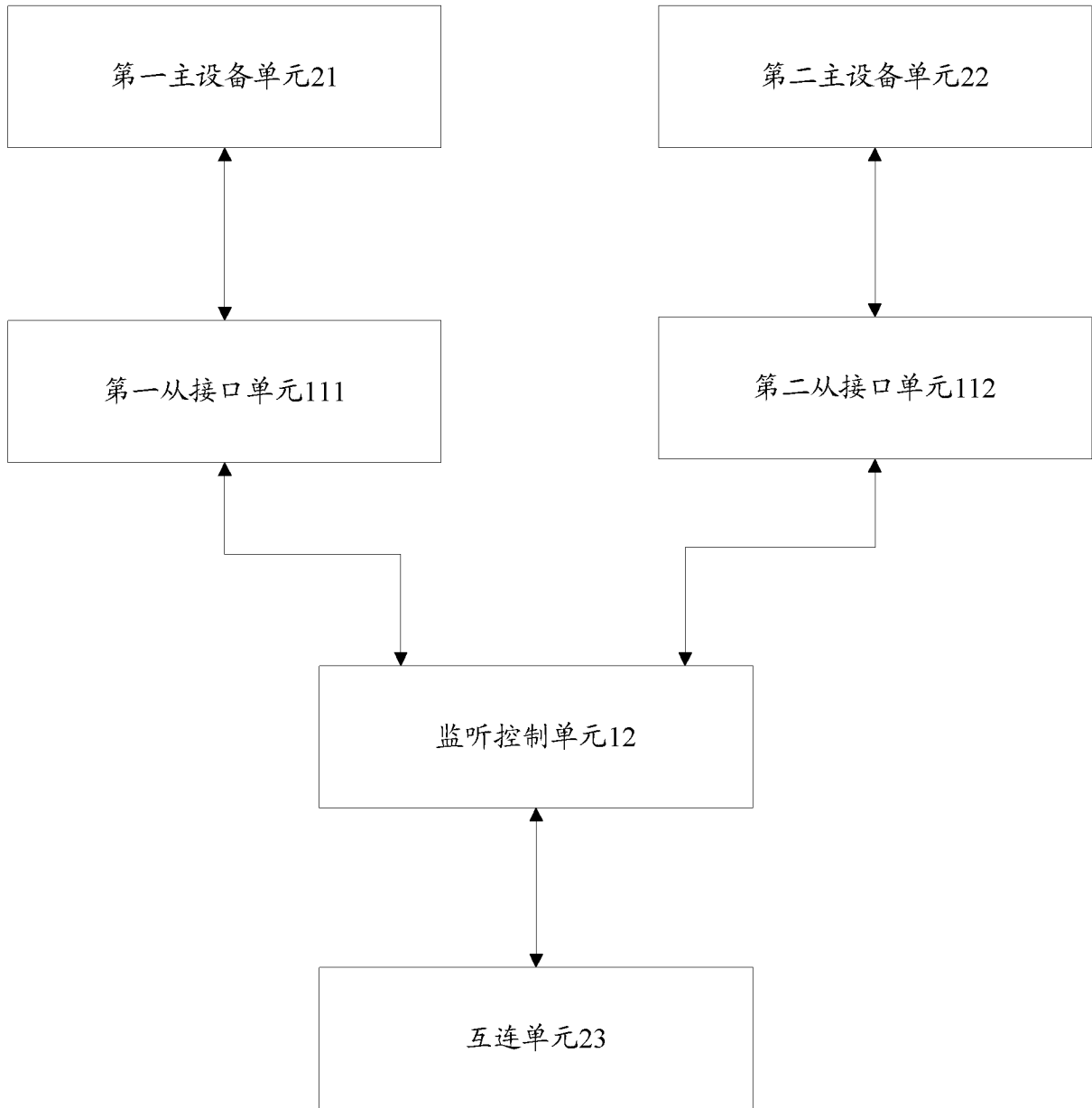


图 2

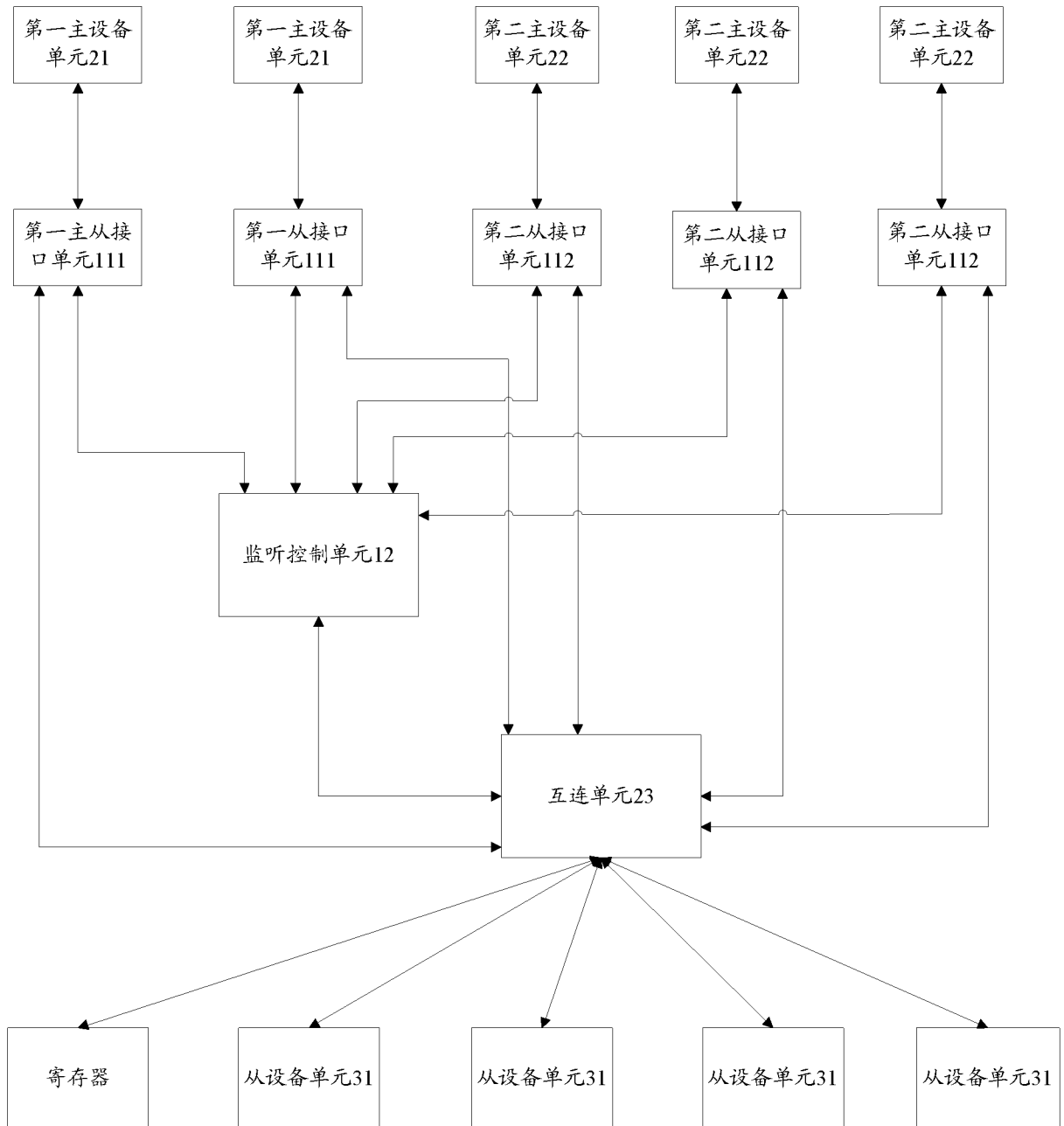


图 3

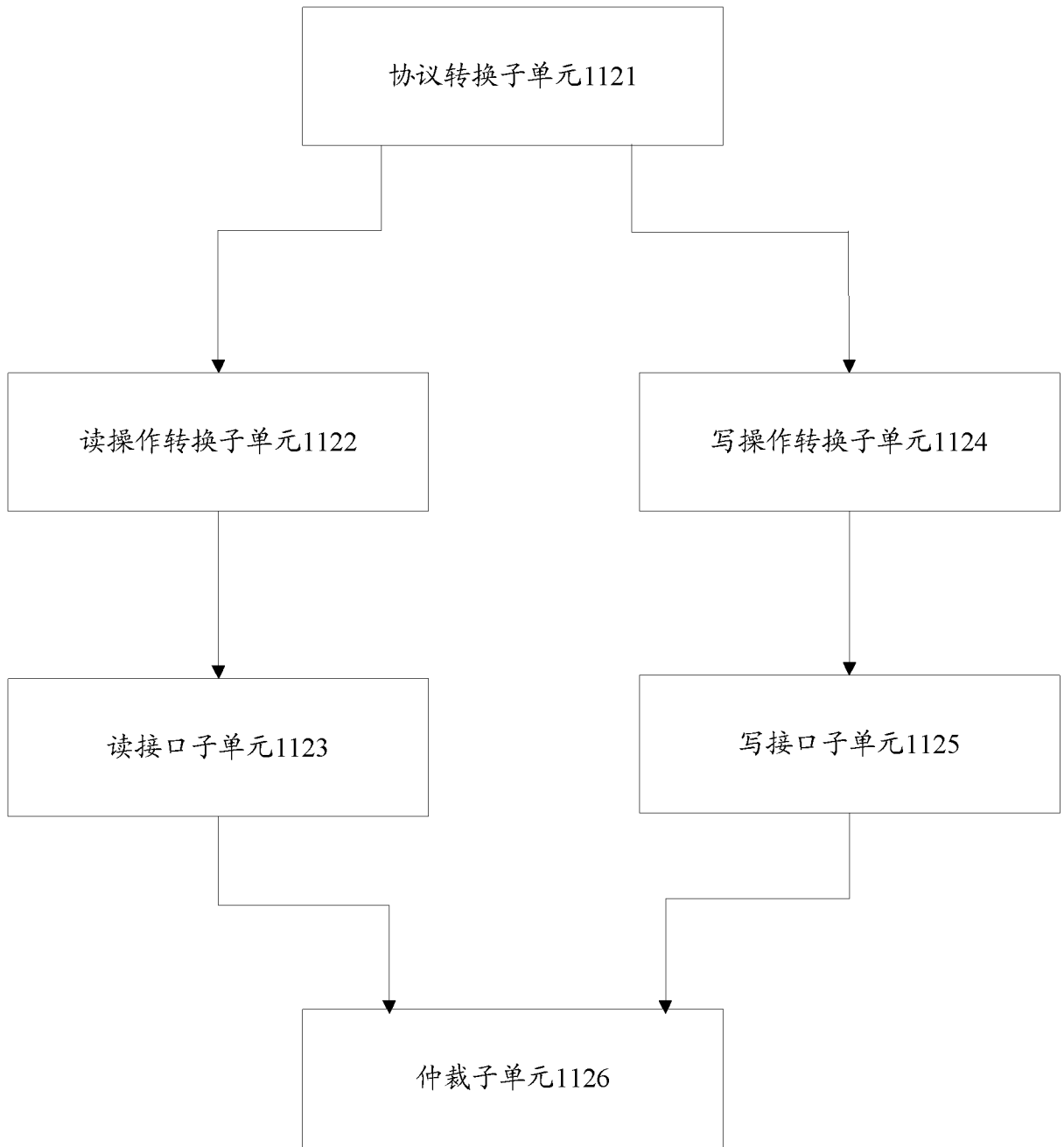


图 4

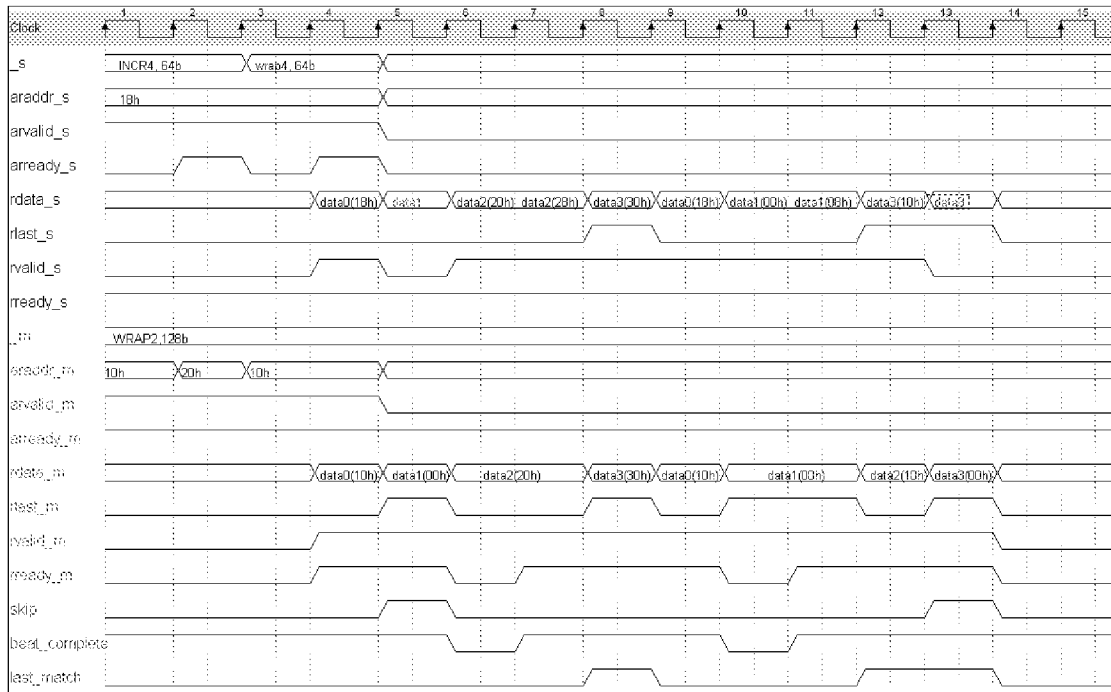


图 5

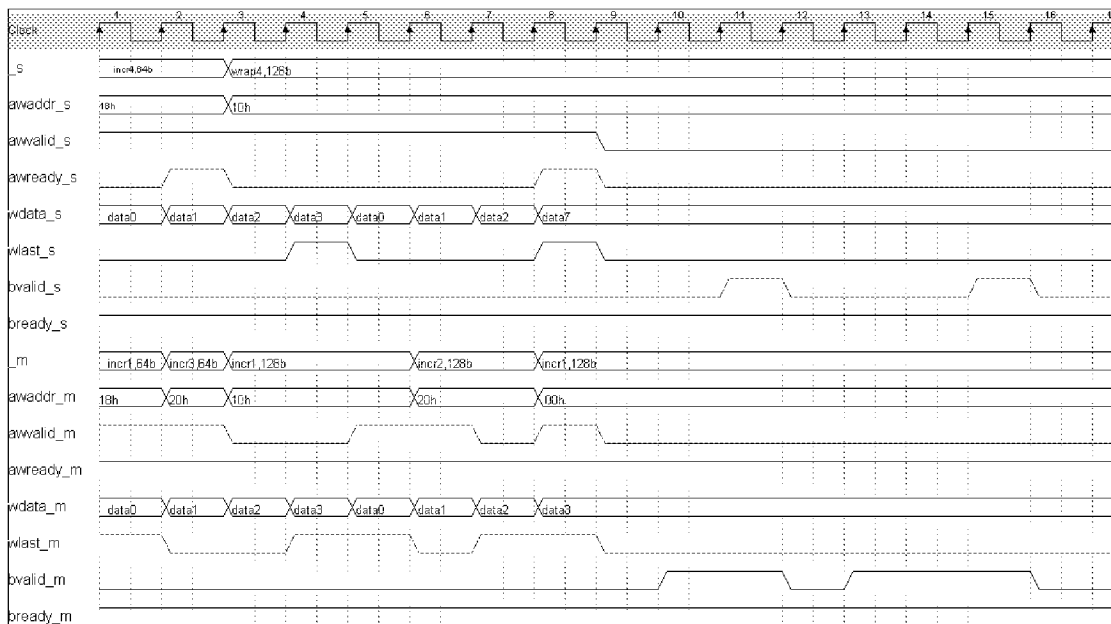


图 6

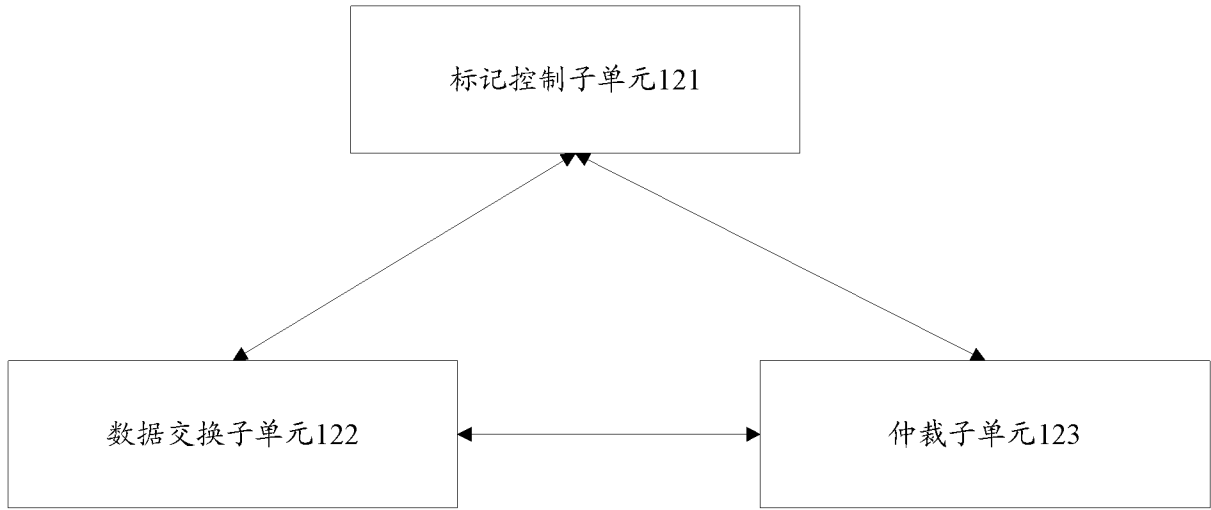


图 7

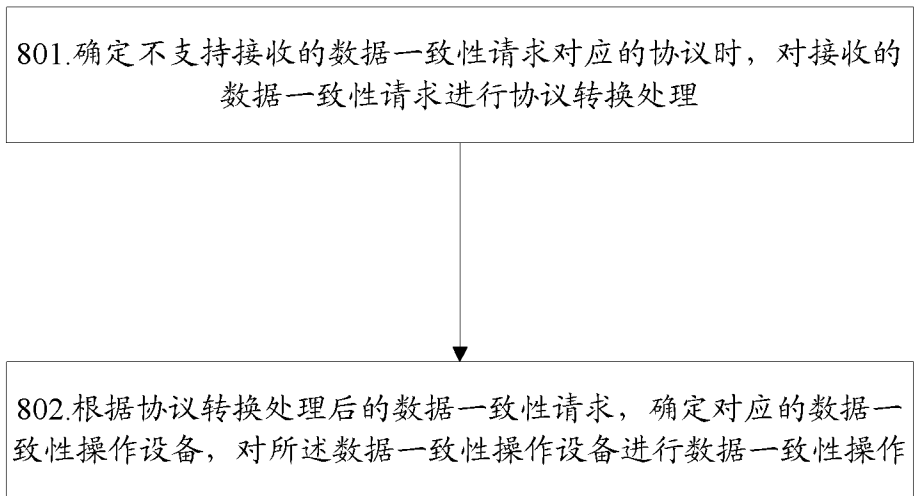


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/088637

A. CLASSIFICATION OF SUBJECT MATTER

G06F 12/08 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F 12; G06F 13

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNXTX; CNABS; DWPI; SIPOABS: request, cache, data, coherence, consistency, protocol?, convert+, conversion, transform+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2014115210 A1 (TEXAS INSTRUMENTS INC.), 24 April 2014 (24.04.2014), description, paragraph 14, and figure 1	1-21
Y	US 2013103912 A1 (STMICROELECTRONICS R&D LTD.), 25 April 2013 (25.04.2013), description, paragraphs 7-31, and figure 1	1-21
A	US 8185697 B1 (HEWLETT-PACKARD DEVELOPMENT COMPANY, L.P.), 22 May 2012 (22.05.2012), the whole document	1-21
A	US 6349366 B1 (COMPAQ INFORMATION TECHNOLOGIE), 19 February 2002 (19.02.2002), the whole document	1-21

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---	---

Date of the actual completion of the international search

02 February 2015 (02.02.2015)

Date of mailing of the international search report

15 February 2015 (15.02.2015)

Name and mailing address of the ISA/CN:
 State Intellectual Property Office of the P. R. China
 No. 6, Xitucheng Road, Jimenqiao
 Haidian District, Beijing 100088, China
 Facsimile No.: (86-10) 62019451

Authorized officer

YAN, Shiyong

Telephone No.: (86-10) **62411767**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/088637

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2014115210 A1	24 April 2014	US 2014115269 A1	24 April 2014
		US 2014115220 A1	24 April 2014
		US 2014115270 A1	24 April 2014
		US 2014115266 A1	24 April 2014
US 2013103912 A1	25 April 2013	GB 201109447 D0	20 July 2011
		GB 2491588 A	12 December 2012
		US 8930637 B2	06 January 2015
US 8185697 B1	22 May 2012	None	
US 6349366 B1	19 February 2002	None	

国际检索报告

国际申请号

PCT/CN2014/088637

<p>A. 主题的分类</p> <p>G06F 12/08(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																	
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G06F12; G06F13</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNXTX;CNABS;DWPI;SIPOABS:缓存, 数据, 一致性, 协议, 转换, 请求, cache, data, coherence, consistency, protocol?, convert+, conversion, transform+</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>US 2014115210 A1 (TEXAS INSTRUMENTS INC) 2014年 4月 24日 (2014 - 04 - 24) 说明书第14段, 图1</td> <td>1-21</td> </tr> <tr> <td>Y</td> <td>US 2013103912 A1 (STMICROELECTRONICS R&D LTD) 2013年 4月 25日 (2013 - 04 - 25) 说明书第7-31段, 图1</td> <td>1-21</td> </tr> <tr> <td>A</td> <td>US 8185697 B1 (HEWLETT-PACKARD DEV CO LP) 2012年 5月 22日 (2012 - 05 - 22) 全文</td> <td>1-21</td> </tr> <tr> <td>A</td> <td>US 6349366 B1 (COMPAQ INFORMATION TECHNOLOGIE) 2002年 2月 19日 (2002 - 02 - 19) 全文</td> <td>1-21</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	US 2014115210 A1 (TEXAS INSTRUMENTS INC) 2014年 4月 24日 (2014 - 04 - 24) 说明书第14段, 图1	1-21	Y	US 2013103912 A1 (STMICROELECTRONICS R&D LTD) 2013年 4月 25日 (2013 - 04 - 25) 说明书第7-31段, 图1	1-21	A	US 8185697 B1 (HEWLETT-PACKARD DEV CO LP) 2012年 5月 22日 (2012 - 05 - 22) 全文	1-21	A	US 6349366 B1 (COMPAQ INFORMATION TECHNOLOGIE) 2002年 2月 19日 (2002 - 02 - 19) 全文	1-21
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
Y	US 2014115210 A1 (TEXAS INSTRUMENTS INC) 2014年 4月 24日 (2014 - 04 - 24) 说明书第14段, 图1	1-21															
Y	US 2013103912 A1 (STMICROELECTRONICS R&D LTD) 2013年 4月 25日 (2013 - 04 - 25) 说明书第7-31段, 图1	1-21															
A	US 8185697 B1 (HEWLETT-PACKARD DEV CO LP) 2012年 5月 22日 (2012 - 05 - 22) 全文	1-21															
A	US 6349366 B1 (COMPAQ INFORMATION TECHNOLOGIE) 2002年 2月 19日 (2002 - 02 - 19) 全文	1-21															
<p>国际检索实际完成的日期</p> <p>2015年 2月 02日</p>	<p>国际检索报告邮寄日期</p> <p>2015年 2月 15日</p>																
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国</p> <p>传真号 (86-10)62019451</p>	<p>受权官员</p> <p>颜世莹</p> <p>电话号码 (86-10)62411767</p>																

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/088637

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2014115210	A1	2014年 4月 24日	US	2014115269	A1	2014年 4月 24日
				US	2014115220	A1	2014年 4月 24日
				US	2014115270	A1	2014年 4月 24日
				US	2014115266	A1	2014年 4月 24日
US	2013103912	A1	2013年 4月 25日	GB	201109447	D0	2011年 7月 20日
				GB	2491588	A	2012年 12月 12日
				US	8930637	B2	2015年 1月 06日
US	8185697	B1	2012年 5月 22日	无			
US	6349366	B1	2002年 2月 19日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)