



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I865766 B

(45)公告日：中華民國 113 (2024) 年 12 月 11 日

(21)申請案號：110112908

(22)申請日：中華民國 110 (2021) 年 04 月 09 日

(51)Int. Cl. : H01L21/205 (2006.01)

H01L21/306 (2006.01)

H01L23/29 (2006.01)

(30)優先權：2020/04/10 法國

2003653

(71)申請人：法國原子能源和替代能源委員會 (法國) COMMISSARIAT A L'ENERGIE
ATOMIQUE ET AUX ENERGIES ALTERNATIVES (FR)

法國

法商泰勒斯公司 (法國) THALES (FR)

法國

(72)發明人：馬爾胡埃特雷 斯蒂芬 MALHOITRE, STEPHANE (FR)；比托爾德 大衛
BITAULD, DAVID (FR)；哈桑 卡里姆 HASSAN, KARIM (FR)；拉米雷斯 瓊
RAMIREZ, JOAN (FR)；盛 亞歷山大 SHEN, ALEXANDRE (FR)

(74)代理人：許世正

(56)參考文獻：

TW I493664B

US 2004/0099870A1

審查人員：林宥辰

申請專利範圍項數：11 項 圖式數：35 共 45 頁

(54)名稱

包含矽波導跟氮化矽波導之混合層的製造方法、光子三五族半導體元件的製造方法及光子三五族半導體元件

(57)摘要

本製造方法包含：於封裝的矽層體中在需生成波導的氮化矽核心之處生成溝槽，接著；在封裝的矽層體上沉積氮化矽層，所沉積的氮化矽層之厚度足以完全填充溝槽，接著；移除位於溝槽外部的氮化矽以暴露齊平於填充有氮化矽的溝槽之頂面，接著；沉積遮蔽暴露的頂面之介電層，以完成氮化矽核心的封裝，並因此得到包含封裝在介電物中的矽及氮化矽核心的混合層。

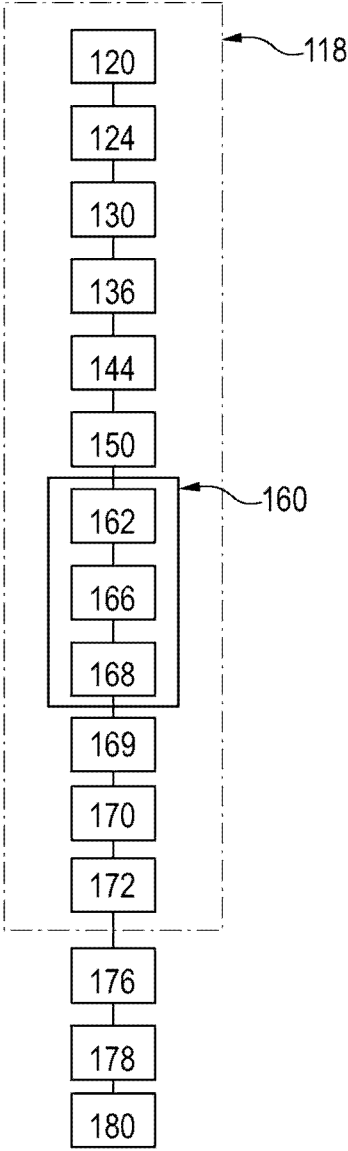
This fabricating process comprises: producing (144) a trench, in an encapsulated-silicon layer, in the location where a silicon-nitride core of the waveguide must be produced, then; depositing (150) a silicon-nitride layer on the encapsulated-silicon layer, the thickness of the deposited silicon-nitride layer being sufficient to completely fill the trench, then; removing (160) the silicon nitride situated outside of the trench to uncover an upper face with which the trench filled with silicon nitride is flush, then; depositing (170) a dielectric layer that covers the uncovered upper face in order to finalize the encapsulation of the silicon-nitride core and thus to obtain a mixed layer containing both the silicon and silicon-nitride cores encapsulated in dielectric.

指定代表圖：

符號簡單說明：

118:階段

120、124、130、
136、144、150、
160、162、166、
168、169、170、
172、176、178、180:
步驟



【圖11】



公告本

I865766

【發明摘要】

【中文發明名稱】 包含矽波導跟氮化矽波導之混合層的製造方法、光子三五族半導體元件的製造方法及光子三五族半導體元件

【英文發明名稱】 PROCESS FOR FABRICATING A MIXED LAYER COMPRISING A SILICON WAVEGUIDE AND A SILICON-NITRIDE WAVEGUIDE, PROCESS FOR FABRICATING A PHOTONIC, III-V SEMICONDUCTOR COMPONENT AND PHOTONIC, III-V SEMICONDUCTOR COMPONENT

【中文】

本製造方法包含：於封裝的矽層體中在需生成波導的氮化矽核心之處生成溝槽，接著；在封裝的矽層體上沉積氮化矽層，所沉積的氮化矽層之厚度足以完全填充溝槽，接著；移除位於溝槽外部的氮化矽以暴露齊平於填充有氮化矽的溝槽之頂面，接著；沉積遮蔽暴露的頂面之介電層，以完成氮化矽核心的封裝，並因此得到包含封裝在介電物中的矽及氮化矽核心的混合層。

【英文】

This fabricating process comprises: producing (144) a trench, in an encapsulated-silicon layer, in the location where a silicon-nitride core of the waveguide must be produced, then; depositing (150) a silicon-nitride layer on the encapsulated-silicon layer, the thickness of the deposited silicon-nitride layer being sufficient to completely fill the trench, then; removing (160) the silicon nitride situated outside of the trench to uncover an upper face with which

the trench filled with silicon nitride is flush, then; depositing (170) a dielectric layer that covers the uncovered upper face in order to finalize the encapsulation of the silicon-nitride core and thus to obtain a mixed layer containing both the silicon and silicon-nitride cores encapsulated in dielectric.

【指定代表圖】 圖 11。

【代表圖之符號簡單說明】

118...階段

120、124、130、136、144、150、160、162、166、168、169、

170、172、176、178、180...步驟

【特徵化學式】

無。

【發明說明書】

【中文發明名稱】 包含矽波導跟氮化矽波導之混合層的製造方法、光子三五族半導體元件的製造方法及光子三五族半導體元件

【英文發明名稱】 PROCESS FOR FABRICATING A MIXED LAYER COMPRISING A SILICON WAVEGUIDE AND A SILICON-NITRIDE WAVEGUIDE, PROCESS FOR FABRICATING A PHOTONIC, III-V SEMICONDUCTOR COMPONENT AND PHOTONIC, III-V SEMICONDUCTOR COMPONENT

【技術領域】

【0001】 本發明關於包含第一波導及第二波導的混合層之製造方法，其中第一波導的核心(core)由矽製成，而第二波導的核心由氮化矽製成。本發明也關於：光子元件的製造方法以及所製造出的光子元件，其中光子元件使用此方法製造混合層。

【先前技術】

【0002】 如專利公告號為 US10270222B1 之專利申請以及專利公開號為 WO2019002763A1 之專利申請所述，以及如於半導體雷射源之特定內容中所述，使用三五族半導體增益材料(III-V gain material)製成的波導以及由矽及氮化矽製成的波導為有益的。具體來說，這能改善雷射源的效能及性質。更廣泛地來說，須注意的是，三五族半導體元件與矽及氮化矽製成的波導相關時可受益於經改善的效能。

【0003】 以下，「矽波導」或「矽製成的波導」是指核心由矽製成的波導，而「氮化矽波導」或「氮化矽製成的波導」是指核心由氮化矽製成的波導。

【0004】 在這種光子元件的習知製造方法中，會在彼此堆疊於頂側之各個層體上製造三個不同的波導。因此，為了製造這些光子元件，會需要製造至少三個不同層體的堆疊結構。

【0005】 若能在相同的位準製造出含有矽波導及氮化矽波導的混合層，則會因此簡化這些光子元件的製造且這些光子元件的整合密度(integration density)也會提升。

【0006】 然而，製造這樣的混合層之有效且簡單的方法並不存在。這是因為在以前並沒有在遮蔽基板大部分的外表面之厚氮化矽層上進行化學機械研磨的簡單方法，且此外下面的(subjacent)層體(如氧化矽)一旦暴露其就可被停止。

【0007】 技術背景可從專利申請案 CN110954998A、US9671557B1 及 US2016/197111A1 得知。

【發明內容】

【0008】 本發明因此在於消除這種缺陷，因而其之一標的為根據請求項 1 之一種混合層的製造方法。

【0009】 本發明另一個標的為實施上述混合層的製造方法之光子三五族半導體元件的製造方法。

【0010】 最後，本發明另一個標的為使用上述方法製造的光子三五族半導體元件。

【圖式簡單說明】

【0011】 本發明將在參閱以下敘述後以更佳的方式被理解，以下敘述獨自由非限制性示例以及圖式來呈現，在圖式中：

圖 1 為半導體雷射源的架構之示意圖。

圖 2 為能在圖 1 中的雷射源中實施的濾波器之示例的上視示意圖。

圖 3 為圖 1 中的雷射源之一個可能實施例之垂直剖面示意圖。

圖 4 為呈現圖 3 中的雷射源之各種波導之間的光耦合器之上視示意圖。

圖 5 至圖 10 為呈現圖 4 中的光耦合器沿各種剖面繪示之示意圖。

圖 11 為圖 3 中的雷射源之一種製造方法的流程圖。

圖 12 至圖 26 為在實施圖 11 中的方法時得到的各種製造狀態沿垂直剖面繪示之示意圖。

圖 27 為能被用來製造圖 3 中的雷射源之混合層的一種製造方法的流程圖。

圖 28 及圖 29 為實施圖 27 中的方法時得到的兩個製造狀態的垂直剖面示意圖。

圖 30 為能用來製造圖 3 中的雷射源之另一方法的流程圖。

圖 31 至圖 33 為實施圖 30 中的方法時得到的各種製造狀態的剖面示意圖。

圖 34 為矽波導及氮化矽波導之間的光耦合器的另一實施例之

上視示意圖。

圖 35 為圖 34 中的光耦合器的垂直剖面示意圖。

在這些圖式中，相同的標號用來指相同的元件。在本揭露的剩餘部分中，並不會詳細描述本領域具通常知識者熟知的特徵及功能。

【實施方式】

【0012】 以下，部分 I 將呈現本專利申請中使用的特定用語及措辭之定義。接著，部分 II 中將參照圖式描述具體示例。在接下來的部分中，部分 III 中將呈現這些實施例的各種變化態樣。最後，部分 IV 將呈現各種實施例的優點。

【0013】 部分 I：用語及定義

【0014】 在本揭露中，當描述波導由材料 X 製成時，係指此波導的核心由材料 X 製成。此波導的包覆層(cladding)則係由折射率較低的另一材料製成。

【0015】 當描述某一元件「由材料 X 製成」時，係指材料 X 約佔此元件的重量或質量的 90%、95%或 98%以上。

【0016】 有效傳播率(effective propagation index) n_{eff} 也稱為「模態(mode)的相位常數(phase constant)」。其是由以下關係式所界定： $n_g = n_{\text{eff}} - \lambda \frac{dn_{\text{eff}}}{d\lambda}$ ，其中 n_g 為類指數(group index)， λ 為光波導所導引的光訊號之波長。波導的有效傳播率取決於此波導的核心之尺寸以及形成此核心及此波導的包覆層的材料。此可藉由實驗或數值模擬來決定。

【0017】 波導的包覆層大致上由介電體製成。在此情況中，介電體的折射率 n_{md} 低於由矽製成的波導之核心的折射率 n_{Si} 以及由氮化矽製成的核心之折射率 n_{SiN} ，其中折射率 n_{Si} 、 n_{SiN} 分別為矽及氮化矽的折射率。通常，折射率 n_{md} 小於或等於 0.85 倍的折射率 n_c 或是小於或等於 0.75 倍的折射率 n_c ，其中折射率 n_c 為波導的核心之折射率。

【0018】 「溶解(dissolve)」是指藉由濕蝕刻或乾蝕刻對某一材料進行蝕刻的動作。

【0019】 部分 II：實施例的示例

【0020】 圖 1 示意性呈現於波長 λ_{Li} 發光的單色半導體的雷射源 10 的概略架構。以下，僅詳細說明雷射源 10 中的特定部分。讀者可參照專利案件 US10270222B1 及 WO2019002763A1 以取得使用由矽、氮化矽及三五族半導體增益材料製成的波導之半導體雷射源的運作方式之通常資訊。在閱讀以下描述後將顯而易見的是，雷射源 10 與習知的雷射源之間不同之處主要在於雷射源 10 中由矽及氮化矽製成的波導之佈置方式。

【0021】 雷射源 10 包含界定法布立-培若腔體(Fabry-Pérot cavity)的多個端之後反射器 12 及前反射器 14，其中光訊號在法布立-培若腔體的內部共振。舉例來說，反射器 12 的反射係數(reflectance)遠高於反射器 14 的反射係數。反射器 12、14 例如為寬頻反射器(wideband reflector)。於此，反射器 12、14 例如為布拉格光柵(Bragg grating)。

【0022】 在反射器 12、14 之間，從反射器 12 到反射器 14，雷射源依序包含以下光子元件：

【0023】 光波導 15，由氮化矽(Si_3N_4)製成且反射器 12 於其中生成；

【0024】 帶通濾波器(bandpass filter)22，能從法布立-培若腔體中可能的各種波長 λ_{Rj} 中篩選出雷射源 10 的運作波長 λ_{Li} ，此濾波器 22 於氮化矽波導 15 中生成；

【0025】 反向漸縮耦合器(inversely tapered coupler)24，將波導 15 的第一區域光學地連接至矽波導 25 的第一區域；

【0026】 矽波導 25；

【0027】 選用的調頻裝置 16，於波導 25 中生成，此調頻裝置 16 能將波長 λ_{Rj} 作為電性控制訊號的函數並利用波導 25 的矽之性質改變波長 λ_{Rj} ；

【0028】 絕熱(adiabatic)或漸消式(evanescent)耦合器 26，將波導 25 的第二區域光學地連接至三五族半導體增益材料製成的波導 28 之對向(facing)第一區域；

【0029】 半導體光放大器 30(也簡稱為 SOA)，於波導 28 中生成且能在各個波長 λ_{Rj} 產生並放大於法布立-培若腔體內部的光訊號共振；

【0030】 絕熱或漸消式耦合器 32，將波導 28 的第二區域光學地連接至波導 25 之對向第三區域；

【0031】 反向漸縮耦合器 34，將波導 25 的第四區域光學地連

接至由氮化矽(Si_3N_4)製成的波導 36 的第一區域；以及

【0032】 反射器 14，生成於波導 36 的一端。

【0033】 為了取得絕熱耦合器的詳細描述，讀者可參照下列文章：“Amnon Yariv et al., ‘Supermode Si/III-V hybrid Lasers, optical amplifiers and modulators: proposal and analysis’, Optics Express 9147, vol. 14, No.15, 23/07/2007”。

【0034】 具體地，絕熱耦合器能將存在於第一波導中幾乎所有的光訊號傳遞至位於上方或下方的第二波導且沒有發生反射。這種絕熱耦合器例如係藉由相對第二波導的寬度修改第一波導的寬度所得。通常，為了以絕熱的方式將矽波導耦接至由三五族半導體材料製成的波導，矽波導的寬度是隨著由三五族半導體材料製成的波導之靠近而逐漸減小。在反向方向中，為了透過絕熱耦合器將光訊號從三五族半導體材料製成的波導傳遞到矽第一波導，矽波導的寬度例如為逐漸增加的。此外，由矽及三五族半導體材料製成的波導大致上具有特定的寬度而使得這些對向波導中有多個區域中各自的有效傳播率為相同的。

【0035】 於本實施例中，濾波器 22 為一共振振鈴濾波器(resonant ring filter)，且其振鈴生成於 Si_3N_4 波導 50 中(圖 2)。較佳地，供振鈴生成的波導 50 透過漸消式耦合器直接光學地連接於波導 15 的兩端。漸消式耦合器是藉由使兩個波導彼此靠近所得到。於此，濾波器 22 相同於專利案件 US10270222B1 及 WO2019002763A1 中描述的濾波器。

【0036】 為了產生用於控制調頻裝置 16 的電性控制訊號，雷射源 10 也包含感測器 40 以及電子電路 42，感測器 40 以及電子電路 42 能產生用於控制調頻裝置 16 的電性控制訊號以永久地將一個波長 λ_{Rj} 保持在濾波器 22 的通帶(passband)之中心處。感測器 40 及電路 42 例如相同於專利案件 US10270222B1 及 WO2019002763A1 中描述的感測器及電路。

【0037】 透過反射器 12、14 離開的光接著例如被導引至光二極體或光纖。為此，會使用額外的光學元件。假設這些額外的光學元件為習知的而不於此詳細描述，以簡化圖式且沒有於圖式中呈現這些額外的光學元件。

【0038】 圖 3 呈現雷射源 10 的第一實施例。於此，雷射源 10 在例如由矽、結晶矽製成的基板 60 上製造，且主要位於對應於基板的平面之水平面中。

【0039】 於圖 3 中，雷射源 10 包含從底部至頂部依序堆疊於基板 60 上的：

【0040】 嵌入(buried)介電層 64；

【0041】 混合層 66，包含氮化矽波導 15、36 及矽波導 25；
以及

【0042】 層體 68，在此示例性實施例中，層體 68 由包含波導 28 的封裝的三五族半導體材料製成，且層體 68 的內部生成有放大器 30。

【0043】 基板 60 具有較厚的厚度，即厚度大於 100 微米(μm)

或 300 μm 。

【0044】 介電層 64 通常(typically)為氧化物。於此，嵌入氧化物為氧化矽，氧化矽的厚度大於 720 奈米(nm)並較佳地大於 1.5 μm 。於此，介電層 64 的厚度等於 2 μm 。

【0045】 絕熱耦合器 26、32 部分地於波導 25 中生成並部分地於波導 28 中生成。

【0046】 放大器 30 例如相同於專利案件 US10270222B1 及 WO2019002763A1 中描述的放大器。在此情況中，波導 28 及放大器 30 是採取三元(ternary)及/或四元(quaternary)材料製成的井(well)及障壁(barrier)之交替子層體的堆疊結構之形式。舉例來說，在使用磷化銦(InP)基板上的磊晶(epitaxy)之情況中，可探究對井及障壁具有兩個不同的帶間隙(bandgap)之四元磷砷化鎵銦(InGaAsP)或銦砷化鋁鎵(AlGaInAs)之交替。在使用砷化鎵(GaAs)基板上的磊晶(epitaxy)之情況中，可探究對井及障壁具有兩個不同的帶間隙之砷氮化鎵銦(GaInNAs)材料之交替或是砷氮化鎵銦及砷氮化鎵(GaNAs)之交替。井及障壁的這些交替分別插設於由磷化銦或砷化鎵製成的 p 型摻雜頂子層以及底子層體 70 之間。子層體 70 由三五族半導體材料製成且子層體 70 的摻雜方式相對於頂子層的摻雜方式。舉例來說，於此，可分別探究由磷化銦或砷化鎵製成的 n 型摻雜子層。放大器 30 包含接觸件(contact)74，接觸件 74 與子層體 70 直接機械及電性接觸。p 型摻雜(磷化銦或砷化鎵)子層與接觸件 76 機械及電性接觸。當高於雷射源的臨界

電流之電流被施加於接觸件 74、76 之間時，放大器 30 會產生及放大在法布立-培若腔體內部共振的光訊號。

【0047】 調頻裝置 16 於此係為了改變波長 λ_{Rj} 而能加熱波導 25 的加熱器。於本實施例中，調頻裝置 16 包含電阻器 80，電阻器 80 電性連接於兩個電性接觸件 82、84。通常，電阻器 80 以大於 500 nm 或 600 nm 之距離分離於波導 25。這些接觸件 82、84 依據感測器 40 的量測電性連接於由電子電路 42 控制的電流或電壓源。

【0048】 調頻裝置 16、波導 28 及放大器 30 受保護套 90 遮蔽而機械地隔絕於外界。僅有接觸件 74、76、82、84 凸出而超過保護套 90。舉例來說，保護套 90 由氮化矽、氧化矽或苯環丁烯 (benzocyclobutene, BCB) 製成。

【0049】 透過雷射源 10 發出的共振光訊號之路徑於圖 3 中由粗黑雙箭頭線表示。

【0050】 圖 4 至圖 10 呈現絕熱耦合器 32 及反向漸縮耦合器 34。耦合器 26、24 例如分別與耦合器 32、34 以相同的方式達成。

【0051】 圖 4 呈現波導 28、25、36 的部分之上視圖。於圖 4 中，僅呈現波導 25、28、36 之核心及供這些核心承靠的介電層 64。波導 25、28、36 的包覆層並沒有呈現出來。波導 25 的核心之界線(limit)在被波導 28 或波導 36 遮擋時是以虛線表示。

【0052】 在圖 5 至圖 10 中，沒有呈現波導 28 的包覆層及基板 60。

【0053】 在圖 4 中，鏈線 A 至 F 分別呈現剖面 A 至 F 的位置。剖面 A 至 F 分別呈現於圖 5 至圖 10 中。更精準地來說，從左至右來說：剖面 A 位於波導 28 之下並位於耦合器 26、32 之間，剖面 B 實質上位於耦合器 32 的中間部分中，剖面 C 位於耦合器 32、34 之間，剖面 D 位於耦合器 34 的起始處，剖面 E 位於耦合器 34 之一端，且剖面 F 位於耦合器 34 及反射器 14 之間。

【0054】 於本實施例中，波導 25 的矽核心包含水平板體 100 及疊設於此板體 100 上的肋部 102。波導 25 這樣的態樣稱為肋部波導態樣(rib-waveguide configuration)。肋部態樣呈現於圖 5 至圖 8 中。

【0055】 板體 100 的剖面為長方形的。因此板體 100 包含相對的水平底面及水平頂面，板體 100 的水平底面直接地接觸於介電層 64 的頂面。板體 100 也包含側牆 100g、100d(如圖 5 所示)。側牆 100g、100d 垂直地延伸。

【0056】 肋部 102 的剖面也為長方形的。肋部 102 包含相對的水平底面以及水平頂面，肋部 102 的水平底面齊平於板體 100 的頂面。肋部 102 也具有垂直地延伸的側牆 102g、102d(如圖 5 所示)。

【0057】 於本實施例中，側牆 100g、100d、102g、102d 及肋部 102 的頂面被封裝於氮化矽塊體 104 中。塊體 104 在剖面 A 至剖面 D 的位置完全遮蔽側牆 100g、100d、102g、102d 及肋部 102 的頂面。因此，波導 25 的包覆層於此至少沿其側牆及其頂面由氮

化矽製成。於圖 5 至圖 8 中，遮蔽波導 25 的頂面之氮化矽的小厚度為看不見的。塊體 104 透過薄介電層 106(也可稱為子層體)分離於波導 28。因此，波導 28 透過遮蔽波導 25 的頂面之氮化矽及介電層 106 分離於波導 25。

【0058】 在耦合器 32(如圖 6 所示)中，肋部 102 的剖面從左至右逐漸擴大以在波導 25、28 中形成有效傳播率相同的多個對向區域。於本實施例中，在耦合器 32 中，板體 100 的剖面保持不變。

【0059】 接著，在耦合器 32、34 之間，波導 25 的剖面保持不變(圖 7：剖面 C)。

【0060】 於本實施例中，波導 28 的一端為吸收區域 110。此區域 110 位於耦合器 32 之後並具有特定的外形而消除(evacuate)光訊號中沒有由耦合器 32 傳送到波導 25 的剩餘部分。

【0061】 從左到右，在耦合器 34 的起始處，肋部 102 的剖面(圖 8：剖面 D)逐漸變窄成一個點。為此，側牆 102g、102d 在匯合於肋部 102 的一端之前逐漸彼此靠近，超過側牆 102g、102d 匯合的那端後肋部 102 便不再存在。肋部 102 的剖面之這種漸縮特徵形成第一漸縮終端。超過肋部 102 的那端之後，光訊號基本上會因此被限制在板體 100 的內部。於此，從耦合器 34 的起始處到肋部 102 的那端，板體 100 的剖面保持不變。

【0062】 接著，超過肋部 102 的那端之後，板體 100 的剖面會從左到右逐漸變窄成一點(圖 9：剖面 E)。為此，至於肋部 102，

側牆 100g、100d 在匯合於板體 100 的一端之前逐漸彼此靠近，波導 25 在那端之後則不再存在，且波導 36 從那端起始。板體 100 的剖面的這種漸縮特徵形成第二漸縮終端。因此，波導 36(圖 10：剖面 F)與波導 25 位於相同的混合層 66 中且波導 36 位於波導 25 的延伸部中。

【0063】 波導 36 的剖面於此為長方形的。因此波導 36 具有相對的水平底面以及水平頂面，波導 36 的水平底面直接機械地承載介電層 64 的頂面。此波導 36 因此與波導 25 位於相同的位準。具體來說，波導 25、36 的水平底面位於相同的水平面中。

【0064】 超過板體 100 的那端之後，大部分的光訊號已經從波導 25 被傳遞到波導 36。

【0065】 以下將參照圖 11 至圖 26 說明雷射源 10 的製造方法。在圖 20 至圖 26 中，沒有呈現基板 60。

【0066】 於圖 12 至圖 19 中，僅呈現雷射源在剖面 E、F、A 的製造狀態。在這些圖式中，這些剖面 E、F、A 的位置以分別標有文字 E、F 及 A 的垂直虛線呈現。在圖 12 至圖 19 中，舉例來說，這些剖面以彼此相鄰的方式呈現。然，事實上，這些剖面是在光訊號沿例如圖 4 中的波導 25、26 傳遞的方向中位於彼此之後。

【0067】 方法開始於在介電層 64 上製造混合層 66 的階段 118。此階段 118 開始於提供堆疊結構的步驟 120，此堆疊結構包含緊疊於彼此之上的基板 60、氧化物的嵌入的介電層 64 及單晶矽

(single-crystal silicon)的層體 122(如圖 20 所示)。這種堆疊結構也稱為矽覆絕緣體(silicon-on-insulator, SOI)堆疊結構。介電層 64 的厚度大致上大於 $1\ \mu\text{m}$ 。舉例來說，於此，介電層 64 的厚度等於 $2\ \mu\text{m}$ 或 $3\ \mu\text{m}$ 。層體 122 的厚度小於且大致上小於 $1\ \mu\text{m}$ 。舉例來說，於本實施例中，層體 122 的厚度等於 $500\ \text{nm}$ 。

【0068】 於步驟 124 中，層體 122 具有特定的結構以生成波導 25 的矽核心。舉例來說，於此步驟中，會進行蝕刻及移除光阻遮罩(resist mask)的光刻作業。具體地，假定波導 25 的態樣，步驟被執行以透過部分蝕刻薄化矽層體 122 並僅留下厚度為 $300\ \text{nm}$ 或 $150\ \text{nm}$ 的單晶矽。接著，大致上來說，完成層體 122 的蝕刻之步驟使單晶矽製成的各種光子元件能分離於此層體 122。

【0069】 更精確地來說，如圖 21 至圖 24 中所詳細繪示，通常，於步驟 124 中，氧化矽的子層體 126(如圖 21 所示)沉積於波導 25 的頂部上。於圖 21 至圖 26 中，僅呈現波導 25 中寬度等於 $500\ \text{nm}$ 的部分。於此，子層體 126 的厚度例如等於 $20\ \text{nm}$ 。接著，例如由硬氮化矽或光阻物(resist)製成的遮罩 128(如圖 22 及圖 23 所示)沉積於層體 122 中無須被蝕刻的區域中。最後，在蝕刻步驟之後，遮罩 128 被移除(如圖 24 所示)。接著變成圖 12 中所呈現的狀態。

【0070】 於步驟 130 中，薄蝕刻停止襯墊 132(如圖 13 及圖 25 所示)沉積於所有的頂面。於此，襯墊 132 由氮化矽製成。襯墊 132 的厚度一般來說介於 $20\ \text{nm}$ 及 $100\ \text{nm}$ 之間或介於 $20\ \text{nm}$ 及 $50\ \text{nm}$

之間。此襯墊 132 具體來說遮蔽由步驟 124 中完成進行的蝕刻而暴露的介電層 64 之頂面。襯墊 132 也遮蔽波導 25 的核心之頂面。在沉積襯墊 132 之後得到的狀態呈現於圖 13 及圖 25 中。為了簡化圖 13 至圖 19，位於襯墊 132 之下的氧化物子層體 126 的剩餘部分沒有呈現於這些圖式中。

【0071】 舉例來說，襯墊 132 係藉由電漿輔助化學氣相沉積 (plasma-enhanced chemical vapour deposition, PECVD) 被沉積。

【0072】 接著，進行封裝並接著平面化矽核心的步驟 136。於步驟 136 中，介電物 138 (如圖 14 所示) 被沉積以封裝矽核心。於此，此介電物為氧化矽。舉例來說，係探究高密度電漿 (high-density plasma, HDP) 氧化矽或確實為基於四乙氧基矽烷 (tetraethylorthosilicate, TEOS) 的氧化矽。此介電物的沉積厚度大於在前面進行的步驟中構成的矽核心之最大厚度。一般來說，此厚度大於矽核心的最大厚度之 1.5 倍。此外，此厚度可依據被期望於矽核心之上獲得的介電物之厚度來增加。

【0073】 接著，頂面藉由執行化學機械研磨 (chemical-mechanical polishing, CMP) 而被平面化。當位於厚度等於 500 nm 之波導 25 的多個部分之上的襯墊 132 暴露時，此平面化步驟會停止。為此，一般來說，使用於此化學機械研磨步驟中的蝕刻劑為相較氮化矽來說以至少二或四倍的更快速度溶解介電物 138 之選擇性蝕刻劑。

【0074】 在這個化學機械研磨步驟之後，頂面為平坦的。於此，

在這個階段，氧化矽的新子層體 140(如圖 14 及圖 26 所示)被沉積以得到整個由氧化矽製成的頂面。子層體 140 的厚度是以調整波導 36 的氮化矽核心的厚度以及塊體 104 的厚度為原則進行選擇。舉例來說，於此，子層體 140 的厚度被選擇為等於 40 nm。在步驟 136 結束時，會得到圖 14 中的封裝矽層。

【0075】 接著，於步驟 144 中，溝槽 146(如圖 15 所示)生成在需供波導 36 的氮化矽核心生成的位置。此外，於本實施例中，此溝槽沿波導 25 的核心在需供氮化矽塊體 104 形成的位置包含延伸部 148(如圖 15 所示)。為此，此延伸部 148 暴露波導 25 的核心之側牆。

【0076】 舉例來說，溝槽 146 及其延伸部 148 係藉由透過遮罩對子層體 140(下層體)及介電物 138(材料)進行乾蝕刻所生成。當位於溝槽 146 的位置中的襯墊 132 暴露時，乾蝕刻會停止。為此，一般來說，所使用的蝕刻劑為相較氮化矽以二或四倍的更快速度溶解氧化矽的選擇性蝕刻劑。

【0077】 於步驟 150 中，氮化矽的層體 152(如圖 16 所示)沉積於所有的外表面。層體 152 的厚度足以完全填滿溝槽 146 及其延伸部 148。舉例來說，於此，層體 152 的厚度大於 600 nm。舉例來說，層體 152 係藉由電漿輔助化學氣相沉積被沉積。

【0078】 於步驟 160 中，層體 152 中沉積於溝槽 146 及其延伸部 148 外側的部分會被移除。為此，於本實施例中，在步驟 162 中，氧化矽的層體 164(如圖 17 所示)沉積於層體 152 的整個頂面。

層體 164 的厚度足以完全填滿在鉛直方向對齊於(plumb with)溝槽 146 及其延伸部 148 的形成在層體 152 中的凹槽。舉例來說，層體 164 的厚度大於 100 nm 或 150 nm。

【0079】 接著，在步驟 166 中，層體 164 藉由化學機械研磨平面化。於此，當到達層體 152 的頂面時，研磨會停止。舉例來說，步驟 166 與以上描述步驟 136 時提到的平面化步驟以相似的方式進行。在此步驟結束時，會得到基本上由氮化矽及少許氧化矽組成並於鉛直方向對齊於溝槽 146 及其延伸部 148 的外表面。接著便會達成圖 18 中呈現的狀態。於圖 18 中，於鉛直方向對齊於溝槽 146 及其延伸部 148 的黑點代表於鉛直方向對齊於這些元件的氧化矽之殘留物。

【0080】 接著，會執行非選擇性蝕刻的步驟 168。於步驟 168 中，所使用的蝕刻劑溶解氧化矽的速度跟溶解氮化矽的速度一樣快。在本文中，「溶解元件 A 跟溶解元件 B 的速度一樣快」之敘述是表示元件 B 的蝕刻率介於 0.8 vA 及 1.2 vA 之間且較佳地介於 0.9 vA 及 1.1 vA 之間，其中 vA 為元件 A 的蝕刻率。當到達位於層體 152 之下的氧化矽時，步驟 168 會停止。為此，此非選擇性蝕刻的結束是藉由發射光譜(optical emission spectroscopy)來偵測。此方法使蝕刻過程中位於外表面上的材料能被辨認。只要辨認出的材料為位於層體 152 之下的介電物，非選擇性蝕刻便會停止。然而，實際上，位於層體 152 之下的介電物仍會被消耗約 20 nm 的一小段厚度。施加在層體 164 的平面化表面的非選擇性

蝕刻使原始平坦度(initial planarity)能被保留。因此，在步驟 168 結束時，會得到齊平於塊體 104 的頂面及波導 36 的核心之頂面的平坦外表面。接著便完成移除氮化矽層體 152 的步驟 160。

【0081】 選用地，在步驟 160 之後且在步驟 169 中，進行局部蝕刻波導 36 的頂面之步驟。這些步驟例如被執行以構成波導 36 中的反射器 14。

【0082】 為了補償在步驟 168 中消耗的介電物之厚度並為了遮蔽塊體 104 的頂部及氮化矽核心的頂部，在步驟 170 中，介電層 106 沉積於外表面上。於此，在步驟 170 中沉積的介電物為氧化矽。接著會達成圖 19 中呈現的狀態。

【0083】 可選用地，在步驟 170 之後為平面化介電層 106 的步驟 172。

【0084】 舉例來說，在步驟 170 結束時，介電層 106 的厚度等於 20 nm。

【0085】 接著會完成製造混合層 66 的階段 118。

【0086】 接著，於步驟 176 中，由三五族半導體增益材料製成的標籤(sticker)或基板直接被接合至混合層 66。此標籤或此基板例如包含：底子層體 70、由三元及/或四元材料製成的井及障壁之交替子層體的堆疊結構，以及摻雜頂子層體。

【0087】 於步驟 178 中，標籤或基板是藉由蝕刻以形成波導 28 的核心所構成。一般來說，於第一次蝕刻中，標籤的頂子層體被蝕刻以構成放大器 30。接著，在第二次蝕刻中，子層體 70 被

蝕刻以完成放大器 30 的構成。於步驟 178 中，也會製造出電阻器 80。

【0088】 最後，於步驟 180 中，會生成保護套 90 及接觸件 74、76、82、84。接著會得到由封裝三五族半導體材料製成的層體 68 並完成雷射源 10 的製造。

【0089】 圖 27 呈現製造能不以階段 118 實施的混合層 66 的第二方法。除了以下列出的部分之外，此第二方法的其他部分相同於圖 11 中的階段 118：步驟 124 由步驟 200 取代，以及步驟 160、169、170、172 分別由步驟 202、215、216、218 取代。

【0090】 除了子層體 126 的厚度大於 20 nm 以在移除襯墊 132 的過程中得到較大的安全邊界(margin)之外，步驟 200 的其他部分相同於步驟 124。舉例來說，於步驟 200 中，子層體 126 的厚度大於 30 nm 或 40 nm。於此，子層體 126 的厚度等於 40 nm。

【0091】 步驟 202 開始於形成於鉛直方向上對齊於溝槽 146 及其延伸部 148 的保護遮罩 206(如圖 28 所示)的步驟 204。此遮罩 206 用於防止位在此遮罩之下的氮化矽被蝕刻。舉例來說，遮罩 206 由光阻物製成。接著會達到圖 28 中呈現的狀態。

【0092】 接著，執行非選擇性地蝕刻氮化矽的步驟 208。當位於層體 152 之下的氧化矽暴露時，此步驟 208 會停止。舉例來說，此步驟的進行方式如同以上所描述的步驟 168 之進行方式。

【0093】 接著，於步驟 210 中，遮罩 206 被移除。接著達成圖 29 中呈現的狀態。在此階段，溝槽 146 及其延伸部 148 之上有

氮化矽凸角(protuberance)212。此凸角 212 凸出超過氧化矽外表面。然而，外表面基本上由氧化矽製成，即凸角 212 遮蔽少於 75% 且一般來說少於 50%或少於 25%的外表面。外表面其餘的部分由氧化矽製成。

【0094】 於步驟 214 中，藉由進行化學機械研磨來平面化外表面以移除凸角 212。舉例來說，於本實施例中，當到達子層體 126 時，步驟 214 會停止。步驟 214 仍會使子層體 126 的厚度減少 20 nm。接著會完成移除層體 152 的步驟 202。

【0095】 可選用地，在步驟 214 之後，執行相同於步驟 169 的步驟 215。

【0096】 接著，於步驟 216 中，介電層 106 被沉積。此步驟例如相同於步驟 170。

【0097】 最後，進行選用的平面化介電層 106 之步驟 218。步驟 218 相同於步驟 172。

【0098】 於此，在步驟 218 結束時，所沉積的介電層 106 之厚度大於 50 nm 或 80 nm。舉例來說，所沉積的介電層 106 之厚度等於 80 nm。

【0099】 接著完成生成混合層 66 之方法。

【0100】 圖 30 呈現製造能不以圖 11 中的方法之階段 118 實施的混合層 66 的第三方法。除了在步驟 130、136 之間包含生成位於波導 36 之下的腔室之額外步驟 230 之外，此第三方法的其他部分相同於階段 118。

【0101】 更精準地來說，於步驟 232 中，襯墊 132 被蝕刻以在襯墊 132 中形成多個開孔 234(如圖 31 所示)。這些開孔 234 沿需要供波導 36 生成的位置延伸。於此，這些開孔 234 也沿需要供塊體 104 生成的位置延伸。

【0102】 接著，於步驟 236 中，正好通過介電層 64 的厚度之溝槽 238 是使用襯墊 132 作為蝕刻遮罩所生成的。這些溝槽 238 各自顯露於基板 60 上。接著達成圖 31 中呈現的狀態。

【0103】 於步驟 240 中，基板 60 被蝕刻以形成位於基板 60 內部的腔室 242。為此，選擇性蝕刻劑被引入到溝槽 238 中。此蝕刻劑溶解矽的速度為溶解氧化矽的速度之二或四倍快。此外，係探究均質(isotropic)蝕刻劑，即於垂直方向及水平方向以相同速率溶解矽的蝕刻劑。因此，在步驟 240 結束時，腔室 242 延伸於須供波導 36 及塊體 104 生成的位置之下。於此，腔室 242 也延伸於須供耦合器 34 生成的位置之下。

【0104】 接著，溝槽 238 被填充。舉例來說，於此，這是在步驟 136 中進行。具體來說，於步驟 136 中沉積介電物 138 填充了溝槽 238。接著在步驟 136 結束時達到圖 33 中呈現的狀態。

【0105】 從步驟 136 起，製造混合層 66 的方法例如相同於以上參照圖 11 或圖 27 說明之製造混合層 66 的方法。圖 30 中的黑點表示沒有呈現步驟 136 之後的步驟。

【0106】 腔室 242 使波導 36 能與基板 60 間隔一段距離並使此波導 36 以較佳的方式隔離於基板 60。透過改善波導 36 及基板

60 之間的隔離，光損失(optical losses)會減少，這現象尤其在波導 36 的橫向尺寸較小時更明顯。

【0107】 圖 34 及圖 35 呈現能被使用且非為耦合器 34 之反向漸縮耦合器 250。圖 34 中的虛線 G 呈現耦合器 250 的剖面 G 之位置。圖 35 呈現剖面 G。除了波導 25 的板體 100 之漸縮終端由包含子波長特徵的漸縮終端取代之外，耦合器 250 的其他部分相同於耦合器 34。於本實施例中，超過板體 100 的漸縮終端之後，耦合器 250 包含多個特徵 252，這些特徵 252 在波長 λ_{Li} 的光訊號之傳播的方向 260 中依序對齊。各個特徵 252 由矽製成且整個地被封裝於氮化矽塊體 104 中。這些特徵的水平尺寸小於波長 λ_{Li} 。此外，特徵 252 在方向 260 中的長度隨著與漸縮終端的距離增加而減小。各個特徵 252 之剖面例如為長方形的。於本實施例中，耦合器 250 包含三個特徵 252。

【0108】 部分 III：變化實施例：

【0109】 雷射源的變化實施例：

【0110】 波導 15 可由矽製成。

【0111】 波導 25 的其他實施例為可行的。舉例來說，於一變化實施例中，肋部 102 被省略。在此情況中，波導 25 為板狀波導 (slab waveguide)。於此情況中，耦合器 34 包含單個漸縮終端，即藉由使板體 100 的剖面變窄生成的漸縮終端。

【0112】 於另一變化實施例中，肋部 102 的頂面齊平於塊體 104 的頂面。

【0113】 波導 25 的包覆層無須由氮化矽製成。波導 25 的包覆層也可例如由氧化矽製成。在此情況中，氮化矽塊體 104 從位於耦合器 34 之前的波導 25 之部分被省略。位於波導 28、25 之間的介電物接著沒有包含任何厚度的氮化矽。

【0114】 雷射源的許多變化實施例為可行的。舉例來說，耦合器 26、32 可用不同的方式生成。因此，舉例來說，漸縮終端可生成於波導 25 及/或波導 28 中。

【0115】 耦合器 24、34 的其他實施例為可行的。具體地，這些耦合器無需使用反向漸縮轉變(inversely tapered transition)來生成。舉例來說，於一變化實施例中，若波導 25 的剖面面積為小的(即一般來說小於 100 nm 乘 100 nm)，則可使用對接耦合(butt coupling)。於此情況中，波導 25 的包覆層大致上整個由相異於氮化矽的介電物製成，如氧化矽。

【0116】 專利案件 US10270222B1 及 WO20190027631 中描述的半導體雷射源之各種變化實施例可應用於本專利申請中描述的包含混合層之雷射源。具體地，有許多濾波器 22 及反射器 12、14 的其他可行的實施例。

【0117】 於一變化實施例中，濾波器 22 生成於矽波導 25 中。

【0118】 目前為止，是以探究分布式布拉格反射鏡(distributed Bragg reflector, DBR)雷射源之具體情況描述雷射源。然而，如混合層 66 之混合層也可用於生成分布式反饋(distributed feedback, DFB)雷射源。在後者的情況中，氮化矽波導也位於生

成於由三五族半導體材料製成的波導之下的矽波導之延伸部中。相對來說，布拉格光柵生成於插設於矽波導及三五族半導體材料製成的波導之間的氮化矽子層體中或矽波導中。

【0119】 混合層的製造方法之變化實施例：

【0120】 於步驟 120 中，層體 122 也可由非晶矽(amorphous silicon)製成。

【0121】 構成矽核心的步驟 124 的其他實施例為可行的。舉例來說，可省略氧化矽子層體 126。

【0122】 於步驟 124 中，矽核心的構成也可包含局部厚度增加步驟(單晶矽的增長或是非晶矽的沉積，或是藉由熱處理進行的再結晶之後的非晶矽之沉積)以局部地增加矽核心的厚度。於此情況中，單晶矽層體 122 的初始厚度可為小的。舉例來說，層體 122 的初始厚度接著為 300 nm。

【0123】 於步驟 130 中，蝕刻停止的襯墊 132 可由氮化矽以外的材料製成。舉例來說，襯墊 132 可由氧化鋁(Al_2O_3)或二氧化鈺(HfO_2)製成。於此情況中，波導 36 的底面所位在的位準會些微高於波導 25 的底面之位準。一般來說，這兩個底面之間的高度差保持為小於 100 nm(一般來說小於 50 nm)。

【0124】 於步驟 162 中，可使用氧化矽以外的材料，只要此材料可如步驟 166、168 中所述被平面化接著被蝕刻即可。

【0125】 於步驟 166 中，在到達氮化矽層體 152 之前，矽氧化物層的化學機械研磨也可被停止。在此情況中，在研磨步驟結

束時會有完全遮蔽氮化矽層體 152 的殘留氧化矽層。接著，此殘留層在非選擇性蝕刻的步驟 168 中被完全移除。

【0126】 在另一變化實施例中，非選擇性蝕刻的步驟 168 持續進行直到達到襯墊 132 或是子層體 126。於此情況中，至少部分或所有的氮化矽襯墊 132 也會被移除。

【0127】 在步驟 170 中，除了氧化矽以外的介電物可被沉積以形成介電層 106。一般來說，此另一種介電物接著被選來使由三五族半導體材料製成的基板或標籤能達成良好的直接接合。

【0128】 於步驟 176 中，可將此材料沉積在混合層 66 上而不接合由三五族半導體增益材料製成的基板或標籤。

【0129】 於一變化實施例中，非選擇性蝕刻氮化矽的步驟 208 在到達子層體 126 之前會停止。舉例來說，步驟 208 在到達子層體 140 時會停止。

【0130】 混合層的製造階段可實施於雷射源的製造方法以外的其他方法中。具體地，所描述的方法也適用於製造混合層，且包含在此混合層中由矽或氮化矽製成的波導沒有藉由光耦合器(如耦合器 24、34)彼此光學地耦接。舉例來說，這兩個波導之間的光耦合可使用至少部分生成於位在混合層之上或之下的層體中之光耦合器來達成。於此描述的方法也能生成由矽及氮化矽製成的波導不彼此光學地耦接之混合層。於此情況中，如耦合器 24、34 之光耦合器的生成會被省略。

【0131】 舉例來說，於此描述的混合層之製造方法可用於製

造除了雷射源之外的光子元件之混合層。舉例來說，此方法可用於製造包含光調變器的電極之混合層。此方法也可用於製造任何包含堆疊於混合層上且由三五族半導體材料製成的層體之光子元件的混合層。舉例來說，於此描述的方法可在下列光子元件的製造過程中實施：半導體光放大器(semiconductor optical amplifier, SOA)、電吸收調變器(electro-absorption modulator, EAM)及光二極體。舉例來說，可藉由省略反射器 12、14 及濾波器 22 從圖 1 中的光子元件得到半導體光放大器。可藉由省略反射器 12、14 及濾波器 22 並縮短放大器 30 之長度而從圖 1 中的元件得到電吸收調變器。於此描述的混合層之製造方法也可被實施以製造下列光子元件：

【0132】 發射器，包含發出各種波長的光訊號之多個雷射源以及稱為陣列波導光柵(arrayed waveguide grating, AWG)的多工器，其中雷射源生成於氮化矽波導中；

【0133】 接收器，包含多個光偵測器及陣列波導光柵解多工器，其中光偵測器生成於氮化矽波導中；

【0134】 一組多個寬頻半導體光放大器，連接於將各種波長的經放大的光訊號分開的陣列波導光柵解多工器/多工器的入口及/或出口，陣列波導光柵解多工器/多工器生成於氮化矽波導中；

【0135】 多個波長計，使用不同的氮化矽之熱光係數(thermo-optic coefficient)；

【0136】 光梳(optical combs)，由雷射二極體泵浦固態體

(solid bodies pumped by laser diode)所產生。

【0137】 於此描述的混合層的製造方法也可於沒有包含由封裝的三五族半導體材料製成的層體之光子元件的製造方法中實施。

【0138】 其他變化實施例：

【0139】 混合層可包含由矽或氮化矽製成的多個額外波導。舉例來說，這些額外波導的其中一者光學地連接於反射器 12 或反射器 14 的出口。

【0140】 或者，藉由反轉放大器 30 的接觸件 74、76 之間的供應訊號之極性(polarity)，輸入光訊號會被吸收而不是被放大。放大器 30 接著被用於進行光偵測(photo-detection)或訊號調變。

【0141】 於一變化實施例中，包含堆疊於混合層上且由三五族半導體材料製成的層體之這些光子元件(尤其是如雷射源 10 之光子元件)可使用於此揭露的混合層 66 以外的其他混合層 66 之製造方法來製造。因此，於此描述的雷射源之實施例可用獨立於在這裡描述的此混合層之製造方法的方式實施。

【0142】 部分 IV：所述實施例的優點：

【0143】 於此描述的混合層之製造方法為簡單的。具體來說，於此描述的混合層之製造方法無須將基板翻轉。因此，所以需要用於生成混合層的蝕刻、平面化及沉積步驟皆是在此基板 60 的同一側進行。

【0144】 於此描述的混合層之製造方法因此能相較習知的方法得到更高的整合密度(integration density)。具體來說，習知的方法

法將氮化矽標籤及/或單晶矽標籤傳遞至介電層 64。在前者的情況中，這些矽及氮化矽標籤之間必須存在數百微米的空間。因此，藉由構造這些標籤生成且由矽及氮化矽製成之核心需要以數百微米的距離彼此間隔。

【0145】 停止襯墊的使用令溝槽 146 的底部能精準地位在離介電層 64 的頂面小於 100 nm 之處。因此，這最終能使得氮化矽核心的底面及矽核心的底面之間以小於 100 nm 之距離彼此間隔並皆位於離介電層 64 小於 100 nm 之處。

【0146】 當襯墊 132 由氮化矽製成時，由矽及氮化矽製成的核心之底面位於相同的水平面中。

【0147】 位於矽核心的一或多個漸縮終端之上的溝槽 146 之延伸部的生成能得到由矽及氮化矽製成的多個波導之間的光耦合，其整個地發生於混合層中。因此無須為了達成此耦合而使用位於此混合層上方或下方的額外層體。

【0148】 用氮化矽形成波導 25 的包覆層使矽波導的光學性質能有所改善。

【0149】 使用混合層製造光子元件使得此光子元件的整合密度能增加。具體來說，不需要再使矽波導位於第一層體中並使氮化矽波導位於在此第一層體上方或下方的第二層體中。

【符號說明】

【0150】

10...雷射源

12、14... 反射器

15、25、28、36、50... 波導

16... 調頻裝置

22... 濾波器

24、26、32、34... 耦合器

30... 放大器

40... 感測器

42... 電路

60... 基板

64... 介電層

66... 混合層

68... 層體

70... 子層體

74、76、82、84... 接觸件

80... 電阻器

90... 保護套

100... 板體

102... 肋部

100g、100d、102g、102d... 側牆

104... 塊體

106... 介電層

110... 吸收區域

118...階段

120、124、130、136、144、150、160、162、166、168、169、
170、172、176、178、180、200、202、204、208、210、214、215、
216、218、230、232、236、240...步驟

122...層體

126...子層體

128...遮罩

132...襯墊

138...介電物

140...子層體

146...溝槽

148...延伸部

152...層體

164...層體

206...遮罩

212...凸角

234...開孔

238...溝槽

242...腔室

250...耦合器

252...特徵

260...方向

【發明申請專利範圍】

【請求項1】 一種混合層的製造方法，該混合層包含一第一波導以及一第二波導，該第一波導的一核心由矽製成，該第二波導的一核心由氮化矽製成，該製造方法包含：

步驟 1：提供依序堆疊有一嵌入介電層以及一矽層體的一基板，該基板基本上位於該基板的一平面中，且該嵌入介電層以及該矽層體平行於該基板的該平面；接著

步驟 2：構造該矽層體以形成該第一波導的該核心；接著

步驟 3：於一介電物中封裝所形成的該第一波導的該核心並接著平面化該介電物，在此封裝步驟之後進行形成包含該第一波導的該核心之一封裝矽層的此平面化步驟；

該混合層的製造方法接著包含下列步驟：

步驟 4：在該封裝矽層中於須供該第二波導的該核心生成之處生成一溝槽；接著

步驟 5：於該封裝矽層上沉積一氮化矽層，該氮化矽層完全遮蔽該封裝矽層且所沉積的該氮化矽層的厚度足以完全填充該溝槽；接著

步驟 6：移除該氮化矽層中位於該溝槽外側的部分，以暴露該封裝矽層的一頂面，且填充有該氮化矽層之該溝槽齊平於該封裝矽層的該頂面，而得到該第二波導的該核心；接著

步驟 7：將遮蔽暴露的該頂面的一介電層沉積以完成該第二波導的該核心之封裝，並得到包含封裝於該介電物中的該第一波導的該核心及該第二波導的該核心之該混合層。

【請求項2】 如請求項 1 所述之製造方法，其中移除該氮化矽層中位於該溝槽外側的部分的步驟包含：

將一氧化矽層沉積在所有沉積的該氮化矽層上；接著

在該氧化矽層上進行化學機械研磨，以得到相較沉積的該氮化矽層的外表面更為平坦的一外表面；接著

非選擇性地蝕刻更為平坦的該外表面直到該介電物中位於該氮化矽層之下的部分暴露，而得到齊平於填充有該氮化矽層的該溝槽之一平坦頂面，此非選擇性地蝕刻的步驟的進行是藉由將更為平坦的該外表面暴露於溶解氧化矽與溶解氮化矽一樣快的蝕刻劑。

【請求項3】 如請求項 1 所述之製造方法，其中移除該氮化矽層中位於該溝槽外側的部分的步驟包含：

形成一保護遮罩，該保護遮罩遮蔽於鉛直方向上對齊於該溝槽的該氮化矽層之區域，並使該氮化矽層的外表面之大部分直接暴露於外；接著

蝕刻該氮化矽層的外表面直到該介電物中位於該氮化矽層之下的部分暴露，在此蝕刻步驟中使用的蝕刻劑溶解氮化矽的速度十倍於溶解該保護遮罩的速度；接著

移除該保護遮罩以得到由暴露的該介電物及位於被移除的該保護遮罩所在之處的多個氮化矽凸角所形成的一外表面；接著在包含該些氮化矽凸角的該外表面上進行化學機械研磨以得到與填充有該氮化矽層的該溝槽齊平的該封裝矽層的該頂面。

【請求項4】 如請求項 1 所述之製造方法，在步驟 2 之後以及步驟 3 之前更包含：

將一蝕刻停止襯墊沉積於該嵌入介電層上須供該溝槽生成之處，該蝕刻停止襯墊的厚度小於 100 奈米；接著

於步驟 3 中，用於封裝該第一波導的該核心之該介電物相異於用來形成該蝕刻止擋襯墊的材料；以及

步驟 4 包含：

透過一遮罩進行蝕刻以生成該溝槽，該遮罩使該封裝矽層的該頂面僅在需供該溝槽生成之處暴露，所使用的蝕刻劑溶解用於封裝該第一波導的該核心之該介電物的速度為溶解用於生成該蝕刻停止襯墊的材料之速度的至少兩倍以上；接著

在到達該蝕刻停止襯墊時停止此蝕刻。

【請求項5】 如請求項 4 所述之製造方法，其中該蝕刻停止襯墊由氮化矽製成。

【請求項6】 如請求項 1 所述之製造方法，其中：

步驟 2 包含：構造作為單晶矽核心之該第一波導的該核心而使得該第一波導的該核心的多個側牆在該第一波導的該核心的一

端彼此靠近以形成一漸縮終端，超過該漸縮終端之後光訊號便不再於該矽波導內部傳播；

步驟 4 包含：生成該溝槽的一延伸部，該延伸部使該第一波導的該核心之該些側牆至少在該漸縮終端暴露；以及

在步驟 5 中，沉積該氮化矽層也形成一氮化矽塊體，該氮化矽塊體遮蔽該第一波導的該核心之暴露的該些側牆。

【請求項 7】 如請求項 6 所述之製造方法，其中：

於步驟 4 中，生成該溝槽的該延伸部在該第一波導的該核心之整個長度上暴露了該第一波導的該核心之該些側牆；以及

在步驟 5 中，沉積該氮化矽層形成整個地遮蔽該第一波導的該核心之該些側牆之整體的該氮化矽塊體，該氮化矽塊體因此形成該矽波導的一包覆層之一部分。

【請求項 8】 一種光子三五族半導體元件的製造方法，包含：

製造一混合層，該混合層包含一第一波導以及一第二波導，該第一波導的一核心由矽製成，該第二波導的一核心由氮化矽製成；接著

直接在製造出的該混合層上生成具有一厚度的一三五族半導體材料；接著

構成該厚度的該三五族半導體材料，以形成由三五族半導體材料製成的一第三波導的一核心；接著

在一介電物中封裝該第三波導的該核心以形成該第三波導的一包覆層；以及

在該第三波導及該第一波導之間實現絕熱耦合；

其中該混合層由請求項 1 至 7 中任一項所述之製造方法所製造。

【請求項 9】 一種使用請求項 8 所述之光子三五族半導體元件的製造方法製造的光子三五族半導體元件，包含：

一基板，該基板上依序堆疊有：

該混合層，包含該第一波導及該第二波導，該第一波導的該核心由矽製成，該第二波導的該核心由氮化矽製成；以及

一層體，由封裝的三五族半導體材料製成並包含由三五族半導體材料製成的該第三波導的該核心；

該基板基本上位於該板體的一平面中，並且該混合層及該層體平行於該板體的該平面；以及

絕熱耦合器，介於該第三波導及該第一波導之間。

【請求項 10】 如請求項 9 所述之光子三五族半導體元件，其中：

該第一波導的該核心包含多個側牆，該些側牆各自沿正交於該基板的該平面之方向延伸，且該些側牆在該第一波導的一端彼此靠近以形成一漸縮終端，光訊號在該漸縮終端之後不再於該第一波導內部傳播而是在該第二波導內部傳播；

該第一波導的一包覆層中在該漸縮終端的整個長度上遮蔽該第一波導的該核心的該些側牆的部分由氮化矽所製成；

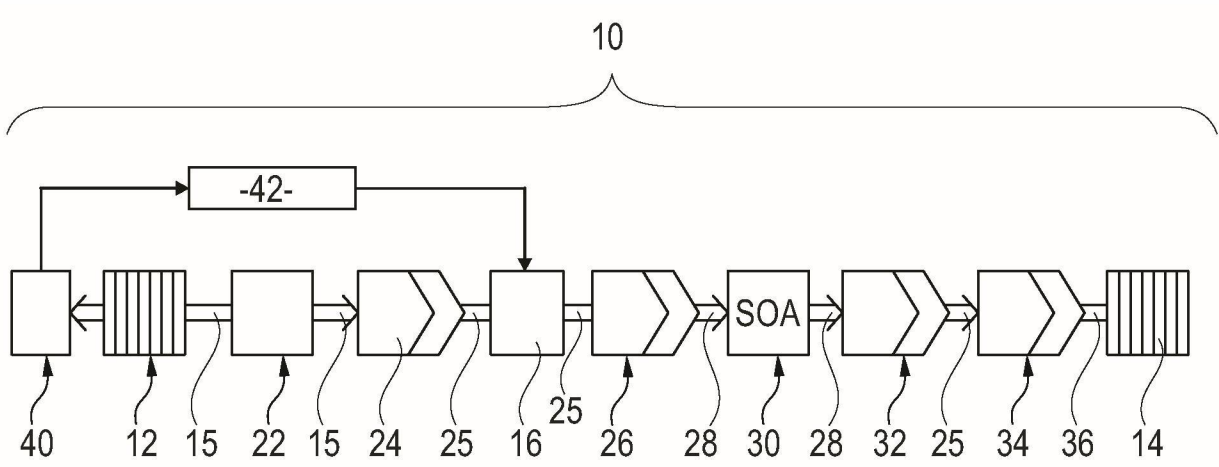
該第二波導的該核心在該第一波導的該核心之該漸縮終端之一延伸部中位於該混合層內部；以及

該第二波導的該核心與該第一波導的該包覆層中遮蔽該第一波導的該核心之該漸縮終端的該些側牆之部分形成材料的單一塊體，以將該第二波導光耦接至該第一波導。

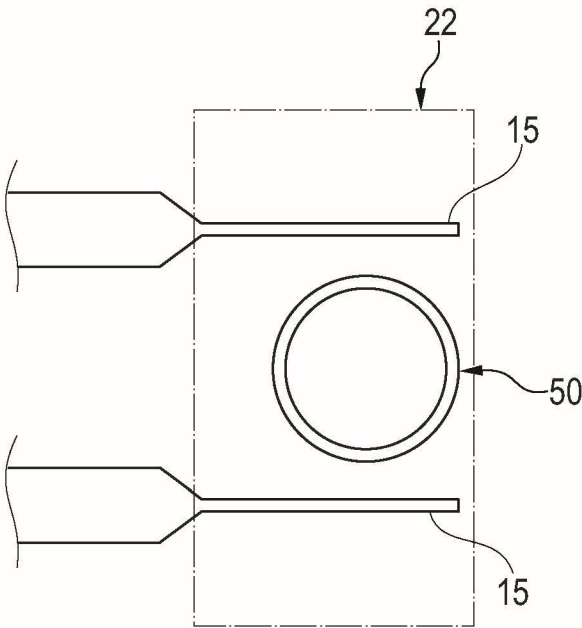
【請求項11】 如請求項 10 所述之光子三五族半導體元件，其中該光子三五族半導體元件為能發出至少一波長的光訊號之雷射源，該雷射源包含能使光訊號在該至少一波長共振的一光腔體，該光腔體包含：

該第三波導，該第三波導的該核心由三五族半導體增益材料製成，以放大沿該第三波導的該核心傳播之該至少一波長的光訊號，該第三波導位於封裝的三五族半導體的該層體內部，該第一波導的該核心由矽製成，該第二波導的該核心由氮化矽製成。

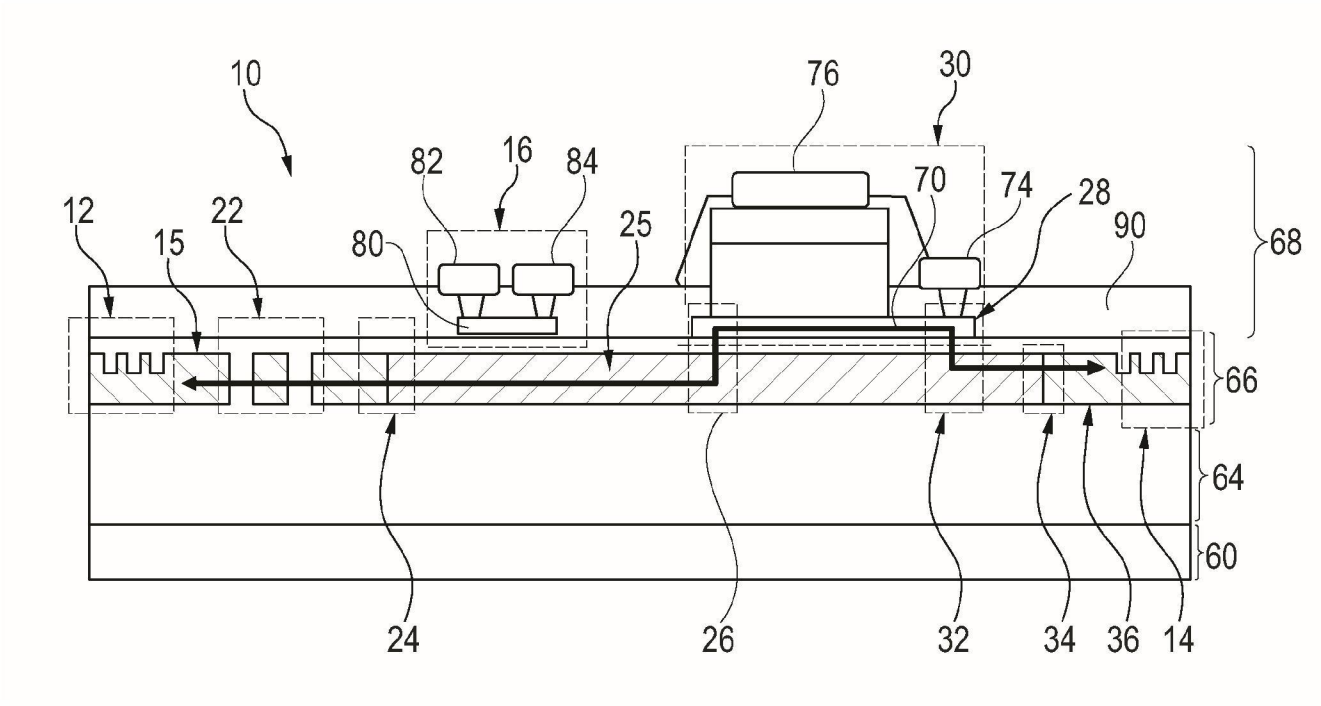
【發明圖式】



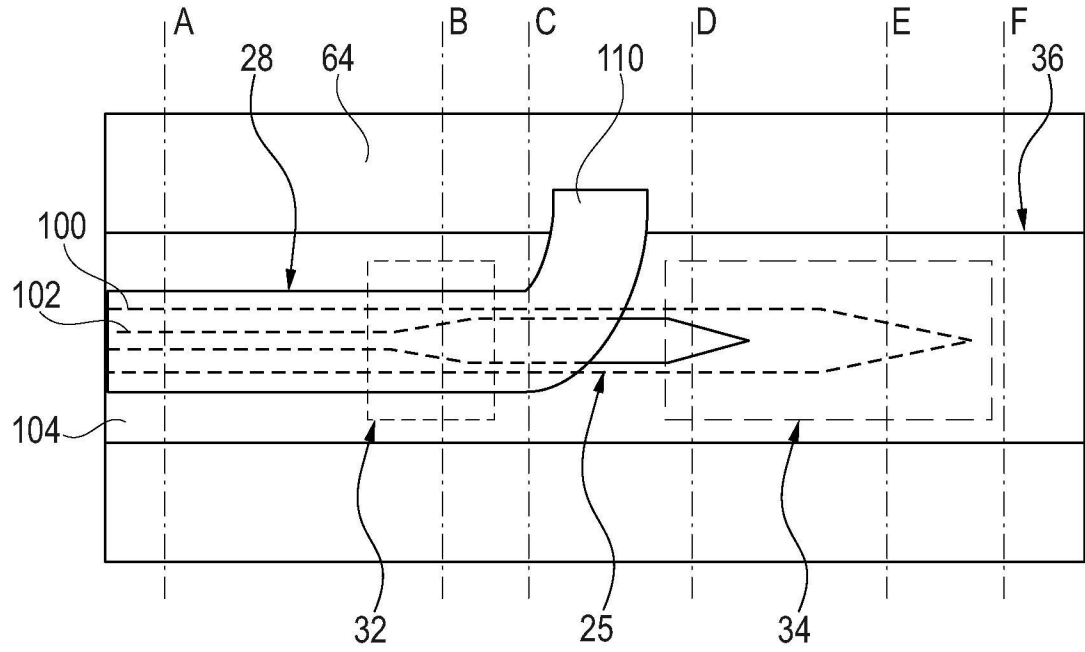
【圖1】



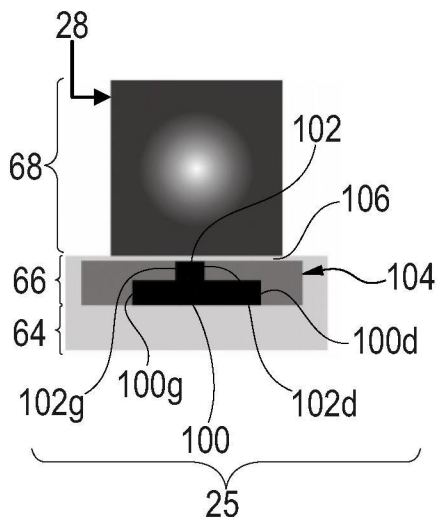
【圖2】



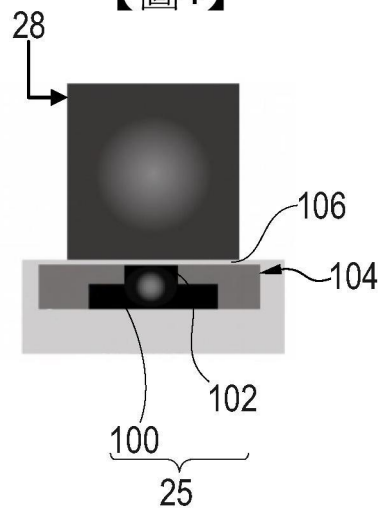
【圖3】



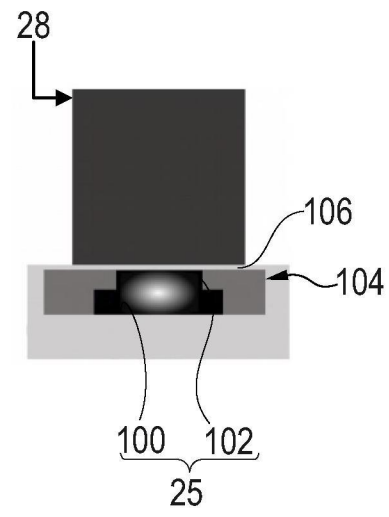
【圖4】



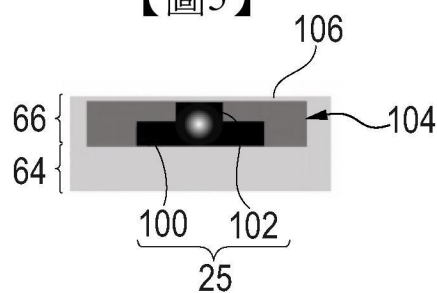
【圖5】



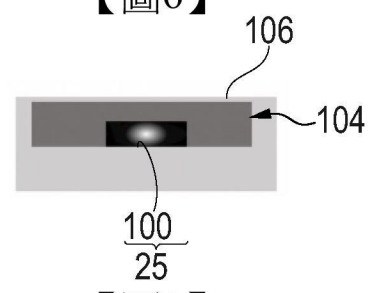
【圖6】



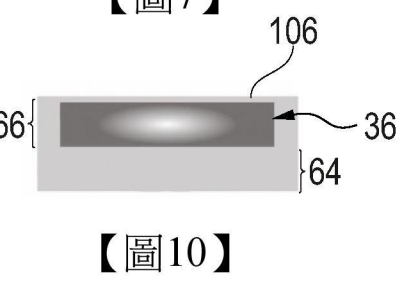
【圖7】



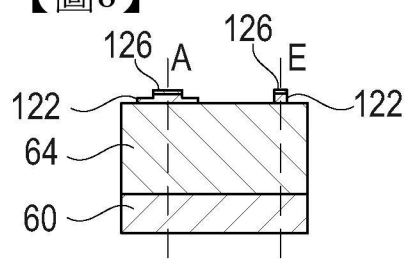
【圖8】



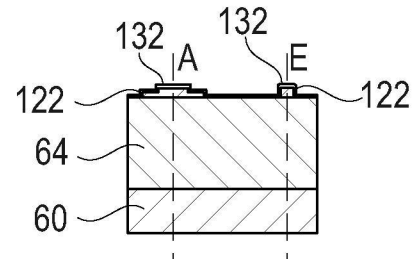
【圖9】



【圖10】

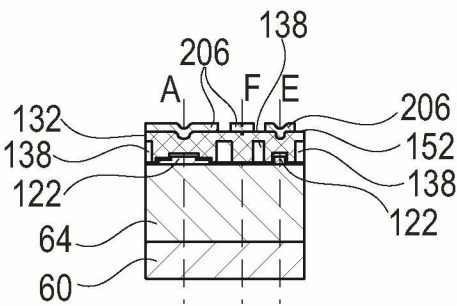


【圖12】

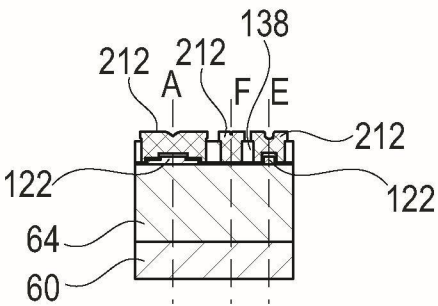


【圖13】

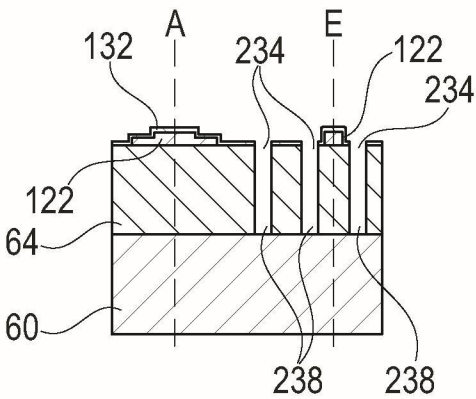




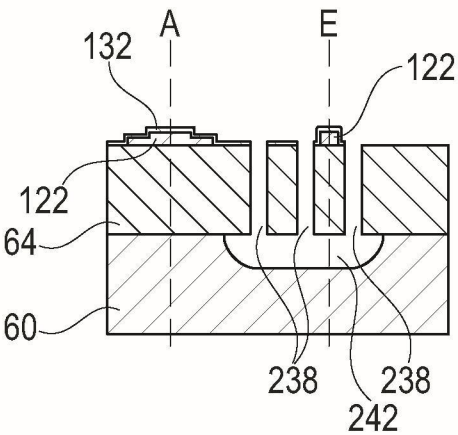
【圖28】



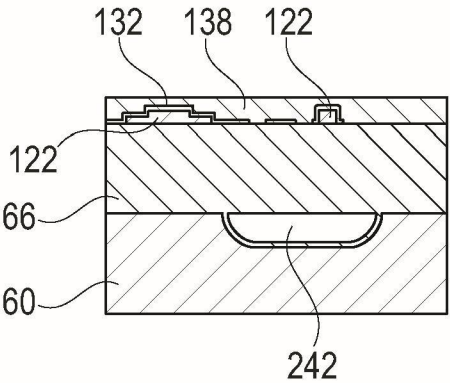
【圖29】



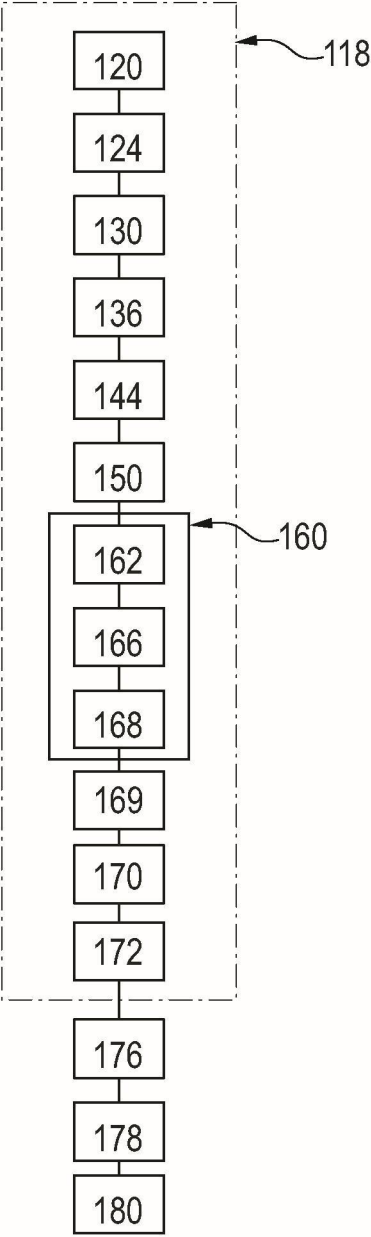
【圖31】



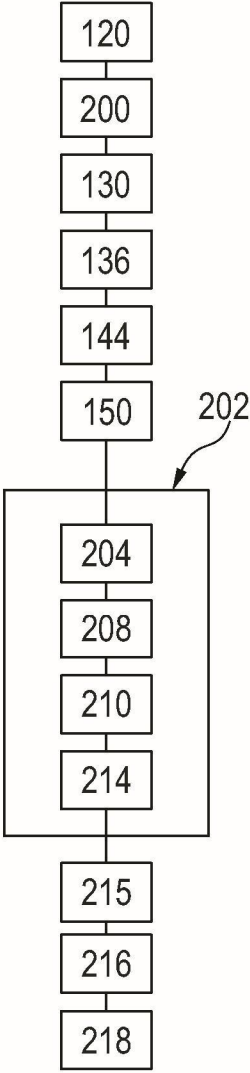
【圖32】



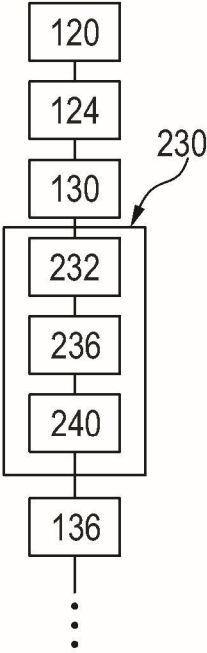
【圖33】



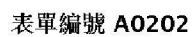
【圖11】



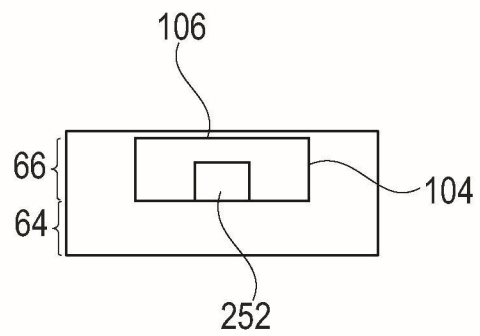
【圖27】



【圖30】



第7頁，共7頁(發明圖式)



【圖35】