



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년02월27일
 (11) 등록번호 10-1710849
 (24) 등록일자 2017년02월21일

- (51) 국제특허분류(Int. Cl.)
 HO1L 27/15 (2006.01) HO1L 27/02 (2006.01)
 HO1L 33/02 (2010.01) HO1L 33/36 (2010.01)
 HO1L 33/38 (2010.01) HO1L 33/62 (2010.01)
- (52) CPC특허분류
 HO1L 27/15 (2013.01)
 HO1L 27/0255 (2013.01)
- (21) 출원번호 10-2016-7015687(분할)
- (22) 출원일자(국제) 2009년06월25일
 심사청구일자 2016년06월13일
- (85) 번역문제출일자 2016년06월13일
- (65) 공개번호 10-2016-0075810
- (43) 공개일자 2016년06월29일
- (62) 원출원 특허 10-2010-7020375
 원출원일자(국제) 2009년06월25일
 심사청구일자 2014년05월20일
- (86) 국제출원번호 PCT/DE2009/000885
- (87) 국제공개번호 WO 2010/009690
 국제공개일자 2010년01월28일
- (30) 우선권주장
 10 2008 034 560.1 2008년07월24일 독일(DE)
- (56) 선행기술조사문헌
 US20060060880 A1*
 US20070069218 A1*
 JP2006108682 A
 JP2007294981 A
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
 오스람 옵토 세미컨덕터스 게엠베하
 독일 레겐스부르크 라이브니츠슈트라쎄 4 (우:93055)
- (72) 발명자
 엔글, 칼
 독일, 93051 레겐스부르크, 겔트루드-본-레-포트-스트라쎄 5
 한, 베르틀
 독일, 93155 헤마우, 암 프판넨스티엘 2 (뒷면에 계속)
- (74) 대리인
 김태홍, 김진희

전체 청구항 수 : 총 16 항

심사관 : 박부식

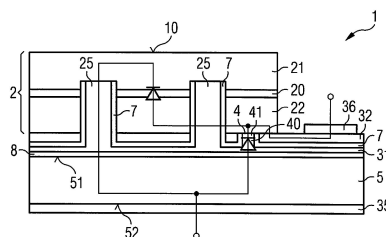
(54) 발명의 명칭 정전기 방전 보호부를 구비한 복사 방출 반도체칩 및 그 제조 방법

(57) 요약

복사 방출 반도체칩(1)이 기술되며, 상기 반도체칩은 캐리어(5), 및 반도체층 시퀀스를 구비한 반도체 몸체(2)를 포함한다. 반도체층 시퀀스는 복사의 생성을 위해 제공된 활성 영역(20), 제1반도체층(21) 및 제2반도체층(22)을 포함한다. 활성 영역은 제1반도체층과 제2반도체층 사이에 배치된다. 제1반도체층은 캐리어를 등지는 활성 영역

(뒷면에 계속)

대표도 - 도2



의 면에 배치된다. 반도체 몸체는 적어도 하나의 리세스(25)를 포함하고, 상기 리세스는 활성 영역을 관통하여 연장된다. 제1반도체층은 제1연결층(31)과 전기 전도적으로 연결되고, 이 때 제1연결층은 리세스에서 제1반도체층으로부터 캐리어의 방향으로 연장된다. 제1연결층은 보호 다이오드(4)에 의해 제2반도체층과 전기적으로 연결된다. 또한, 복사 방출 반도체칩의 제조 방법도 기술된다.

(52) CPC특허분류

H01L 33/02 (2013.01)

H01L 33/36 (2013.01)

H01L 33/382 (2013.01)

H01L 33/62 (2013.01)

(72) 발명자

스트레우벨, 클라우스

독일, 93164 라버, 엘렌스트라쎄 7

클라인, 말쿠스

독일, 93105 테건헤임, 빈엔weg 2 비

명세서

청구범위

청구항 1

반도체층 시퀀스를 구비한 반도체 몸체(2) 및 캐리어(5)를 포함하는 복사 방출 반도체칩(1)에 있어서,
 상기 반도체층 시퀀스는 복사 생성을 위해 제공된 활성 영역(20), 제1반도체층(21) 및 제2반도체층(22)을 포함하고;
 상기 활성 영역(20)은 상기 제1반도체층(21)과 상기 제2반도체층(22) 사이에 배치되고;
 상기 제1반도체층(21)은 상기 캐리어(5)를 등지는 활성 영역(20)의 면에 배치되고;
 상기 반도체 몸체(2)는 상기 활성 영역(20)을 관통하여 연장되는 적어도 하나의 리세스(25)를 포함하고;
 상기 제1반도체층(21)은 제1연결층(31)과 전기 전도적으로 연결되며, 상기 제1연결층(31)은 상기 리세스(25)에서 상기 제1반도체층(21)으로부터 상기 캐리어(5)의 방향으로 연장되고;
 상기 제1연결층(31)은 보호 다이오드(4)에 의해 상기 제2반도체층(22)과 전기적으로 연결되며;
 상기 활성 영역은 반도체칩의 평면도 상에서 보호 다이오드를 완전히 덮는 것을 특징으로 하는 복사 방출 반도체칩.

청구항 2

제 1항에 있어서,
 상기 제1연결층(31)은 적어도 국부적으로 상기 캐리어(5)와 상기 제2반도체층(22) 사이에 연장된 것을 특징으로 하는 복사 방출 반도체칩.

청구항 3

제 1항에 있어서,
 상기 보호 다이오드(4)는 쇼트키 다이오드로서 형성되는 것을 특징으로 하는 복사 방출 반도체칩.

청구항 4

제 1항 내지 제 3항 중 어느 한 항에 있어서,
 상기 반도체칩은 이 반도체칩의 외부 전기 접촉을 위한 제1접촉부(35)와 제2접촉부(36)를 포함하며, 상기 제1접촉부 및 상기 제2접촉부는 상기 캐리어의 서로 다른 측에 배치되는 것을 특징으로 하는 복사 방출 반도체칩.

청구항 5

제 1항 내지 제 3항 중 어느 한 항에 있어서,
 상기 보호 다이오드(4)는 상기 제2반도체층을 이용하여 형성되는 것을 특징으로 하는 복사 방출 반도체칩.

청구항 6

제 1항 내지 제 3항 중 어느 한 항에 있어서,
 상기 제1연결층(31)과 상기 제2반도체층(22) 사이에 적어도 국부적으로 제2연결층(32)이 배치되고, 상기 제2연결층은 상기 제2반도체층(22)과 전기 전도적으로 연결되는 것을 특징으로 하는 복사 방출 반도체칩.

청구항 7

제 6항에 있어서,
 상기 보호 다이오드(4)는 접합층(40)을 이용하여 형성되고, 상기 접합층은 상기 제2반도체층(22)에 인접하며,

상기 접합층(40)과 상기 제2연결층(32) 사이에 절연층(7)이 형성되는 것을 특징으로 하는 복사 방출 반도체칩.

청구항 8

제 1항 내지 제 3항 중 어느 한 항에 있어서,

상기 보호 다이오드(4)는 상기 제1연결층(31)을 이용하여 형성되는 것을 특징으로 하는 복사 방출 반도체칩.

청구항 9

제 1항 내지 제 3항 중 어느 한 항에 있어서,

상기 반도체 몸체(2)의 반도체층 시퀀스를 위한 성장 기관(200)은 적어도 국부적으로 제거되어 있는 것을 특징으로 하는 복사 방출 반도체칩.

청구항 10

제 1항 내지 제 3항 중 어느 한 항에 있어서,

상기 복사 방출 반도체칩은 LED칩, RCLED 칩 또는 레이저다이오드칩으로서 형성되는 것을 특징으로 하는 복사 방출 반도체칩.

청구항 11

복사 방출 반도체칩을 제조하는 방법에 있어서,

- a) 복사 생성을 위해 제공된 활성 영역(20), 제1반도체층(21) 및 제2반도체층(22)을 포함한 반도체층 시퀀스를 구비하는 반도체 몸체(2)를 제공하는 단계;
- b) 상기 반도체 몸체(2)에 상기 활성 영역(20)을 관통하여 상기 제1반도체층(21)안으로 연장되는 리세스(25)를 형성하는 단계;
- c) 상기 반도체 몸체(2) 상에 제1연결층(31)을 형성하는 단계로서, 상기 제1연결층(31)은 상기 리세스(25) 안으로 연장되고, 상기 제1연결층(31)은 보호 다이오드(4)에 의해 상기 제2반도체층(22)과 전기적으로 연결되는 것인, 제1연결층(31)을 형성하는 단계; 및
- d) 반도체칩을 완성하는 단계로서, 상기 활성 영역은 상기 반도체칩의 평면도 상에서 상기 보호 다이오드를 완전히 덮는 것인, 반도체칩을 완성하는 단계를 포함하는 것을 특징으로 하는 복사 방출 반도체칩 제조 방법.

청구항 12

제 11항에 있어서,

상기 c) 단계 전에 상기 제2반도체층(22) 상에 접합층(40)이 형성되고, 상기 접합층은 상기 제2반도체층(22)에 인접하는 것을 특징으로 하는 복사 방출 반도체칩 제조 방법.

청구항 13

제 11항에 있어서,

상기 제2반도체층(22)의 전기 접촉력이 목표에 따라 국부적으로 감소되는 것을 특징으로 하는 복사 방출 반도체칩 제조 방법.

청구항 14

제 13항에 있어서,

상기 전기 접촉력은 애싱(ashing) 또는 스퍼터링을 이용하여 감소되는 것을 특징으로 하는 복사 방출 반도체칩 제조 방법.

청구항 15

제 13항에 있어서,

상기 전기 접촉력은 애싱(ashing) 및 스퍼터링을 이용하여 감소되는 것을 특징으로 하는 복사 방출 반도체칩 제조 방법.

청구항 16

제 11항 내지 제 15항 중 어느 한 항에 있어서,

상기 제2반도체층(22)과 전기 전도적으로 연결된 제2연결층(32)은 상기 반도체 몸체(2)의 국부적 제거에 의해 노출되는 것을 특징으로 하는 복사 방출 반도체칩 제조 방법.

발명의 설명

기술 분야

[0001] 본원은 복사 방출 반도체칩 및 복사 방출 반도체칩의 제조 방법에 관한 것이다.

배경 기술

[0002] 정전기 방전(Electrostatic Discharge)은 예컨대 발광다이오드와 같은 복사 방출 반도체칩을 손상시켜 파괴시킬 수 있다. 이러한 손상은 반도체칩에 대해 병렬 접속된 부가적 다이오드에 의해 방지될 수 있고, 이 때 다이오드의 순방향 및 복사 방출 반도체칩의 순방향은 서로 반 병렬(antiparallel)로 향해있다. 이러한 부가적 다이오드는 공간 수요뿐만 아니라 제조 비용도 증가시킨다. 또한, 이러한 부가적 다이오드는 복사의 흡수를 야기할 수 있어, 소자의 사용 가능한 광속이 감소한다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 과제는 정전기 방전에 대한 민감도가 감소한 복사 방출 반도체칩을 제공하는 것이다. 또한, 이러한 복사 방출 반도체칩의 제조 방법도 제공한다.

과제의 해결 수단

[0004] 상기 과제는 독립항에 따른 복사 방출 반도체칩 또는 복사 방출 반도체칩의 제조 방법에 의하여 해결된다. 다른 실시예 및 적합성은 종속항에 기재된다.

[0005] 일 실시예에 따르면, 복사 방출 반도체칩은 캐리어, 및 반도체층 시퀀스를 구비한 반도체 몸체를 포함한다. 반도체층 시퀀스는 복사 생성을 위해 제공된 활성 영역, 제1반도체층 및 제2반도체층을 포함한다. 활성 영역은 제1반도체층과 제2반도체층 사이에 배치된다. 제1반도체층은 캐리어를 등지는 활성 영역의 면에 배치된다. 반도체 몸체는 적어도 하나의 리세스를 포함하고, 상기 리세스는 활성 영역을 관통하여 연장된다. 제1반도체층은 제1연결층과 전기 전도적으로 연결되고, 이 때 제1연결층은 리세스에서 제1반도체층으로부터 캐리어의 방향으로 연장된다. 제1연결층은 보호 다이오드에 의해 제2반도체층과 전기적으로 연결된다.

[0006] 이러한 실시예에 따른 반도체칩에서, 보호 다이오드는 반도체칩에 집적된다. 따라서, 가령 정전기 방전에 의한 반도체칩의 손상 위험이 감소한다. 반도체칩의 외부에 배치되어 상기 반도체칩과 전기 전도적으로 연결될 부가적 보호다이오드는 생략될 수 있다.

[0007] 보호 다이오드에 의해, 특히, 가령 반도체칩의 역방향 또는 반도체칩에 형성된 복사 생성 pn 접합의 역방향으로 상기 반도체칩에 인가된 원하지 않는 전압이 드레인(drain)될 수 있다. 보호다이오드는 특히 ESD(Electrostatic Discharge) 다이오드의 기능, 즉 정전기 방전에 의한 손상으로부터 반도체칩을 보호하는 기능을 충족할 수 있다. 바꾸어 말하면, 전하 캐리어는 제1연결층과 제2반도체층 사이의 전류 경로를 경유하여 드레인될 수 있다. 그러므로, 반도체칩의 손상 위험이 감소할 수 있다.

[0008] 반도체 몸체의 제1반도체층 및 제2반도체층은 그 도전형과 관련하여 서로 상이한 것이 적합하다. 예컨대, 제1반도체층은 p형이고, 제2반도체층은 n형으로 형성되거나, 그 반대의 경우도 가능하다.

[0009] 따라서, 활성 영역이 형성되는 다이오드구조는 간단한 방식으로 구현된다.

[0010] 바람직한 실시예에서, 보호다이오드는 제1연결층과 제2반도체층 사이에 형성된다. 보호 다이오드는 간단한 방식

으로 제1연결층과 제2반도체층 사이의 전류 경로에 배치될 수 있다.

- [0011] 또한, 보호 다이오드는 캐리어의 외부에 형성될 수 있다. 보호 다이오드는 특히 전기 전도도 또는 전기 접촉력과 같은 캐리어의 특성과 가능한 한 무관하게 형성될 수 있다.
- [0012] 또한 바람직하게, 반도체칩은 제1접촉부 및 제2접촉부를 포함하고, 상기 접촉부는 각각 반도체칩의 외부 전기 접촉을 위해 제공된다.
- [0013] 제1접촉부와 제2접촉부 사이에 인가된 구동 전압에 의해, 활성 영역으로의 전하 캐리어 주입이 상기 활성 영역의 다양한 층으로부터 이루어진다. 주입된 전하 캐리어는 복사 방출 하에 활성 영역에서 재조합할 수 있다.
- [0014] 순방향과 관련하여, 반도체 몸체의 다이오드 구조 및 보호 다이오드는 적합하게 서로 반 병렬로 형성된다.
- [0015] 이 경우, 반도체칩의 구동 전압이 역방향일 때 구동하는 보호 다이오드에 의해, 전류 흐름이 전혀 없거나, 적어도 실질적인 전류 흐름이 없다. 그에 반하여, 역방향으로 다이오드 구조에 인가된 전기 전압은 가령 정전기 충전에 의해 보호 다이오드를 경유하여 드레인될 수 있다. 따라서, 반도체 몸체, 특히 활성 영역은 반도체칩에 집적된 보호 다이오드에 의해 보호될 수 있다.
- [0016] 바람직한 실시예에서, 보호 다이오드는 쇼트키 다이오드로서 형성된다. 쇼트키 다이오드는 특히 금속-반도체 접합을 이용하여 형성될 수 있고, 이 때 상기 접합의 전류 전압 특성선은 오믹(ohmic) 특성과 상이하며, 특히 인가된 전압의 극성과 관련하여 비대칭으로 진행한다.
- [0017] 바람직한 실시예에서, 보호 다이오드는 반도체칩의 평면도 상에서 반도체 몸체와 겹친다. 반도체 몸체, 특히 활성 영역은 평면도 상에서 보호 다이오드를 완전히 덮을 수 있다. 따라서, 반도체 몸체의 횡 방향 치수가 동일할 때 보호 다이오드는 반도체칩에 집적될 수 있다. 또한, 보호 다이오드는 복사 생성을 위해 사용될 수 있는 활성 영역의 면을 유지하면서 반도체칩에 집적될 수 있다.
- [0018] 횡 방향이란, 반도체 몸체의 반도체층의 주 연장면을 따라 진행되는 방향을 의미한다.
- [0019] 바람직한 실시예에서, 보호 다이오드는 제2반도체층을 이용하여 형성된다. 제2반도체층은 활성 영역으로의 전하 캐리어 주입뿐만 아니라 보호 다이오드의 형성을 위해서도 제공될 수 있다. 쇼트키 다이오드의 형성을 위해 활성 영역으로부터 전기적으로 절연된 별도의 반도체 영역은 생략될 수 있다. 바꾸어 말하면, 보호 다이오드, 특히 쇼트키 다이오드의 형태를 가진 보호 다이오드는 반도체칩의 횡 방향 치수가 동일할 때 반도체칩에 집적될 수 있고, 이 때 복사 생성을 위해 중요한 활성 영역의 면이 줄어들진 않는다. 반도체칩에 보호 다이오드의 집적은 반도체칩의 광전 특성 저하없이 수행될 수 있다.
- [0020] 바람직한 실시예에서, 제1연결층은 적어도 국부적으로 캐리어와 제2반도체층 사이에 형성된다. 제1연결층을 이용하면, 제1반도체층은 캐리어를 향한 활성 영역의 측부에서부터 전기적으로 접촉될 수 있다.
- [0021] 바람직한 실시예에서, 적어도 국부적으로 제1연결층과 제2반도체층 사이에는 제2연결층이 배치된다. 제2연결층은 제2반도체층과 전기 전도적으로 연결되고, 또한 바람직하게 제2반도체층에 직접 접한다.
- [0022] 적합하게, 제1연결층 및 제2연결층은 각각 제1 또는 제2접촉부에 의해 외부에서 전기 접촉될 수 있다. 제1 및/또는 제2접촉부는 각각 접촉층을 이용하여 형성될 수 있고, 상기 접촉층은 제1 또는 제2연결층 상에, 바람직하게 직접적으로 배치된다. 이와 달리, 제1연결층은 제1접촉부를 형성하거나/형성하고 제2연결층은 제2접촉부를 형성할 수 있다. 이 경우, 적어도, 연결층들에 대해 부가적으로 제공되며 제1 또는 제2접촉부를 형성하는 별도의 접촉층은 생략될 수 있다.
- [0023] 바람직하게, 제1연결층 및/또는 제2연결층은 각각 예컨대 Ti, Pt, Ni, Au, Ag, Al, Rh, Pd, Pt 또는 W와 같은 금속을 포함하거나, 상기 열거한 물질 중 적어도 하나와의 금속 합금을 포함한다. 바람직하게, 제1 및/또는 제2연결층은 반도체 몸체의 외부에 배치되고, 가령 증발증착 또는 스퍼터링과 같은 비에피택시얼 방법을 이용하여 제조된다.
- [0024] 일 실시예에서, 보호 다이오드는 접합층을 이용하여 형성되고, 접합층은 제2반도체층 상에 배치되며 또한 바람직하게 제2반도체층에 인접한다. 접합층 및 제2연결층은 횡 방향으로 서로 이격되는 것이 적합하다. 접합층과 제2연결층 간의 직접적인 전기적 접촉은 간단한 방식으로 방지될 수 있다.
- [0025] 또한 바람직하게, 접합층과 제2연결층 사이에 절연층이 형성된다. 접합층과 제2연결층 사이의 전기적 단락 위험은 가능한 한 감소할 수 있다.

- [0026] 바람직하게, 접합층은 물질과 관련하여, 제2반도체층에 대해 비대칭 전류 전압 특성선을 가진 쇼트키 접합, 즉 금속-반도체 접합이 구현될 수 있도록 선택된다.
- [0027] 대안적인 실시예에서, 보호 다이오드는 제1연결층을 이용하여 형성되고, 이 때 제1연결층은 제2반도체층에 인접하는 것이 바람직하다. 이 경우, 제1연결층은 제1반도체층 및 제2반도체층에 인접하고, 이 때 제1연결층과 제1접촉부층사이에 오믹 접촉 또는 적어도 거의 오믹 접촉이 형성되고, 제1연결층과 제2접촉부층 사이에는 쇼트키 접촉이 형성된다.
- [0028] 바람직하게, 제2반도체층에 인접한 층, 즉 접합층 또는 제1연결층을 위한 물질은 제2반도체층에 대하여 쇼트키 접촉이 간단히 형성될 수 있도록 선택된다.
- [0029] 바람직한 실시예에서, 제2반도체층은 적어도 국부적으로, 특히 보호 다이오드의 영역에서 국부적으로 목적에 맞게 감소한 접촉력을 포함한다. 접촉력이 감소한 이러한 영역은 예컨대 애싱(ashing), 가령 산소 함유 플라즈마에서 애싱을 이용하거나 스퍼터링을 이용하여 제조될 수 있다. 이러한 방식으로, 제2반도체층의 전기 전도도는 목적에 맞게 감소할 수 있다.
- [0030] 따라서, 제2반도체층과 접합층 또는 제1연결층 사이에서 충분히 높은 전위 장벽을 포함한 접촉이 간단히 구현될 수 있다. 제2반도체층에 인접한 층, 즉 접합층 또는 제1연결층의 물질과 관련한 자유도는 가능한 한 증가한다. 특히, 상기 층은 활성 영역에서 생성된 복사에 대해 높은 반사도를 가지는 물질을 포함하거나 그러한 물질로 구성될 수 있다. 예컨대, 은 또는 알루미늄은 가시 스펙트럼 영역 또는 자외 스펙트럼 영역에서의 복사에 대해 높은 반사도를 가지는 특징이 있다.
- [0031] 일 실시예에서, 제1접촉부 및 제2접촉부는 캐리어의 서로 다른 층에 형성된다. 이 경우, 바람직하게, 캐리어는 전기 전도성으로 형성된다.
- [0032] *대안적 형성 변형예에서, 제1접촉부 및 제2접촉부는 반도체 몸체를 향한 캐리어의 측부에 배치된다. 이 경우, 캐리어는 상기 캐리어의 전기 전도도와 무관하게 선택되고, 특히 전기 절연성으로 형성될 수 있다.
- [0033] 전기 전도 캐리어 물질로서, 예컨대 반도체 물질, 바람직하게 도핑된 반도체 물질이 적합하다. 예컨대, 캐리어는 규소, 게르마늄, 갈륨비화물 또는 갈륨질화물을 포함하거나 그러한 물질로 구성될 수 있다.
- [0034] 또한, 캐리어 물질로서 예컨대 세라믹이 적합하고, 가령 알루미늄질화물 또는 붕소질화물이 적합하다. 이러한 캐리어는 전기 절연성으로 형성될 수 있다.
- [0035] 바람직하게, 반도체 몸체는 캐리어와 물질 접합식으로 결합된다. 캐리어는, 특히, 반도체 몸체의 반도체층 시퀀스를 위한 성장 기관과 상이하다. 바람직하게, 캐리어는 반도체 몸체의 반도체층 시퀀스를 기계적으로 안정화한다. 이를 위해, 반도체 몸체의 성장 기관은 필요하지 않으며 제거될 수 있다.
- [0036] 물질 접합식 결합 시, 바람직하게 예비 제조된 결합층은 원자력 및/또는 분자력을 이용하여 결합된다. 물질 접합식 결합은 예컨대 결합층을 이용하여, 가령 접촉층 또는 댄납층을 이용하여 달성될 수 있다. 일반적으로, 상기 결합의 분리는 결합층의 파괴 및/또는 결합층 중 적어도 하나의 파괴와 결부된다.
- [0037] 바람직한 실시예에서, 반도체 몸체의 반도체층 시퀀스를 위한 성장 기관은 적어도 국부적으로 제거된다. 특히, 성장 기관은 전면이 또는 국부적으로 얇아지거나, 전면이 또는 국부적으로 제거될 수 있다.
- [0038] 성장 기관이 제거된 반도체칩은 박막 반도체칩이라고도 한다.
- [0039] 또한, 박막 반도체칩, 가령 박막 발광다이오드칩은 본 출원의 범위내에서 이하의 특징적 특성들 중 적어도 하나를 특징으로 할 수 있다:
- [0040] - 활성 영역을 구비한 반도체층 시퀀스를 포함한 반도체 몸체, 특히 에피택시층 시퀀스에서 캐리어 부재를 향한 제1주요면에 거울층이 도포되거나, 가령 브래그 거울로서 반도체층 시퀀스에 통합되어 형성되고, 상기 거울층은 반도체층 시퀀스에서 생성된 복사의 적어도 일부를 상기 반도체층 시퀀스에 재귀 반사함;
- [0041] - 반도체층 시퀀스의 두께는 20 μm 이하의 범위, 특히 10 μm 의 범위를 가짐; 그리고/또는
- [0042] - 반도체층 시퀀스는 혼합 구조를 가진 적어도 하나의 면을 구비한 적어도 하나의 반도체층을 포함하고, 상기 혼합 구조는 이상적인 경우 반도체층 시퀀스에서 광이 거의 에르고딕(ergodic)으로 분포하도록 유도하며, 즉 상기 혼합 구조는 가능한한 에르고딕한 확률적 분산 거동을 포함함.

- [0043] 박막 발광다이오드칩의 기본 원리는 예컨대 I.Schnitzer et al., Appl. Phys. Lett. 63(16), 1993.10.18, 2174-2176에 기술되어 있고, 그 공개 내용은 참조로 본 출원에 포함된다.
- [0044] 반도체 몸체의 반도체층 시퀀스는 바람직하게는 에피택시얼하게, 가령 MOVPE 또는 MBE를 이용하여 증착된다.
- [0045] 또한 바람직하게, 반도체 몸체, 특히 활성 영역은 III-V 반도체 물질을 포함한다. III-V 반도체 물질을 이용하면 복사 생성 시 높은 내부 양자 효율이 얻어질 수 있다.
- [0046] 기술된 구성은 복사 생성 및/또는 복사 검출을 위해 제공된 광전 반도체칩을 위해 일반적으로 적합하다.
- [0047] 특히, 반도체칩은 비간섭성 복사, 부분 간섭성 복사 또는 간섭성 복사의 생성을 위해 제공될 수 있다. 비간섭성 복사의 생성을 위해 예컨대 LED칩에 따른 구성이 적합하며, 부분 간섭성 복사의 생성을 위해서는 RCLED칩(resonant cavity light emitting diode)에 따른 구성이 적합하다. 간섭성 복사는 예컨대 반도체레이저칩을 이용하여 생성될 수 있고, 상기 반도체레이저칩은 특히 모서리 방출 레이저 또는 표면 방출 레이저로서, 가령 VCSEL(vertical cavity surface emitting diode)로서 또는 VECSEL(vertical external cavity surface emitting laser)로서 형성될 수 있다.
- [0048] 복사 방출 반도체칩의 제조 방법에서, 일 실시예에 따르면, 반도체층 시퀀스를 구비한 반도체 몸체가 제공되고, 상기 반도체층 시퀀스는 복사 생성을 위해 제공된 활성 영역, 제1반도체층 및 제2반도체층을 포함한다. 반도체 몸체에 리세스가 형성되고, 상기 리세스는 활성 영역을 관통하여 제1반도체층 안으로 연장된다. 반도체 몸체 상에 제1연결층이 형성되고, 이 때 제1연결층은 리세스 안으로 연장된다. 제1연결층은 보호 다이오드에 의해 제2반도체층과 전기적으로 연결된다. 반도체칩이 완성된다.
- [0049] 이 때, 방법 단계는 반드시 상기에 설명한 순서대로 수행될 필요는 없다.
- [0050] 보호 다이오드가 반도체칩에 집적될 수 있는 방법은 간단하고 비용 효과적 방식으로 구현된다. 이러한 방법을 이용하여 다수의 반도체칩이 동시에, 특히 웨이퍼상에 나란히 제조될 수 있다. 이러한 방법에서, 이미 보호다이오드가 집적된 반도체칩은 개별화에 의해 생성될 수 있다.
- [0051] 보호 다이오드는 웨이퍼 레벨로, 즉 반도체칩의 개별화 전에 집적될 수 있다.
- [0052] 바람직한 실시예에서, 제1연결층의 형성 이전에 제2반도체층 상에 접합층이 형성되고, 상기 접합층은 제2반도체층에 인접한다. 특히, 접합층을 이용하여 쇼트키 다이오드가 형성될 수 있다.
- [0053] 바람직한 실시예에서, 제2반도체층의 전기 접촉력은 목적에 맞게 국소적으로 감소한다. 이는, 특히, 접합층의 증착 이전에 수행될 수 있다.
- [0054] 특히, 전기 접촉력은 애칭 및/또는 스퍼터링을 이용하여 감소할 수 있다.
- [0055] 다른 바람직한 실시예에서, 제2연결층은 반도체 몸체의 국부적 제거를 이용하여 노출된다. 제2연결층의 노출된 영역에 접촉이 형성될 수 있고, 상기 접촉은 반도체칩의 전기 접촉을 위해 제공된다.
- [0056] 기술된 방법은 상기에 계속하여 기술된 복사 방출 반도체칩의 제조를 위해 매우 적합하다. 따라서, 본 방법과 관련하여 기술된 특징은 반도체칩을 위해서도 인용될 수 있고 그 반대의 경우도 가능하다.

도면의 간단한 설명

- [0057] 다른 특징, 실시예 및 적합성은 도면과 관련하여 이하의 실시예의 설명으로부터 도출된다.
 도 1a 및 도 1b는 복사 방출 반도체칩을 위한 실시예를 개략적 평면도(도 1b) 및 부속한 단면도(도 1a)로 도시한다.
 도 2는 도 1a 및 도 1b에 도시된 제1실시예에 따른 반도체칩의 전류 경로를 개략도로 도시한다.
 도 3a 내지 3f는 복사 방출 반도체칩의 제조 방법을 위한 실시예를 중간 단계에 의거하여 각각 개략적 단면도로 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0058] 동일하거나, 동일한 종류이거나 동일한 효과의 부재는 도면에서 동일한 참조 번호를 가진다.
- [0059] 도면은 각각 개략적으로 도시된 것이며 반드시 축척에 맞지는 않다. 오히려, 비교적 작은 요소 및 특히 층 두께

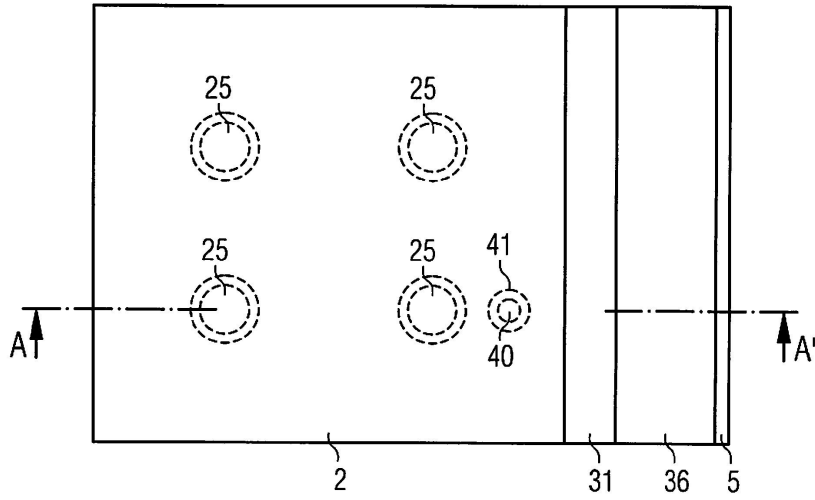
는 명료함을 위해 과장되어 크게 도시되어 있을 수 있다.

- [0060] 복사 방출 반도체칩을 위한 제1실시예는 도 1b의 평면도 및 그에 부속하여 도 1a의 AA'라인을 따르는 단면도로 개략적으로 도시되어 있다.
- [0061] 복사 방출 반도체칩(1)은 반도체 몸체(2)를 포함하고, 반도체 몸체는 결합층(8)을 이용하여 캐리어(5)에 고정된다.
- [0062] 바람직하게, 반도체 몸체(2)를 형성하는 반도체층 시퀀스는 에피택시얼하게, 가령 MOVPE 또는 MBE를 이용하여 제조된다.
- [0063] 반도체 몸체는 복사의 생성을 위해 제공된 활성 영역(20)을 포함하고, 활성 영역은 제1반도체층(21)과 제2반도체층(22) 사이에 배치된다. 제1반도체층(21) 및 제2반도체층(22)은 그 도전형과 관련하여 서로 상이하다. 예컨대, 제2반도체층(22)은 p형으로, 제1반도체층(21)은 n형으로 형성될 수 있거나 그 반대의 경우도 가능하다.
- [0064] 반도체 몸체(2)는 복수 개의 리세스(25)를 포함하고, 상기 리세스는 캐리어(5)로부터 제2반도체층(22) 및 활성 영역(20)을 관통하여 제1반도체층(21) 안으로 연장된다.
- [0065] 리세스(25)는 예시적으로 평면도 상에서 각각 원형으로 형성되고, 매트릭스형으로 배치된다. 리세스는 다른 기본형, 가령 다각형의 기본형을 포함할 수 있고, 예컨대 직사각형 또는 정사각형의 기본형을 포함할 수 있다. 적합하게, 리세스는 전하 캐리어가 횡 방향으로 제1반도체층(21)으로부터 활성 영역으로 균일하게 주입될 수 있도록 배치된다. 특히, 횡 방향으로 제1반도체층(21)의 전기 전도도가 충분히 높을 때, 기술된 실시예와 달리 단일의 리세스만 제공될 수도 있다.
- [0066] 캐리어(5)는 제1주요면(51) 및 다른 주요면(52)을 포함한다. 제1주요면(51)은 반도체 몸체(2)를 향해 구비되고, 바람직하게 평편하게 형성된다. 캐리어에 반도체 몸체가 물질 집합식으로 고정되는 것은 간단히 구현될 수 있다.
- [0067] 캐리어 물질로서 예컨대 반도체 물질이 적합하고, 바람직하게 도핑된 반도체 물질이 적합하다. 예컨대, 캐리어는 규소, 게르마늄, 갈륨비화물 또는 갈륨질화물을 포함하거나 그러한 물질로 구성될 수 있다. 대안적 또는 보완적으로, 캐리어는 가령 AlN 또는 BN과 같은 세라믹을 포함할 수 있다.
- [0068] 반도체 몸체(2)와 캐리어(5) 사이에 제1연결층(31)이 형성되고, 상기 제1연결층은 리세스(25) 안으로 연장된다. 제1연결층을 이용하면, 제1반도체층(21)은 캐리어를 향한 활성 영역(20)의 측에서부터 전기적으로 접촉될 수 있다.
- [0069] 캐리어(5)를 등지는 반도체 몸체(2)의 복사 출사면(10)은 외부 전기 접촉을 포함하지 않고 형성될 수 있다. 활성 영역에서 생성된 복사에 대해 불투과성인 접촉에 의해 복사 출사면이 차폐될 위험은 방지될 수 있다.
- [0070] 리세스(25)의 측면은 절연층(7)을 구비한다. 제1연결층(31)에 의한 활성 영역(20)의 전기적 단락은 간단한 방식으로 방지될 수 있다.
- [0071] 예컨대, 절연층(7)은 가령 규소질화물과 같은 질화물, 가령 규소산화물이나 티타늄산화물과 같은 산화물 또는 가령 규소질산화물과 같은 질산화물을 포함하거나 그러한 물질로 구성될 수 있다.
- [0072] 제2반도체층(22)은 제2연결층(32)과 전기 전도적으로 연결된다. 제2연결층은 제1연결층(31)과 제2반도체층(22) 사이에 국부적으로 형성된다.
- [0073] 또한, 반도체칩(1)은 제1접촉부(35) 및 제2접촉부(36)를 포함한다. 접촉부는 반도체칩의 외부 전기 접촉을 위해 제공되고, 활성 영역(20)의 서로 다른 측부로부터 전하 캐리어가 상기 활성 영역으로 주입되도록 역할하여, 주입된 전하 캐리어는 활성 영역에서 복사 방출하에 재조합할 수 있다.
- [0074] 제1연결층(31) 및 제2연결층(32)을 이용하면 반도체 몸체는 반도체 몸체의 동일한 측부로부터 전기적으로 접촉되되, 전하 캐리어가 구동 시 활성 영역(20)으로 다양한 측에 주입될 수 있도록 접촉될 수 있다. 이러한 방식으로, 복사 출사면이 외부 전기 접촉을 포함하지 않는 경우의 반도체칩이 간단히 구현될 수 있다.
- [0075] 제1접촉부(35)는 캐리어(5) 및 결합층(8)을 경유하여 제1연결층(31)과 전기 전도적으로 연결된다. 제2접촉부(36)는 제2연결층(32) 상에 배치되고, 상기 제2연결층과 전기 전도적으로 연결된다.
- [0076] 제1연결층(31)과 제2반도체층(22) 사이에 보호 다이오드(4)가 형성된다.

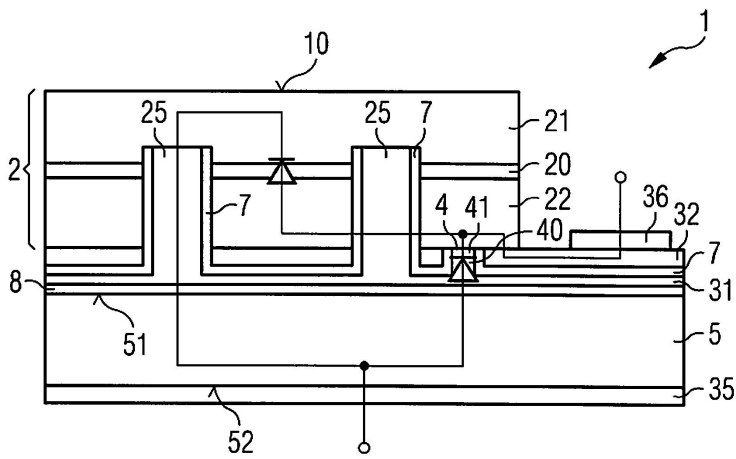
- [0077] 보호 다이오드(4)는 접합층(40)을 이용하여 형성되고, 상기 접합층은 제2반도체층(22)으로부터 수직 방향으로 제1연결층(31)까지 연장된다. 보호 다이오드(4)는 쇼트키 다이오드로서 형성되고, 이 때 접합층(40) 및 제2반도체층(22)은 금속-반도체 접합을 형성한다.
- [0078] 반도체칩(1)의 평면도 상에서, 반도체 몸체(2), 특히 활성 영역(20)은 보호 다이오드(4)를 완전히 덮는다. 보호 다이오드는 반도체 몸체에 집적되되, 복사 생성을 위해 사용될 수 있는 면뿐만 아니라 반도체칩의 횡 방향 치수도 유지될 수 있도록 집적된다.
- [0079] 바람직하게, 접합층은 물질과 관련하여, 순방향으로 인가된 구동 전압으로 반도체칩(1)이 구동할 때 제1연결층(31)과 제2반도체층(22) 사이에서 전류 흐름이 없거나 적어도 실질적인 전류 흐름이 없도록 선택된다. 반도체칩 내의 전류 경로는 도 2와 관련하여 더 상세히 설명된다.
- [0080] $0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$ 이고, 이 때 특히 $x \neq 1$, $y \neq 1$, $x \neq 0$ 및/또는 $y \neq 0$ 일 때 $In_xGa_yAl_{1-x-y}N$ 을 포함하는 반도체 몸체의 경우에, 예컨대 TiWN을 포함하거나 그러한 물질 조성으로 구성되는 접합층이 적합하다.
- [0081] 대안적 또는 보완적으로, 접합층(40)은 고반사 금속층으로서 형성될 수 있다. 예컨대, 은 및 알루미늄은 가시 스펙트럼 영역 및 자외 스펙트럼 영역에서 높은 반사도를 가진다. 활성 영역에서 생성되어 캐리어(5)의 방향으로 방출된 복사는 효율적 방식으로 복사 출사면의 방향으로 방향 전환될 수 있다.
- [0082] 제2연결층(32)에는 홈(41)이 형성된다. 접합층(40)은 리세스를 관통하여 연장된다. 홈(41)의 측면은 절연층(7)으로 덮인다. 그러므로, 접합층(40)과 제2연결층(32)사이의 전기적 단락은 방지될 수 있다.
- [0083] 바람직하게, 연결층(31, 32)은 가령 Ti, Pt, Ni, Au, Ag, Al, Rh, Pd, Pt 또는 W와 같은 금속 또는 상기 열거한 금속 중 적어도 하나와의 금속 합금을 각각 포함한다.
- [0084] 제1연결층(35) 및/또는 제2연결층(36)은 다층으로 형성될 수 있다.
- [0085] 또한, 제1연결층(31) 및/또는 제2연결층(32)은 TCO(transparent conductive oxide)- 물질, 가령 아연산화물, 인듐산화물 또는 인듐주석산화물(ITO)을 포함할 수 있다.
- [0086] 바람직하게, 반도체 몸체(2), 특히 활성 영역(20)은 III-V 반도체 물질을 포함한다.
- [0087] III-V 반도체 물질은 자외 스펙트럼 영역($In_xGa_yAl_{1-x-y}N$)에서 가시 스펙트럼 영역(특히 청색 내지 녹색 복사를 위한 $In_xGa_yAl_{1-x-y}N$ 또는 특히 황색 내지 적색 복사를 위한 $In_xGa_yAl_{1-x-y}P$)를 경유하여 적외 스펙트럼 영역($In_xGa_yAl_{1-x-y}As$)에 이르기까지의 복사 생성을 위해 매우 적합하다. 이 때 각각 $0 \leq x \leq 1$, $0 \leq y \leq 1$, $x+y \leq 1$ 이고, 특히 $x \neq 1$, $y \neq 1$, $x \neq 0$ 및/또는 $y \neq 0$ 을 포함하여 그러하다. III-V 반도체 물질, 특히 상기 열거한 물질계의 III-V 반도체 물질을 이용하면 복사 생성 시 높은 내부 양자 효율이 달성될 수 있다.
- [0088] 또한, 보호 다이오드(4)는 도시된 실시예와 달리 제1연결층(31)을 이용하여 형성될 수 있고, 이 때 제1연결층은 제2반도체층(22)에 인접한다. 이 경우, 제1연결층(31)에 대해 부가적으로 제공된 별도의 접합층은 생략될 수 있다. 반도체 몸체(2)를 위한 제1연결층(31)은 한편으로는 제1반도체층(21)에 대한 오믹 접촉을 형성하고, 다른 한편으로는 쇼트키 접촉에 의해 제2반도체층(22)과 전기적으로 연결될 수 있다.
- [0089] 연결층 및 접합층이 예컨대 캐리어 또는 결합층을 경유하여 전기 전도적으로 연결되는 경우에 한하여, 제1연결층 및 접합층이 서로 이격되어 형성된 배치도 고려될 수 있다.
- [0090] 또한, 제2반도체층의 전기 접촉력은 국부적으로, 특히 보호 다이오드(4)의 영역에서 목적에 맞게 국소적으로 감소할 수 있다(도 1a에 명백히 도시되지는 않음). 제2반도체층(22)에 인접한 층, 즉 접합층(40) 또는 제1연결층(31)을 위한 물질 선택 자유도는 증가한다.
- [0091] 기술된 실시예와 달리, 접촉(35, 36)은 캐리어(5)의 동일한 측부에, 특히 제1주요면(51) 상에 배치될 수 있다. 이 경우, 캐리어(5)는 전기 절연성으로 형성될 수 있다.
- [0092] 도시된 실시예에서, 반도체칩(1)은 박막 반도체칩으로서 형성되고, 이 때 성장 기판은 반도체 몸체(2)의 반도체 층 시퀀스에서 제거된다. 이와 달리, 성장 기판은 국부적으로만 제거되거나 전면이 또는 국부적으로 얇아질 수 있다.
- [0093] 또한, 반도체칩은 RCLED 또는 반도체레이저칩으로서, 특히 VCSEL 또는 VECSEL로서 형성될 수 있다.

- [0094] 반도체칩(1)에서의 전류 경로는 도 2에 개략적으로 도시되어 있다. 이 때, 제1반도체층(21) 및 캐리어(5)는 예시적으로 n형 도핑되고, 제2반도체층(22)은 p형 도핑된다.
- [0095] 제1접촉부(35)에 대해 상대적으로 제2접촉부(36)에 양의 전기 전압이 인가되면, 복사 생성을 위해 제공된 반도체 물체(2)의 다이오드 구조는 순방향으로 구동하여, 전하 캐리어는 활성 영역(20)으로 주입되고, 그 곳에서 복사 방출하에 제조할 수 있다.
- [0096] 그에 반해, 보호 다이오드(4)는 상기 극에서 역방향으로 접속된다. 즉, 접합층(40)에 의해, 반도체칩의 접촉(35, 36) 사이에서 구동 전류가 흐르지 않거나, 적어도 실질적 비율은 흐르지 않는다.
- [0097] 역방향에서 반도체칩의 정전기 충전의 경우, 전하 캐리어는 제1접촉부(35)과 제2접촉부(36)사이의 전류 경로를 지나 보호 다이오드(4)를 경유하여 드레인될 수 있다. 전하 캐리어는 활성 영역(20)을 우회하여 제1연결층(31)으로부터 보호 다이오드(4)를 경유하여 제2반도체층(22)에 도달할 수 있다. 전하 캐리어가 드레인될 때, 복사 생성을 위해 제공된 반도체칩의 다이오드 구조, 특히 활성 영역(20)은 부하를 받지 않는다.
- [0098] 반도체칩(1)의 손상 위험은 감소할 수 있다. 반도체칩의 외부에 형성되고 반도체칩의 제1접촉부(35) 및 제2접촉부(36)에 대해 반 병렬로 접속되는 보호 다이오드는 생략될 수 있다.
- [0099] 제1반도체층(21) 및 캐리어(5)가 p형 도핑되고 제2반도체층(22)이 n형 도핑되는 대안적 경우에, 반도체칩은 그에 상응하게 구동할 수 있어서, 제2접촉부(36)에 대해 상대적으로 제1접촉부(35)에 양 전압이 인가된다.
- [0100] 복사 방출반도체칩의 제조 방법을 위한 실시예는 도 3a 내지 3e에서 중간 단계에 의거하여 개략적 단면도로 도시되어 있다.
- [0101] 활성 영역(20), 제1반도체층(21) 및 제2반도체층(22)을 구비한 반도체층 시퀀스를 포함하는 반도체 물체(2)가 제공된다. 반도체 물체(2)를 형성하는 반도체층 시퀀스는 바람직하게 에피택시얼하게 성장 기판(200) 상에 증착된다.
- [0102] 도 3b에 도시된 바와 같이, 제2반도체층(22) 상에 제2연결층이 형성된다. 이는 예컨대 증발증착 또는 스퍼터링을 이용하여 수행될 수 있다.
- [0103] 제2연결층(32)은 예컨대 리소그래피 기술을 이용하여 국부적으로 구조화되되, 제2반도체층(22)이 국부적으로 노출되도록 구조화되어 형성된다.
- [0104] 도 3c에 도시된 바와 같이, 리세스(25)는 반도체 물체(2)에 형성되고, 상기 리세스는 제2반도체층(22) 및 활성 영역(20)을 관통하여 제1반도체층(21) 안으로 연장된다. 이후, 반도체 물체(2)는 절연층(7)을 구비하고, 절연층은 제2연결층(32), 그리고 특히 홈(41) 및 리세스(25)의 측면을 덮는다.
- [0105] 홈(41)에는 접합층(40)이 형성된다. 접합층(40)은 예컨대 증발증착되거나 스퍼터링될 수 있다. 이후, 도 3d에 도시된 바와 같이, 절연층(7) 상에 제1연결층(31)이 증착되고, 상기 제1연결층은 리세스(25) 안으로 연장되며 또한 접합층(40)에 직접 접한다.
- [0106] 이후, 반도체 물체(2)는 캐리어(5)와 물질 접합식으로 결합될 수 있다. 이는 결합층(8)을 이용하여 수행될 수 있으며, 상기 결합층은 예컨대 뱀납 또는 전기 전도 접착제를 포함할 수 있다.
- [0107] 캐리어(5)를 이용하면, 반도체 물체(2)의 반도체층 시퀀스는 기계적으로 안정화될 수 있다. 이를 위해 성장 기판(200)은 필요하지 않으며 제거될 수 있다.
- [0108] 성장 기판의 제거는 예컨대 기계적으로, 가령 그라인딩(grinding), 폴리싱(polishing) 또는 래핑(lapping)을 이용하거나/이용하고 화학적으로, 가령 습식 화학적 또는 건식 화학적 식각을 이용하여 수행될 수 있다. 대안적 또는 보완적으로, 레이저 박리 방법(laser lift-off)이 사용될 수 있다.
- [0109] 제2연결층(32)을 국부적으로 노출하기 위해, 반도체 물체(2)의 물질은 국부적으로 제거된다.
- [0110] 반도체 물체(2)를 등지는 캐리어(5)의 제2주요면(52) 상에 그리고 제2연결층(32) 상에 제1접촉부(35) 또는 제2접촉부(36)이 증착된다. 이는 예컨대 증발증착 또는 스퍼터링을 이용하여 수행될 수 있다. 도 1a 및 도 1b와 관련하여 기술된 바와 같이 형성되어 완성된 반도체칩은 도 3f에 도시되어 있다.
- [0111] 기술된 방법에서, 반도체칩(1)에 보호 다이오드(4)의 집적은 현저한 부가적 소모 없이 구현될 수 있다.
- [0112] 도시된 실시예와 달리, 반도체 물체(2)의 전기 접촉력, 특히 제2반도체층(22)의 전기 접촉력은 접합층(40)의 증

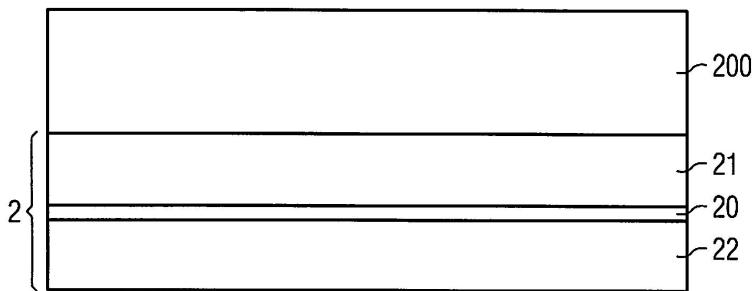
도면1b



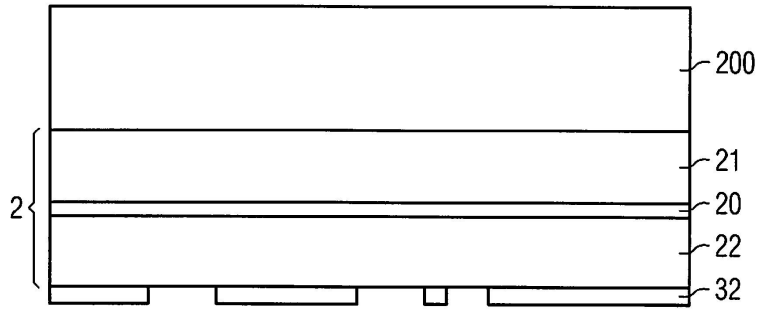
도면2



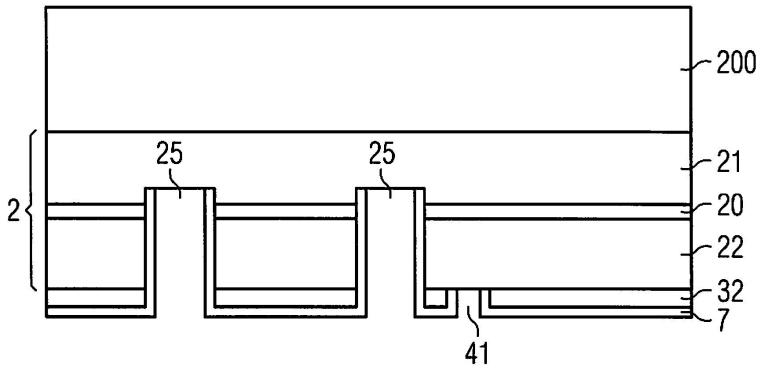
도면3a



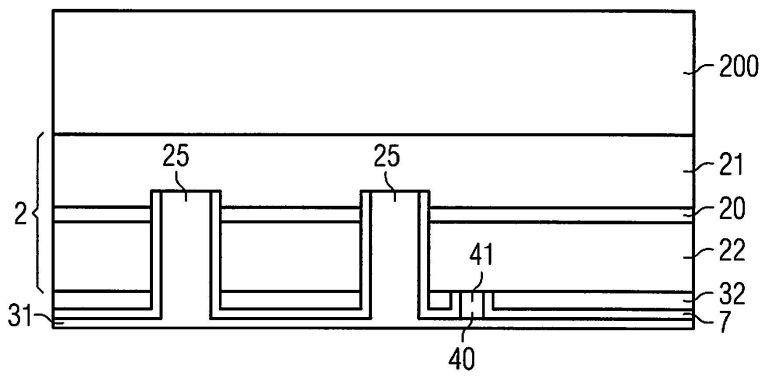
도면3b



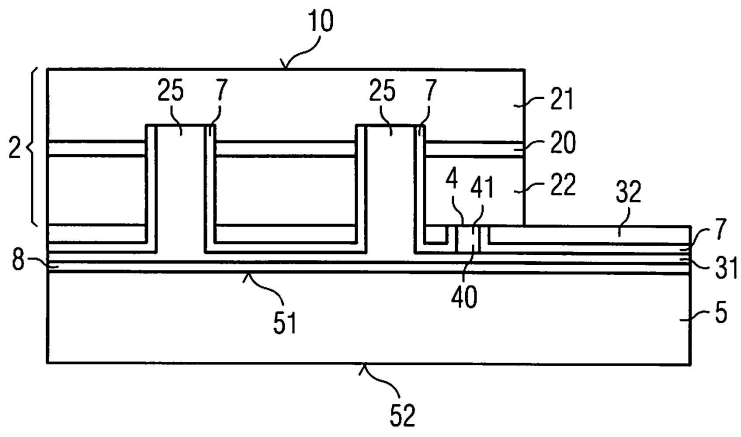
도면3c



도면3d



도면3e



도면3f

