

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4336214号
(P4336214)

(45) 発行日 平成21年9月30日 (2009. 9. 30)

(24) 登録日 平成21年7月3日 (2009. 7. 3)

(51) Int. Cl.

F I

H O 2 M 7/48 (2007. 01)

H O 2 M 7/48 J

H O 2 P 27/06 (2006. 01)

H O 2 M 7/48 H

H O 2 P 7/63 3 O 2 D

H O 2 P 7/63 3 O 2 L

請求項の数 4 (全 8 頁)

(21) 出願番号 特願2004-21276 (P2004-21276)
 (22) 出願日 平成16年1月29日 (2004. 1. 29)
 (65) 公開番号 特開2005-218213 (P2005-218213A)
 (43) 公開日 平成17年8月11日 (2005. 8. 11)
 審査請求日 平成18年6月9日 (2006. 6. 9)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 篠原 益生
 兵庫県伊丹市東野四丁目61番地5 株式
 会社ルネサスデバイスデザイン内

審査官 松本 泰典

(56) 参考文献 特開平11-289771 (JP, A)

最終頁に続く

(54) 【発明の名称】 電力用半導体装置

(57) 【特許請求の範囲】

【請求項1】

インバータ回路の出力電流経路に介挿されたシャント抵抗と、
 前記シャント抵抗において生じる電圧値を数値データに変換する変換手段と、
 前記変換手段から出力された前記数値データを入力し前記数値データに基づき前記イン
 バータ回路を制御するCPUと

を備え、

前記変換手段は、

前記シャント抵抗において生じる電圧値をパルス幅に変換する高耐圧ICと、

前記高耐圧ICから出力された前記パルス幅を数値データに変換するカウンタと
 を有し、

前記CPUは第一同期信号を前記カウンタに送り、

前記カウンタは前記第一同期信号に基づく第二同期信号を前記高耐圧ICに送る
 電力用半導体装置。

【請求項2】

請求項1に記載の電力用半導体装置であって、

前記第二同期信号は前記第一同期信号に対し所定の遅延時間だけ遅れている
 電力用半導体装置。

【請求項3】

請求項2に記載の電力用半導体装置であって、

前記所定の遅延時間は、前記数値データが前記カウンタから出力される時点と前記CPUが前記数値データを入力する時点との時間差が最小になるように定められる電力用半導体装置。

【請求項4】

請求項2又は請求項3に記載の電力用半導体装置であって、
前記カウンタの前記所定の遅延時間に関する設定内容は、外部から変更可能である電力用半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電力用半導体装置に関し、特に、自動車用モータ等の負荷電流を検出するための技術に関する。

【背景技術】

【0002】

従来の自動車の電動機駆動用等の電力用半導体装置の電流検出としては、ホール素子を利用したものか、シャント抵抗とリニアアイソレーションアンプとを利用したものが一般的であった。また、最近は、これらよりも安価なものとして、シャント抵抗とHVIC（高耐圧IC）を利用したものが現れて来ている。HVICは、シャント抵抗の高圧側から低圧側に逆レベルシフトすると共に、シャント抵抗に生じた電圧値をパルス幅へ変換する機能（PWM）を有する制御素子である。HVICからI/Oバスを通過してCPUに出力されたパルスは、CPUにおいてそのパルス幅をカウントされることにより、数値データへ変換される。

【0003】

PWMされたパルスのパルス幅をカウントする電力用半導体装置の例は、例えば特許文献1、2に開示されている。

【0004】

【特許文献1】特開平8-66049号公報

【特許文献2】特開2002-34263号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

従来の電力用半導体装置の電流検出においては、CPUの割り込み機能もしくはインプットキャプチャ機能を用いて、パルス幅のカウントが行われる。

【0006】

しかし、割り込み機能を用いる場合には、CPUの負荷が増大するので、リアルタイム性が損なわれたり、測定精度が低下したりするという問題点があった。

【0007】

また、インプットキャプチャ機能は、通常はエンコーダの読み込みに使用されているので、HVICからのパルスの読み込みを行うだけのチャンネルの余裕がないという問題点があった。

【0008】

また、一般的なCPUの基準クロックは、CPU内部で逡倍されているが、上記パルスの読み込みに使用するには周波数が低過ぎるので、測定精度が低くなってしまう場合があるという問題点があった。例えば、現在市販されている逆レベルシフト機能を搭載したHVICのうち最も高いキャリア周波数を有するものとしては、IR（International Rectifier）社のIR2172が挙げられる（40kHz）。ここで、基準クロックの基準周波数が10MHzで、電流値のフルスケールが500Aであったとすると、誤差は、 $500A \times (40kHz / 10MHz) = 2A$ と大きくなるので、測定精度が低くなってしまう。

【0009】

10

20

30

40

50

また、電流フィードバック周期は、通常はインバータ制御用PWMキャリア割り込みに同期しており、インバータ制御用PWMキャリア周期の1/10程度の応答性が必要である。従って、インバータ制御用PWMキャリア周期が100～200μsであれば電流フィードバック周期としては10～20μsの応答性が必要とされる。一方、HVICのキャリア周波数が上記のように40kHzである場合、HVICのキャリア周期は25μsであるので、CPUとHVICとが非同期の場合には、読み込んでからカウントするまでに最大で25μs×2=50μsの遅延が生じる。従って、応答性が低くなってしまう場合があるという問題点があった。

【0010】

また、上記の50μsの遅延は、CPUとHVICとの同期のずれに応じてばらつくので、ばらつきは0～50μsとなる。従って、ばらつきの小さいホール素子に比べて、補正が困難となるのでゲインを上げることが困難となってしまうという問題点があった（例えば、出力周波数が500Hzのときには、周期が2msとなるので、50μsのばらつきは2.5%の変動に相当する）。

【0011】

本発明は以上の問題点を解決するためになされたものであり、測定精度を高めることができる電力用半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0012】

上記の課題を解決するために、本発明に係る電力用半導体装置は、インバータ回路の出力電流経路に介挿されたシャント抵抗と、前記シャント抵抗において生じる電圧値を数値データに変換する変換手段と、前記変換手段から出力された前記数値データを入力し前記数値データに基づき前記インバータ回路を制御するCPUとを備え、前記変換手段は、前記シャント抵抗において生じる電圧値をパルス幅に変換する高耐圧ICと、前記高耐圧ICから出力された前記パルス幅を数値データに変換するカウンタとを有し、前記CPUは第一同期信号を前記カウンタに送り、前記カウンタは前記第一同期信号に基づく第二同期信号を前記高耐圧ICに送る。

【発明の効果】

【0013】

本発明に係る電力用半導体装置は、インバータ回路の出力電流経路に介挿されたシャント抵抗と、前記シャント抵抗において生じる電圧値を数値データに変換する変換手段と、前記変換手段から出力された前記数値データを入力し前記数値データに基づき前記インバータ回路を制御するCPUとを備え、前記変換手段は、前記シャント抵抗において生じる電圧値をパルス幅に変換する高耐圧ICと、前記高耐圧ICから出力された前記パルス幅を数値データに変換するカウンタとを有し、前記CPUは第一同期信号を前記カウンタに送り、前記カウンタは前記第一同期信号に基づく第二同期信号を前記高耐圧ICに送るので、CPUの割り込み機能を用いる必要がない。従って、CPUの負荷を増大させることがないので、リアルタイム性が損なわれたり測定精度を低下させたりすることがないという効果を有する。また、CPUのインプットキャプチャ機能を用いる必要がないので、インプットキャプチャ用のチャンネルを圧迫しないという効果を有する。また、高耐圧ICとCPUとが同期して動作するので、シャント抵抗で発生する電圧値に基づく数値データが生成されてから、CPUに読み込まれるまでの遅延および遅延のばらつきを小さくすることができる。従って、応答性を高くすることができるという効果を有する。

【発明を実施するための最良の形態】

【0014】

<実施の形態1>

図1に、本実施の形態に係る電力用半導体装置100の構成を示す。

【0015】

図1において、インバータ回路111～113は、P電極およびN電極に接続され、三

10

20

30

40

50

相モータ１２０のＵ相、Ｖ相、及びＷ相にそれぞれ電流を供給し制御する。インバータ回路１１１～１１３と三相モータ１２０とは、それぞれシャント抵抗１３１～１３３を介して接続される。シャント抵抗１３１～１３３は、ＨＶＩＣ１４１～１４３にそれぞれ接続される。ＨＶＩＣ１４１～１４３は、カウンタ回路１５０に接続される。カウンタ回路１５０は、ＣＰＵ１６０に接続される。ＣＰＵ１６０は、クロック用発信器１７０とゲート駆動回路１８０とに接続される。

【００１６】

図１において、シャント抵抗１３１～１３３には、三相モータ１２０のＵ相、Ｖ相、及びＷ相に流される電流に基づき電圧値が生じる。

【００１７】

次に図２のタイミングチャートを用いて、図１に示される電力用半導体装置１００の動作について説明する。

【００１８】

図２（ａ）に示されるような基準クロック１９１は、クロック発信器１７０からＣＰＵ１６０に入力される。

【００１９】

図２（ｂ）に示されるようなインバータ制御用のキャリア信号１９２は、入力された基準クロック１９１をＣＰＵ１６０内部で分周することにより生成される。ここで、キャリア信号１９２は、周期 T_1 を有するものとする。一般的には、 $T_1 = 100 \mu s$ もしくは $T_1 = 200 \mu s$ で制御される。

【００２０】

図２（ｃ）に示されるような第一同期信号１９３は、ＣＰＵ１６０からカウンタ回路１５０に入力される。ここで、第一同期信号１９３は、周期 T_1 を有しキャリア信号１９２と同期しており、キャリア信号１９２からの遅延時間は０であるとする。

【００２１】

図２（ｄ）に示されるような第二同期信号１９４は、カウンタ回路１５０からＨＶＩＣ１４１～１４３（図２においては、ＨＶＩＣ１４１について示しているものとする）に入力される。ここで、第二同期信号１９４は、周期 T_1 を有し第一同期信号１９３と同期しており、第一同期信号１９３からの遅延時間は０であるとする。ＨＶＩＣ１４１は、第二同期信号１９４の立ち上がりにおいて、シャント抵抗１３１で発生する電圧値を読み込む。

【００２２】

図２（ｅ）に示されるように、ＨＶＩＣ１４１は、読み込まれた電圧値を逆鋸波形信号１９５と比較することにより、シャント抵抗１３１で発生する電圧値をパルス１９６のパルス幅に変換する。そして、パルス１９６を、カウンタ回路１５０に出力する。図２（ｅ）において、パルス１９６の立ち下がりには、読み込まれた電圧値が逆鋸波形信号１９５と等しくなる時点に対応している。また、逆鋸波形信号１９５の幅 $T_2 = T_1 / 2$ であり、パルス１９６の幅で表される電圧値の最大値（即ち、シャント抵抗１３１で検出される電流値の最大値）に対応する。

【００２３】

図２（ｆ）に示されるように、カウンタ回路１５０は、パルス１９６のパルス幅を、基準クロックを用いてカウントすることにより、数値データ１９７を生成させる。図２（ｆ）は、基準クロックとして基準クロック１９１と同様のものを用いた場合のイメージを示したものであり、各ステップの１段の高さは基準クロックの幅に対応し、各ステップの高さの合計値が数値データ１９７に対応している。この基準クロックは、入力される第一同期信号１９３を逡倍することによりカウンタ回路１５０内部で生成される。カウンタ回路１５０は、Ｉ／Ｏバスを介してＣＰＵ１６０にこの数値データ１９７を出力する。

【００２４】

ＣＰＵ１６０は、次の周期のキャリア信号１９２の立ち上がりにおいて、数値データ１９７を読み込む。そして、ＣＰＵ１６０は、読み込まれたこの数値データ１９７を用いて

10

20

30

40

50

、ゲート駆動回路 180 を I/O バスを介し制御する。このゲート駆動回路 180 により、インバータ回路 111 ~ 113 を用いて三相モータ 120 が制御される。

【0025】

このように、本実施の形態に係る電力用半導体装置 100 は、CPU 160 外部のカウント回路 150 がパルス 196 のパルス幅を数値データ 197 に変換している。従って、CPU のインプットキャプチャ機能を用いる必要がないので、インプットキャプチャ用のチャンネルを圧迫しないという効果を有する。

【0026】

また、CPU の割り込み機能を用いる必要がないので、CPU 160 の負荷を増大させることがなく、従ってリアルタイム性が損なわれたり測定精度を低下させたりすることがないという効果を有する。

10

【0027】

即ち、従来の電力用半導体装置において CPU の割り込み機能を用いる場合には、HVIC から PWM 信号が入力されるタイミングで割り込みが発生するので、CPU の他の処理に影響を与えてしまうことがあった。しかし、本実施の形態に係る電力用半導体装置 100 においては、カウント回路 150 の出力が数値データ 197 に保たれており、この数値データ 197 を所定のタイミングで読み込めばいいので、CPU の他の処理に影響を与えてしまうことがない。

【0028】

また、HVIC 141 ~ 143 と CPU 160 とが同期して動作するので、シャント抵抗 131 で発生する電圧値に基づく数値データ 197 が生成されてから、CPU 160 に読み込まれるまでの遅延および遅延のばらつきを小さくすることができる。従って、HVIC と CPU とが非同期で動作する従来の電力用半導体装置に比べて、応答性を高くすることができるという効果を有する。

20

【0029】

< 実施の形態 2 >

実施の形態 1 に係る電力用半導体装置 100 においては、カウント回路 150 は、図 2 (d) に示されるように、第一同期信号 193 からの遅延時間が 0 である第二同期信号 194 を HVIC 141 に入力させる。しかし、カウント回路 150 は、第二同期信号 194 を、第一同期信号 193 から遅延時間 T3 だけ遅らせ HVIC 141 に入力させてもよい。ここで、遅延時間 T3 は、キャリア信号 192 の周期 T1 から、逆鋸波形信号 195 の幅 T2 及び、カウント回路 150 における処理時間 T4 を差し引いたものである (即ち、 $T3 = T1 - T2 - T4$)。この処理時間 T4 は、カウントが終了してから数値データ 197 を出力するまでのカウント回路 150 における処理時間である。

30

【0030】

図 3 は、実施の形態 2 に係る電力用半導体装置の動作を示すタイミングチャートである。図 3 は、図 2 において、第二同期信号 194 を、第一同期信号 193 から遅延時間 T3 だけ遅らせたものである。これにより、逆鋸波形信号 195、パルス 196、及び数値データ 197 に対応するパルスも、遅延時間 T3 だけ遅れることになる。

40

【0031】

上述したように、図 2 においては、CPU 160 は、後の周期のキャリア信号 192 の立ち上がりにおいて、前の周期における数値データ 197 を読み込む。従って、数値データ 197 が決定された時点 (即ち、信号 195 が 0 となる時点) から、数値データ 197 が読み込まれる時点までの間に、 $T1 - T2$ の時間差が発生する。これに対し、図 3 においては、数値データ 197 が決定された時点から数値データ 197 が読み込まれる時点までの間の時間差を、処理時間 T4 と等しくすることができる。よって、時間差を最小とすることができるので、測定精度を高めることができる。なお、T3 は、上記のような $T3 = T1 - T2 - T4$ を満たすものに限らず、 $0 < T3 < T1 - T2 - T4$ を満たすものであれば、実施の形態 1 に比べて、時間差を低減することができる。

50

【 0 0 3 2 】

このように、本実施の形態に係る電力用半導体装置の動作は、実施の形態 1 に係る動作において、シャント抵抗 1 3 1 で発生する電圧値を読み込む時点が遅延時間 T 3 だけ遅らせている。従って、実施の形態 1 に比べて、時間差を低減することにより測定精度を高めることができる。

【 0 0 3 3 】

< 実施の形態 3 >

一般的に、キャリア信号 1 9 2 の周期 T 1 は、制御対象となる三相モータ 1 2 0 やインバータ回路 1 1 1 ~ 1 1 3 等の各種構成要素により異なる。加えて、開発当初には想定されていなかった問題（騒音、発熱、構成部品の品質ばらつき等）が表面化した場合には、遅延時間 T 3 を変更する必要性が生じる。そのため、搭載する自動車の種別毎に電力用半導体装置を開発する必要性が生じたり、電力用半導体装置の開発期間が延びたりする場合がありますという問題点があった。

【 0 0 3 4 】

図 4 は、実施の形態 3 に係る電力用半導体装置 1 0 1 を示す構成図である。図 4 に示される電力用半導体装置 1 0 1 は、図 1 に示される電力用半導体装置 1 0 0 におけるカウンタ回路 1 5 0 に代えて、C P L D (Complex Programmable Logic Devices) 等からなりインターフェース 1 5 3 を有するカウンタ回路 1 5 2 を備えるものである。カウンタ回路 1 5 2 は、インターフェース 1 5 3 を介して、遅延時間 T 3 等の設定データが外部から変更可能である。

【 0 0 3 5 】

このように本実施の形態に係る電力用半導体装置 1 0 1 においては、遅延時間 T 3 等の設定データが外部から変更可能であるので、搭載する自動車の種別毎に開発する必要性が生じたり、開発期間が延びたりすることがない。従って、短納期で安価な I P U (Intelligent Power Unit) を供給することができる。

【 0 0 3 6 】

なお、上記においては、H V I C 1 4 1 ~ 1 4 3 とカウンタ回路 1 5 2 とは、異なる回路として説明を行ったが、これらは、1 つの制御 I C (変換手段) として統合されていてもよい。これにより、コンパクトで安価な制御 I C を供給することができる。シャント抵抗と H V I C とを用いたシステムは、一般的に、ホール素子を用いたシステム（ホール C T) に比べて安価である。従って、安価に高効率なベクトル制御等を行うことが可能となる。

【 図面の簡単な説明 】

【 0 0 3 7 】

【図 1】実施の形態 1 に係る電力用半導体装置を示す構成図である。

【図 2】実施の形態 1 に係る電力用半導体装置の動作を示すタイミングチャートである。

【図 3】実施の形態 2 に係る電力用半導体装置の動作を示すタイミングチャートである。

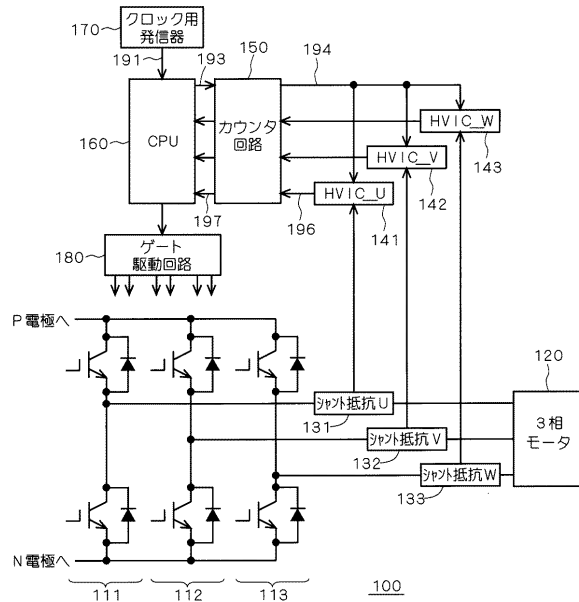
【図 4】実施の形態 3 に係る電力用半導体装置を示す構成図である。

【 符号の説明 】

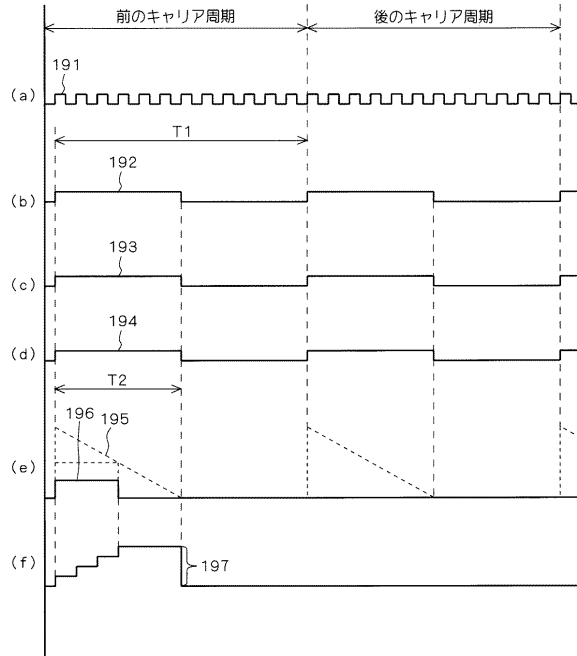
【 0 0 3 8 】

1 0 0 , 1 0 1 電力用半導体装置、1 1 1 ~ 1 1 3 インバータ回路、1 2 0 三相モータ、1 3 1 ~ 1 3 3 シャント抵抗、1 4 1 ~ 1 4 3 H V I C、1 5 0 , 1 5 2 カウンタ回路、1 6 0 C P U、1 7 0 , 1 7 1 クロック用発信器、1 8 0 ゲート駆動回路、1 9 1 基準クロック、1 9 2 キャリア信号、1 9 3 第一同期信号、1 9 4 第二同期信号、1 9 5 逆鋸波形信号、1 9 6 パルス、1 9 7 数値データ、T 1 周期、T 2 幅、T 3 遅延時間、T 4 処理時間。

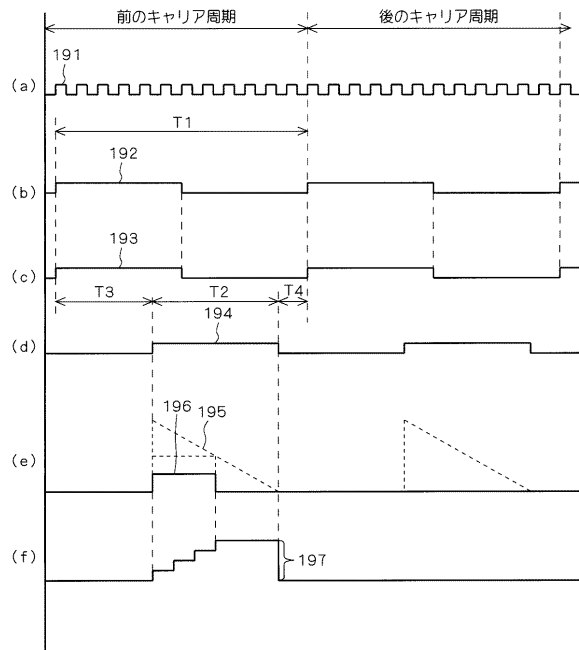
【図 1】



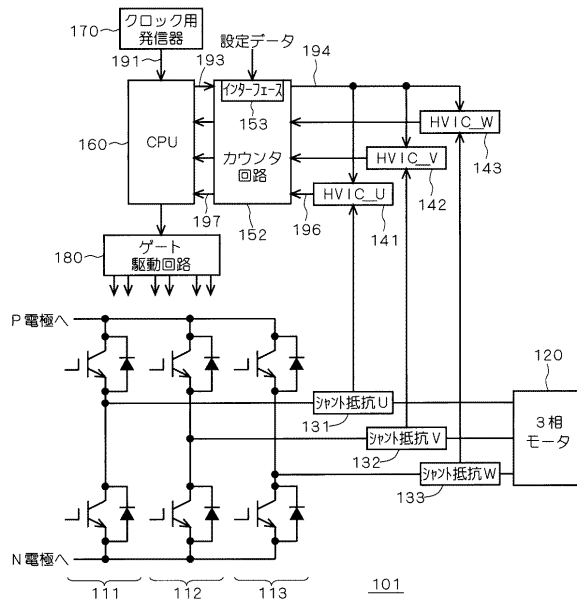
【図 2】



【図 3】



【図 4】



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

H 0 2 M 7 / 4 8

H 0 2 P 2 7 / 0 6