

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4336214号
(P4336214)

(45) 発行日 平成21年9月30日(2009.9.30)

(24) 登録日 平成21年7月3日(2009.7.3)

(51) Int.Cl.

F 1

H02M 7/48 (2007.01)
H02P 27/06 (2006.01)H02M 7/48 J
H02M 7/48 H
H02P 7/63 302D
H02P 7/63 302L

請求項の数 4 (全 8 頁)

(21) 出願番号

特願2004-21276 (P2004-21276)

(22) 出願日

平成16年1月29日(2004.1.29)

(65) 公開番号

特開2005-218213 (P2005-218213A)

(43) 公開日

平成17年8月11日(2005.8.11)

審査請求日

平成18年6月9日(2006.6.9)

(73) 特許権者 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目7番3号

(74) 代理人 100088672

弁理士 吉竹 英俊

(74) 代理人 100088845

弁理士 有田 貴弘

(72) 発明者 篠原 益生

兵庫県伊丹市東野四丁目61番地5 株式会社ルネサステバイスデザイン内

審査官 松本 泰典

(56) 参考文献 特開平11-289771 (JP, A)

最終頁に続く

(54) 【発明の名称】電力用半導体装置

(57) 【特許請求の範囲】

【請求項1】

インバータ回路の出力電流経路に介挿されたシャント抵抗と、
前記シャント抵抗において生じる電圧値を数値データに変換する変換手段と、
前記変換手段から出力された前記数値データを入力し前記数値データに基づき前記インバータ回路を制御するCPUと
を備え、

前記変換手段は、

前記シャント抵抗において生じる電圧値をパルス幅に変換する高耐圧ICと、
前記高耐圧ICから出力された前記パルス幅を数値データに変換するカウンタと

10

を有し、
前記CPUは第一同期信号を前記カウンタに送り、
前記カウンタは前記第一同期信号に基づく第二同期信号を前記高耐圧ICに送る
電力用半導体装置。

【請求項2】

請求項1に記載の電力用半導体装置であつて、

前記第二同期信号は前記第一同期信号に対し所定の遅延時間だけ遅れている
電力用半導体装置。

【請求項3】

請求項2に記載の電力用半導体装置であつて、

20

前記所定の遅延時間は、前記数値データが前記カウンタから出力される時点と前記CPUが前記数値データを入力する時点との時間差が最小になるように定められる電力用半導体装置。

【請求項4】

請求項2又は請求項3に記載の電力用半導体装置であって、
前記カウンタの前記所定の遅延時間に関する設定内容は、外部から変更可能である電力用半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は電力用半導体装置に関し、特に、自動車用モータ等の負荷電流を検出するための技術に関する。

【背景技術】

【0002】

20

従来の自動車の電動機駆動用等の電力用半導体装置の電流検出としては、ホール素子を利用したものか、シャント抵抗とリニアアイソレーションアンプとを利用したものが一般的であった。また、最近は、これらよりも安価なものとして、シャント抵抗とHVIC(高耐圧IC)を利用したものが現れて来ている。HVICは、シャント抵抗の高圧側から低圧側に逆レベルシフトすると共に、シャント抵抗に生じた電圧値をパルス幅へ変換する機能(PWM)を有する制御素子である。HVICからI/Oバスを通じてCPUに出力されたパルスは、CPUにおいてそのパルス幅をカウントされることにより、数値データへ変換される。

【0003】

PWMされたパルスのパルス幅をカウントする電力用半導体装置の例は、例えば特許文献1,2に開示されている。

【0004】

【特許文献1】特開平8-66049号公報

【特許文献2】特開2002-34263号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0005】

従来の電力用半導体装置の電流検出においては、CPUの割り込み機能もしくはインプットキャプチャ機能を用いて、パルス幅のカウントが行われる。

【0006】

しかし、割り込み機能を用いる場合には、CPUの負荷が増大するので、リアルタイム性が損なわれたり、測定精度が低下したりするという問題点があった。

【0007】

また、インプットキャプチャ機能は、通常はエンコーダの読み込みに使用されているので、HVICからのパルスの読み込みを行うだけのチャンネルの余裕がないという問題点があった。

40

【0008】

また、一般的なCPUの基準クロックは、CPU内部で倍速されているが、上記パルスの読み込みに使用するには周波数が低過ぎるので、測定精度が低くなってしまう場合があるという問題点があった。例えば、現在市販されている逆レベルシフト機能を搭載したHVICのうち最も高いキャリア周波数を有するものとしては、IR(International Rectifier)社のIR2172が挙げられる(40kHz)。ここで、基準クロックの基準周波数が10MHzで、電流値のフルスケールが500Aであったとすると、誤差は、 $500A \times (40kHz / 10MHz) = 2A$ と大きくなるので、測定精度が低くなってしまう。

【0009】

50

また、電流フィードバック周期は、通常はインバータ制御用 PWM キャリア割り込みに同期しており、インバータ制御用 PWM キャリア周期の 1 / 10 程度の応答性が必要である。従って、インバータ制御用 PWM キャリア周期が 100 ~ 200 μs であれば電流フィードバック周期としては 10 ~ 20 μs の応答性が必要とされる。一方、HVIC のキャリア周波数が上記のように 40 kHz である場合、HVIC のキャリア周期は 25 μs であるので、CPU と HVIC とが非同期の場合には、読み込んでからカウントするまでに最大で $25 \mu s \times 2 = 50 \mu s$ の遅延が生じる。従って、応答性が低くなってしまう場合があるという問題点があった。

【0010】

また、上記の 50 μs の遅延は、CPU と HVIC との同期のずれに応じてばらつくので、ばらつきは 0 ~ 50 μs となる。従って、ばらつきの小さいホール素子に比べて、補正が困難となるのでゲインを上げることが困難となってしまうという問題点があった（例えば、出力周波数が 500 Hz のときには、周期が 2 ms となるので、50 μs のばらつきは 2.5 % の変動に相当する）。

10

【0011】

本発明は以上の問題点を解決するためになされたものであり、測定精度を高めることができる電力用半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0012】

上記の課題を解決するために、本発明に係る電力用半導体装置は、インバタ回路の出力電流経路に介挿されたシャント抵抗と、前記シャント抵抗において生じる電圧値を数値データに変換する変換手段と、前記変換手段から出力された前記数値データを入力し前記数値データに基づき前記インバタ回路を制御する CPU を備え、前記変換手段は、前記シャント抵抗において生じる電圧値をパルス幅に変換する高耐圧 IC と、前記高耐圧 IC から出力された前記パルス幅を数値データに変換するカウンタとを有し、前記 CPU は第一同期信号を前記カウンタに送り、前記カウンタは前記第一同期信号に基づく第二同期信号を前記高耐圧 IC に送る。

20

【発明の効果】

【0013】

本発明に係る電力用半導体装置は、インバタ回路の出力電流経路に介挿されたシャント抵抗と、前記シャント抵抗において生じる電圧値を数値データに変換する変換手段と、前記変換手段から出力された前記数値データを入力し前記数値データに基づき前記インバタ回路を制御する CPU を備え、前記変換手段は、前記シャント抵抗において生じる電圧値をパルス幅に変換する高耐圧 IC と、前記高耐圧 IC から出力された前記パルス幅を数値データに変換するカウンタとを有し、前記 CPU は第一同期信号を前記カウンタに送り、前記カウンタは前記第一同期信号に基づく第二同期信号を前記高耐圧 IC に送るので、CPU の割り込み機能を用いる必要がない。従って、CPU の負荷を増大させることがないので、リアルタイム性が損なわれたり測定精度を低下させたりすることがないという効果を有する。また、CPU のインプットキャプチャ機能を用いる必要がないので、インプットキャプチャ用のチャンネルを圧迫しないという効果を有する。また、高耐圧 IC と CPU とが同期して動作するので、シャント抵抗で発生する電圧値に基づく数値データが生成されてから、CPU に読み込まれるまでの遅延および遅延のばらつきを小さくすることができる。従って、応答性を高くすることができるという効果を有する。

30

40

【発明を実施するための最良の形態】

【0014】

<実施の形態 1>

図 1 に、本実施の形態に係る電力用半導体装置 100 の構成を示す。

【0015】

図 1 において、インバタ回路 111 ~ 113 は、P 電極および N 電極に接続され、三

50

相モータ120のU相、V相、及びW相にそれぞれ電流を供給し制御する。インバータ回路111～113と三相モータ120とは、それぞれシャント抵抗131～133を介して接続される。シャント抵抗131～133は、HVIC141～143にそれぞれ接続される。HVIC141～143は、カウンタ回路150に接続される。カウンタ回路150は、CPU160に接続される。CPU160は、クロック用発信器170とゲート駆動回路180とに接続される。

【0016】

図1において、シャント抵抗131～133には、三相モータ120のU相、V相、及びW相に流される電流に基づき電圧値が生じる。

【0017】

次に図2のタイミングチャートを用いて、図1に示される電力用半導体装置100の動作について説明する。

【0018】

図2(a)に示されるような基準クロック191は、クロック発信器170からCPU160に入力される。

【0019】

図2(b)に示されるようなインバータ制御用のキャリア信号192は、入力された基準クロック191をCPU160内部で分周することにより生成される。ここで、キャリア信号192は、周期T1を有するものとする。一般的には、 $T_1 = 100 \mu s$ もしくは $T_1 = 200 \mu s$ で制御される。

【0020】

図2(c)に示されるような第一同期信号193は、CPU160からカウンタ回路150に入力される。ここで、第一同期信号193は、周期T1を有しキャリア信号192と同期しており、キャリア信号192からの遅延時間は0であるとする。

【0021】

図2(d)に示されるような第二同期信号194は、カウンタ回路150からHVIC141～143(図2においては、HVIC141について示しているものとする)に入力される。ここで、第二同期信号194は、周期T1を有し第一同期信号193と同期しており、第一同期信号193からの遅延時間は0であるとする。HVIC141は、第二同期信号194の立ち上がりにおいて、シャント抵抗131で発生する電圧値を読み込む。

【0022】

図2(e)に示されるように、HVIC141は、読み込まれた電圧値を逆鋸波形信号195と比較することにより、シャント抵抗131で発生する電圧値をパルス196のパルス幅に変換する。そして、パルス196を、カウンタ回路150に出力する。図2(e)において、パルス196の立ち下がりは、読み込まれた電圧値が逆鋸波形信号195と等しくなる時点に対応している。また、逆鋸波形信号195の幅 $T_2 = T_1 / 2$ であり、パルス196の幅で表される電圧値の最大値(即ち、シャント抵抗131で検出される電流値の最大値)に対応する。

【0023】

図2(f)に示されるように、カウンタ回路150は、パルス196のパルス幅を、基準クロックを用いてカウントすることにより、数値データ197を生成させる。図2(f)は、基準クロックとして基準クロック191と同様のものを用いた場合のイメージを示したものであり、各ステップの1段の高さは基準クロックの幅に対応し、各ステップの高さの合計値が数値データ197に対応している。この基準クロックは、入力される第一同期信号193を遙倍することによりカウンタ回路150内部で生成される。カウンタ回路150は、I/Oバスを介してCPU160にこの数値データ197を出力する。

【0024】

CPU160は、次の周期のキャリア信号192の立ち上がりにおいて、数値データ197を読み込む。そして、CPU160は、読み込まれたこの数値データ197を用いて

10

20

30

40

50

、ゲート駆動回路 180 を I/O バスを介し制御する。このゲート駆動回路 180 により、インバータ回路 111 ~ 113 を用いて三相モータ 120 が制御される。

【0025】

このように、本実施の形態に係る電力用半導体装置 100 は、CPU160 外部のカウンタ回路 150 がパルス 196 のパルス幅を数値データ 197 に変換している。従って、CPU のインプットキャプチャ機能を用いる必要がないので、インプットキャプチャ用のチャンネルを圧迫しないという効果を有する。

【0026】

また、CPU の割り込み機能を用いる必要がないので、CPU160 の負荷を増大させることなく、従ってリアルタイム性が損なわれたり測定精度を低下させたりする 10 ことがないという効果を有する。

【0027】

即ち、従来の電力用半導体装置において CPU の割り込み機能を用いる場合には、HVIC からの PWM 信号が入力されるタイミングで割り込みが発生するので、CPU の他の処理に影響を与えることがあった。しかし、本実施の形態に係る電力用半導体装置 100 においては、カウンタ回路 150 の出力が数値データ 197 に保たれており、この数値データ 197 を所定のタイミングで読み込めばいいので、CPU の他の処理に影響を与えることがない。

【0028】

また、HVIC 141 ~ 143 と CPU160 とが同期して動作するので、シャント抵抗 131 で発生する電圧値に基づく数値データ 197 が生成されてから、CPU160 に読み込まれるまでの遅延および遅延のばらつきを小さくすることができる。従って、HVIC と CPU とが非同期で動作する従来の電力用半導体装置に比べて、応答性を高くする 20 ことができるという効果を有する。

【0029】

< 実施の形態 2 >

実施の形態 1 に係る電力用半導体装置 100 においては、カウンタ回路 150 は、図 2 (d) に示されるように、第一同期信号 193 からの遅延時間が 0 である 第二同期信号 194 を HVIC 141 に入力させる。しかし、カウンタ回路 150 は、第二同期信号 194 を、第一同期信号 193 から遅延時間 T3 だけ遅らせ HVIC 141 に入力させてよい。ここで、遅延時間 T3 は、キャリア信号 192 の周期 T1 から、逆鋸波形信号 195 の幅 T2 及び、カウンタ回路 150 における処理時間 T4 を差し引いたものである（即ち、 $T_3 = T_1 - T_2 - T_4$ ）。この処理時間 T4 は、カウントが終了してから数値データ 197 を出力するまでのカウンタ回路 150 における処理時間である。 30

【0030】

図 3 は、実施の形態 2 に係る電力用半導体装置の動作を示すタイミングチャートである。図 3 は、図 2 において、第二同期信号 194 を、第一同期信号 193 から遅延時間 T3 だけ遅らせたものである。これにより、逆鋸波形信号 195 、パルス 196 、及び数値データ 197 に対応するパルスも、遅延時間 T3 だけ遅れることになる。 40

【0031】

上述したように、図 2 においては、CPU160 は、後の周期のキャリア信号 192 の立ち上がりにおいて、前の周期における数値データ 197 を読み込む。従って、数値データ 197 が決定された時点（即ち、信号 195 が 0 となる時点）から、数値データ 197 が読み込まれる時点までの間に、 $T_1 - T_2$ の時間差が発生する。これに対し、図 3 においては、数値データ 197 が決定された時点から数値データ 197 が読み込まれる時点までの間の時間差を、処理時間 T4 と等しくすることができる。よって、時間差を最小とすることができるので、測定精度を高めることができる。なお、T3 は、上記のような $T_3 = T_1 - T_2 - T_4$ を満たすものに限らず、 $0 < T_3 < T_1 - T_2 - T_4$ を満たすものであれば、実施の形態 1 に比べて、時間差を低減することができる。 50

【0032】

このように、本実施の形態に係る電力用半導体装置の動作は、実施の形態1に係る動作において、シャント抵抗131で発生する電圧値を読み込む時点を遅延時間T3だけ遅らせている。従って、実施の形態1に比べて、時間差を低減することにより測定精度を高めることができる。

【0033】

<実施の形態3>

一般的に、キャリア信号192の周期T1は、制御対象となる三相モータ120やインバータ回路111～113等の各種構成要素により異なる。加えて、開発当初には想定されていなかった問題（騒音、発熱、構成部品の品質ばらつき等）が表面化した場合には、
10 遅延時間T3を変更する必要性が生じる。そのため、搭載する自動車の種別毎に電力用半導体装置を開発する必要性が生じたり、電力用半導体装置の開発期間が延びたりする場合があるという問題点があった。

【0034】

図4は、実施の形態3に係る電力用半導体装置101を示す構成図である。図4に示される電力用半導体装置101は、図1に示される電力用半導体装置100におけるカウンタ回路150に代えて、CPLD(Complex Programmable Logic Devices)等からなりインターフェース153を有するカウンタ回路152を備えるものである。カウンタ回路152は、インターフェース153を介して、遅延時間T3等の設定データが外部から変更可能である。
20

【0035】

このように本実施の形態に係る電力用半導体装置101においては、遅延時間T3等の設定データが外部から変更可能であるので、搭載する自動車の種別毎に開発する必要性が生じたり、開発期間が延びたりすることがない。従って、短納期で安価なIPU(Intelligent Power Unit)を供給することができる。

【0036】

なお、上記においては、HVIC141～143とカウンタ回路152とは、異なる回路として説明を行ったが、これらは、1つの制御IC(変換手段)として統合されていてもよい。これにより、コンパクトで安価な制御ICを供給することができる。シャント抵抗とHVICとを用いたシステムは、一般的に、ホール素子を用いたシステム(ホールCT)に比べて安価である。従って、安価に高効率なベクトル制御等を行うことが可能となる。
30

【図面の簡単な説明】**【0037】**

【図1】実施の形態1に係る電力用半導体装置を示す構成図である。

【図2】実施の形態1に係る電力用半導体装置の動作を示すタイミングチャートである。

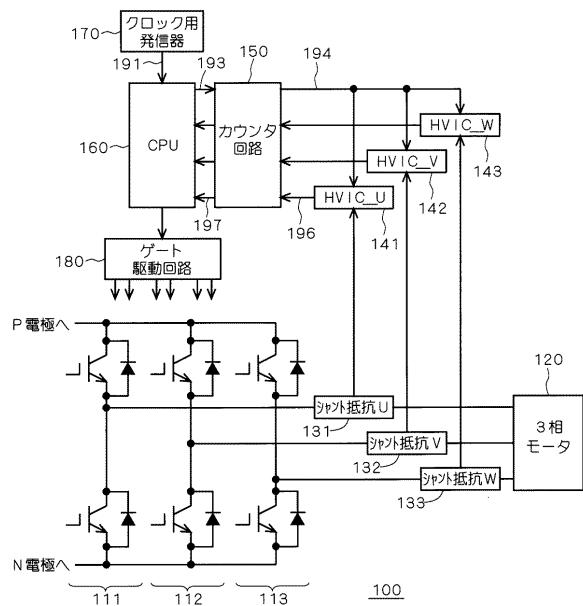
【図3】実施の形態2に係る電力用半導体装置の動作を示すタイミングチャートである。

【図4】実施の形態3に係る電力用半導体装置を示す構成図である。

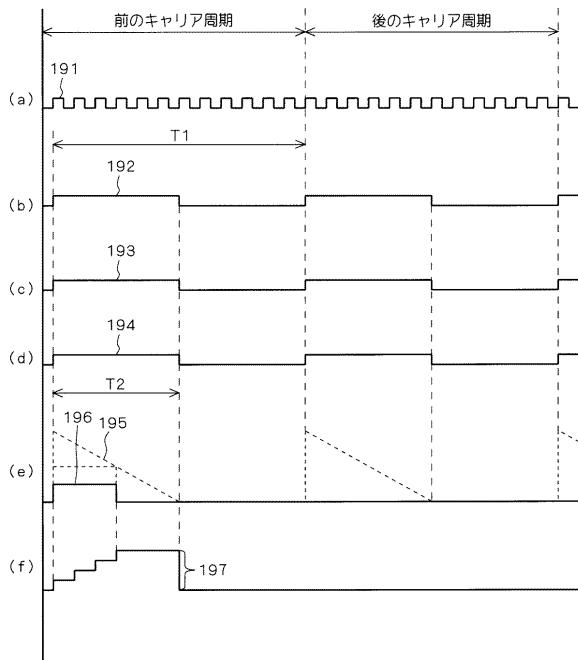
【符号の説明】**【0038】**

100, 101 電力用半導体装置、111～113 インバータ回路、120 三相モータ、131～133 シャント抵抗、141～143 HVIC、150, 152 カウンタ回路、160 C PU、170, 171 クロック用発信器、180 ゲート駆動回路、191 基準クロック、192 キャリア信号、193 第一同期信号、194 第二同期信号、195 逆鋸波形信号、196 パルス、197 数値データ、T1 周期、T2 幅、T3 遅延時間、T4 処理時間。
40

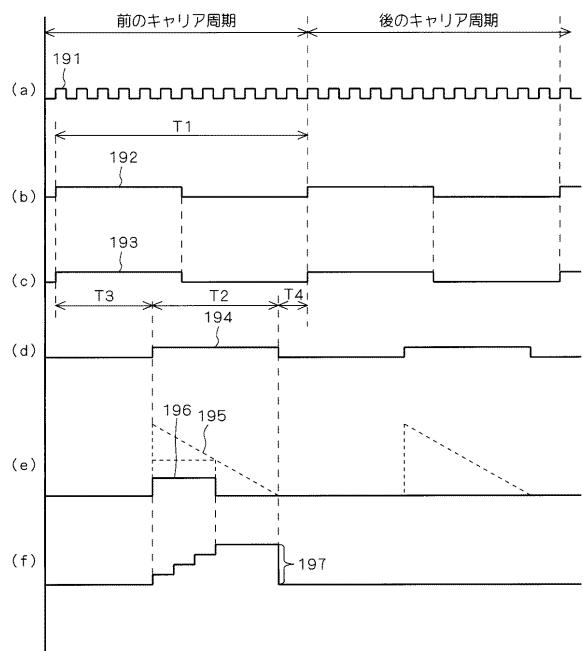
【図1】



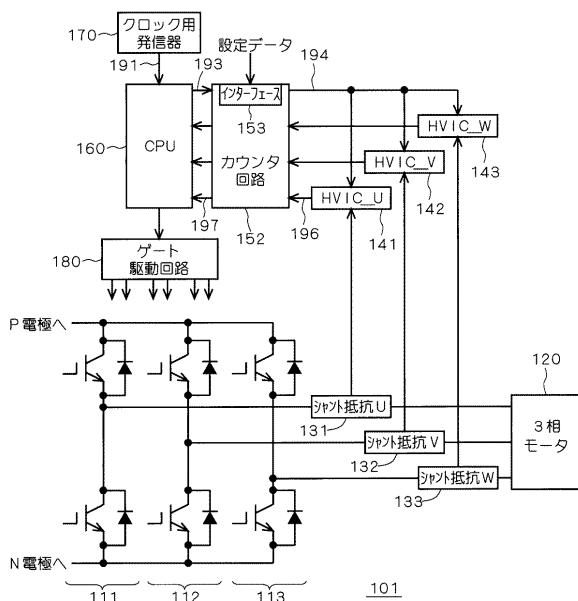
【図2】



【図3】



【図4】



フロントページの続き

(58)調査した分野(Int.Cl., DB名)

H 02M 7 / 48

H 02P 27 / 06