公告本

A4
C4

482955

申請日期	84.11.25
案號	84112480
類別	G06F 11/08

（以上各欄由本局填註）

~~新型~~ 發明專利說明書

一、發明新型名稱	中文	高速之循環冗餘檢查系統
	英文	HIGH SPEED CYCLICAL REDUNDANCY CHECK SYSTEM
二、發明創作人	姓名	1.馬克.托曼 2.伍輝譚 3.查爾士L.英格爾斯
	國籍	美國
	住、居所	1.美國.愛達荷州83709,波思,里凡瑞芝3608號 2.美國.愛達荷州83705,波思東紅香柏巷2463號 3.美國.愛達荷州83642,美利丁,西平伍德982號
三、申請人	姓名（名稱）	麥克隆科技公司
	國籍	美國
	住、居所（事務所）	美國.愛達荷州83707,波思,南聯邦路8000號
	代表人姓名	W.布來恩.法尼

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

美　　國（地區）　申請專利，申請日期：1995.6.7. 案號：08/474,397，□有　□無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（ ）

發明領域

本發明係有關於循環冗餘檢查系統，尤其是用於數位系統的高速循環冗餘檢查系統。

發明背景：

數位系統通常使用為系統所傳輸的循環冗餘檢查（"CRC"）以做為數位數據的錯誤偵測及更正。現行之數位資訊含錯誤更正系統，其一般必需要有固定的數據傳輸規程，以裝配錯誤偵測及偵正。

例如，在電腦系統中，數據依據預定規程傳輸，且在每一位元組傳輸時執行CRC。粗略數據通過CRC模組，該模組提供與CRC位元資訊相關的粗略數據之每一位元。此與位元資訊可與粗略數據相連結，且與粗略數據數據一起傳輸。然後接收粗略數據及CRC位元資訊。CRC位元資訊儲存於緩衝器中，且錯誤偵測模式模行粗略數據上的CRC。如果新產生的CRC位元資訊與儲存在緩衝器中的CRC位元資訊相符合，則接收機已正確接收粗略數據上的每一位元，且不需錯誤偵測。如果CRC位元資訊不符合，則偵測到錯誤且該接收機能執行錯誤偵測。

對於小產量的系統，此錯誤偵測可在固定規程上規則地執行，係因執行此更正的上述處理為最小。然而，對於含大數據量的系統，上述固定及具韌性的錯誤更正系統可大大地改進產量。

另外，某些數位數據的形式不需要錯誤更正，因處該

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 2 ）

資訊需要即時處理，且漏失的粗略數據對系統的操作並不具決定性的影響。其中一例為數位語音應用。在此例中，錯誤更正對產物並不是影響很大。

因此，對於高速錯誤更正系統需要一種藝術性的處理。該錯誤更正系統為可程式者，使得通過該系統的粗略數據可依狀況需要決定應否需要核對。此系統可性地處理不同數據，而不需執行硬體修飾。

發明概述：

本發明說明一數位電腦系統中的數據循環冗餘檢查。本發明使用可程式架構提供高速錯誤偵測。該系統含輸入緩衝器，鎖存器，CRC產生器及寫入電路，及一編輯緩衝器，其與共同匯流排結構相連接，使其在執行 錯誤更正中提供最大韌性。

如果數據不需錯誤更正的話，則數據流可處理， 以旁通CRC模組。另外，粗略數據可處理以適應不同的規程，使得系統不限於單一數據規程。

圖形簡述

在下列圖形中，相同的組件以相同的參考數據表之。

圖1為一循環冗餘檢查系統中之實施例的方塊圖；

圖2A及圖2B及圖2C為圖1之循環冗餘檢查系統的詳 細示意圖；

圖3A，3B及3C為用於圖之循環冗餘檢查系統之 CRC產生器模組之一例的詳細示意圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 3 ）

圖4為圖3之CRC模組之一階段的詳細示意圖。

圖5為用於圖1之循環冗餘檢查系統之比較電路之一例的詳細示意圖。

圖6為用於圖之循環冗餘檢查系統之鎖存器電路之一例的詳細示意圖；及

圖7為圖1中循環冗餘檢查系統之單一循環操作之一例的流程圖。

實施例之詳細說明：

在下文的實施例之詳細說明中，可參考附圖，且該附圖1為本文之一部份，且應用實現本發明之特定實施例說明之。這些實施例之說已相當詳細，足以使嫻熟於本技術者可完成本發明，且須知可使用其他實施例，其架構可加以改變而不偏離本發明的精神及觀點。因此下列之詳細說明並非用於限制本發明，且本發明之精神及觀點由下文中的申請專利範圍所定義。

圖1為一循環冗餘檢查（CRC）系統之一實施例的方塊圖整個系統之數據流為雙向者。進入埠IOD[1:30]（圖1之左側）的數據輸入可傳輸至埠HE[0:31]，PP[0:31]及CRC產生器130。源至埠HE[0:31]及PP[0:31]之數據可經由使用閘183，185的數據匯流排105，使用閘184，186的數據匯流排106而傳輸至CRC產生器130，以傳輸至埠IOD[0:31]作為輸出用。另外進入埠IOD[0:31]的輸入可為CRC系統100所處理，且回至埠IOD[0:31]以作為輸出用。同樣地，至埠

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 止 ）

HE[0:31]及PP[0:31]的輸入可在CRC系統100之內部處理，且回至HE[0:31]及PP[0:31]。因此CRC系統100之結構為可程式化且具彈性，以處理不同之規程及數據處理操作。

經CRC系統100的數據流控制可由控制190執行，其何用閘181-19，CRC致能192，輸入致能196，Dout鎖存致能197，及狀態致能194的輸入，控制190亦接收錯誤信號198，以處理錯誤更正資訊，其為CRC產生器130，論輯緩衝器160，及比較器170所提供。

操作模式

本發明之改進架構中提供數據流及數據處理的韌性，其可應用多種處理模式證明之。在操作的第一模式中，CCRCC系統100藉由對閘187，188及189之致能而接收 來自對應埠C[0:7]，HE[0:31]及PP[0:31]的平行數據。來自這些埠之數據進入編輯緩衝器中且加以貯存，以用於往後之處理。存於編輯緩衝器中的粗略數據可應用多種不同的規程傳輸，然而經常碰到的規程包含存於編輯緩衝器中之暫存器160a的8位元CRC資訊，存於編輯緩衝器的輸出中的32位元表頭資訊，其他規程包含存於編輯緩衝器之暫存器160a的CRC資訊，存於暫存器160b之32位元表頭9，及存於暫存器160c中的優先及較慢決定之數據。圖1中暫存器160a 的寬度為8位元，暫存器160b的寬度為32位元，且暫存器160c的寬度為32位元。然而對於嫻熟於本發明者應知暫存器160暫存器之位元長度可不同，其仍在本發明的精神及觀點內

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 5 ）

。使用三種暫存器長度並不作為限制或排他之目的。

在些操作模式中，CCRCC系統100用於接收來自C[0:7]，HE[0:31]及PP[0:31]之數據，使且修正接收數據，使其沒有錯誤。貯在於編輯緩衝器中的數據係經由選通脈衝閘(strobing gate)187，188及189執行。圖 1所示之閘表示相對應的8，16及32位元之平行傳輸閘。來自暫存器 160b或暫存器160c中的數據可經由應用閘183及185的數據匯流排向CRC產生器130傳輸。CCRCC產生器130可由控制190經CRC致能192而致能，因此基於在CCRCC產生器130的輸入上所呈現的緩衝器2位元產生一新的8位元CRC字元。CRC寫入電路132鎖存新產生的CRC字元，然後可用於比較器b170。暫存器160a之內容亦提供予在選通脈衝閘\182上的比較器170，且比較器170產生錯誤信號198。如果來字CCRCC產生器130及暫存器160a的CRC字元間存在差異，則比較器 170產生一邏輯信號。規程決定是否CRC核對在暫存器 160a及暫存器160b的內容中，但在此一實施例中，較佳者為在暫存器160b的內容中執行錯誤更正。現在的CCRCC系統100可對存於暫存器160b或暫存器160c中的數據產生CRC 資訊，再加到可為現在系統所處理的模式數中。

在本發明的第二模式中，現在之CRC系統從中取 得粗略數據，且(1)經由對粗略數據產生適當的CRC字元而將數據格式化以利於傳輸，且傳輸CRC至埠C[0:7]，(2)視規程而定，傳輸粗略數據至埠HE[0:31]或PP[0:31]。在此第二

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 6 ）

模式中，本CCRCC系統100接收進入IOD[0:31]的32位元字元，且當輸入緩衝器120應用來自控制190的輸入致能 196啟動時，將該字元存於鎖存器110中。所使 用之規程決定編輯緩衝器中的32位元埠中那一埠接收貯存字元 （粗略數據）。例如，在一操作中，鎖存器110中的貯存字元經數據匯流排105由致能閘183送至暫存器160b。在另一例中，貯存字元經數據匯流排105，由致能閘185送至暫存器160c。如果鎖存器110之字元需錯誤更正，則由用於CRC字元產生之CCRCC產生器130的CRC致能192而處理該字元所產生之CRC字元可閘致能閘181儲存於暫存器160a中。

此操作之第二模式的變動允許由32位元字元之重複選通脈衝處理64位元數據，經由將來自埠IOD[0:31] 之數據重複鎖存於鎖存器110，則可將64位元中的第一及 第二緩衝器2字元資訊90於編輯緩衝器中，且應用數據匯流排110及閘183和185，送至暫存器160b及暫存器160c中。在此例中，CRC字元產生器必定只發生在64位元數據的32位元中。然而此CCRCC系統100之韌性允許CRC可在儲存於暫存器160b或暫存器160c中的32位元字元的程序化。

在操作的第三模式中，CCRCC系統100在IOD[0:31] 及HE[0:31]或PP[0:31]之間提供一”管線”流。數據流為雙向，且可從HE[0:31]及PP[0:31]向IOD[0:31]前進。來自IOD[0:31]的數據經輸入緩衝器120，鎖存器110， 數據匯流排105，及閘183及185向H及P傳輸。來自HE[0:31]及

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 7 ）

PP[0:31]的數據應用數據匯流排106，Dout鎖存140，及閘184及186向IOD[0:31]傳輸。數據可用三種不同格 式管線化。

格式1在IOD[0:31]及H間提供32位元傳輸；

格式2在IOD[0:31]及P間提供32位元傳輸；及

格式3在IOD[0:31]及HE[0:31]和PP[0:31]兩者間由連續32位元傳輸提供64位元傳輸。

注意因為每一格式在數據傳輸上可能需要或不需要CRC，因此每一格式已乘以2。但是在64位元格式中， CRC資訊可只64位元字元中的32位元產生。

在另一操作模式中，在單一循環中CCRCC系統100提供32位元字元，以使數據傳輸的速度達到最大。例如設編輯緩衝器包含暫存器160a中的CRC字元，暫存器160b 中的表頭字元，及暫存器160c中的粗略數據。在單循環中 (1)粗略數據經數據匯流排106及閘186向Dout鎖存器140傳輸，(2)表頭字元已應用數據匯流排105及閘183執行CCRCC錯誤核對，且(3)比較器170致能，且檢核CCRCC產生器 1308位元輸出及暫存器160a中的8位元數據。輸出操作隨時執行，Dout鎖存致能194啟動Dout鎖存器140，且數據在IOD[0:31]中顯現。

此CCRCC系統100之韌性及程式化已提供一模式，使得CRC可在暫存器160c及暫存器160b的內容中執行。在此 模式中，應用數據匯流排106及閘184將輸出之內容向Dout鎖

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 8 ）

存器140傳輸。數據匯流排105及閘185用於將暫存器 160c的內容向CCRCC產生器130傳輸以產生CRC字元。CCRCC系統100含一韌性結構，比之於其他結構，其他數據傳 輸之排列，文中所述之模式並非作為限制或排他之用。

CCRCC系統100允許使用者將數據輸入P106c或H160b暫存器及／或暫存器160a，且同時從狀態暫存器 150讀取數據，且將數據呈現在匯流排106上，且送進Dout鎖存器140，並離開至IOD[0:31]。在另一實施例中，狀態暫存器150包含分開的次暫存器，且暫存器160相似，及 多工器可視需要將次暫存器與數據匯流排106連接。

圖7為單循環操作之例。在一單循環中，CCRCC 系統100將數據輸入IOD[0:31]中且鎖存 在鎖存器 110中（步驟710，720及730）。輸入緩衝器失能，以防止數據更進一步從輸入緩衝器120向鎖存器110傳輸（步驟740）。在鎖 存器110中的數據驅動入數據匯流排105(步驟750)。 此時可經由數據匯流排105及閘183及185，而為對應之暫存器 160b或暫存器160c所使用（步驟760）。其他操作在相同 循環中執行，例如：狀態暫存器150可內容可使用Dout鎖存器140向IOD[0:31]傳輸（步驟770，780，790及800）。 可不偏離本發明之精神及範圍執行其他操作。致能信號由控制 190執行。控制190之一實施例為使用組合邏輯及類比計 時延遲使用於單循環操作中的致能之計時同步。另一實施例為應用處理器及數位計時器執行控制。可應用其他控制方法

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 9 ）

而不偏離本發明之精神及觀點。

詳細邏輯圖

圖2A，圖2B及圖2C為圖1中CRC系統的詳細示意圖，其中顯示比較器170，鎖存器器110，CRC驅動器132，狀態暫存器150，Dout鎖存器140，及編輯緩衝器之詳細邏輯圖。圖3A，3B及3C為CCRCC產生器130之詳細邏輯圖。CCRCC產生器130之一典型階段310見圖4。圖5為比較電路 170之一實施例的詳細邏輯圖。圖6為鎖存器電路110的詳細邏輯圖。

高速CRC56

高速及緊緻CRC系統100由一先進的編輯緩衝器鎖存器(圖2C之EB_HFF209)及圖2B之三態反相器7驅動電路 207產生。為了產生CRC，暫存器160b或暫存器160c的數 據多工後進入數據匯流排105(EBIO[0:31]，或圖2C的D及C) 且應用鎖存器110(圖2之isosa_crc鎖存器110)經選通脈衝進入CCRCC產生器130在圖2中已更詳細地予以顯示。鎖存器110之每一iso sa_crc含預丘RC電，隔離，選通脈衝及鎖存器電路。在預丘RC電時，數據匯流排105之線路預丘 RC電至高狀態，而CRC選通脈衝192則至低狀態，且編輯緩衝器亦預充電。當CRC為選通脈衝92所選通時，停止預丘 RC電，寫入驅動器或編輯緩衝器啟動而允許預充電而進入數據匯流排105。一段時間足以發展出充電差異，且數據鎖存 於鎖存器110，其允許下一次存取時可啟動預充電， 且經隔

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（10）

離數據匯流排105線路上的大電容而節省電源。此時鎖存數據且呈現於鎖存器110之Q及Q*輸出，且直至下一次存取前皆有效，鎖存器110Q及Q*為用於CCRCC產生器130之完全CMOS值，該CCRCC系統100使用一預充電法且需要穩定的DC輸出，以適當的啟動。CRC預丘RC電失能以從CCRCC系統100中產生CRC輸出。該方法與CMOX EXOCRC##電路比較，較快且所需佈局空間較小。

結論：

雖然已應用較佳實施例說明本發明，對於嫻熟此本技術應知有多種不同的改變與該計可用於達成相同的目的且取代上述實施例而不偏離本發明之精神及觀點。例如，每個暫存器中位元的數目可加以改變而不偏離本發明之精神及觀點。再者，設計時與暫存器及緩衝器有關的微小變化可加以執行而不偏離本發明。嫻熟於電子，計算機及通訊者應知本發明可用多個不同之實施例完成。例如任何併有錯誤更正的數位系統可用於本發明，以提高能力增強的可程式暫存器更正。此系統包含數位聲訊，視訊，計算機，電腦網路，及其他通訊系統。此類應用用於涵蓋上面所討論之較佳的適應及變動。因此本發明僅為下列申請專利範圍及其對等敘述所限制。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A5
B5

四、中文發明摘要（發明之名稱：　　）

高速之循環冗餘檢查系統

一用於數位系統的循環冗餘檢查系統。高速循環冗餘檢查系統對於不同的數據規程，提供可程式錯誤更正功能。該高速循環冗餘檢查系統提供可程式路徑，因此使過載達最小，且檢核率達最大。該系統支持多個單循環中之操作。

英文發明摘要（發明之名稱：　　）

Abstract

A high speed cyclical redundancy check system for use in digital systems. The high speed cyclical redundancy check system providing programmable error correction functions for different data protocols. The high speed cyclical redundancy check system providing programmable data paths for minimizing overhead and maximizing throughput. The system supporting multiple operations in a single cycle.

（請先閱讀背面之注意事項再填寫本頁各欄）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A8
B8
C8
D8

修正補充

六、申請專利範圍

1．一種錯誤更正系統，包含：

一輸入緩衝器，與第一埠連結；

一鎖存器，與輸入緩衝器相連結，以鎖存數據；

一編輯緩衝器，含儲存錯誤更正字元的錯誤部份及儲存數據字元的數據部份；

一錯誤字元產生器，含一輸入及一輸出，該輸入與該鎖存器相連結，且該輸出與編輯緩衝器相連結，基於鎖存器中的數據產生錯誤字元；

一比較電路，其與錯誤字元產生器及編輯緩衝器之編輯部份相連結，以其於錯誤字元及在編輯緩衝器中錯誤部份的錯誤更正字元產生一錯誤信號；

一第一數據匯流排，將錯誤字元產生器的輸入與編輯緩衝器之數據部份相連結；及

一第二數據匯流排，將編輯緩衝器之數據部份連結一輸出鎖存器，且將輸出鎖存器連結第一埠；

其中該編輯緩衝器含一用於錯誤部份的錯誤字元埠及一用於數據部份的數據字元埠，且其中於該錯誤更正系統之單一循環中，該錯誤字元係產生用於在第一數據匯流排上自第一埠傳輸至編輯緩衝器之資料，而錯誤偵測係執行於在第二數據匯流排上自編輯緩衝器傳輸至第一埠之資料。

2．如申請專利範圍第1項之錯誤更正系統，其中該

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

編輯緩衝器的數據部份包含一表頭部份及一粗略數據部份，且其中數據字元埠含一用於表頭部份的表頭字元埠，及一用於粗略字元埠的粗略字元埠。

3．如申請專利範圍第1項之錯誤更正系統，其中該編輯緩衝器的數據部份包含一表頭部份及一預決定數據與後決定數據部份，且其中數據字元埠含一用於表頭部份的表頭字元埠，及一用於預決定數據與後決定數據的預決定數據與後決定數據埠。

4．如申請專利範圍第1項之錯誤更正系統，其中該錯誤字元產生器為一循環冗贅檢查產生器。

5．如申請專利範圍第2項之錯誤更正系統，其中該錯誤字元產生器為一循環冗贅檢查產生器。

6．如申請專利範圍第3項之錯誤更正系統，其中該錯誤字元產生器為一循環冗贅檢查產生器。

7．一種數據字元之錯誤偵測及更正方法，該數據字元含一數據部份、一表頭部份、及一錯誤更正部份，包含下列步驟：

同時傳輸數據部份至一鎖存器及表頭部份至一錯誤信號產生器；

在錯誤信號產生器中執行於表頭部份之一錯誤檢查，其運用錯誤更正部份；

由錯誤信號產生器產生一錯誤信號，該錯誤信號當錯誤檢查偵測出一錯誤時係具有第一值而當錯誤檢查未偵測

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

出一錯誤時係具有第二值；

接收於鎖存器之錯誤信號，其中第一值使得鎖存器禁止數據部份之傳輸，而第二值使得鎖存器可傳輸數據部份；

其中該傳輸、執行、產生及接收步驟均發生於錯誤信號產生器之單一循環中。

8．一種在循環冗贅檢查系統之單一循環中執行多個操作的方法，該系統含一埠、一輸入緩衝器、一輸入鎖存器、一第一數據匯流排、一暫存器、一輸出鎖存器、及一第二數據匯流排，該方法包含下列步驟：

致動輸入緩衝器以接收來自埠的數據；

鎖存來自輸入緩衝器的數據於輸入鎖存器中；

使輸入緩衝器失能；

傳輸在輸入鎖存器的數據至第一數據匯流排；且

致動輸出鎖存器，以傳送第二數據匯流排的內容至該埠，其中來自該埠之數據係傳輸於第一數據匯流排，且同時第二數據匯流排之內容係傳輸至該埠，以透過該循環冗贅檢查系統而致能一雙向數據流。

9.如申請專利範圍第8項之方法，更包含下列步驟：

儲存數據在暫存器的第一數據匯流排；及

處理儲存在暫存器中的數據。

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

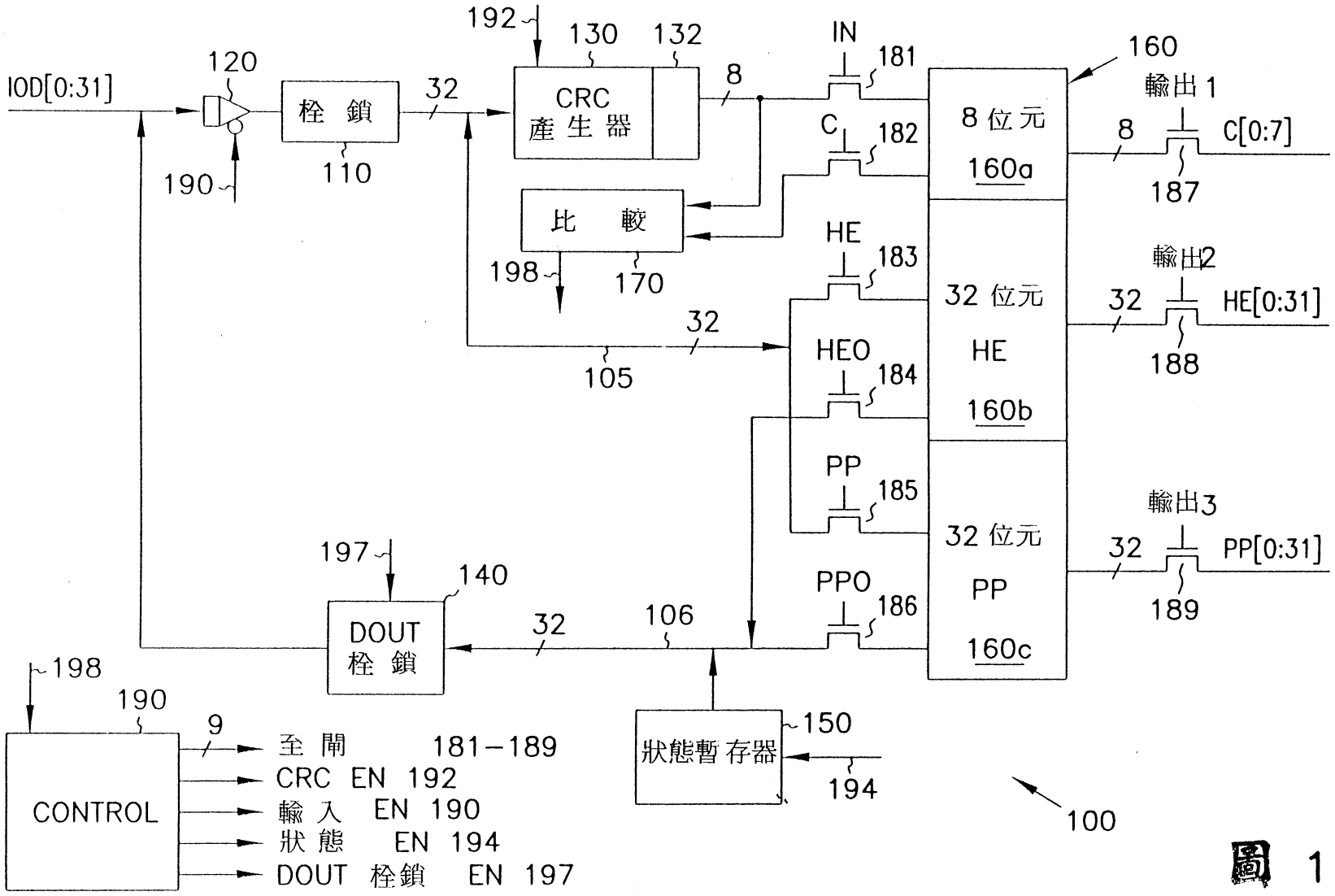

IOD[0:31]
120
190
栓 鎖
110
32
192
130
132
CRC
產生器
8
比 較
198
170
105
IN
181
C
182
HE
183
HEO
184
PP
185
PPO
186
160
輸出1
8 位元
160a
8
C[0:7]
187
輸出2
32 位元
HE
160b
32
HE[0:31]
188
輸出3
32 位元
PP
160c
32
PP[0:31]
189
197
140
DOUT
栓 鎖
32
106
198
190
CONTROL
9
至 閘 181-189
CRC EN 192
輸 入 EN 190
狀 態 EN 194
DOUT 栓鎖 EN 197
狀態暫存器
150
194
100

圖 1

482955

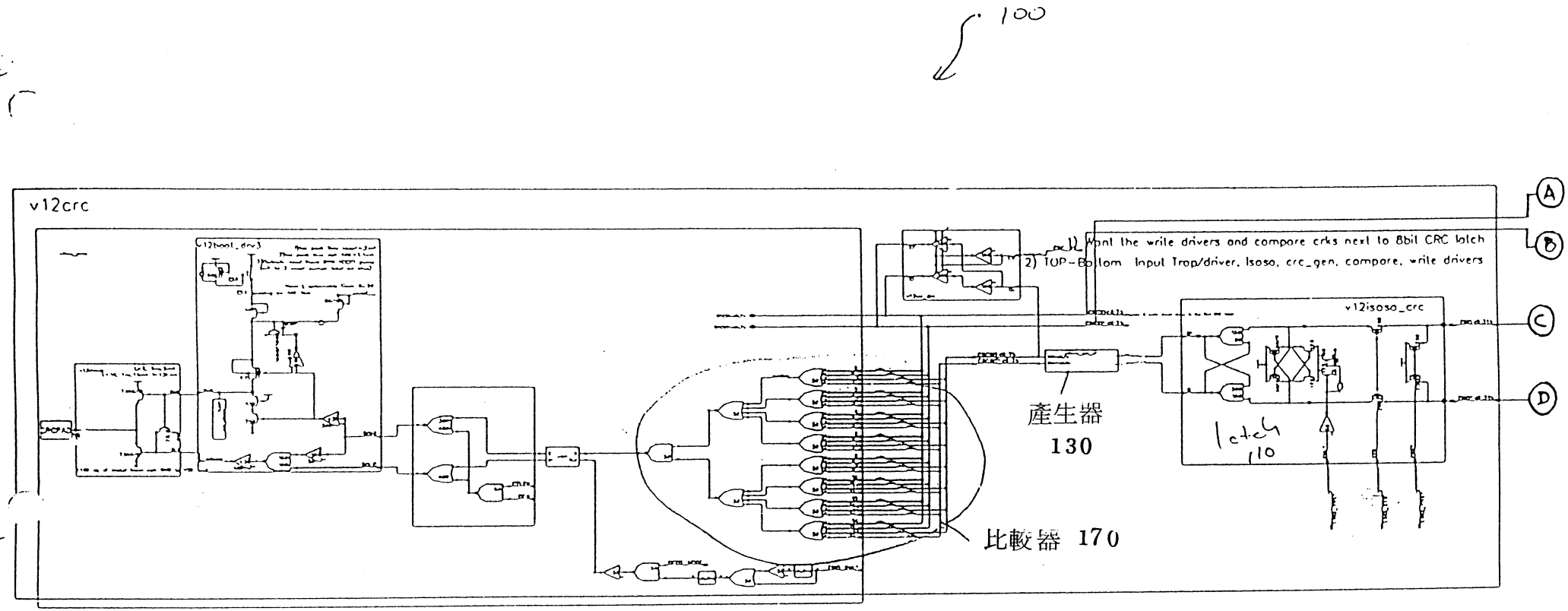

100
v12crc
v12boot_drv3
1) Want the write drivers and compare crks next to 8bit CRC latch
2) TOP-Bottom Input Trap/driver, Isoso, crc_gen, compare, write drivers
v12isoso_crc
產生器
130
latch
110
比較器 170
A
B
C
D

圖 2A

482955

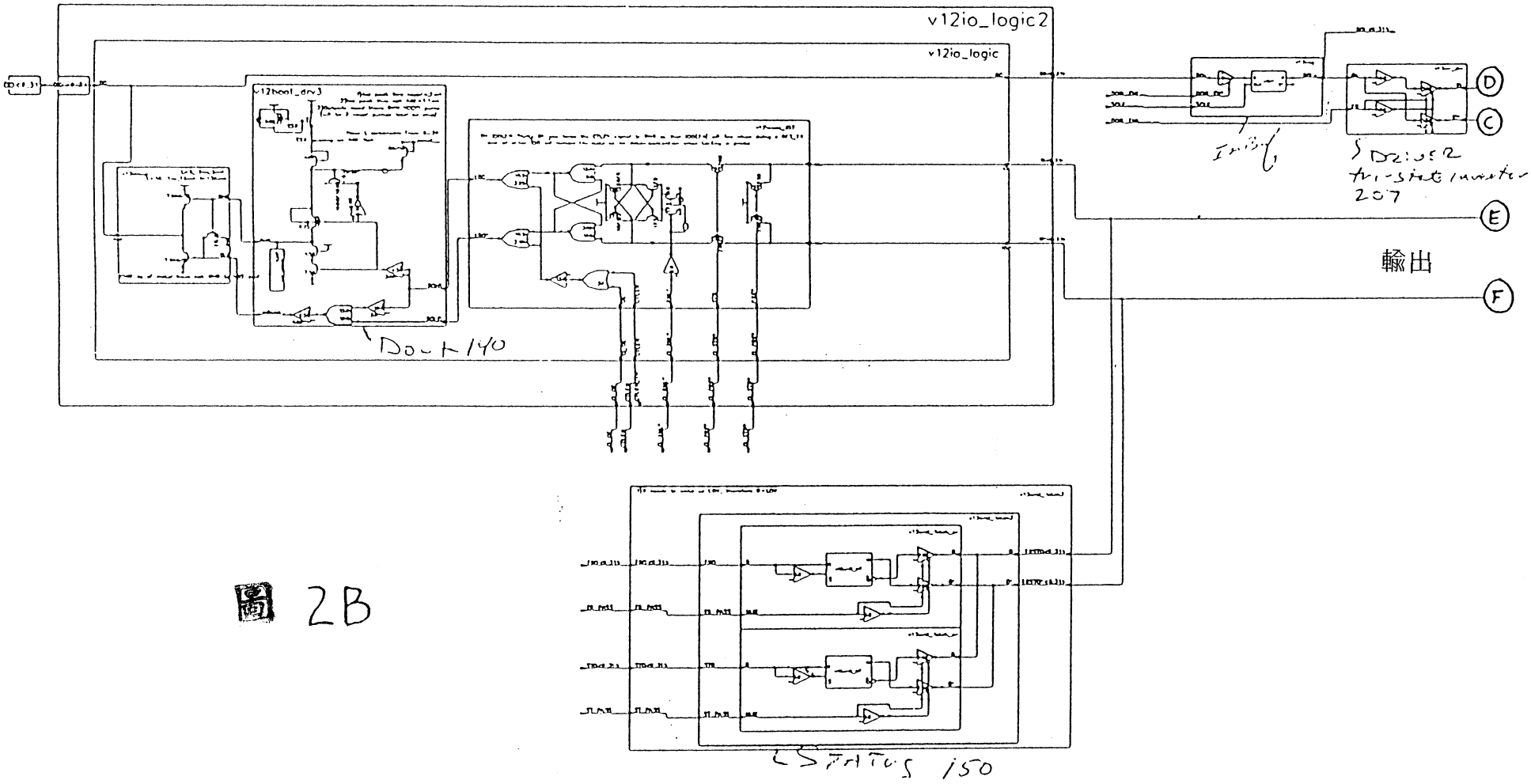

v12io_logic2
v12io_logic
v12boot_drv3
Dout 140
Inbuf
Driver
tri-state inverter drive
207
D
C
E
F
輸出
Status 150

圖 2B

482955

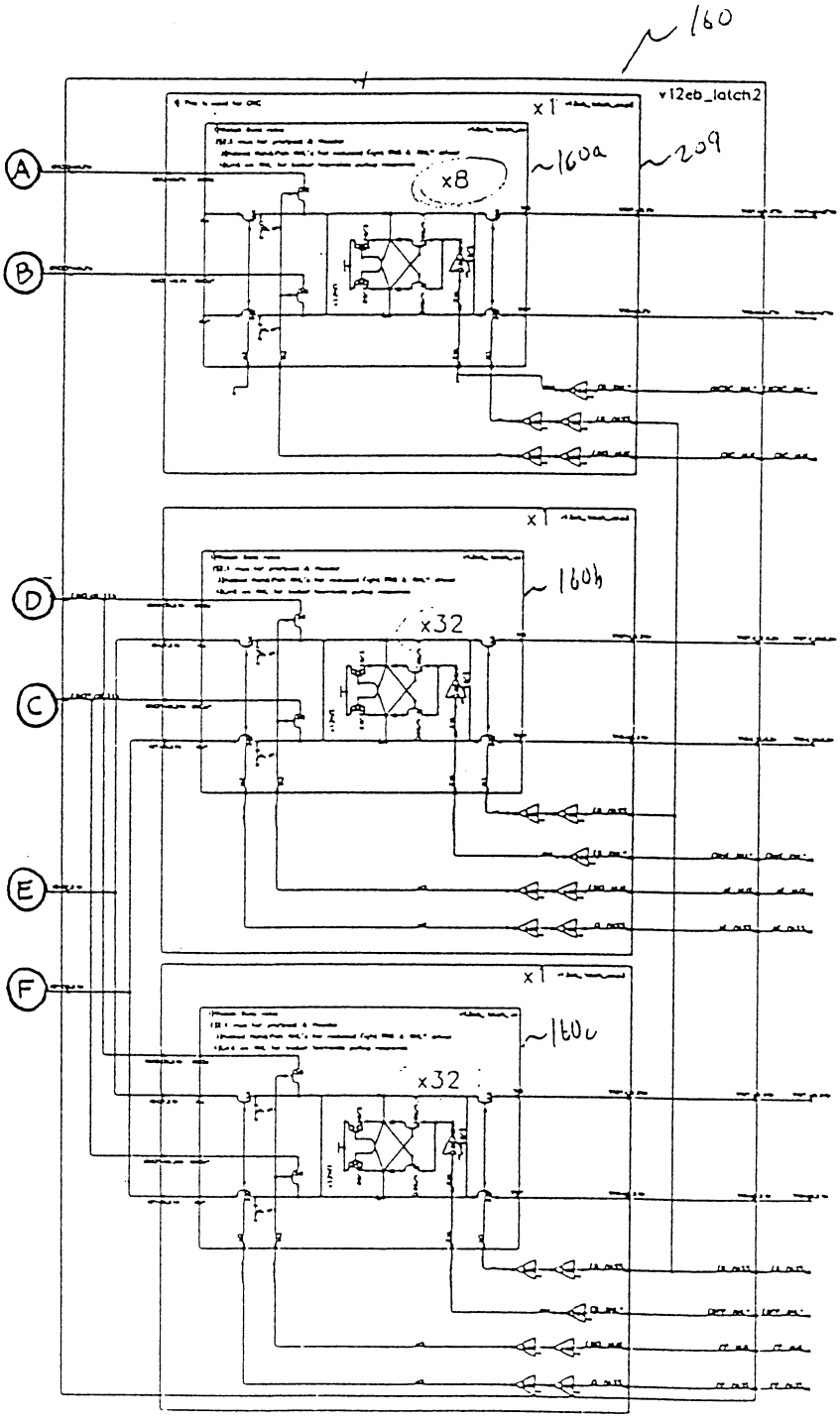
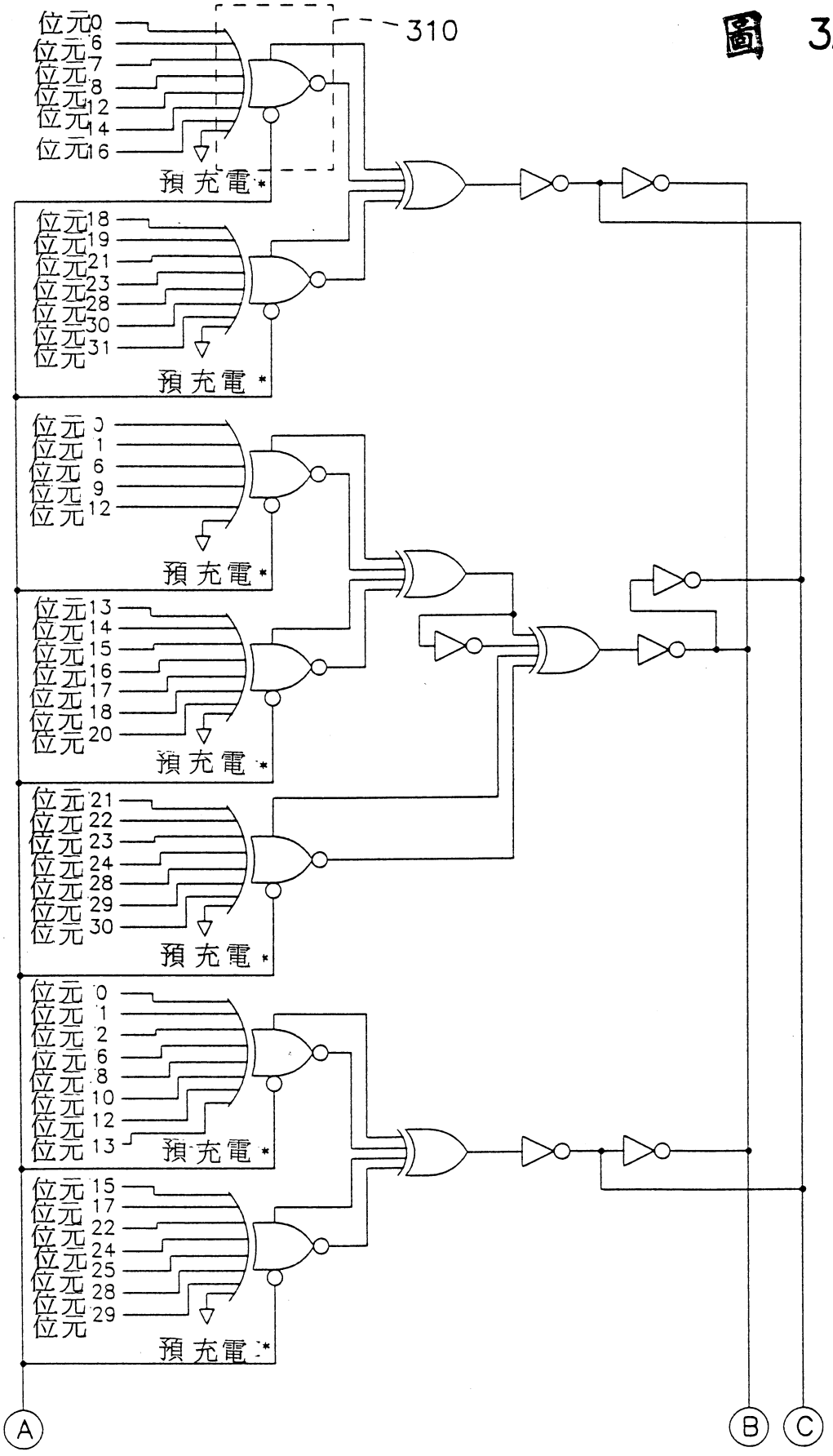


圖 2C

圖 3A


310
位元 0
位元 6
位元 7
位元 8
位元 12
位元 14
位元 16
預充電*
位元 18
位元 19
位元 21
位元 23
位元 28
位元 30
位元 31
預充電*
位元 0
位元 1
位元 6
位元 9
位元 12
預充電*
位元 13
位元 14
位元 15
位元 16
位元 17
位元 18
位元 20
預充電*
位元 21
位元 22
位元 23
位元 24
位元 28
位元 29
位元 30
預充電*
位元 0
位元 1
位元 2
位元 6
位元 8
位元 10
位元 12
位元 13
預充電*
位元 15
位元 17
位元 22
位元 24
位元 25
位元 28
位元 29
預充電*
A
B
C

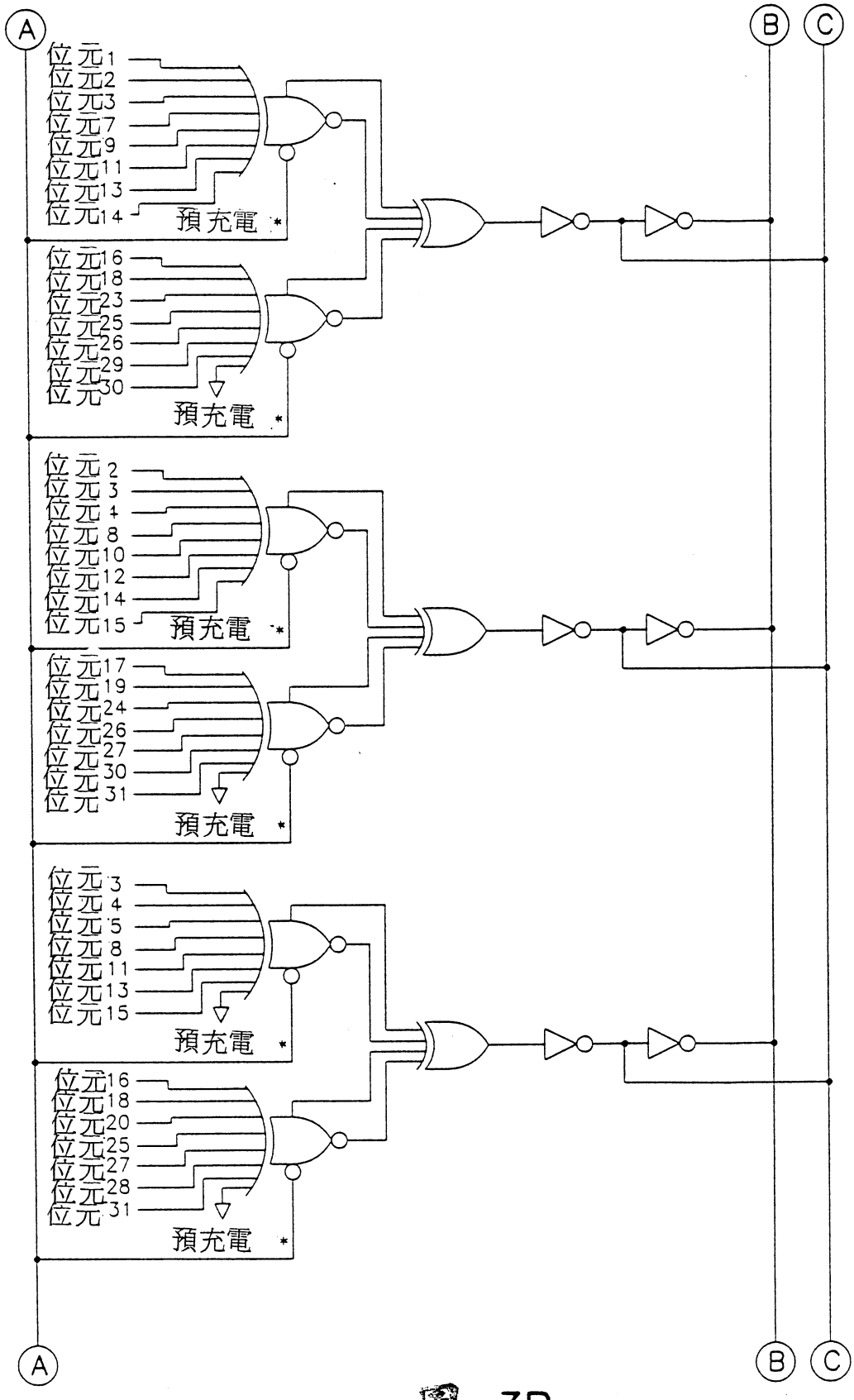

A
B
C
位元1
位元2
位元3
位元7
位元9
位元11
位元13
位元14
預充電
位元16
位元18
位元23
位元25
位元26
位元29
位元30
位元
預充電
位元2
位元3
位元4
位元8
位元10
位元12
位元14
位元15
預充電
位元17
位元19
位元24
位元26
位元27
位元30
位元31
位元
預充電
位元3
位元4
位元5
位元8
位元11
位元13
位元15
預充電
位元16
位元18
位元20
位元25
位元27
位元28
位元31
位元
預充電
A
B
C

圖 3B

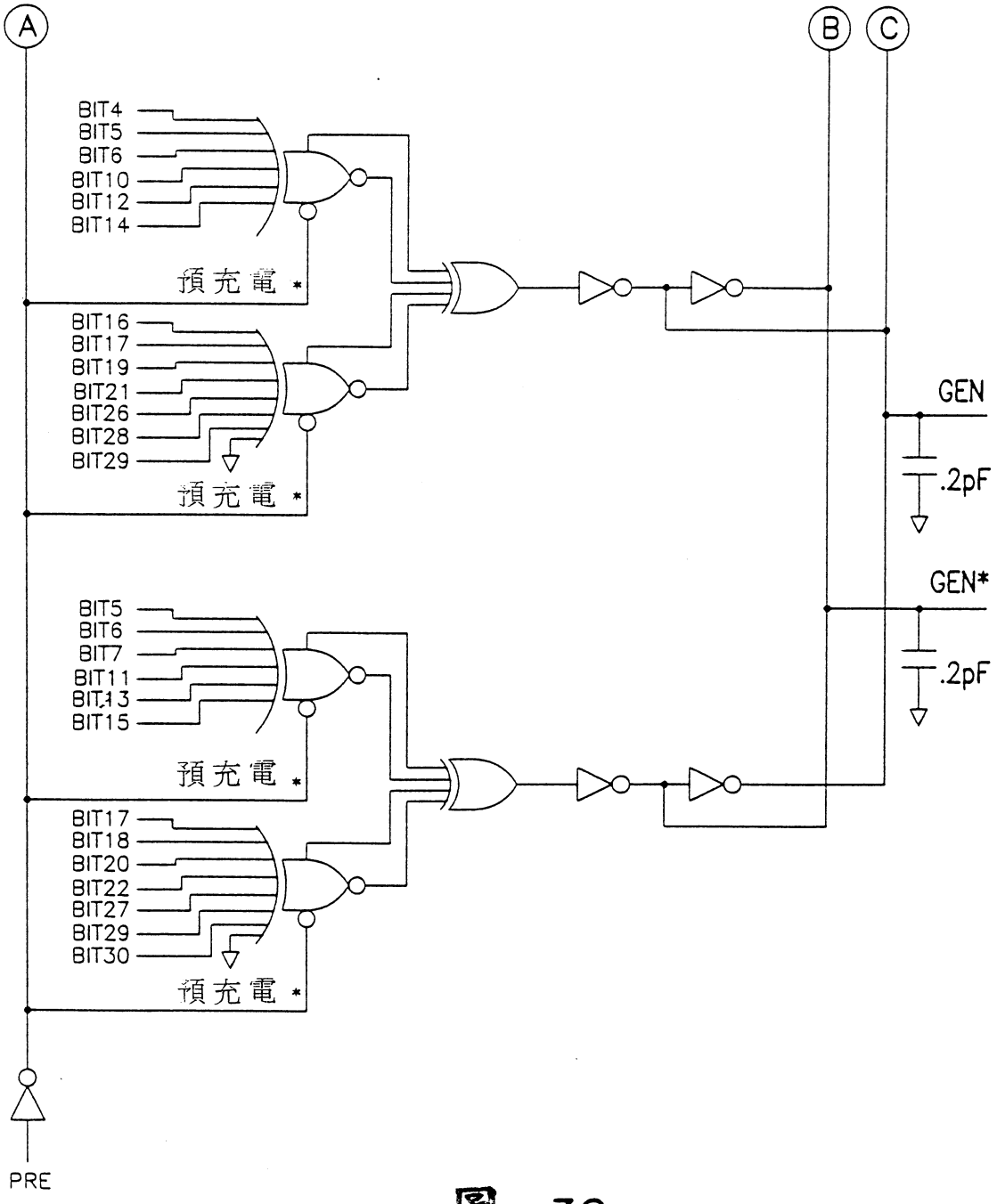

A
B
C
BIT4
BIT5
BIT6
BIT10
BIT12
BIT14
預充電 *
BIT16
BIT17
BIT19
BIT21
BIT26
BIT28
BIT29
預充電 *
GEN
.2pF
GEN*
.2pF
BIT5
BIT6
BIT7
BIT11
BIT13
BIT15
預充電 *
BIT17
BIT18
BIT20
BIT22
BIT27
BIT29
BIT30
預充電 *
PRE

圖 3C

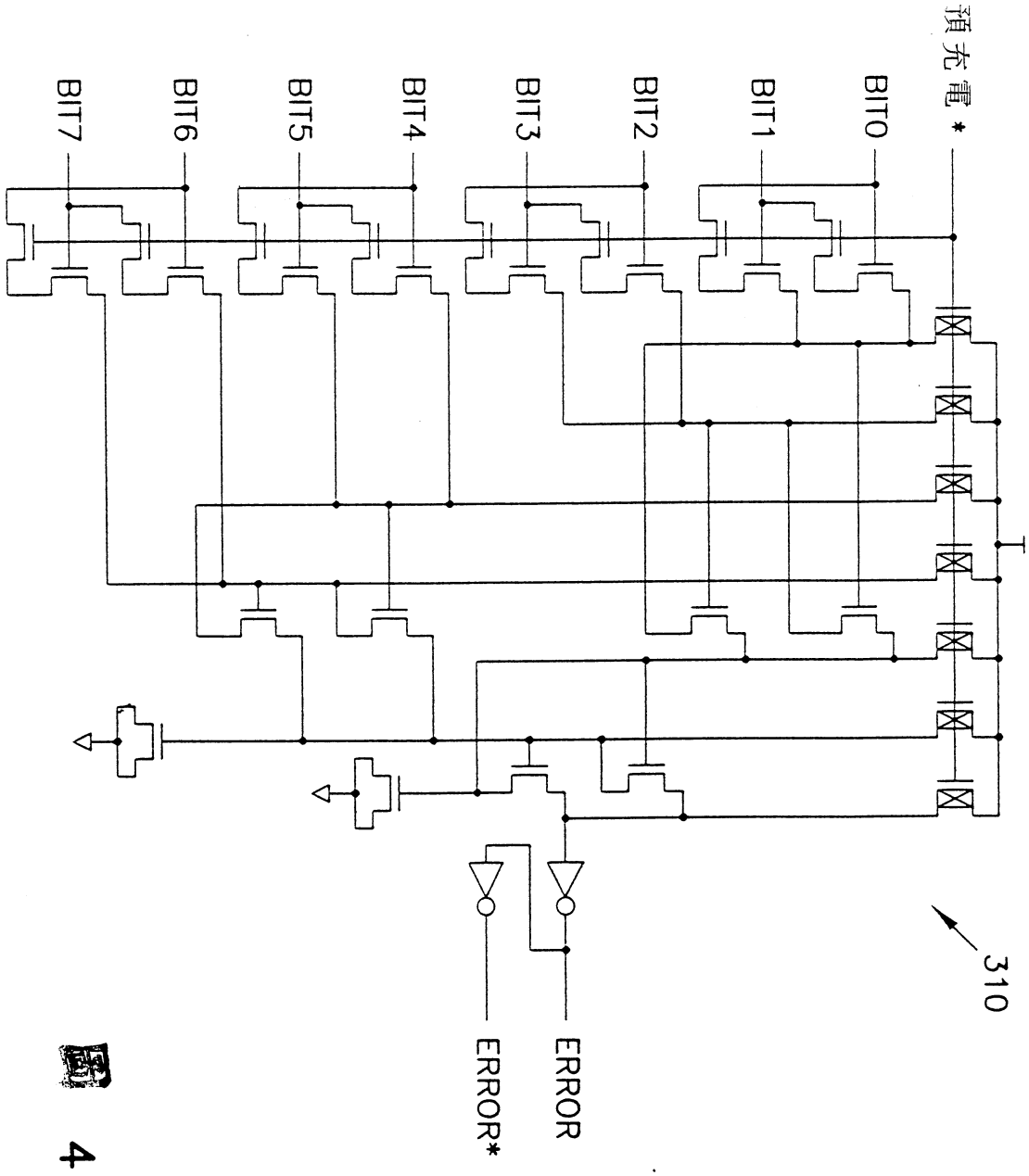


圖 4

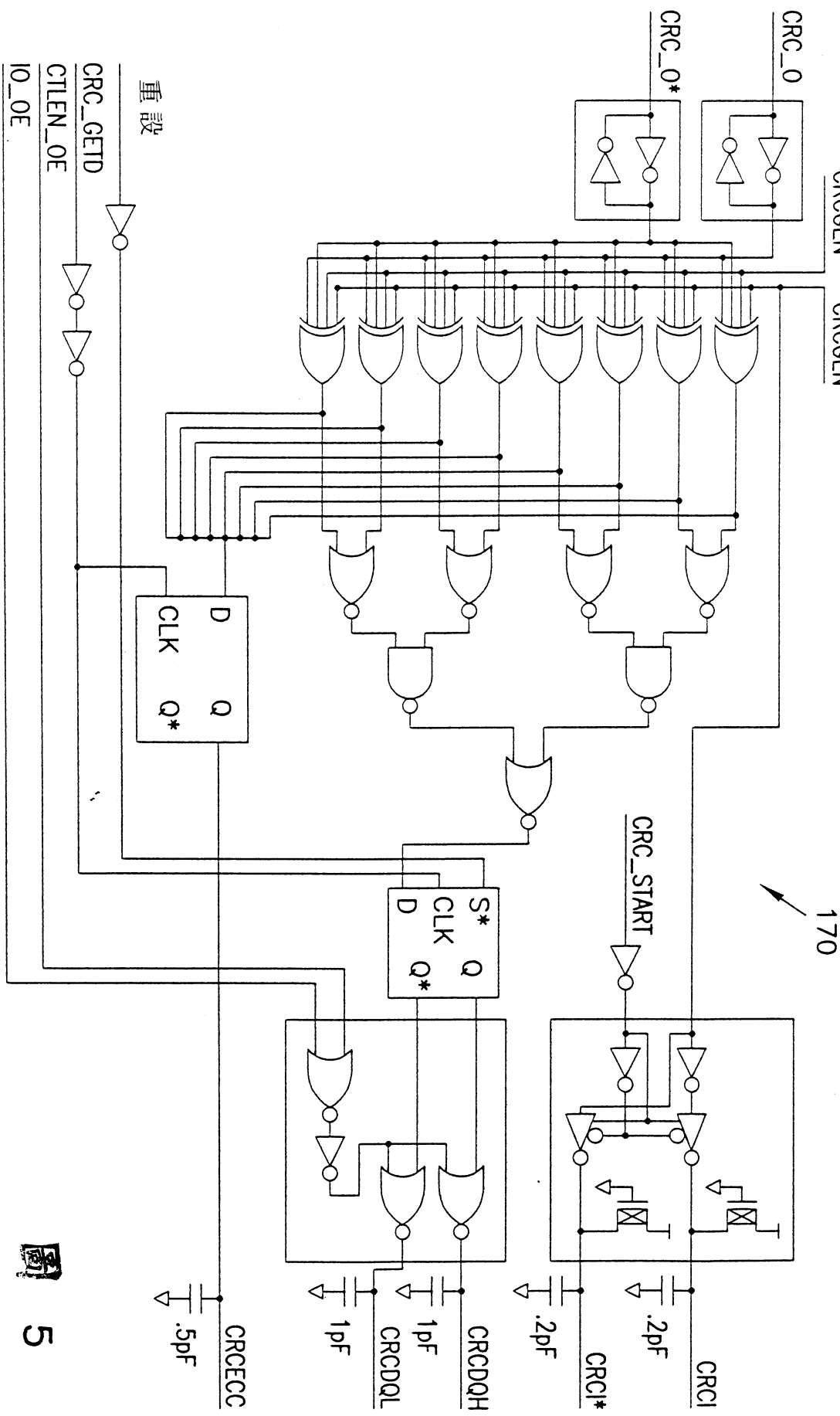

CRC_0
CRC_0*
CRCGEN*
CRCGEN
重設
CRC_GETD
CTLEN_OE
IO_OE
D
CLK
Q
Q*
S*
CLK
D
Q
Q*
CRC_START
170
.2pF
.2pF
CRCI*
CRCI
1pF
1pF
1pF
CRCDQL
CRCDQH
.5pF
CRCECC

圖 5

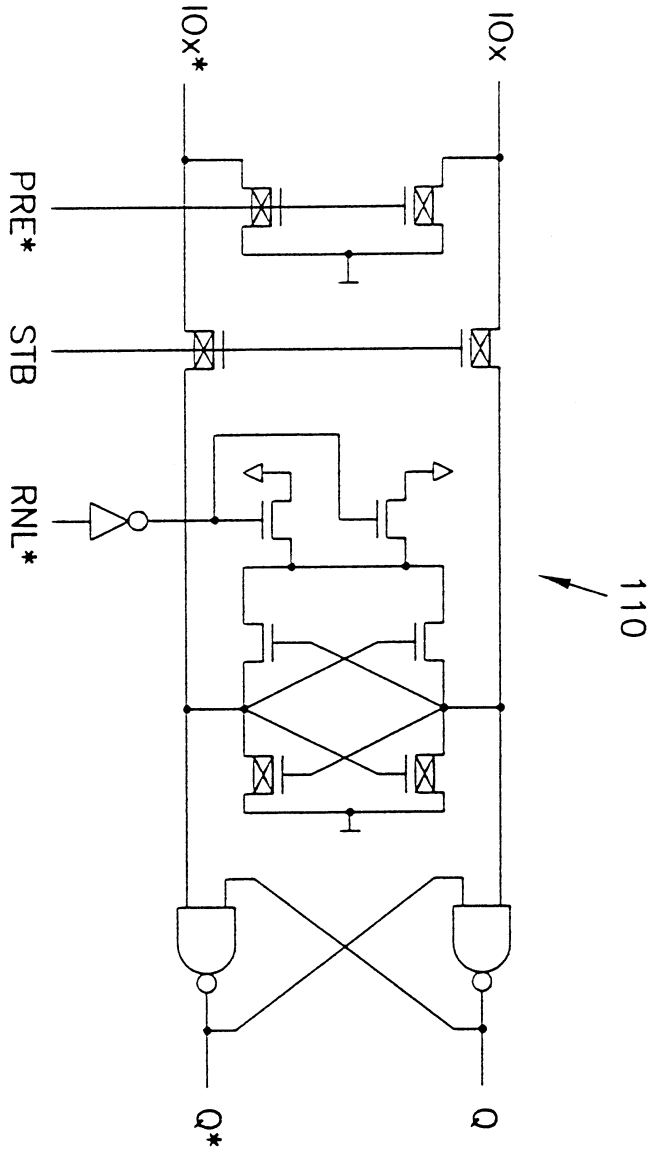


Fig. 6

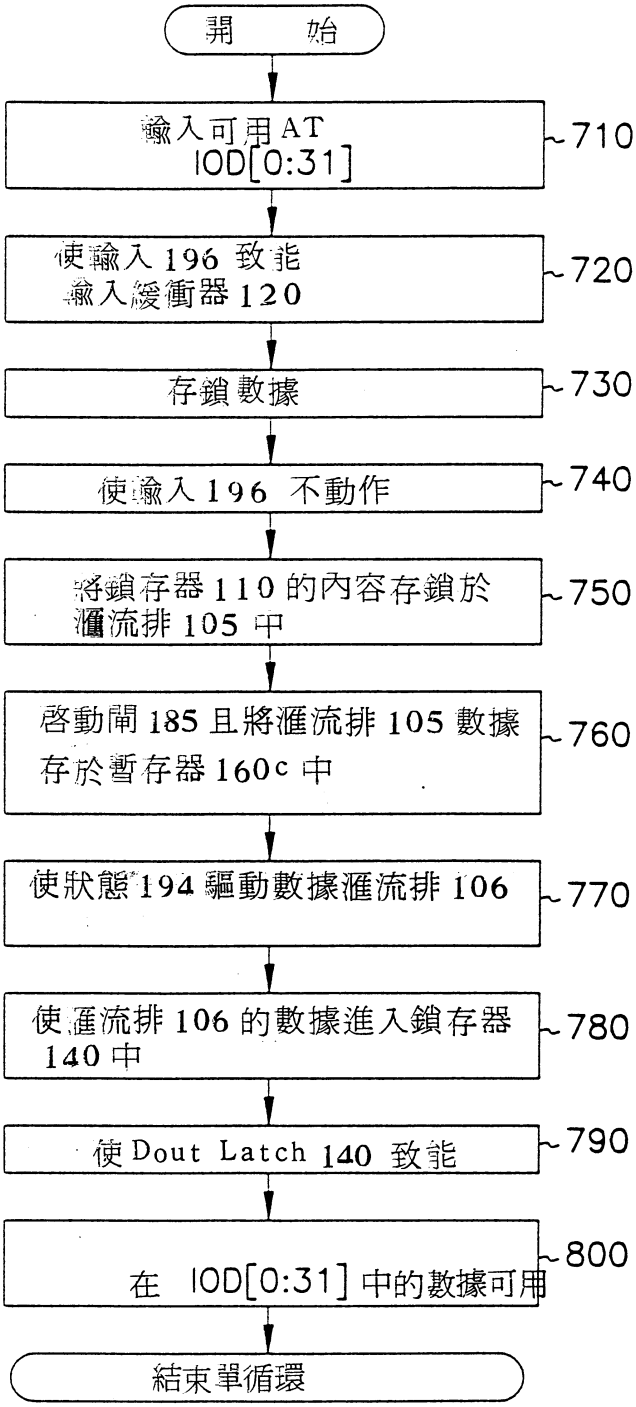

開　始
輸入可用 AT IOD[0:31]
710
使輸入 196 致能 輸入緩衝器 120
720
存鎖數據
730
使輸入 196 不動作
740
將鎖存器 110 的內容存鎖於 滙流排 105 中
750
啓動閘 185 且將滙流排 105 數據 存於暫存器 160c 中
760
使狀態 194 驅動數據滙流排 106
770
使滙流排 106 的數據進入鎖存器 140 中
780
使 Dout Latch 140 致能
790
在 IOD[0:31] 中的數據可用
800
結束單循環

圖 7