公告本

390991

| 申請日期 | 86 年 7 月 5 日 |
|---|---|
| 案號 | 86109502 |
| 類別 | G06F 9/30 |

（以上各欄由本局填註）

A4
C4

390991

# 發明 新型 專利說明書

| | | |
|---|---|---|
| 一、發明新型名稱 | 中文 | 算術處理單元 |
| | 英文 | Arithmetic processing unit |
| 二、發明創作人 | 姓名 | (1) 寺田光一<br>(2) 小島啓二<br>(3) 藤川義文 |
| | 國籍 | (1) 日本　(2) 日本　(3) 日本 |
| | 住、居所 | (1) 日本國神奈川縣横浜市金沢區富岡西五－一八－一五<br>(2) 日本國神奈川縣相模原市南橋本一－二〇－一－一四〇五<br>(3) 日本國広島縣高田郡吉田町竹原七九三番地 |
| 三、申請人 | 姓名（名稱） | (1) 日立製作所股份有限公司<br>株式会社日立製作所 |
| | 國籍 | (1) 日本 |
| | 住、居所（事務所） | (1) 日本國東京都千代田區神田駿河台四丁目六番地 |
| | 代表人姓名 | (1) 金井務 |

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

10/23

裝 訂 線

390991

| | |
|---|---|
| 申請日期 | 86 年 7 月 5 日 |
| 案號 | 86109502 |
| 類別 | |

A4
C4

（以上各欄由本局填註）

# 發明 新型 專利說明書

| | | |
|---|---|---|
| 一、發明 新型 名稱 | 中文 | |
| | 英文 | |
| 二、發明 創作 人 | 姓名 | ⑷ 野尻徹<br>⑸ 西岡清和 |
| | 國籍 | ⑷ 日本　　⑸ 日本 |
| | 住、居所 | ⑷ 日本國東京都新宿區西新宿三－四－四<br>⑸ 日本國神奈川縣小田原市中村原四一七－一五 |
| 三、申請人 | 姓名（名稱） | |
| | 國籍 | |
| | 住、居所（事務所） | |
| | 代表人姓名 | |

裝 訂 線

經濟部中央標準局員工消費合作社印製

（由本局填寫）

| | |
|---|---|
| 承辦人代碼： | |
| 大　　類： | |
| ＩＰＣ分類： | |

A6
B6

本案已向：

| 國（地區） | 申請專利，申請日期： | 案號： | ，□有 □無主張優先權 |
|---|---|---|---|
| 日本 | 1996 年 7 月 11 日 | 8-182141 | ☑有主張優先權 |

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（1 ）

發明背景：

本發明乃關於一處理單元，具有在一指令字元暫存器中有多個指令欄位以平行執行此些指令。

傳統之處理單元一般架構成以一指令字元執行一處理且對指令字元流以一個接一個之連續處理而執行。

此外，近來所發展之處理單元具有一指令系統，其以唯一指令字元處理多個指令且平行執行這些指令以改進執行速度。此種處理單元一般稱爲ＶＬＩＷ（超長型指令字元）式處理單元。

此類型之處理單元包含多個處理單元以平行執行多個指令。而且，此處理單元有對應到多個處理單元之多個暫存器檔以允許個別處理單元獨立執行此處理。在使用多個處理單元以執行個別處理之情形，在處理單元間之資料通訊一般是絕對必要的。因此，爲此目的，此類型之處理單元舉例而言提供在多個處理單元之間傳送暫存器值之一種裝置或一種如共同暫存器其存取自多個處理單元之裝置。以此處理單元爲例，此技術發表在日本公開專利申請案號５－２３３２８１。

除了以此來實行上述之高速操作之裝置，並提供一處理單元，其處理本身將時間序列切割成多個階段且多個獨立階段依序執行此處理。這些處理單元稱爲管線式處理單元。

眾所周知，當指令字元整理成連續性，此類型之處理單元可以表現最高效能。然而，如果處理中之指令字元未

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(2 )

整理成連續之情形且例如包括條件分支時，管線式被打亂且產生暫時性之降低效能。

爲解決此一問題，此類型之處理單元經修改以減少條件分支處理。一種一般之方法爲使用預測暫存器。

預測暫存器是用來修改指令字元以決定是否相關之指令字元將被執行之暫存器。預測暫存器之使用明顯減少條件分支指令之使用頻率。爲了解後述之本發明，將參考附圖以簡述此效能。

圖二展示使用C語言之程式例。圖三展示由圖二之程式經編譯成應用在相關技術之處理單元格式之例子。圖四顯示由圖二之程式經編譯成應用在使用預測暫存器之處理單元格式之例子。如這些圖所示，由圖三之條件分支所實行之算數或邏輯處理可在圖四中之不需條件分支處理所實行。圖四之第二行描述使用預測暫存器之指令位元。藉由第一行之比較指令，一比較結果之值寫入到第一預測暫存器（P0）中。第二行之減法指令只有在當依照此相減指令之前的〝P0〞描述之P0儲存值爲〝眞〞時才執行。假如儲存在 P0之值爲〝僞〞，儘管第二行之減法指令已讀取，則此減法指令不執行。藉由此種方法，可減少條件分支處理。

然而，當前述實現此種高速處理裝置混和使用時，即當處理單元架構成具有VLIW式處理單元特性及管線式處理單元特性時，將有如下問題。

因爲在以平行處理而執行其程序之多個處理單元間的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(3　)

處理結果是相互參考的，所以處理單元間之暫存器檔轉移處理是頻繁產生的且在某些情況下不能獲得因平行處理或管線處理下之充分高速效果。

此外，因爲增加了轉移處理之程式步驟數目而使高速處理不能實行。

發明目的及節要：

因此本發明之目的在於提供一處理單元其允許多個處理單元以平行執行使用相互使用操作結果之處理而使處理單元節省彼此反應操作結果之時間而致能高速處理。

而且，本發明之另一目的在於提供一處理單元其允許多個處理單元以平行執行使用相互操作結果之處理而使處理程式之步驟數目可以減少。

本發明之進一步目的在於提供一處理單元其允許多個處理單元以平行執行使用相互操作結果之處理而使處理單元可節省彼此反應操作結果之時間，處理單元並產生減少處理程式步驟數目之指令格式並執行此指令。

根據本發明之方向，在提供一具有多個處理電路之處理設備，每個處理電路包含：一發送電路，此發送電路在執行此指令時，根據在一處理電路之指令結果發送資訊到至少一個之另一個處理電路；以及包含一ＡＬＵ根據送自該一處理電路之資訊的電路以便執行指令。

根據本發明之方向，在提供一儲存在存儲媒介之編譯器軟體以便產生使用在具有多個處理電路之處理設備的指

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（4）

令字串，該編譯器軟體當由一電腦所執行時造成該電腦執行以下步驟：將指令整理成指令字串而由該處理電路平行執行；並對每個指令產生一使用在一該處理電路之指令欄位格式，此指令欄位格式具有一發送欄以便發送指令欄位結果到至少另一處理電路。

根據本發明之另一方向，在提供一在具有多個處理電路之處理設備中之執行指令方法，包括：當該指令在該一處理電路中執行時，在一該處理電路中發送指令結果到至少另一處理電路中之步驟；及根據發送自該一處理電路之結果在該至少另一處理電路中之ＡＬＵ執行指令之步驟。

根據本發明之另一方向，在提供一資訊處理系統，包括：具有多個處理電路之處理設備，每個處理電路包括：一發送電路，此發送電路在執行此指令時，將在一該處理電路之指令結果發送到至少另一該處理電路；以及一ＡＬＵ根據送自該至少另一處理電路之該結果而執行指令；及一爲該處理設備儲存指令之記憶體，該指令包括一欄位以將由該一處理電路所執行之該指令結果報告給至少另一處理電路上。

根據本發明之進一步方向，提供一平行執行在一指令字元中之多個指令欄位的處理設備，包括：根據多個指令欄群組所提供之多個暫存器，每個指令欄群組包含該至少一指令欄位；—根據操作結果而將值儲存到多個暫存器之電路；及一根據估計其儲存在該多個暫存器之值來選擇是否應執行操作之操作電路。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(5 )

根據本發明之進一步方向，提供一平行執行一指令字元中之多個指令欄位的處理裝置，包括：提供根據多個指令欄位中之至少一個指令欄的多個操作單元，每個操作單元進一步包括：保持該至少一指令欄位之指令暫存器；爲執行根據該至少一指令欄位之操作的操作電路，及一用來儲存一值之暫存器以決定是否該執行此操作電路之操作，及該操作電路根據寫入該暫存器之值決定是否執行該指令之操作。

根據以上對每個結構之描述，在多個處理單元間以執行多個操作之操作結果轉移處理次數可以減少且因而處理程式之步驟亦可減少，

因此，根據本發明，提供一處理單元其多個處理單元使用彼此間之操作結果而平行執行以致能高速操作。

此外，根據本發明，提供一處理單元其多個處理單元使用彼此間之操作結果而平行執行以便減少處理程式之步驟數目。

進一步，根據本發明，提供一處理單元其多個處理單元使用彼此間之操作結果而平行執行以便執行一指令格式，此指令格式可執行高速處理及減少處理程式之步驟數目。

藉由上述之益處，本發明提供整體上處理單元實際功效之具體表現效果。

圖形之簡要敘述：

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（6 ）

本發明可自以下詳述而更爲明白，當連接附圖，其中：

本發明之目的及益處將由以下所提較佳實施例之詳述而明白，其描述將連接附圖而考慮，其中：

圖一展示以本發明之其他實施例的概要結構方塊圖；

圖二展示使用C語言之程式例解釋圖；

圖三展示編譯成應用在相關技術之處理單元格式之解釋圖例；

圖四展示編譯成應用在預測暫存器式處理單元格式之解釋圖例；

圖五展示以本發明較佳實施例的概要結構方塊圖；

圖六展示使用在本發明較佳實施例之指令字元解釋圖；

圖七展示使用C語言之程式例解釋圖；

圖八展示編譯成應用在預測暫存器式處理單元格式之指令字元字串解釋圖例；

圖九展示編譯成應用在較佳實施例預測暫存器式處理單元格式之指令字元字串解釋圖例；

圖十展示使用C語言之程式例解釋圖；

圖十一展示編譯成應用在預測暫存器式處理單元格式之指令字元字串解釋圖例；

圖十二展示編譯成應用在具有廣播功能預測暫存器式處理單元格式之指令字元字串解釋圖例；

圖十三展示預測暫存器更新裝置之概要結構方塊圖；

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（7　）

圖十四展示本發明其他實施例的處理單元概要結構方塊圖；

圖十五展示編譯成應用在一可廣播其所讀值之預測暫存器式處理單元格式之指令字元字串解釋圖例；以及

圖十六是本發明應用展示資訊處理系統之概要結構方塊圖。

較佳實施例之描述：

本發明之較佳實施例描述將參考附圖以詳細描述。

圖五展示本發明較佳實施例之處理單元的概要結構方塊圖。在圖五，參考號1，2表示處理單元；3表示指令快取記憶體；4表示資料快取記憶體。儘管未顯示在圖中，本發明之處理單元、指令快取記憶體及資料快取記憶體最好是裝在一顆ＬＳＩ晶片中。除了圖中所示元素，此一ＬＳＩ晶片亦包括如輸入／輸出部份之結構性元素，但此結構性元素在此刪去因其與本發明之實體物質在實質上並不相關且可用眾所周知之技術所形成。

如圖六所示，用在本實施例之指令字元是由指令1欄及指令2欄所組成。指令1欄及指令2欄各包含預測暫存器選擇欄（Ｐ欄）、預測暫存器廣播欄（Ｂ欄）及指令欄（　Ｉ欄）。在圖六，６０１代表指令字元；６１１代表指令1欄，６１２代表指令2欄，６２１及６３１代表Ｐ欄，６２２及６３２代表Ｂ欄，６２３及６３３代表Ｉ欄。在此欄中，指令1欄提供給處理單元1-而指令2欄提

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（8 ）

供給處理單元2。

此處所標示之指令字元格式只是一範例而其在實行上可在所附專利申請範圍內修改其結構。例如，指令欄不一定需要兩欄其可改爲超過兩欄，例如四欄。

回到圖五，處理單元1由以下結構性元素所形成。101代表指令暫存器其持有之指令1乃自指令快取記憶體3所讀取指令中有關處理單元1之指令1欄。102，是資料暫存器其持有運算元資料以便在處理單元1中執行處理。103，是ALU其執行由指令1欄所指定之指令。105，是預測暫存器其持有標示ALU是否執行指令之資訊。108。是一選擇器以便在預測暫存器更新其值時選擇輸入資料。

形成處理單元2之結構元素與處理單元1之相同。即，指令單元2包括指令暫存器201、資料暫存器202、ALU 203、預測暫存器205及選擇器206。

此處，資料暫存器102，202及預測暫存器105，205各有多個暫存器區以供選擇用。例如，提供有三十二個資料暫存器區，有五個資料暫存器選擇訊號輸入到資料暫存器102、202中以便自此區域中選取唯一之資料暫存器區域。在此情形下，每個資料暫存器一般可由如r0，r1，r2……之號碼指定給資料暫存器區域而確認。此描述不僅適用在資料暫存器且適用在預測暫存器。

接著，將解釋本實施例之操作。非此處所描述之一般

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(9)

ＡＬＵ操作可由其相關技術所實現因此其詳細解釋將在此略過。

首先，將解釋圖四中爲執行指令字串之現存操作。圖四展示一指令字串之例，指令字串包含只能由一處理單元處理之三個指令字元。

第一個指令字元是一比較指令其比較資料暫存器區1（ｒ1）與立即值〝2〞而當資料暫存器區1之值較大則寫入〝眞〞到預測暫存器區（ｐ0）否則填入〝僞〞。可寫入一值之預測暫存器區位在包含於預測暫存器區105中之多個預測暫存器中，預測暫存器區是使用指令1欄之預測暫存器選擇欄（Ｐ欄）之部分來指定。甚且，爲寫入某值之預測暫存器區亦可由使用如指令欄（Ｉ欄）來指定。

第二個指令欄是減法指令（ｓｕｂ）。在此指令下，立即值自ｒ1中減去而將所得值存回ｒ1。然而，因爲此指令位元位於修改字元〝ｐ0〞之後。所以如果ｐ0是〝眞〞則執行減法，而如果爲〝僞〞則不執行減法。

第三個指令欄是加法指令（ａｄｄ）。當此指令執行時，資料暫存器2（ｒ2）與ｒ1相加而其結果寫回ｒ2。

接著，本實施例將以參考圖7、圖8及圖9來解釋。圖7展示另一使用Ｃ語言之程式例，而圖八展示自圖7之程式編譯成應用在相關技術處理單元預測暫存器格式之指令字元字串例。在圖8，501指定應用在處理單元1上

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（10）

之指令字元字串；502指定應用在處理單元2上之指令字元字串。此處，爲簡化其解釋，假設處理單元1及2以相同之處理速度來處理指令字元。

首先，處理單元2藉由第一個指令字元（add）將r3及r4相加而把結果存入r5。同時，處理單元1藉由第一個指令字元（add）將r1及r2相加而把結果存入r7。

在下列步驟，處理單元1藉由第二個指令字元（mul）將r7及r6執行相乘而把結果存入r7。同時，處理單元2藉由第二個指令字元（xfer）將資料暫存器之值轉移。資料暫存器202之資料暫存器區5（r5）所持有之值寫入到資料暫存器102之資料暫存器區5（r5）中。

再下一步驟，處理單元1及2藉由第三個指令字元（cmp，gt）執行一比較指令並個別將比較結果，即估計處理結果之值，存入預測暫存器區（p0）之中。

且在下一步驟，當p0之值爲〝眞〞，處理單元1藉由第四個指令字元（add）將r7及立即值〝1〞相加並將結果存入 r7之中。同時，當p0之值爲〝眞〞，處理單元2藉由第四個指令字元（add）將r5及立即值〝1〞相加並將結果存入r5之中。

圖九展示自圖七之程式編譯成應用在本實施例之預測暫存器式處理單元格式之指令字元字串例。圖九中，511代表應用在處理單元1之指令字元字串；512代

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（11）

表應用在處理單元2之指令字元字串。

本發明之特徵在於B變數，其額外提供給指令字元字串512之第二個指令字元（cmp，gt）。此變數對應到指令欄位之預測暫存器廣播欄位（B欄）並決定是否應廣播更新預測暫存器給其他處理單元。當然廣播之可表現在通訊結果處、發送或報告到一個或多個ALU之處。當第二個指令字元執行到第二個指令字元週期之結束點時，不只處理單元2之預測暫存器區（p0）所儲存之值依第二個指令字元之結果更新，其他處理單元之預測暫存器區所儲存之值亦更新，處理單元1在此例中即以此方法而予更新。此操作藉由處理單元1及2之選擇器106及206（圖五）所實行。

指令字元字串512之B變數控制處理單元1之選擇器106以及處理單元2之選擇器206。

產生指令字元字串511及512之編譯器不同時產生表示B變數之指令字元字串。

在一般操作之情形下，預測暫存器之廣播欄（B欄）之值爲〝僞〞。選擇器將所寫入資料選擇到同一處理單元之ALU的預測暫存器並將資料存入到預測暫存器。然而，當預測暫存器之廣播欄之值藉由指令字元之廣播欄（B欄）而表示爲〝眞〞，選擇器自B欄爲〝眞〞之處理單元選擇所輸出之寫入資料並將此資料填入預測暫存器。

預測暫存器更新裝置可省下資料暫存器之不必要轉移處理，本裝置之特色是可廣播更新其他之處理單元。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（12）

接著，本發明之其他例子在圖十、圖十一及圖十二。圖十展示使用C語言之程式例。圖十一展示自圖十程式編譯成應用在預測暫存器式處理單元格式之指令字元字串例。圖十二展示自圖十程式編譯成應用在具有廣播功能之預測暫存器式處理單元格式之指令字元字串例。

在本實施例，處理單元乃根據具有三個或更多個處理單元之先前條件而定。由前述圖中解釋可知，指令字元字串可簡化爲以產生可有效使用廣播功能之指令字元字串。

本發明之編譯器亦有其特色。在圖七編譯C語言指令字串，當編譯器偵測修改中之〝e〞及〝g〞是相互獨立，編譯器決定〝e〞之操作及〝g〞之操作分別由個別之處理單元所執行，而當編譯器偵測修改中之〝e〞及〝g〞是相關於條件等式之結果，編譯器決定一處理單元執行此條件等式並將結果報告給另一處理單元。圖九之指令字串因而產生。

本發明之另一實施例將參考圖一以依序解釋。圖一展示如圖五處理單元之概要結構而處理單元最好成型在一顆ＬＳＩ中。圖一之實施例在結構上與圖五之實施例有主要之不同。即一處理單元中包含有不同數目之ＡＬＵ（圖五有一個而圖一有兩個）並經由匯流排１００而非選擇器以執行預測暫存器寫入資料之廣播。以下將描述與第一個實施例在結構上不同之操作。

在此實施例，指令字元由指令1欄、指令2欄、指令3欄、指令4欄所構成。每個指令欄位之結構元素與第一

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(13)

個實施例相同。指令1欄及指令2欄提供給處理單元1以成爲第一指令欄群組而指令3欄及指令4欄提供給處理單元2以成爲第二指令欄群組。因每個處理單元包含兩個ALU，指令暫存器101及201經架構以同時儲存指令欄。

自ALU輸出以作爲寫入預測暫存器之值個別寫入處理單元之預測暫存器中並輸出到用作廣播預測暫存器之匯流排。自ALU輸出以作爲寫入預測暫存器之值同時經由廣播匯流排同時廣播到所有處理單元之指定預測暫存器。

經由此結構之介紹，處理單元及ALU之個數可在由最小化多個輸入選擇器所增加之訊號延遲及最小化獨立連接多個訊號之連線區的情形下來減少。

接下來，圖十三是預測暫存器更新裝置之詳細展示。圖十三中，參考號11表示預測暫存器廣播調解電路以決定來自哪一個ALU之輸出應被廣播；12是預測暫存器廣播選擇器用來選擇由電路11所決定之輸出；13是關於廣播之例外產生電路；14是產生自例外產生電路之例外訊號；15是用來接受例外訊號之例外處理電路；16是輸出自例外處理電路15之操作停止訊號；107及207是指令遮罩裝置（及電路）用以根據儲存在預測暫存器105及205之值以決定是否應操作ALU 103及203；108及208是預測暫存器廣播供應資料（或電路）以當廣播時供應預測暫存器寫入值。每個結構元素應在一顆LSI晶片中成型。圖十三之虛線表示

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (14)

連接ＡＬＵ及資料暫存器之電路，其與以上說明無關。

預測暫存器廣播調解電路１１根據指令暫存器１０１及１０２之Ｂ欄值以決定是否廣播其用來提供操作結果之ＡＬＵ 並將其通知到預測暫存器廣播選擇器１２上。決定方法可自由選擇，但，例如，應考慮根據先前設定給處理單元之固定優先權順序之方法或當自多個處理單元同時廣播而有資源碰撞錯誤時會產生例外之方法。例外產生電路１３用來產生例外訊號１４且例外處理電路１５根據此例外訊號１４以提供操作停止訊號１６。因此，處理單元之操作停止，而造成重置等待狀態。

預測暫存器廣播選擇器１２如有需要根據調解電路１１廣播每個處理單元之操作結果。

所廣播之資料由預測暫存器廣播資料供應方法１０８及２０８供應給預測暫存器１０５及２０５。預測暫存器廣播資料供應方法是由獲得簡單邏輯和ＯＲ之電路所形成。此電路不一定是獲得ＯＲ之裝置。例如，可以是選擇性供應廣播資料之選擇電路，當有供應廣播資料或當未供應廣播資料而在處理單元內供應自ＡＬＵ輸出之資料。

假設預測暫存器１０５及２０５有多個記憶區。當儲存一值到預測暫存器時，所將儲入值之預測暫存器區由儲存在指令暫存器１０１及１０２之運算元所決定。在讀取預測暫存器值時所讀取之預測暫存器值由儲存在指令暫存器１０１及１０２所決定。此相關於預測暫存器區之選擇儲存在指令暫存器之Ｐ欄及Ｉ欄。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (15)

以上實施例，處理單元間預測暫存器值之選擇可由選擇寫入預測暫存器之值的方法所實行。及預測暫存器值可由ＡＬＵ寫入預測暫存器之輸出的改變所選擇。即，預測暫存器值之選擇可由使用選擇預測暫存器所讀取資料的方法所實現。使用此方法之實施例將參考圖十四及圖十五來解釋。圖十五展示自圖十所示之程式編譯成應用在具有廣播一所讀值功能之預測暫存器式處理單元格式之指令字元字串例。此處，處理單元數指示在標示著預測暫存器之指令字元中以便指示參考到之預測暫存器。例如，處理單元2第三指令字元之標頭部份〝(ｐ0：1)〞確認應參考處理單元1之預測暫存器區1。

圖十四展示本實施例之處理單元概要結構以瞭解上述功能。本實施例，與圖一實施例在結構上之不同在於不廣播預測暫存器之寫入資料但廣播自預測暫存器所讀出之資料。以上實施例之不同結構或操作將在以下概述。

爲寫入預測暫存器區而自ＡＬＵ輸出之值個別寫入處理單元中之預測暫存器。自預測暫存器所讀之值輸出到匯流排１４０以便預測其廣播。藉由此匯流排，ＡＬＵ可實現參考儲存在每個處理單元中之預測暫存器值，如圖十五之上述，所參考之預測暫存器值根據指示在指令字元預測暫存器參考用之處理單元數來決定。

由此結構之介紹，處理單元及ＡＬＵ之個數可在由最小化多個輸入選擇器所增加之訊號延遲及最小化獨立連接多個訊號之連線區的情形下來減少。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（16）

儘管本發明之最佳實施例已描述並圖示，對熟悉此技術者可明顯地做不同修改而不違背本發明之原則。

例如，在上實施例，最多使用兩個處理單元且一個處理單元中最多有兩個ＡＬＵ，但對這些值並無限制且處理單元及ＡＬＵ之數目可依需求以增加或減少，

且，在上實施例以描述指令字元及指令欄之結構但結構本身並無限制且可以修改。

在上實施例，亦描述可由個別匯流排來寫入或讀出預測暫存器，但其只是簡化解釋。當然可能使用某結構以傳送資料在最好之資料暫存器及最好之預測暫存器之間。

根據本發明之前述，提供一包含多個處理單元之處理單元以平行執行多個操作，其中使用一可在多個處理單元間節省轉移操作結果之次數的指令格式。

進一步，因爲在處理單元間爲更新預測暫存器所需之訊號線數較轉移資料暫存器所需之位元寬度爲小，電路可接線在較窄區域且處理單元間之資料轉移可以較高速地實現。

圖十六展示使用本發明而當作處理多媒體資料之子系統的資訊處理系統。圖十六中，２０代表一主處理器其完全管理資訊處理系統，２１代表處理主程式之主記憶體，２２代表根據本發明在圖一、五、十三及十四之上述所操作之子處理器，２３代表儲存指令字元字串之子記憶體，２４代表爲子處理器２２來管理多媒體資料之多媒體Ｉ／Ｏ電路，２５代表用來顯示結果或標示操作之顯示電路，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（17）

26用來輸出／輸入音頻資料之音頻電路，27代表經由網路連接而通訊資料之網路電路，28代表爲控制周邊設備之周邊電路，29代表爲輸入操作者指令等之鍵盤設備，30表示用作執行在子處理器之指令字元字串或儲存用作程式或主程式之資料的磁碟儲存設備，31代表資訊流通之匯流排。

根據本發明之系統，因爲步驟數目減少，不僅可致能高速操作且子記憶體及儲存設備亦可減少。

然而本發明已詳細描述並以附圖圖示但並不限制如此詳細因對一般瞭解此技術者可在不違背本發明之精神及範圍下做改變及修改。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：　　）

# 算術處理單元

在由具有ＶＬＩＷ式處理單元特性及管線式處理單元特性之處理單元的情況下，因在以平行操作而執行之多數處理單元間是參考其操作結果，所以在處理單元間暫存器檔之轉移是頻繁的，而造成高速操作上效果之不足。爲了解決這個問題，提供預測暫存器以及進一步提供一種將預測暫存器之更新資料廣播到所有處理單元的裝置。因此，獲得分支條件及數值之操作可由不同處理單元所實行且處理程式步驟之數目可減少。此外，因爲在具有較寬位元寬度之資料暫存器處理單元之間的快速傳送已不需要，因此可減少接線區而實現高速處理單元。

英文發明摘要（發明之名稱：ARITHMETIC PROCESSING UNIT　　）

In the case of constituting a processing unit having the characteristic of a VLIW type processing unit and the characteristic of a pipeline type processing unit, since reference to the result of operations is made among a plurality of processing units executing in parallel the operations, transfer of the register file is frequently generated among the processing units, resulting in insufficient effect of the high speed operations. In view of solving this problem, the predicate registers are provided and moreover a means for broadcasting the update data of the predicate register to all processing units is also provided. Thereby, operations for obtaining branching condition and numerical value can be realized in different processing units and the number of steps of the processing program can be reduced. In addition, since high speed transfer between the processing units of the data register having a wider bit width is no longer required and thereby the mounting area can be reduced and high speed processing unit can be realized.

（請先閱讀背面之注意事項再填寫本頁各欄）

訂

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1．一種處理設備，具有多個處理電路，每個處理電路包括：

一發送電路，當執行此指令時其根據在一個處理電路之操作結果來發送資訊到至少另一個處理電路上；及

一判斷送自該一處理電路之資訊以執行指令的ＡＬＵ。

2．如申請專利範圍第1項之處理設備，每一處理電路進一步包括

一選擇器，以便選擇性地製作適用於該ＡＬＵ而來自於至少另一個處理電路之資訊或來自該ＡＬＵ之資訊的指令資訊。

3．如申請專利範圍第1項之處理設備，

其中該指令之格式包括一用來將該處理電路之結果報告給該至少另一個處理電路之欄位。

4．一種儲存在存儲媒介之編譯器軟體，以便製作出使用在具有多個處理電路之處理設備的指令字串，該編譯器軟體當由一電腦所執行時，該電腦執行以下步驟：

將指令整理成指令字串以便由該處理電路平行執行；及

對每一個指令產生一使用在該處理電路之指令欄格式，指令欄位格式具有一發送欄以便發送一指令欄結果到至少另一處理電路上。

5．一種執行在具有多個處理電路之處理裝置中之指令的方法，包括：

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

一步驟以便當該指令在該處理電路中執行時，發送該處理電路之一指令結果到至少另一處理電路；及

一判斷送自該處理電路中之該結果的步驟以便在至少另一處理電路之ＡＬＵ上來執行指令。

６．如申請專利範圍第５項之執行指令方法，進一步包括：

一步驟以便選擇性地製作適用於該ＡＬＵ而來自於至少另一個處理電路之結果或來自該ＡＬＵ之資訊的指令結果。

７．一種資訊處理系統，包括：

一處理設備，具有多個處理電路，每個處理電路包括：

一發送電路，當執行指令時，其發送在該處理電路之指令結果到至少另一處理電路；及

一判斷自該處理電路中所送出之資訊的ＡＬＵ，以便執行指令；及

一記憶體，以便儲存處理設備之指令，其中該指令包括一用來將由該處理電路執行之指令之結果報告給該至少另一個處理電路之欄。

８．如申請專利範圍第７項之資訊處理系統，該處理設備進一步包括：

一選擇器自至少另一個處理電路之結果或來自該ＡＬＵ之結果以便選擇性地製作適用於該ＡＬＵ之指令結果。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

9．一種在一指令字元平行執行多個指令欄位之處理設備，包括：

根據多個指令欄群組所提供之多個暫存器；

一電路，用以根據操作結果將值儲存到多個暫存器之電路；及

一操作電路，用以根據儲存在該多個暫存器之值來估計以選擇是否執行操作之電路。

10．如申請專利範圍第9項之處理設備，進一步包括：

一電路，以便選擇性地儲存獲自對應指令欄群組所估計之操作結果值或獲自非對應指令欄群組所估計之操作結果值到該多個暫存器；及其中該多個暫存器只由個別指令欄群組所估計。

11．如申請專利範圍第9項之處理設備，進一步包括：

一電路，以便選擇性地估計儲存在對應指令欄群組之該暫存器之值或儲存在非對應指令欄群組之該暫存器之值；

其中該多個暫存器由任一指令欄群組所估計。

12．如申請專利範圍第10項之處理設備，其中用作將值儲存到多個暫存器之該電路，當所得之值由其他指令欄群組之操作結果估計而發送進來時，則該電路選擇並儲存被發送之值，否則該電路選擇並儲存對應指令欄群組之操作結果之值。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

13．如申請專利範圍第12項之處理設備，其中用作將值儲存到多個暫存器之該電路，當儲存在任一該暫存器之值廣播到多個指令欄群組時，則該電路選擇並儲存所廣播之值，否則該電路選擇並估計儲存在對應指令欄群組之該暫存器之值。

14．如申請專利範圍第13項之處理設備，其中該指令欄位包括一指令位元字串以決定所估計操作結果之值是否應傳送到至少另一個指令欄群組。

15．如申請專利範圍第13項之處理設備，其中該指令欄位包括一指令位元字串，以判斷儲存在任一多個暫存器之值是否應傳送到至少另一個指令欄群組．

16．如申請專利範圍第12項之處理設備，進一步包括：

一電路，用做偵測獲自估計操作結果之值已自二個或更多個指令欄群組所送出；及

一電路，根據偵測結果以產生例外訊號。

17．如申請專利範圍第13項之處理設備，進一步包括：

一電路，用做偵測儲存在任一之該暫存器值已自二個或更多個指令欄群組所送出；及

一電路，根據偵測結果以產生例外訊號。

18．如申請專利範圍第17項之處理設備，其中獲自估計操作結果之值藉由一般匯流排線所發送。

19．一種在一指令字元平行執行多個指令欄位之處

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

理設備，包括：

多個操作單元，根據在多個指令欄位之至少一指令欄所提供，

每個操作單元進一步包括：

一指令暫存器，以用作保持該至少一指令欄位；

一操作電路，以用作根據該至少一指令欄位來執行其操作，及

一暫存器，以用作儲存一值而決定是否執行該操作電路之操作，且

該操作電路根據所寫入該暫存器之值來決定是否執行該指令。

２０．如申請專利範圍第１９項之處理設備，進一步包括：

一電路，以作爲將獲自估計先前決定操作結果值寫入到至少一操作單元之暫存器中；且

其中該操作電路決定暫存器所指示之該指令是否應執行。

２１．如申請專利範圍第２０項之處理設備，進一步包括：

一電路，以作爲將獲自估計先前決定操作結果值寫入到本身操作單元之暫存器中；且

其中該操作電路決定在任何操作單元之該暫存器所指示之該指令是否應執行。

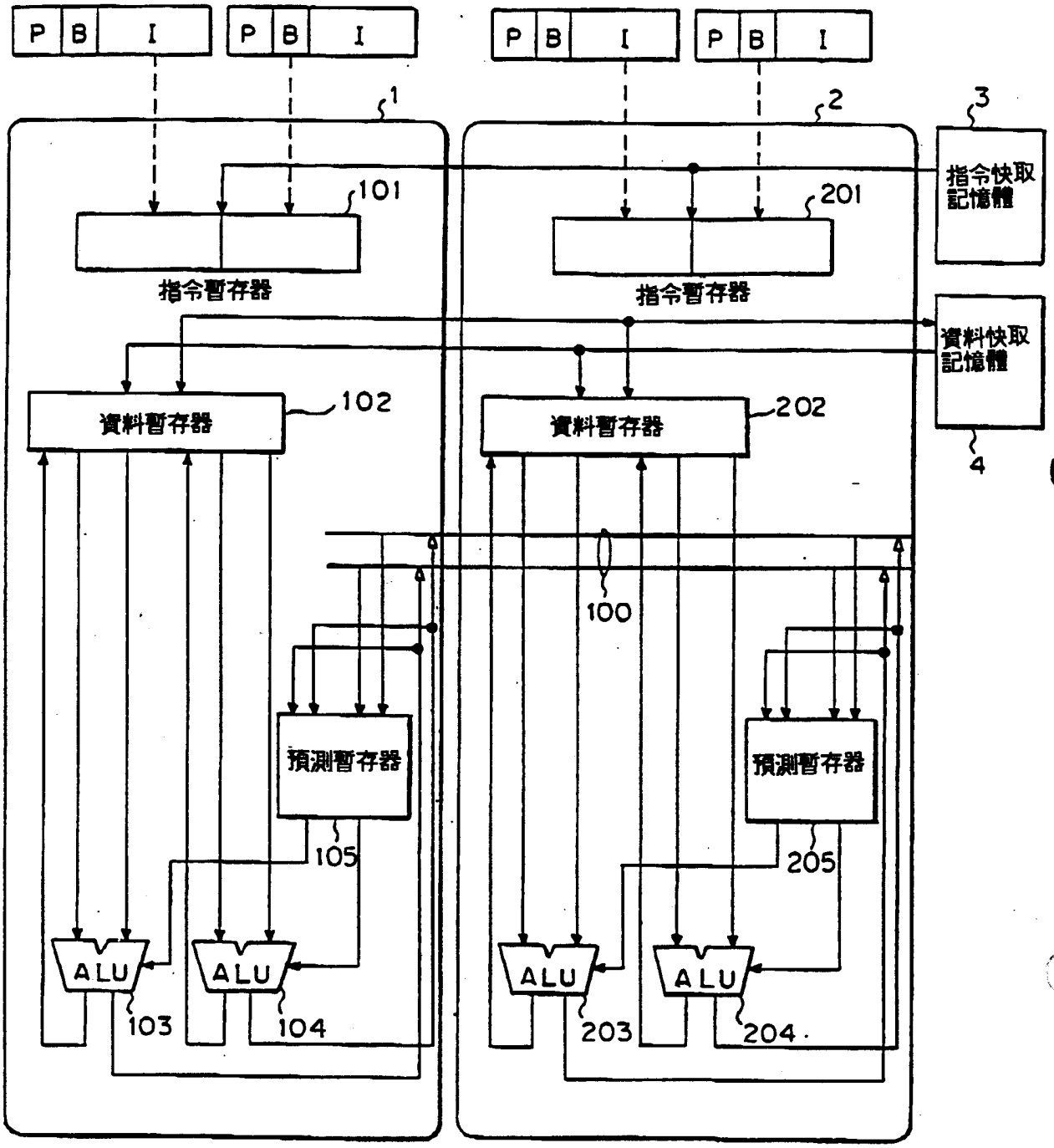
（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

8610P502

728858




第 1 圖

```
001    if ( a > 2 )
002    {
003          a = a - 1;
004    }
005    b = b + a;
```

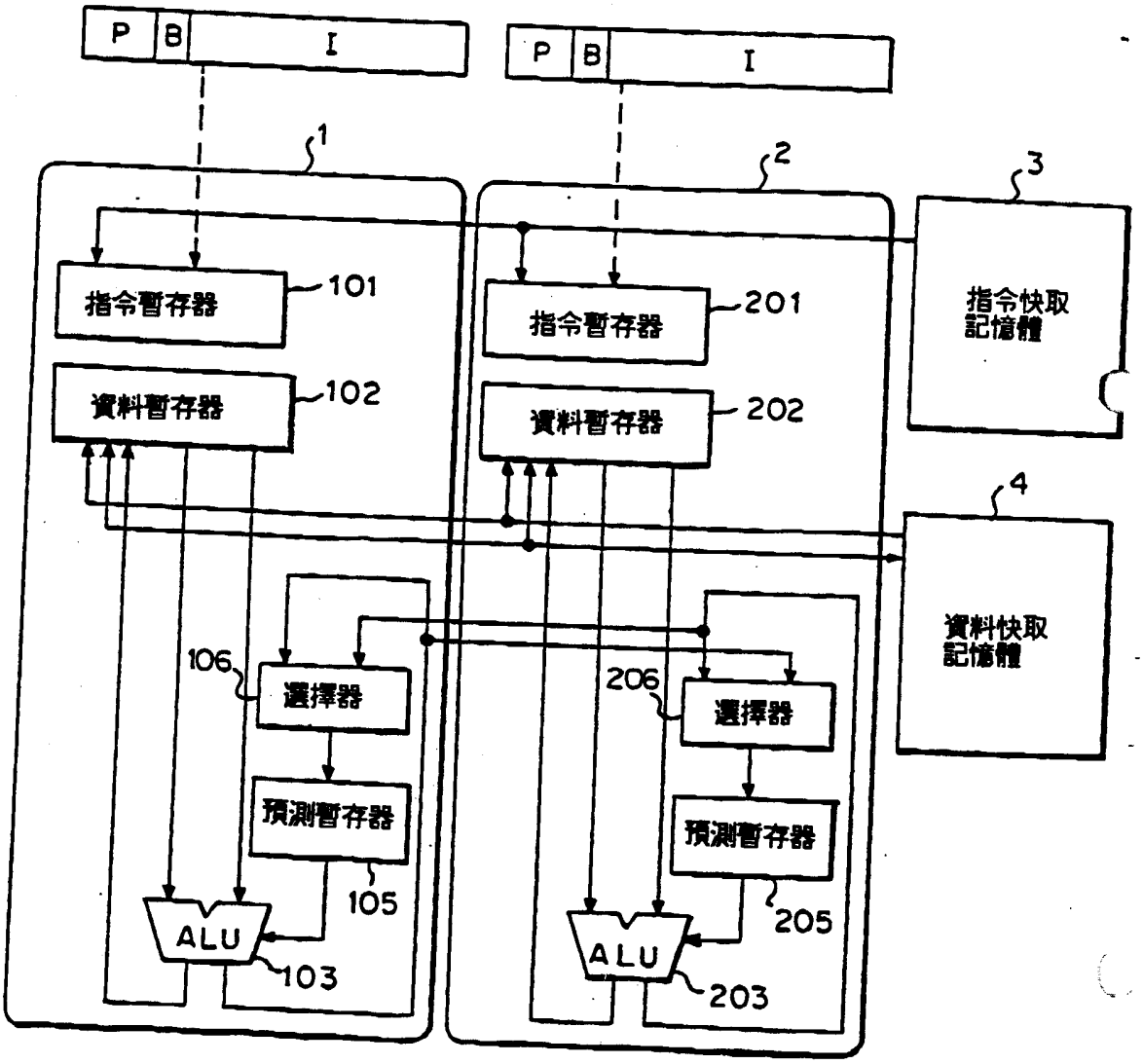
第 2 圖

```
001          cmp  r1, #2
002          ble  $1
003          sub  r1, #1, r1
004    $1:   add  r2,  r1, r2
```

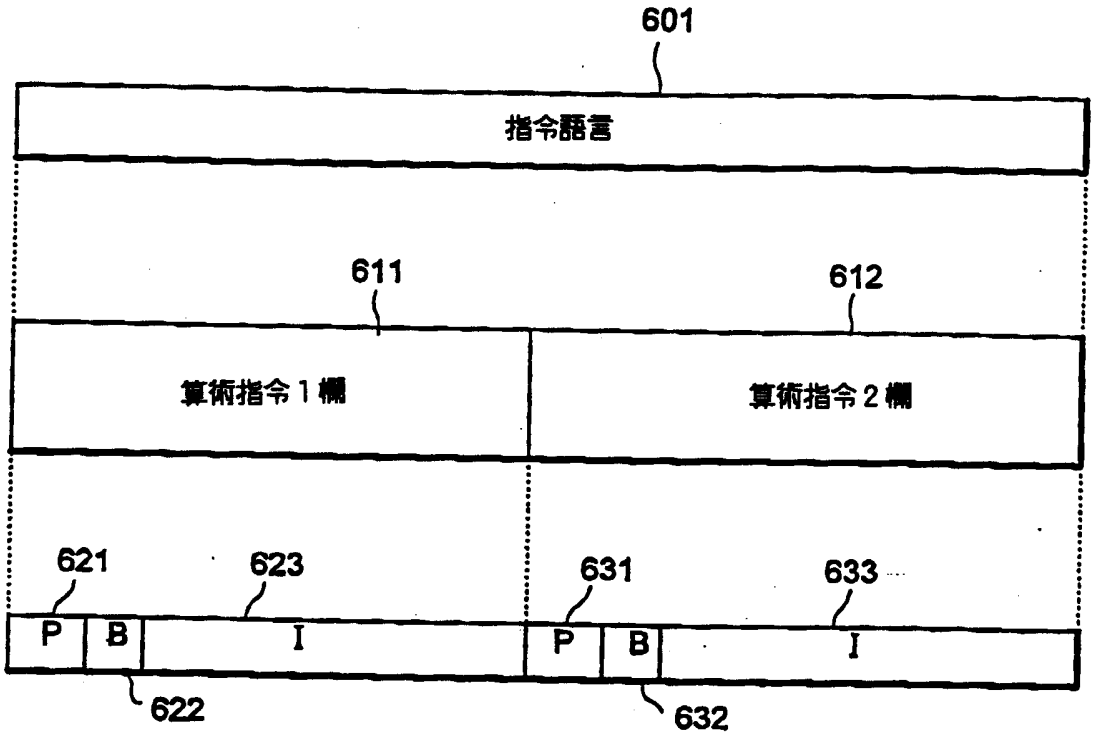
第 3 圖

```
001          cmp.gt r1, #2, p0
002    (p0)  sub    r1, #1, r1
003          add    r2,  r1, r2
```

第 4 圖


P
B
I
P
B
I
1
2
3
指令暫存器
101
資料暫存器
102
指令暫存器
201
資料暫存器
202
指令快取
記憶體
4
資料快取
記憶體
106
選擇器
206
選擇器
預測暫存器
105
預測暫存器
205
ALU
103
ALU
203

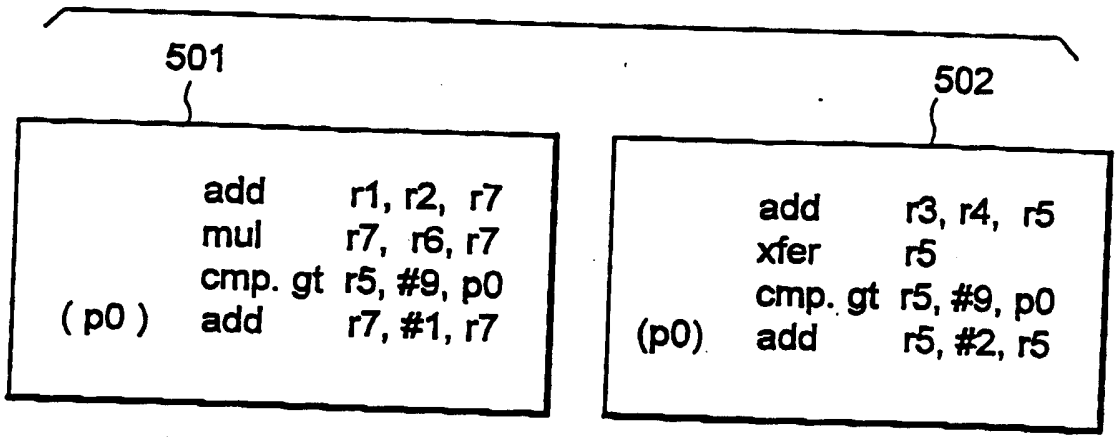
第 5 圖



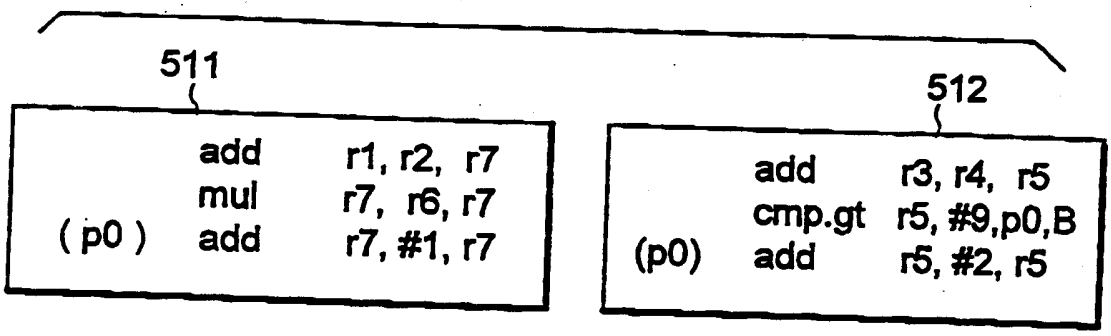

第 6 圖

```
e = c + d;
g = (a + b) * f;
if ( e > 9 )
{
        g ++;
        e = e + 2;
}
```

第 7 圖



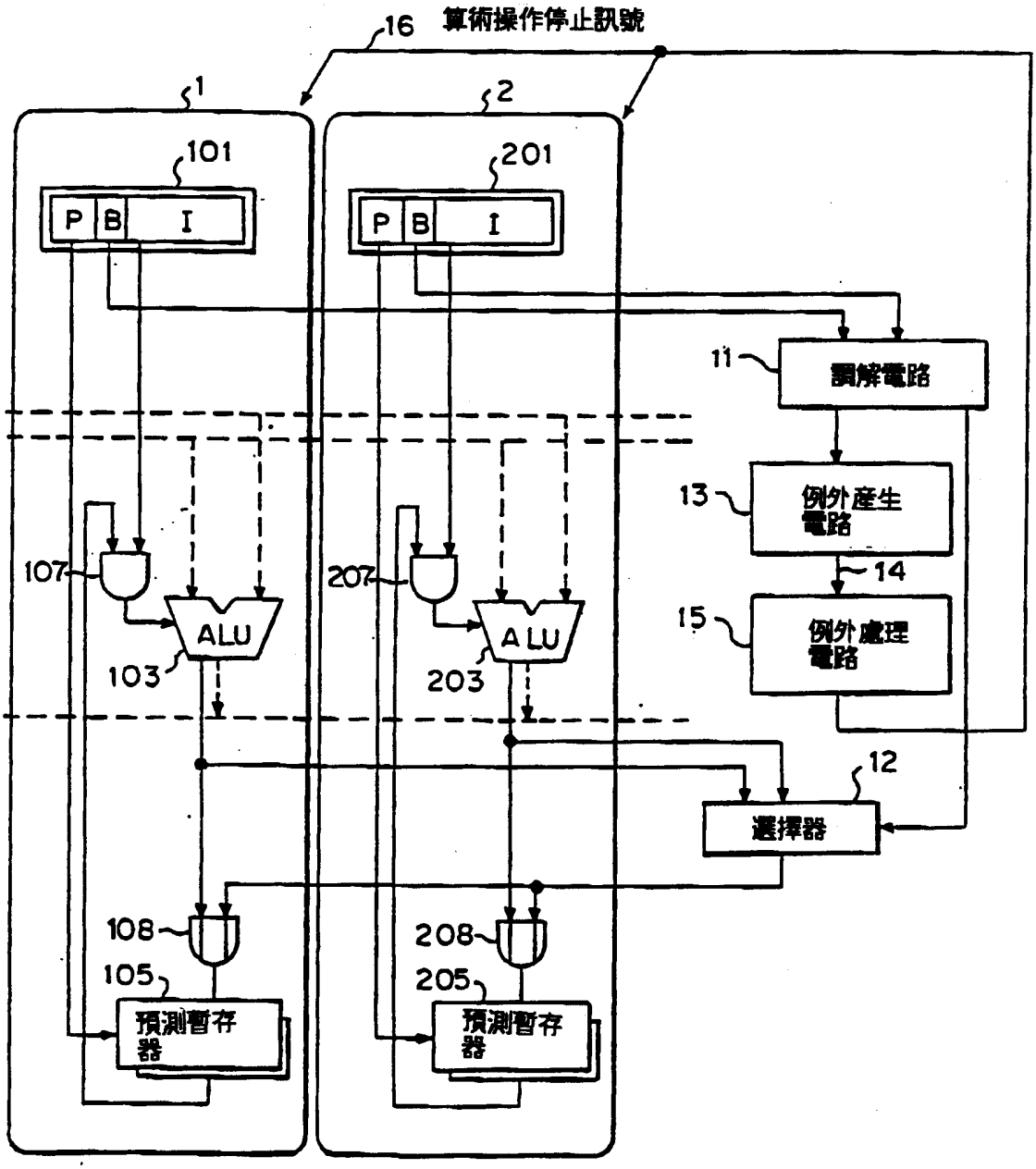

第 8 圖




第 9 圖

```
switch (a)
  {
case 0:  d = b + c;
         g = a + f;
         break;
case 1:  d = b - c ;
         g = e / f ;
         break;
}
```

第10圖


16
算術操作停止訊號
1
2
101
201
P
B
I
P
B
I
11
調解電路
13
例外產生電路
14
15
例外處理電路
107
207
ALU
ALU
103
203
12
選擇器
108
208
105
205
預測暫存器
預測暫存器

第13圖

```
ld    r1,(0000)
xfer  r1
```

```
      ld      r2, (0001)
      ld      r3, (0002)
      cmp.eq  r1, #0,p1
(p1)  add     r2,r3,r4
      cmp.eq  r1,#1,p1
(p1)  sub     r2,r3,r4
```

```
      ld      r5, (0003)
      ld      r6, (0004)
      cmp.eq  r1, #0,p1
(p1)  mul     r5,r6,r7
      cmp.eq  r1,#1,p1
(p1)  div     r5,r6,r7
```

第11圖

```
ld        r1,(0000)
cmp.eq r1,#0,p1,B
cmp.eq r1,#1,p1,B
```

```
      ld    r2, (0001)
      ld    r3, (0002)
(p1)  add   r2,r3,r4
(p1)  sub   r2,r3,r4
```

```
      ld    r5, (0003)
      ld    r6, (0004)
(p1)  mul   r5,r6,r7
(p1)  div   r5,r6,r7
```

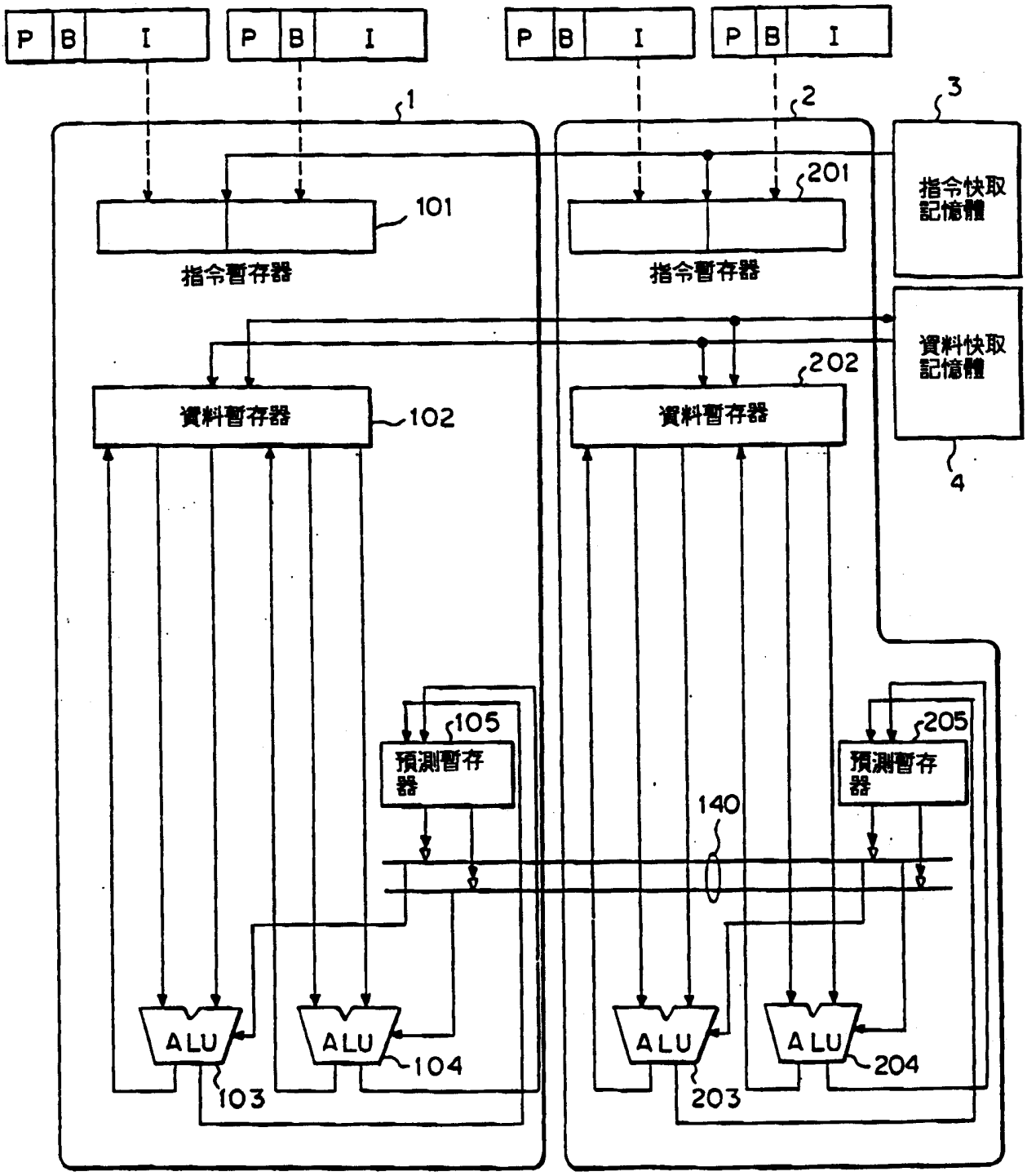
第12圖

```
ld        r1,(0000)
cmp.eq r1,#0,p1
cmp.eq r1,#1,p1
```

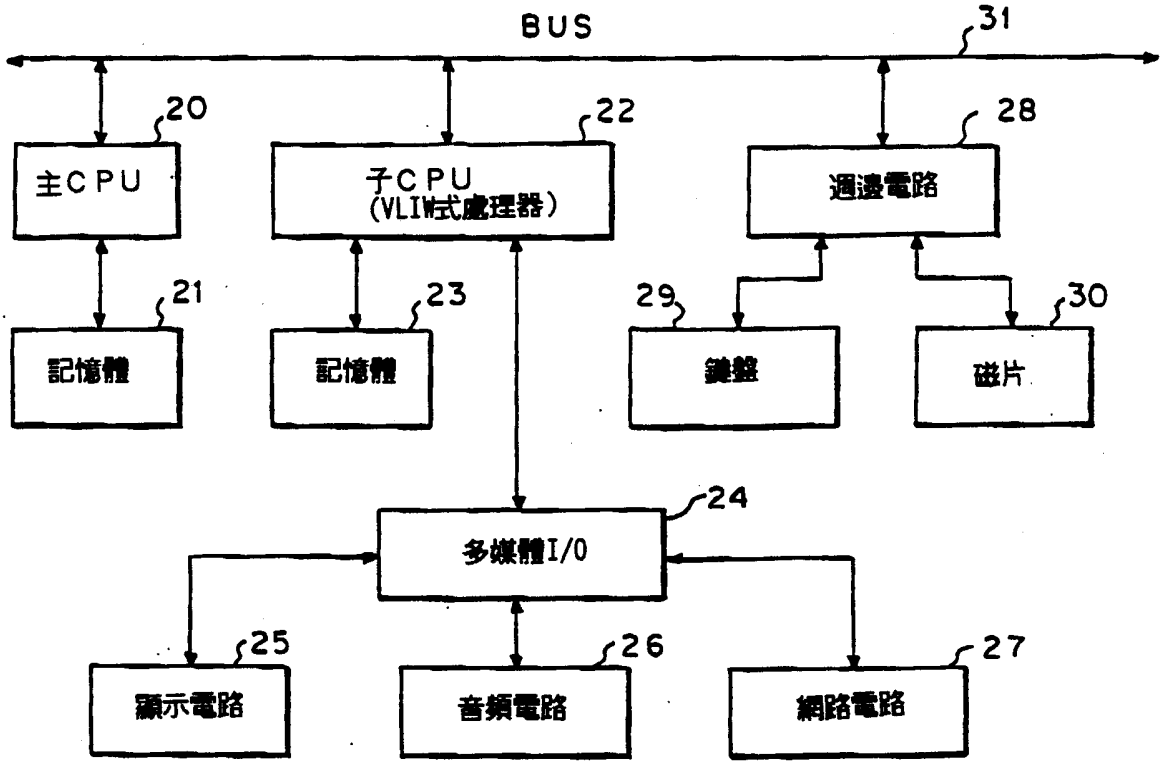
```
      ld    r2, (0001)
      ld    r3, (0002)
(p0:1)  add   r2,r3,r4
(p0:1)  sub   r2,r3,r4
```

```
      ld    r5, (0003)
      ld    r6, (0004)
(p0:1)  mul   r5,r6,r7
(p0:1)  div   r5,r6,r7
```

第15圖


P
B
I
1
2
3
101
201
指令暫存器
指令快取記憶體
資料暫存器
資料快取記憶體
102
202
4
105
205
預測暫存器
140
ALU
103
104
203
204

第14圖


BUS
31
20
22
28
主CPU
子CPU
(VLIW式處理器)
週邊電路
21
23
29
30
記憶體
記憶體
鍵盤
磁片
24
多媒體I/O
25
26
27
顯示電路
音頻電路
網路電路

第16圖