(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3576675号
(P3576675)
(45)発行日　平成16年10月13日(2004.10.13)　(24)登録日　平成16年7月16日(2004.7.16)

(51)Int.Cl.[7]　F I
G11B 20/10　G11B 20/10　351Z
G11B 20/10　321A

請求項の数 7　(全 16 頁)

(21)出願番号　特願平8-15338
(22)出願日　平成8年1月31日(1996.1.31)
(65)公開番号　特開平9-213009
(43)公開日　平成9年8月15日(1997.8.15)
審査請求日　平成12年11月7日(2000.11.7)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100090538
弁理士　西山　恵三
(74)代理人　100096965
弁理士　内尾　裕一
(72)発明者　田中　康之
東京都大田区下丸子３丁目３０番２号キヤノン株式会社内

審査官　小林　大介

最終頁に続く

(54)【発明の名称】再生装置

(57)【特許請求の範囲】
【請求項１】
記録媒体から再生された再生データを波形等化する等化手段と、
クロックを発生する発振手段と、
前記発振手段から出力されたクロックと前記再生データとの位相差を検出する位相差検出手段と、
前記位相差検出手段の出力を入力するループフィルタと、
前記発振手段から出力されたクロックの周波数と所定の周波数との誤差を検出する周波数検出手段と、
前記ループフィルタの出力と前記周波数検出手段の出力とを加算し、この加算結果を積分する積分器とを備え、
前記積分器の出力を用いて前記等化手段の等化特性を調整すると共に、前記ループフィルタの出力と前記積分器の出力とを用いて前記発振手段を制御して前記クロックの周波数を調整する再生装置。
【請求項２】
前記周波数検出手段は、前記発振手段から出力されたクロックをカウントするカウント手段と、前記所定の周波数に対応した比較値を保持する保持手段と、前記カウント手段の出力と前記比較値と差を求める誤差検出手段と、前記誤差検出手段の出力信号のレベルを調整して出力する係数器とを有することを特徴とする請求項１記載の再生装置。
【請求項３】

前記比較値は前記記録媒体から再生される再生データの周波数に対応した値であることを特徴とする請求項２記載の再生装置。
【請求項４】
前記クロックに応じて前記等化手段から出力されたデータをサンプリングし、１サンプル複数ビットのデジタルデータを出力する変換手段を備え、前記位相差検出手段及び前記周波数検出手段はそれぞれ、前記位相差及び周波数誤差をデジタルデータとして出力することを特徴とする請求項１記載の再生装置。
【請求項５】
前記ループフィルタからの出力データをアナログデータに変換する第１のＤ／Ａ変換手段と、
前記積分器からの出力データをアナログデータに変換する第２のＤ／Ａ変換手段と、
前記第１のＤ／Ａ変換手段からの出力データと前記第２のＤ／Ａ変換手段からの出力データとを加算する加算手段とを備え、
前記前記第１のＤ／Ａ変換手段からの出力データを用いて前記等化手段の等化特性を調整すると共に、前記加算手段の出力を用いて前記発振動作を制御して前記クロックの周波数を調整することを特徴とする請求項４記載の再生装置。
【請求項６】
前記等化手段と前記発振手段とは同一の回路形式のフィルタを用いて構成されており、前記積分器の出力を用いて前記等化手段のフィルタを制御して等化特性を調整すると共に、前記ループフィルタの出力と前記積分器の出力とを用いて前記発振手段のフィルタを制御して前記クロックの周波数を調整することを特徴とする請求項１記載の再生装置。
【請求項７】
記録媒体から再生された再生データをイコライザにより波形等化すると共に、発振器を用いて前記波形等化された再生データに同期したクロックを発生する装置であって、
前記再生データと前記クロックとの位相差と、前記クロックの周波数と所望の周波数との周波数誤差とをそれぞれ検出すると共に、前記位相差の検出出力を入力するループフィルタの出力と前記周波数誤差の検出出力とを加算した加算結果を積分器により積分し、前記積分器の出力に基づいてイコライザの等化特性を調整し、前記積分器の出力と前記ループフィルタの出力とに基づいて前記発振器を制御して前記クロックの周波数を調整することを特徴とする再生装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、再生装置及び方法に関し、特には、デジタル信号の再生に関するものである。
【０００２】
【従来の技術】
従来、デジタルＶＴＲ等のように高速度のデータを伝送（記録再生）する装置において、受信データ列からクロックを抽出する場合に、図１４に示したようなフェイズロックドループ（以下ＰＬＬ）を用いることが知られている。
【０００３】
図１４において、位相比較回路５０１により再生データとクロックとの位相差を検出し、これらの間の位相誤差を示す信号にＬＰＦ５０２によりフィルタ処理を施してＶＣＯ５０３に出力する。ＶＣＯ５０３は制御信号の電圧に対応した周波数のクロックを発生する。分周器５０４はクロックを分周して位相比較回路５０１に帰還する。
【０００４】
【発明が解決しようとする課題】
しかしながら、前述の如き装置では、クロックを発生するためのＰＬＬ回路をすべてアナログ回路で構成しているため、温度変化や経時変化等の周囲の環境の変化により回路の特性が変動しやすく、クロックの発生動作が不安定になってしまう。
【０００５】

また、デジタルＶＴＲにおいてもアナログＶＴＲと同様に早送り、スロー再生などの特殊再生機能を実現することが求められているが、このような特殊再生時においては、ヘッドとテープとの相対速度が変化し、それに伴って再生信号の周波数が変化してしまう。

【０００６】

従って、再生信号の周波数の変動が大きくなると、再生信号周波数がＰＬＬのロックレンジからはずれてしまい、クロックを得ることができなくなってしまう。

【０００７】

また、前述の如きデジタルＶＴＲにおいては、より良好なデータを得るために再生信号の波形を等化するイコライザが用いられているが、イコライザの等化特性が通常再生時に最適な信号波形になるような特性に設定されたまま固定されてしまうと、前述のように特殊再生時には再生信号の周波数が変動するので、特殊再生時においては最適な特性にはならず、再生データ中のエラーが多くなり、再生画質が劣化してしまう。

【０００８】

本発明は前述の如き問題を解決することを目的とする。

【０００９】

本願の他の目的は、温度変化や経時変化等の影響を受けず、安定してクロックを発生すると共に、常に良好な等化特性を実現可能とすることを目的とする。

【００１０】

【課題を解決するための手段】

従来抱えている課題を解決し、前記目的を達成するため、本発明は再生データを等化する等化手段と、クロックを発生する発振手段と、前記発振手段の出力クロックと前記再生データとの位相差を検出する位相差検出手段と、前記発振手段の出力クロックの周波数と所定の周波数との誤差を検出する周波数検出手段と、前記周波数検出手段の出力を用いて前記等化手段の等化特性を制御する等化制御手段と、前記位相検出手段の出力と前記周波数検出手段の出力とを用いて前記発振手段の発振動作を制御する発振制御手段とを備えて構成されている。

【００１１】

【発明の実施の形態】

以下、本発明の実施の形態について図面を用いて詳細に説明する。

【００１２】

本実施形態では、本発明をデジタルＶＴＲに適用した場合について説明する。図１はこのようなデジタルＶＴＲの再生系の構成を示すブロック図である。

【００１３】

図１において、磁気テープＴから磁気ヘッド１０１により再生された信号は、ヘッドアンプ１０３により増幅されてイコライザ１０５に出力される。

【００１４】

なお、本実施例におけるデジタルＶＴＲにおいては１フレーム分のビデオ信号をテープＴ上に形成される１０本のヘリカルトラックに記録しているが、もちろんこれ以外でもよい。

【００１５】

イコライザ１０５は再生信号に対していわゆる積分等化処理を施す。そして、等化された再生信号はＶＣＡ（Ｖａｒｉａｂｌｅ　Ｃｎｔｒｏｌ　Ａｍｐｌｉｆｉｅｒ　）１０７に出力され、増幅される。ＶＣＡ１０７はゲインを制御可能な増幅器であり、後述のようにＤ／Ａ変換器１３３からの制御信号によりゲインが制御される。

【００１６】

一方、１１７は加算器であり、後述のようにＤ／Ａ変換器１１５，１１７から出力される制御信号を加算してＶＣＯ１１９に出力する。

【００１７】

ＶＣＯ１１９は加算器１１７からの制御信号の電圧に応じた周波数のクロックを発生し、逓倍回路１２１に出力する。逓倍回路１２１はＶＣＯ１１９からのクロックの周波数を２

倍に逓倍する。
【００１８】
図１においては、破線で囲まれた部分がデジタル回路で構成されており、Ｄ／Ａ変換器１１７を除き逓倍回路１２１からのクロックで動作する。また、これ以外の部分についてはアナログ回路で同一集積回路上に構成している。
【００１９】
以下、破線部分のデジタル回路の動作について説明する。
【００２０】
前述のようにＶＣＡ１０７により振幅が制御された再生信号は、Ａ／Ｄ変換器１０９によりサンプリングされると共に、１サンプル複数ビット（本実施例では５ビット）のデジタル信号に変換される。
【００２１】
ここで、テープＴに記録されている信号はもちろんデジタル信号であるが、再生信号はアナログ的な波形を有する信号である。ここでは、このアナログ的な波形の再生信号をＡ／Ｄ変換することにより再びデジタル的な波形を有する信号に変換している。
【００２２】
Ａ／Ｄ変換器１０９から出力された再生信号は、位相・振幅検出回路１１１，ＰＲ４イコライザ１２３及びＡＴＦ回路１３９に供給される。
【００２３】
１２３はＰＲ４イコライザで、減算器１２５によりＡ／Ｄ変換器１０９から出力されたデータに対してラッチ１２３ａにより遅延された２クロック前のデータとの減算処理を施してＰＲ４（Ｐａｒｔｉａｌ　Ｒｅｓｐｏｎｓｅ　Ｃｌａｓｓ４）の特性を与えてビタビデコーダ１３５に出力する。ビタビデコーダ１３５は周知のビタビ検出法を用い、入力する３値データの尤度に基づいて再生データ中から１サンプル１ビットのデータを検出し、デコーダ１３７に出力する。デコーダ１３７はビタビデコーダ１３５からの再生データを復号すると共にその情報量を伸長してもとの形態のビデオ信号に変換する。
【００２４】
ＡＴＦ回路１３９はＡ／Ｄ変換器１０９から出力された再生データ中のパイロット信号成分を抽出する。そして、このパイロット信号成分に基づいてヘッド１０１とテープＴの各ヘリカルトラックとのトラッキングずれを示すエラー信号を生成し、テープの搬送動作を行うテープ駆動系を制御してトラッキングずれを補正する。なお、このＡＴＦ回路については、特願平６－２７７８３２号に開示のものを用いることが可能である。
【００２５】
また、位相・振幅検出回路１１１はイコライザ１０５から出力される再生信号と逓倍回路１２１からのクロックとの位相差を検出すると共に、Ａ／Ｄ変換器１０９におけるサンプリング点（逓倍回路１２１から出力されるクロックのタイミング）におけるＶＣＡ１０７からの出力信号の振幅を検出する。そして、位相検出出力についてはループフィルタ１１３に出力し、また、振幅検出出力については減算器１２７に出力する。
【００２６】
ここで、位相・振幅検出回路１１１について説明する。
【００２７】
図２は位相・振幅検出回路１１１の構成を示すブロック図である。
【００２８】
図２において、２０３～２０９はＡ／Ｄ変換器１０９から出力されたデジタル信号を１クロック毎に遅延させる遅延回路、２１５は入力端子２０１からのデータ及び遅延回路２０３～２０９の出力から特定のパターンを検出する論理演算回路からなるデコーダである。
【００２９】
また、２１３は減算器２１１の出力を反転する符号反転回路、２１７，２１９はそれぞれ、符号反転回路２１３の入力と出力とを切り換えて出力するスイッチ、２２１はスイッチ２１７の出力をデコーダ２１５から出力される信号ｐｈでサンプルホールドし、位相検出

出力として出力するラッチ回路、２２５はスイッチ２１９の出力をデコーダ２１５から出力される信号ａｈでサンプルホールドし、振幅検出出力として出力するラッチ回路である。

【００３０】

このような構成において、Ａ／Ｄ変換された再生信号は２０１に入力され、各遅延回路２０３～２０９により順次遅延される。遅延回路２０３，２０７の出力は減算器２１１に出力され、その出力はＰＲ４信号となる。

【００３１】

ここで、入力データ及び各遅延回路２０３～２０９の５ビット出力データのＭＳＢをａ，ｂ，ｃ，ｄ，ｅとする。また、再生信号をＡ／Ｄ変換する際に再生信号の平均値はＡ／Ｄ変換レンジの中央にくる様に設定しておけば、ａ，ｂ，ｃ，ｄ，ｅは再生データを積分等化して２値化した２値データとなる。このデータ列をデコーダ４１５に入力し、後述のような論理演算により特定パターンを検出し、信号ｓ，ｐｈ及びａｈを得る。

【００３２】

信号ｓはスイッチ２１７を制御し、減算器２１１の出力と、この出力を符号反転回路２１３で符号反転した信号とを選択的に出力する。また、信号ｐｈをラッチ回路２２１の端子Ｅに供給することによりラッチ回路２２３を制御し、スイッチ４１７の出力を信号ｐｈのタイミングでサンプルホールドする。

【００３３】

まず、信号ｓ及びｐｈによる位相検出動作について説明する。

【００３４】

図３はＰＲ４等化を施した信号のアイパターンを示す図である。このアイパターンはデータ検出点で３値の値をとる。そして、このアイパターンのゼロクロス点を見ると、ゼロクロス点を通過する信号はデータと検出点との位相差に比例した傾きをもっていることがわかる。

【００３５】

ただし、この傾きは正負両方の値を持っている。そのため、デコーダ２１５において信号ｓがこの傾きの正負を判別し、信号ｐｈがゼロクロス点であることを判別するように所定の論理演算を行うことによって再生信号中の特定パターンを検出する。従って、位相検出出力２２３はその平均レベルがデータ検出点とクロックとの位相差に比例した値となる。

【００３６】

前述のような信号ｓ及びｐｈを求める方法として、本実施形態では再生データから論理演算によって特定パターンを検出し、信号ｓ及びｐｈを出力する。図４に信号ｓ及びｐｈの真理値表の一例を示す。

【００３７】

この図４には再生データａｂｃｄｅに対してｂ－ｄ、即ち減算器４１１の出力及び信号ｓ，ｐｈの論理を示した。ｓはｂ－ｄの傾きが正か負か、ｐｈはｂ－ｄがゼロクロス点であるかどうか、即ち特定パターンのデータが入力されたかどうかを示す。この真理値表から、信号ｓ，ｐｈは簡単な論理演算で表せることがわかる。例えば、

【００３８】

【外１】

$$h = (b \oplus d) + \bar{a}\,\bar{c}\,\bar{e} + \bar{a}\,\bar{c}\,\bar{e}$$

$$s = c$$

ただし、⊕はＥＸＯＲを示す

と表せる。

【００３９】

この論理は、積分等化されたデータａｂｃｄｅに誤りがない場合に成立する。データとク

ロックとの位相がずれるに従って、検出出力２２３としてそのずれ量に比例した値が検出される。その結果、Ａ／Ｄ変換器１０９も誤ったタイミングでサンプリングするようになるが、後述のように検出出力２２３がループフィルタ１１３を介してＶＣＯ１１９に出力され、クロックを再生信号とが同期するようになる。

【００４０】

次に、振幅検出動作について説明する。

【００４１】

図２の減算器２１１の出力であるＰＲ４データは、前述のように図３に示したアイパターンとなっている。データ検出点における３値のうち、ゼロクロス点以外の２値は再生データの振幅を示している。

【００４２】

本実施例では、デコーダ２１５により特定のパターンを検出し、減算器２１１の出力がゼロクロス点以外のときサンプルホールドすることにより、検出点における再生データの振幅を正確に検出している。

【００４３】

ここで、減算器２１１の出力がゼロクロス点以外であることを検出するには、前述の位相検出動作で説明したのと同様の手法を用いればよい。すなわち、デコーダ２１５により減算器２１１の出力がゼロクロス点以外である場合の特定パターンを検出し、信号ａｈをラッチ回路２２５に出力する。ラッチ回路２２５は信号ａｈが入力されたタイミングでスイッチ２１９からの出力データをラッチして出力する。

【００４４】

図４にａｈとして信号ａｈの論理を示す。ａｈが０のタイミングでラッチ回路２２５が動作する。遅延回路２０３の出力及び遅延回路２０７の出力のＭＳＢをｂ，ｄとすると、

【００４５】

【外２】

$$ah = \overline{b \oplus d}$$

と表せることがわかる。

【００４６】

また、スイッチ２１９の切り換えは、ＰＲ４データの符号（ＭＳＢ）（図２においてはｂ－ｄの中央のデータ）を用いてもよいが、図４のｓｉｇｎをみるとｄまたはｂの反転データを用いてもよいことがわかる。

【００４７】

このように、本形態では、Ａ／Ｄ変換後のデータからデジタル回路にて直接位相検出出力を得るように構成しているので、クロックの位相がデータのサンプリング点に自動的に追従し、正確にデータを検出することができる。

【００４８】

また、再生データ中から、ＰＲ４データが振幅を表している場合の特定パターンを検出し、この検出出力に基づいてＰＲ４データをサンプルホールドすることにより再生信号の振幅を検出しているので、位相が正確に保たれているとき、つまりＰＬＬがロックしているときには、再生信号のエンベロープではなくサンプル点の振幅値を忠実に検出することができる。

【００４９】

すなわち、後述のようにＰＲ４データから再生データを検出する場合に、データの検出点における振幅を正確に検出することができる。

【００５０】

このように、位相・振幅検出回路１１１により検出された振幅検出出力は減算器１２７に出力される。減算器１２７のもう一方の端子にはレジスタ１２９から振幅の目標値が与えられており、減算結果を振幅誤差としてループフィルタ１３１に出力する。ループフィル

タ１３１はこの振幅誤差データを平均化し、Ｄ／Ａ変換器１３３に出力する。Ｄ／Ａ変換器１３３は振幅誤差データをアナログ値に変換してＶＣＡ１０７に帰還して、ＶＣＡ１０７のゲインを制御する。

【００５１】

また、位相・検出回路１１１により検出された位相検出出力はループフィルタ１１３に出力される。

【００５２】

ループフィルタ１１３は、位相検出出力に基づいてＰＬＬ及びＡＦＣの動作を行うための回路であり、その構成を図５に示す。

【００５３】

まず、ＰＬＬ動作について説明する。図５において、３１１には位相・振幅検出回路１１１からの位相検出出力が入力し、３１７には逓倍回路１２１からのクロックが供給されている。３０１から入力した位相検出出力は、ループフィルタ３０３によりフィルタ処理が施され、端子３０５からＤ／Ａ変換器１１５に出力される。Ｄ／Ａ変換器１１５はこの位相検出出力をアナログ信号に変換し、加算器１１７を介してＶＣＯ１１９に出力することによりクロックの周波数を制御する。このように、位相・振幅検出回路１１１～ループフィルタ１１３～加算器１１７～ＶＣＯ１１９～逓倍回路１２１で構成されるフィードバックループで、再生データに同期したクロックを発生するＰＬＬの基本的なループが構成されている。

【００５４】

次に、ＰＬＬループを常にロックレンジの中心に保持し、温度変化・経時変化などに追従するための発振周波数の自動制御、いわゆるＡＦＣの動作について説明する。

【００５５】

ループフィルタ３０３の出力はＬＰＦ３０７に出力される。ＬＰＦ３０７は入力データをヘッドが１トラックをトレースする期間（以下Ｔｔｒ）積分することにより平均化し、平均値をレジスタ３０９に出力する。レジスタ３０９はＬＰＦ３０７からのデータを図６（ｂ）に示したＴｔｒのタイミングでホールドし、その結果を減算器３１１の正の入力端子に出力する。

【００５６】

ここで、Ｔｔｒを示す信号は図１におけるタイミング信号形成回路１４１により得られる。図１において、タイミング信号形成回路１４１は、不図示の回転ドラムの回転位相を検出するＰＧヘッドにより得られるＰＧ信号に基づいてＴｔｒを示すタイミング信号を形成し、これを出力する。図６において（ａ）はヘッド１０１により再生された信号のエンベロープを示し、（ｂ）は前記タイミング信号形成回路１４１から出力されるタイミング信号の様子を示している。

【００５７】

また、逓倍回路１２１から出力されるクロックはカウンタ３１９に入力される。カウンタ３１９は、Ｔｔｒ期間に供給されるクロック数をカウントし、その結果を減算器３２１の正の入力端子に出力する。減算器３２１はレジスタ３２３に設定されている目標値とカウンタ３１９のカウント値との差を求めることにより目標周波数とクロック周波数との誤差を検出し、結果を係数器３２５に出力する。

【００５８】

従って、レジスタ３２３に対して、目標とする周波数をＦｃｅｎｔとすると、Ｆｃｅｎｔ×Ｔｔｒなる値を設定することにより減算器３２１の出力として目標周波数とクロックの周波数との誤差を得ることができる。

【００５９】

減算器３２１から出力される周波数誤差信号は係数器３２５でレベルが調整され、減算器３１１の負の入力端子に出力される。減算器３１１はレジスタ２０９の出力から係数器３２５の出力を減算して積分器３１３に出力する。

【００６０】

積分器３１３は図７のように構成されており、積分値があらかじめ決められたリミット範囲内にあるうちは加算器４０１により入力データとレジスタ４０５のデータとを加算して積分していくように動作する。また、リミッタ４０３により積分値が前記リミット値以上になるのを制限している。なお、レジスタ４０５は前述のレジスタ３０９と同様にタイミング信号形成回路１４１からのＴｔｒ期間を示す信号が供給されており、１トラックに１回、積分値をホールドする。

【００６１】

積分器３１３の出力は端子３１５を介してＤ／Ａ変換器１１７に出力され、Ｄ／Ａ変換器１１７はこの積分値をアナログ信号に変換して加算器１１７及びイコライザ１０５に出力する。

【００６２】

このように、本実施例において、例えば、何らかの外部要因によりＶＣＯ１１９の発振周波数が低下しようとすると、逓倍回路１２１を介して位相・振幅検出回路１１１に供給されるクロックの周波数も低下し、位相・振幅検出回路１１１により位相差を示す信号が得られる。それに応じてＤ／Ａ変換器１１５から出力される制御信号の電圧が変動し、ＶＣＯ１１９の発振周波数を高くしてクロック周波数がその変動に追従するようになる。

【００６３】

しかし、このように位相変動に追従してクロック周波数も変化させている場合には、ループフィルタ３０３の出力データも上昇（下降）してしまっており、ＰＬＬのロックレンジの中心から外れてしまっている。従って、このような状態から更に再生データとクロックとの位相誤差を補正しようとしてもＶＣＯ１１９が追従しにくくなり、位相の変動に対してＰＬＬのループが外れやすくなる。

【００６４】

そこで、本実施例においては、ＬＰＦ３０７～レジスタ３０９～積分器３１３～Ｄ／Ａ変換器１１７～加算器１１７のパスにより、ループフィルタ３０３の出力データの偏りを検出して積分し、加算器１１７によりＤ／Ａ変換器１１５の出力と加算することにより、前述のＰＬＬのループに比べて遅い時定数でループフィルタ３０３の出力データの偏りを積分器３１３にかたがわりさせることができ、ループフィルタ３０３の出力データを常にＰＬＬのロックレンジの中心付近に保持することが可能になる。

【００６５】

次に、本実施例におけるイコライザの等化特性の制御について説明する。

【００６６】

図８はイコライザ１０５の構成を示すブロック図である。図８において、R_1，R_2，R_3，L_1とアンプ１で１次のフィルタ１，R_4，L_2，C_2とアンプで２次のフィルタ２，R_5，L_3，C_3とアンプ３で２次のフィルタ３を構成し、この３つのフィルタでイコライザを構成している。

【００６７】

図９はＶＣＯ１１９の構成を示す図である。図９において、L_4，C_4及びアンプ４によりＶＣＯの発振周波数を決定する２次のフィルタ４を構成し、このフィルタの出力を電流源に帰還することにより発振出力を得ている。

【００６８】

次に、動作について説明する。本実施例においては、集積回路上に同様の回路形式、マスク構成で作られたジャイレータを用いて等価インダクタとされたL_1，L_2，L_3，L_4がほぼ同じインダクタンスになるようにジャイレータ負荷となるコンデンサC_0（図１０に示す）が等しく選ばれているとする。

【００６９】

図１０は、等価インダクタとしてのジャイレータの構成例を示す図である。

【００７０】

図１０において、端子ＡからＡ’間を流れる電流i_1と両端子間の電圧V_1の関係は次式となる。

【００７１】
$V_1 = j\omega C_0 \cdot R_{01} \cdot R_{02} \cdot (I_3 / I_1) \cdot I_1$
ここで、I_1，I_3 は直流電流、i_1 は交流電流
【００７２】
これより、
$L = C_0 \cdot R_{01} \cdot R_{02} \cdot (I_3 / I_1)$
となり、ＲとＣとを用いてインダクタを集積回路上に実現できることになる。そして、I_3 を固定し、I_1 を可変すればＬ値を変化させることが可能である。
【００７３】
いま、フィルタ１，フィルタ２，フィルタ３それぞれの周波数特性は、ジャイレータび基準電流が中心値であると、図１１（ａ），（ｂ），（ｃ）のような遮断周波数、Ｑとなるように抵抗、コンデンサの値が選ばれている。
【００７４】
ここで、再生イコライザの伝送帯域は、信号伝送理論として知られるナイキスト基準を満足する信号伝送速度（再生クロック周波数）ｆｂの１／２程度としている。
【００７５】
一方、ＶＣＯ１１９の発振周波数を決めるフィルタ４の周波数特性は、ジャイレータの基準電流が中心値であると図１２のようにｆｂ／２に鋭いピークを持つ特性であるのでｆｂ／２を中心周波数として発振することがわかる。
【００７６】
次に、デジタルＶＴＲが通常再生されている場合について説明する。
【００７７】
再生動作が開始すると、まず、前述のＡＦＣループによりクロックの周波数を再生データの周波数に調整し、ＰＬＬのロックレンジに入れる。その後、位相・振幅検出回路１１１によりイコライザ出力１０５により等化された再生データとクロックとの位相差を検出し、その位相検出信号をループフィルタ１１３，Ｄ／Ａ変換器１１５及び加算器１１７を介してＶＣＯ１１９に負帰還するので、フィルタ４の遮断周波数により決まるＶＣＯ１１９の発振周波数はｆｂ／２に自動調整される。
【００７８】
ここで、フィルタ３とフィルタ４それぞれで用いるコンデンサの値（C_3 と C_4）を同じものにすれば、ジャイレータの浮遊容量も含めてフィルタ３の遮断周波数を常にｆｂ／２とすることができ、このフィルタ３を基準としてフィルタ２で扱うコンデンサ（C_2）を容易に求めることができる。
【００７９】
本実施形態では、イコライザを構成するフィルタとＶＣＯを構成するフィルタとで同一の回路形式で形成されたジャイレータによる等価インダクタンスを用い、これらのジャイレータをＶＣＯ１１９を制御する同じ基準電流で制御して遮断周波数を制御しているので、クロックの変動に応じてイコライザの等化特性を自動的に制御できる。
【００８０】
また、前述のように、特殊再生時においては再生信号の周波数が変化するが、本実施形態では、レジスタ２２３の設定値を変えることによりＶＣＯ１１９の発振周波数を変化させて逓倍回路１２１の出力クロックの周波数を再生信号の周波数近傍に移動させることができる。そして、この状態でＰＬＬのループがこれに追従すれば、ループフィルタ２０３の出力がロックレンジの中心付近になるように積分器２１３が位相検出出力の偏りを吸収する。このとき、ＶＣＯ１１９の中心周波数を決定するＤ／Ａ変換器１１７の出力によりイコライザ１０５の特性を制御することで、図１３に示したように再生信号の周波数変動に応じてイコライザ差の等化特性が最適な等化特性になるように自動的に制御することができる。
【００８１】
更に、本実施形態では、ＶＣＯ１１９に対してはＤ／Ａ変換器１１５と１１７との加算出

力により制御を行うが、イコライザ１０５に対してはＤ／Ａ変換器１１７の出力のみにより制御を行っている。

【００８２】

Ｄ／Ａ変換器１１５から出力される信号の周波数は通常数ｋＨｚにもなり、これをそのままイコライザ１０５のジャイレータに供給した場合、再生データ中にノイズが混入してしまうおそれがある。

【００８３】

そこで、本実施形態では、比較的周波数の低い（１フレーム１０トラックなので、タイミング信号形成回路１４１から出力されるＴｔｒ期間を示す信号の周波数は３００Ｈｚとなる）Ｄ／Ａ変換器１１７の出力信号でイコライザ１０５ジャイレータを制御することにより、このようなノイズの混入を防止している。

【００８４】

以上説明したように、本実施形態では、ＶＣＯとイコライザとを同じ集積回路上に同様の回路形式・マスク構成で作られたジャイレータを用いて集積し、位相検出出力を積分した信号によりイコライザを制御し、位相検出出力と積分出力を加算した出力によりＶＣＯを制御している。

【００８５】

従って、ＰＬＬのループを常にロックレンジの中心に保つと共に、温度変化・経時変化等によるクロックの変動を補償することができる。

【００８６】

また、ＡＦＣループによりイコライザの特性を制御し、ＡＦＣループとＰＬＬループとによりＶＣＯを制御しているので、再生信号の周波数の変動に対してクロックの周波数を追従させてイコライザの等化特性を制御することができ、さらには、イコライザとＶＣＯとを集積したアナログ集積回路の温度やロットによるばらつきを吸収し、常に等化特性を最適なものにすることができる。

【００８７】

なお、図５に示したＬＰＦ３０７～積分器３１３及びカウンタ３１９～係数器３２５の構成は同様の機能をマイコンでも達成することができる。

【００８８】

また、図１においては、Ｄ／Ａ変換器１１５，１１７により図３のループフィルタ３０３，積分器３１３の出力をそれぞれアナログ信号に変換してから加算していたが、加算器１１７をデジタル加算器とし、ループフィルタ３０３，積分器３１３の出力をそれぞれデジタル信号の状態で加算してからアナログ信号に変換してＶＣＯ１１９に出力する構成も可能である。

【００８９】

また、ＶＣＯ１１９を所望の周波数で発振させることにより、イコライザの特性を制御したが、同様の回路形式で同じ集積回路上に構成されたものであればこれ以外の回路も制御可能である。

【００９０】

また、前述の実施形態では、本発明をデジタルＶＴＲに適用した場合について説明したが、本発明はこれに限られることはなく、デジタル信号を伝送，記録再生する系、例えば電波や光等による通信、光ディスク等にも適用可能であり、同様の作用効果を有するものである。

【００９１】

【発明の効果】

以上の説明から明らかなように、本発明では、再生データとクロックとの周波数誤差を用いて等化特性を制御し、この周波数誤差と、再生データとクロックとの位相誤差とを用いて発振動作を制御しているので、クロックの変動に応じて最適に等化特性を制御することができる。

【００９２】

また、本願の他の発明では、再生データとクロックとの位相差の傾向の検知結果を用いて等化特性を制御し、前記傾向と、再生データとクロックとの位相誤差とを用いて発振動作を制御しているので、やはり、クロックの変動に応じて等化特性を制御することができる。

【００９３】

更に、等化特性制御の応答速度を発振動作制御の応答速度よりも遅くすることができるので、再生データに対するノイズの混入を防止することが可能になる。

【図面の簡単な説明】

【図１】本発明の実施例としてのデジタルＶＴＲの構成を示すブロック図である。

【図２】図１における位相・振幅検出回路の構成を示すブロック図である。

【図３】図２の回路の動作を説明するための図である。

【図４】図２の回路の動作を説明するための図である。

【図５】図１におけるループフィルタの構成を示すブロック図である。

【図６】図５の回路の動作を説明するための図である。

【図７】図５の回路における積分器の構成を示す図である。

【図８】図１におけるイコライザの構成を示す図である。

【図９】図１におけるＶＣＯの構成を示す図である。

【図１０】図８，９における等価インダクタとしてのジャイレータの構成を示す図である。

【図１１】図８の回路の特性を示す図である。

【図１２】図９の回路の特性を示す図である。

【図１３】図８の回路の特性を示す図である。

【図１４】従来のＰＬＬ回路の構成を示す図である。

【符号の説明】

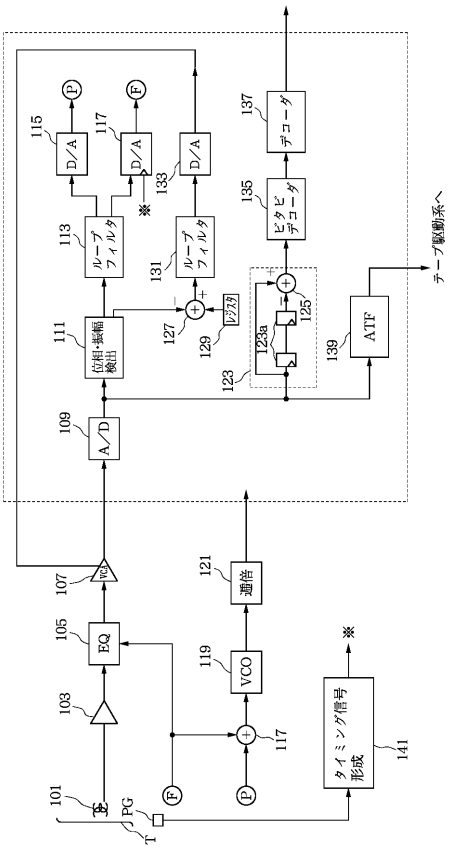
１０５　イコライザ

１１１　位相・振幅検出回路

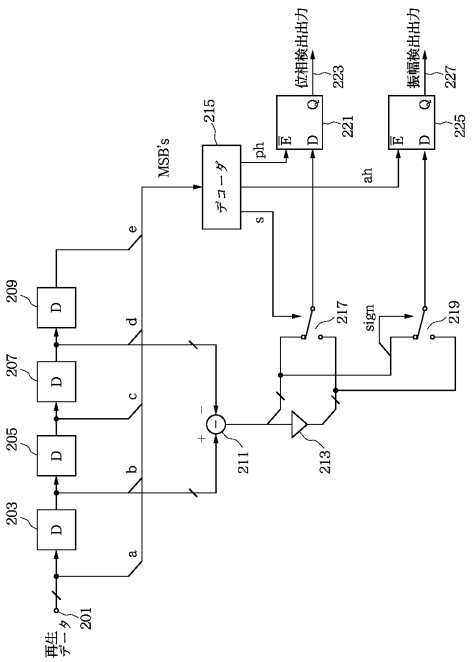
１１３　ループフィルタ

１１９　ＶＣＯ

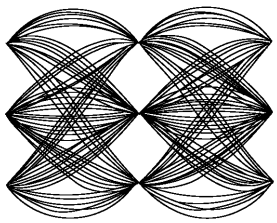
【図１】



【図２】



【図３】



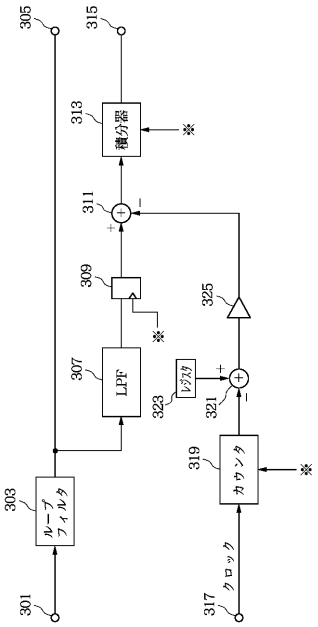
【図４】

ph, an, s, signの真理値表

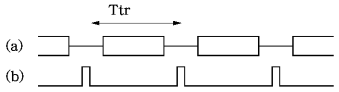
a	b	c	d	e		b − d	sign	ah	s	ph
0	0	0	0	0	:	0 0 0	*	1	*	1
1	0	0	0	0	:	1 0 0	*	1	+	0
0	1	0	0	0	:	0 1 0	+	0	*	1
1	1	0	0	0	:	1 1 0	+	0	*	1
0	0	1	0	0	:	−1 0 1	*	1	−	0
1	0	1	0	0	:	0 0 1	*	1	−	0
0	1	1	0	0	:	−1 1 1	+	0	*	1
1	1	1	0	0	:	0 1 1	+	0	*	1
0	0	0	1	0	:	0 −1 0	−	0	*	1
1	0	0	1	0	:	1 −1 0	−	0	*	1
0	1	0	1	0	:	0 0 0	*	1	*	1
1	1	0	1	0	:	1 0 0	*	1	+	0
0	0	1	1	0	:	−1 −1 1	−	0	*	1
1	0	1	1	0	:	0 −1 1	−	0	*	1
0	1	1	1	0	:	−1 0 1	*	1	−	0
1	1	1	1	0	:	0 0 1	*	1	−	0
0	0	0	0	1	:	0 0 −1	*	1	+	0
1	0	0	0	1	:	1 0 −1	*	1	+	0
0	1	0	0	1	:	0 1 −1	+	0	*	1
1	1	0	0	1	:	1 1 −1	+	0	*	1
0	0	1	0	1	:	−1 0 0	*	1	−	0
1	0	1	0	1	:	0 0 0	*	1	*	1
0	1	1	0	1	:	−1 1 0	+	0	*	1
1	1	1	0	1	:	0 1 0	+	0	*	1
0	0	0	1	1	:	0 −1 −1	−	0	*	1
1	0	0	1	1	:	1 −1 −1	−	0	*	1
0	1	0	1	1	:	0 0 −1	*	1	+	0
1	1	0	1	1	:	1 0 −1	*	1	+	0
0	0	1	1	1	:	−1 −1 0	+	0	*	1
1	0	1	1	1	:	0 −1 0	+	0	*	1
0	1	1	1	1	:	−1 0 0	*	1	−	0
1	1	1	1	1	:	0 0 0	*	1	*	1

＊はどちらでもよい

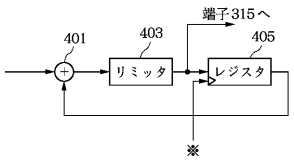
【図５】


305
315
313
積分器
※
311
309
325
307
LPF
323
レジスタ
321
319
カウンタ
303
ループフィルタ
301
クロック
317

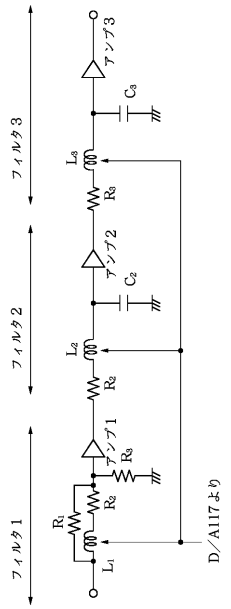
【図６】


Ttr
(a)
(b)

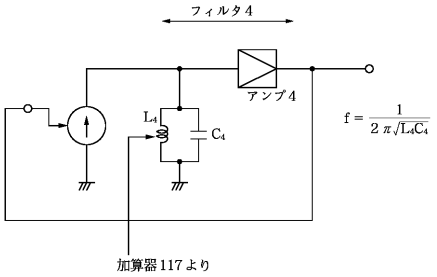
【図７】


端子315へ
401
403
405
リミッタ
レジスタ
※

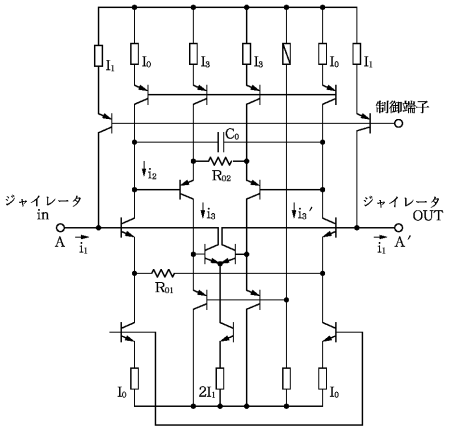
【図８】


フィルタ3
フィルタ2
フィルタ1
アンプ3
アンプ2
アンプ1
C3
C2
L3
L2
L1
R3
R2
R1
D/A117より

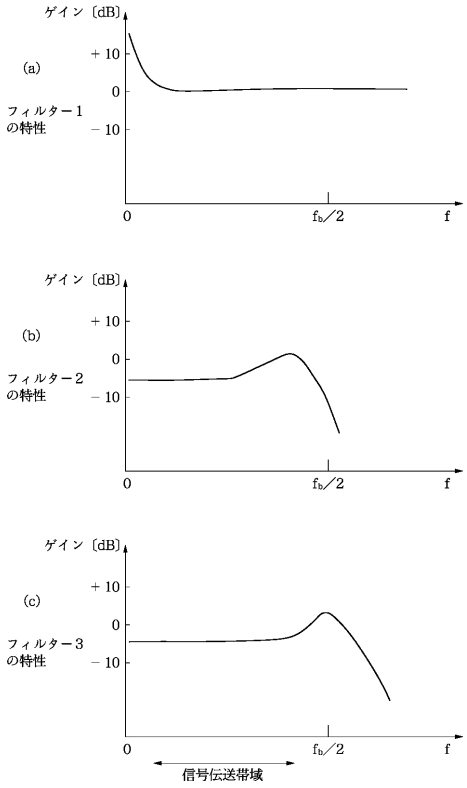
【図９】



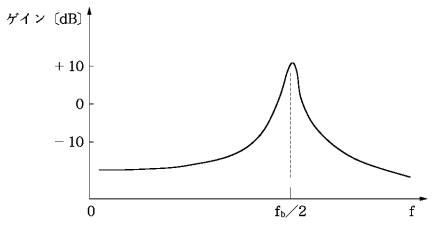
【図１０】



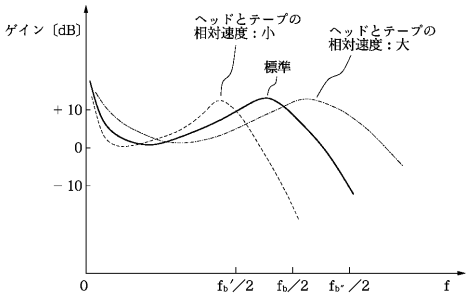
【図１１】



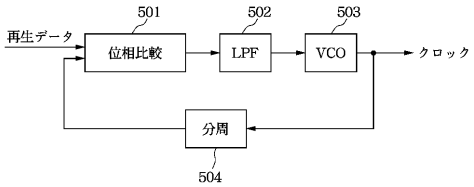
【図１２】



【図１３】


ゲイン〔dB〕
ヘッドとテープの
相対速度：小
標準
ヘッドとテープの
相対速度：大
＋10
0
－10
0
fb′／2
fb／2
fb″／2
f

【図１４】


501
502
503
再生データ
位相比較
LPF
VCO
クロック
分周
504

フロントページの続き

(56)参考文献 特開平０１－３０７３１７（ＪＰ，Ａ）
特開平０７－１３４８７３（ＪＰ，Ａ）
特開平０４－１７７６６８（ＪＰ，Ａ）
特開平０３－０８０６２０（ＪＰ，Ａ）
特開平０３－２８３８２０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11B 20/10
G11B 20/14
H03L 7/00-7/26