

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 9 月 14 日(14.09.2017)



(10) 国際公開番号
WO 2017/154089 A1

- (51) 国際特許分類:
G02F 1/133 (2006.01) *G09G 3/20* (2006.01)
G02F 1/13 (2006.01) *G09G 3/36* (2006.01)
G03B 21/62 (2014.01)
- (21) 国際出願番号: PCT/JP2016/057076
- (22) 国際出願日: 2016 年 3 月 8 日(08.03.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: パイオニア株式会社(PIONEER CORPORATION) [JP/JP]; 〒1130021 東京都文京区本駒込二丁目 2 番 8 号 Tokyo (JP).
- (72) 発明者: 岩脇 圭介(IWAWAKI, Keisuke); 〒3508555 埼玉県川越市山田 2 番地 1 パイオニア株式会社 川越事業所内 Saitama (JP).
- (74) 代理人: 瀧野 文雄, 外(TAKINO, Fumio et al.); 〒1500013 東京都渋谷区恵比寿 2 丁目 3 番 1 3 号 広尾 S Kビル 4 F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

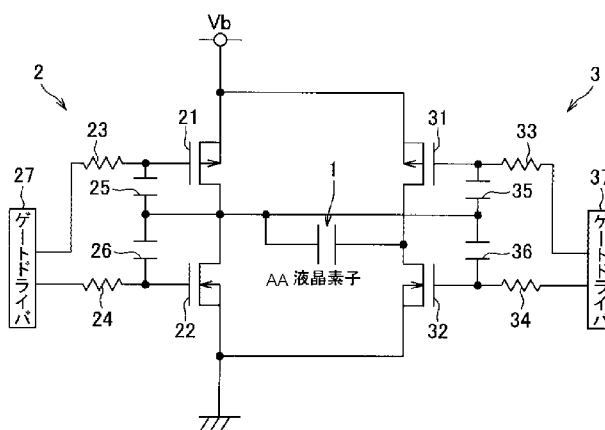
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: DRIVE DEVICE

(54) 発明の名称: 駆動装置

[図3]



27, 37 Gate driver
AA Liquid crystal element

(57) Abstract: This drive device is provided with a scan drive circuit (3) for controlling the voltage applied to a scan electrode of a screen, and a common drive circuit (2) for periodically changing the voltage applied to a common electrode of the screen and also gradually changing the applied voltage. The scan drive circuit (3) is provided with a push-pull circuit in which drains of two FETs (31, 32) are connected, and a gate driver (37) for driving the push-pull circuit, and is further provided with a time constant circuit comprising capacitors (35, 36) and resistors (33, 34), the time constant circuit being connected between the push-pull circuit and the gate driver (37). The time constant circuit and the common electrode are also connected by wiring.

(57) 要約:

[続葉有]

WO 2017/154089 A1



本発明の駆動装置は、スクリーンのスキャン電極に印加する電圧を制御するスキャン駆動回路（３）と、スクリーンのコモン電極に印加する電圧を周期的に変化させるとともに印加する電圧を緩やかに変化させるコモン駆動回路（２）とを備えている。そして、スキャン駆動回路（３）は、２つのＦＥＴ（３１，３２）のドレイン同士が接続されたプッシュプル回路と、プッシュプル回路を駆動するゲートドライバ（３７）とを備え、更に、プッシュプル回路とゲートドライバ（３７）との間に接続される、コンデンサ（３５，３６）及び抵抗（３３，３４）からなる時定数回路を備えている。そして、当該時定数回路とコモン電極とが配線により接続されている。

明 細 書

発明の名称：駆動装置

技術分野

[0001] 本発明は、表示部を駆動する駆動装置に関する。

背景技術

[0002] 例えばガラスのような透明体をスクリーンとして、そのスクリーンが散乱状態のときにプロジェクタ等から投射した画像をそのスクリーンに表示する表示装置は、例えば特許文献1のように既に知られている。

[0003] 特許文献1のようなスクリーンとして液晶表示装置を用いる場合、液晶素子は、直流駆動すると寿命が短くなることから一定周期毎に正負交流電圧を加えて駆動する交流駆動を行うのが一般的である。その中で、例えばフレーム毎等の映像周期毎に交流駆動することをフレーム反転方式といい、更に、コモン電極のバイアス電圧を反転する方法をコモン反転方式という。コモン反転方式は正負二電源を用意する必要がないため、回路構成が簡単になるメリットがある。

[0004] しかしながら、コモン反転駆動の場合、コモン電極電位が反転する瞬間に、コモン電極への電位供給経路に、大きなピークを有する充放電電流が発生し、この電流が放射ノイズの原因となるという問題がある。

[0005] 上記した問題に対しては、例えば特許文献2に、コモン電極駆動回路の出力段に、それぞれがコモン電極に電圧を出力することが可能な複数のサブ出力段を備え、各極性のコモン電極電位の各供給期間を複数の部分期間に分割してコモン電極に電圧を供給することが記載されている。

先行技術文献

特許文献

[0006] 特許文献1：特許第5 7 7 4 6 7 5号公報

特許文献2：特許第5 3 2 3 9 2 4号公報

発明の概要

発明が解決しようとする課題

- [0007] 特許文献1のようなスクリーンとして液晶表示装置を用いる場合、コモン電極と対向する電極（スキャン電極とも呼ばれる）の電位を任意の期間に変化させることで、透過状態と散乱状態とに変化させて、散乱状態の際に映像を表示させる。コモン反転方式の場合、スキャン電極もコモン電極の電位の反転と共に電位を反転させる必要があるので、特許文献2に記載の方法をスキャン電極にも適用することで、コモン電極だけでなくスキャン電極の変化によるコモン反転時に発生する放射ノイズを低減することは可能である。
- [0008] しかしながら、特許文献2の方法をスキャン電極にも適用すると、透過状態と散乱状態とに変化させるタイミングにおいても波形の変化が緩やかになってしまい、散乱状態への変化が遅れて映像等の表示に影響を及ぼしてしまう。
- [0009] また、スクリーンを複数分割したり、複数のスクリーンを積層したりして構成した際に、コモン電極は共通化されるが、スキャン電極は複数設けられることがある。その場合、特許文献2の方法ではスキャン電極側の回路が複雑化して回路規模が増大してしまうという問題もある。
- [0010] そこで、本発明は、上述した問題に鑑み、例えば、放射ノイズを低減するとともに、映像表示に影響を及ぼさないようにすることができる駆動装置を提供することを課題とする。

課題を解決するための手段

- [0011] 上記課題を解決するため出力インピーダンスが前記変化前後よりも大きくなる第2制御回路と、前記第1制御回路を駆動する第1ドライブ回路と前記第1制御回路との間に接続される第1時定数回路と、を備え、前記第1時定数回路と前記第2電極とが配線により接続されていることを特徴とする駆動装置である。

図面の簡単な説明

- [0012] [図1]本発明の第1の実施例にかかる駆動装置を備えた表示装置の概略構成図である。

[図2]図 1 に示されたスクリーンの模式的な断面図である。

[図3]図 1 に示された駆動装置の回路図である。

[図4]図 3 に示された回路による駆動波形のタイミングチャートである。

[図5]図 4 の A 部分と B 部分の内部動作を示したタイミングチャートである。

[図6]図 4 の A 部分の際にスキャン駆動回路に流れる電流を示した説明図である。

[図7]図 3 に示された回路と従来の回路とのシミュレーション結果の比較である。

[図8]本発明の第 2 の実施例にかかる駆動装置を備えた表示装置の概略構成図である。

[図9]図 8 に示されたスクリーンの模式的な断面図である。

[図10]図 8 に示された駆動装置の回路図である。

[図11]図 8 に示された回路による駆動波形のタイミングチャートである。

[図12]図 10 に示された回路を利用できる他のスクリーンの構成例を示した概略構成図である。

[図13]図 12 に示されたスクリーンの模式的な断面図である。

[図14]ノーマルモードのスクリーンの場合の駆動装置の回路図である。

[図15]図 14 に示された回路による駆動波形のタイミングチャートである。

[図16]タッチパネルが設けられているスクリーンの構成例を示した模式的な断面図である。

発明を実施するための形態

[0013] 以下、本発明の一実施形態にかかる駆動装置を説明する。本発明の一実施形態にかかる駆動装置は、表示部の第 1 電極に印加する電圧を制御する第 1 制御回路と、前記表示部の第 2 電極に印加する電圧を周期的に変化させるとともに、変化時の出力インピーダンスが変化前後よりも大きくなる第 2 制御回路と、前記第 1 制御回路を駆動する第 1 ドライブ回路と前記第 1 制御回路との間に電氣的に接続される第 1 時定数回路と、を備えている。そして、第 1 時定数回路と第 2 電極とが配線により接続されている。このようにするこ

とにより、第1電極をスキャン電極、第2電極をコモン電極とすれば、コモン反転方式の駆動（コモン反転駆動）により、コモン電極（第2電極）が第2制御回路により電圧が緩やかに変化するため、スキャン電極（第1電極）もコモン電極の変化の影響を受けて第1時定数回路により緩やかに変化する。また、散乱状態に変化させるタイミングでは、コモン電極は変化しないので、第1時定数回路が作用せず、スキャン電極を急峻に変化させることができる。よって、コモン反転駆動時の放射ノイズを低減するとともに、映像表示に影響を及ぼさないようにすることができる。

[0014] また、第1時定数回路と第2電極が配線により接続されているので、コモン反転時にコモン側の電圧変化時間とスキャン側の電圧変化時間を同等にすることができる。したがって、コモン反転時に、2つの電極間に電位差が生じて誤って液晶が散乱状態になることを防止することができる。

[0015] また、第1制御回路は、2つのトランジスタで構成されるプッシュプル回路であって、第1時定数回路は、トランジスタのゲートと第2電極との間に接続されたコンデンサ及び該コンデンサと第1ドライブ回路との間に接続された抵抗で構成されていてもよい。このようにすることにより、コモン反転駆動時には、コモン電極（第2電極）が変化することにより、プッシュプル回路を構成するトランジスタのゲートの入力容量が見かけ上大きくなり、トランジスタの切り替えを遅くすることができる。また、コモン電極が変化しない場合は、トランジスタのゲートの入力容量が見かけ上大きくならないので、急峻な変化をさせることができる。

[0016] また、第2制御回路を駆動する第2ドライブ回路と、該第2制御回路との間に接続される第2時定数回路と、を備えてもよい。このようにすることにより、第2時定数回路によりコモン電極を緩やかに変化させることができる。

[0017] また、第2制御回路は、2つのトランジスタで構成されるプッシュプル回路を含み、第2時定数回路は、一方側が第2電極及びトランジスタのドレイン又はソースと接続され、他方側がトランジスタのゲートに接続されたコン

デンサと、ゲートと第2ドライブ回路との間に接続された抵抗と、で構成されていてもよい。このようにすることにより、第2電極（コモン電極）側もゲートの見かけ上の容量を大きくしてトランジスタの切り替えを遅くすることができる。また、第1電極（スキャン電極）側と略同じ回路構成とすることができ、回路設計を容易にすることができる。

[0018] また、第1制御回路を複数備えるとともに、第1時定数回路も第1制御回路に対応して複数備えてもよい。このようにすることにより、1つのスクリーンを複数に分割して、それぞれ個別に散乱状態と透過状態とを変化させたり、複数のスクリーンを積層して、それぞれ個別に散乱状態と透過状態とを変化させたりすることが可能となる。また、そのような場合においても放射ノイズを低減させることができる。

[0019] また、複数の第1時定数回路は共通の配線により第2電極と接続されていてもよい。このようにすることにより、第2電極と接続する配線を少なくして、回路を簡略化することができる。

実施例 1

[0020] 本発明の第1の実施例にかかる駆動装置を備える表示装置100を図1乃至図7を参照して説明する。表示装置100は図1に示すように、スクリーン1と、コモン駆動回路2と、スキャン駆動回路3と、駆動制御回路4と、投影機5と、を備えている。

[0021] スクリーン1は、電圧の印加により光学状態を変化できるものであって、コモン反転駆動により駆動ができるものであればよい。スクリーン1の光学状態は、散乱状態が映像状態であり、それよりも入射光の散乱が小さく且つ平行光線透過率が高い透明な透過状態が非映像状態である。即ち、光に対し透過状態と散乱状態とを切り替え可能となっている。

[0022] スクリーン1は、例えば、液晶材料を用い、散乱状態と入射光の散乱が小さい透明な透過状態を変化させる調光スクリーンなどでよい。調光スクリーンには、例えば、高分子分散液晶などの液晶素子を用いたものなどがある。

[0023] 図2に、光学状態を制御可能なスクリーン1の模式的な断面図を示す。図

2に示したスクリーン1は、一对の透明なガラス板11、12の間に液晶を含む複合材料等を挟み込んだ光学層15を有する。一方のガラス板11の光学層15側には、全面にコモン電極13が形成される。他方のガラス板12の光学層15側には、全面にスキャン電極14が形成される。なお、電極13、14と光学層15との間に、絶縁体からなる中間層を形成してもよい。

[0024] また、コモン電極13およびスキャン電極14は、たとえばITO（酸化インジウム・スズ）により、透明電極として形成される。光学層15は、コモン電極13とスキャン電極14との間に配置される。

[0025] スクリーン1は、第1電極としてのスキャン電極14と第2電極としてのコモン電極13との間に電位差を生じるように電圧が印加される。光学層15内の光学状態は、コモン電極13とスキャン電極14の印加電圧により変化する。

[0026] スクリーン1は、電位差を生じるように電圧が印加された際の状態によりリバースモードとノーマルモードに分類される。リバースモードで動作するスクリーン1は、電圧を印加していない通常状態において、スクリーン1が透明な透過状態となる。電圧を印加すると、印加電圧に応じた平行光線の散乱率の散乱状態となる。ノーマルモードで動作するスクリーンでは、電圧を印加していない通常状態において、スクリーン1が散乱状態となる。電圧を印加すると、印加電圧に応じた平行光線透過率の透明な透過状態となる。そして、スクリーン1の光学状態は、所定の散乱状態が映像状態に対応し、それよりも平行光線透過率が高い透明な透過状態が非映像状態に対応する。なお、以下の説明では、リバースモードで説明する。

[0027] コモン駆動回路2は、駆動制御回路4の制御に基づいてコモン電極13に対して所定の電圧を印加する。詳細は後述する。

[0028] スキャン駆動回路3は、駆動制御回路4の制御に基づいてスキャン電極14に対して所定の電圧を印加する。詳細は後述する。

[0029] 駆動制御回路4は、投影機5の投影タイミングに合わせてスクリーン1を散乱状態に切り替えるようにコモン駆動回路2とスキャン駆動回路3とを制

御する。駆動制御回路 4 は、投影機 5 から例えば無線信号等により垂直同期信号等の画像周期信号を取得してスクリーン 1 と投影機 5 との同期制御を行う。

[0030] 投影機 5 は、スクリーン 1 が散乱状態の際に映像光を投射する。投影機 5 は、走査周期中にスクリーン 1 上で黒状態（投射光が出ない状態）を順次シフトさせる透過型あるいは反射型液晶ライトバルブなどを使用できるが、これ以外の素子を用いてもよい。また、投影機 5 は、映像の走査周期においてラスタ走査し、スクリーン 1 の表示面に映像光（画像光）を点順次で投射するものでもよい。つまり、映像光が所定の周期で間欠的に投射される。あるいは、強度変調された光ビームの照射方向を可動ミラーで反射して振るような、例えばレーザプロジェクタなどを用いることができる。

[0031] 投影機 5 は、スクリーン 1 へ映像情報（画像情報）により変調された映像光を投射できるものであればよい。なお、映像情報は、投影機 5 に入力される映像信号から得られる。映像信号には、たとえば、NTSC（National Television Standards Committee）方式、PAL（Phase Alternation by Line）方式のようなアナログ方式の映像信号、MPEG-TS（Moving Picture Experts Group — Transport Stream）フォーマット、HDV（High-Definition Video）フォーマットのようなデジタルフォーマットの映像信号がある。投影機 5 には、動画の映像信号だけでなく、たとえばJPEG（Joint Photographic Experts Group）のような静止画の映像信号が入力されてもよい。この場合、投影機 5 は、静止画を表示するための同じ映像光で、スクリーン 1 を繰り返し走査すればよい。

[0032] 図 3 に本実施例に係るコモン駆動回路 2 とスキャン駆動回路 3 との回路例を示す。コモン駆動回路 2 とスキャン駆動回路 3 とで本実施例に係る駆動装置 10 を構成する。コモン駆動回路 2 は、FET 21、22 と、抵抗 23、24 と、コンデンサ 25、26 と、ゲートドライバ 27 と、を備えている。

[0033] FET 21 は、PチャネルFET（Field Effect Transistor）であり、ソースが電源V_bに接続され、ドレインがFET 22 のドレインとコンデンサ

26の一方側とコンデンサ25の他方側と液晶素子（スクリーン1）のコモン電極13及びスキャン駆動回路3のコンデンサ36の一方側とコンデンサ35の他方側に接続され、ゲートが抵抗23の一方側及びコンデンサ25の一方側に接続されている。

[0034] FET22は、NチャネルFETであり、ソースが接地され、ドレインがFET21のドレインとコンデンサ26の一方側とコンデンサ25の他方側と液晶素子のコモン電極13及びスキャン駆動回路3のコンデンサ36の一方側とコンデンサ35の他方側に接続され、ゲートが抵抗24の一方側及びコンデンサ26の他方側に接続されている。

[0035] 抵抗23は、一方側がFET21のゲート及びコンデンサ25の一方側に接続され、他方側がゲートドライバ27に接続されている。

[0036] 抵抗24は、一方側がFET22のゲート及びコンデンサ26の他方側に接続され、他方側がゲートドライバ27に接続されている。

[0037] コンデンサ25は、一方側がFET21のゲート及び抵抗23の一方側に接続され、他方側がコンデンサ26の一方側とFET21のドレインとFET22のドレイン及びスキャン駆動回路3のコンデンサ36の一方側とコンデンサ35の他方側に接続されている。

[0038] コンデンサ26は、一方側がコンデンサ25の他方側とFET21のドレインとFET22のドレイン及びスキャン駆動回路3のコンデンサ36の一方側とコンデンサ35の他方側に接続され、他方側がFET22のゲート及び抵抗23の一方側に接続されている。

[0039] ゲートドライバ27は、駆動制御回路4の制御によりコモン電極13に対する駆動信号を出力するドライバ回路である。

[0040] 上記の説明から明らかなように、FET21とFET22とは2つのトランジスタで構成されるプッシュプル回路であり、第2制御回路として機能する。また、ゲートドライバ27が、第2制御回路を駆動する第2ドライブ回路として機能し、抵抗23とコンデンサ25から構成される時定数回路と、抵抗24とコンデンサ26から構成される時定数回路と、が第2時定数回路

として機能する。

[0041] スキャン駆動回路3は、FET31、32と、抵抗33、34と、コンデンサ35、36と、ゲートドライバ37と、を備えている。

[0042] FET31は、PチャネルFETであり、ソースが電源Vbに接続され、ドレインがFET32のドレインと液晶素子のスキャン電極14に接続され、ゲートが抵抗33の一方側及びコンデンサ35の一方側に接続されている。

[0043] FET32は、NチャネルFETであり、ソースが接地され、ドレインがFET31のドレインと液晶素子のスキャン電極14に接続され、ゲートが抵抗34の一方側及びコンデンサ36の他方側に接続されている。

[0044] 抵抗33は、一方側がFET31のゲート及びコンデンサ35の一方側に接続され、他方側がゲートドライバ37に接続されている。

[0045] 抵抗34は、一方側がFET32のゲート及びコンデンサ36の他方側に接続され、他方側がゲートドライバ37に接続されている。

[0046] コンデンサ35は、一方側がFET31のゲート及び抵抗33の一方側に接続され、他方側がコンデンサ36の一方側とコモン電極13に接続されている。つまり、コンデンサ35は、コモン駆動回路2のFET21のドレイン、FET22のドレイン、コンデンサ25の他方側、コンデンサ26の一方側とも接続されている。

[0047] コンデンサ36は、一方側がコンデンサ35の他方側とコモン電極13に接続され、他方側がFET32のゲート及び抵抗34の一方側に接続されている。つまり、コンデンサ36は、コモン駆動回路2のFET21のドレイン、FET22のドレイン、コンデンサ25の他方側、コンデンサ26の一方側とも接続されている。

[0048] ゲートドライバ37は、駆動制御回路4の制御によりスキャン電極14に対する駆動信号を出力するドライバ回路である。

[0049] 上記の説明から明らかなように、FET31とFET32とは2つのトランジスタで構成されるプッシュプル回路であり、第1制御回路として機能す

る。また、ゲートドライバ37が、第1制御回路を駆動する第1ドライブ回路として機能し、抵抗33とコンデンサ35から構成される時定数回路と、抵抗34とコンデンサ36から構成される時定数回路と、が第1時定数回路として機能する。また、第1時定数回路とコモン電極13とが配線により直接接続されている。

[0050] 図3に示したコモン駆動回路2とスキャン駆動回路3との動作を図4乃至図6を参照して説明する。図4は、図3に示したコモン電極13とスキャン電極14との駆動波形を示すタイミングチャートである。

[0051] コモン電極13は、図4に示したようにコモン反転駆動により、例えば1フレーム毎等の一定周期毎に例えばVbボルトと0ボルトとに変化する。スキャン電極14は、散乱状態にするタイミングでコモン電極13と電位差が生じるようにパルス状の電圧を印加する。

[0052] ここで、図4のA部分とB部分についてコモン駆動回路2とスキャン駆動回路3との動作を説明する。図4のA部分におけるコモン駆動回路2とスキャン駆動回路3の内部動作のタイミングチャートを図5(a)に示し、図4のB部分におけるコモン駆動回路2とスキャン駆動回路3の内部動作のタイミングチャートを図5(b)に示す。

[0053] まず、図4のA部分の動作について図5(a)を参照して説明する。まず、コモン駆動回路2側から説明する。コモン駆動回路2では、FET22をオンすべく、ゲートドライバ27が出力するコモンLoゲート信号(FET22のゲート制御信号)がHiレベルになる。すると、FET22のゲート容量をチャージする抵抗24、FET22のゲート、ソースの方向に電流が流れる。しかし、FET22のゲート電圧が閾値電圧を越えると徐々にFET22のドレイン電圧=コモン電極13の電位が徐々に下がり始め、コンデンサ26をチャージする電流が増える。すなわちコンデンサ26の見かけ上の容量が大きくなりゲート容量のチャージ電流が減りFET22のオンが遅くなる(FET22 VGS、VGSはゲートソース間電圧)。よってコモン電極13の電圧変化が遅くなる(dV/dt が低くなる)。即ち、コモン駆

動回路 2 は、コモン電圧変化時の出力インピーダンスが変化前後よりも大きくなる。

[0054] 次に、スキャン駆動回路 3 側を説明する。スキャン駆動回路 3 では、ゲートドライバ 27 が出力するコモン L o ゲート信号が H i レベルになると同時にゲートドライバ 37 が出力するスキャン L o ゲート信号も H i レベルになる。このとき、F E T 32 のゲート容量に流れる電流（図 6（1）を参照）が流れ F E T 32 をオンしようとするが、スキャン L o ゲート信号が H i レベルになると同時にコモン電極 13 が立下がるため、コンデンサ 36 を通してコモン電極 13 に流れる電流（図 6（2）を参照）が増大する。つまり、コンデンサ 36 の見かけ上の容量が大きくなるということであり、これによって F E T 32 のゲート容量に流れる電流が減り F E T 32 のオンが遅くなる（F E T 32 V G S）。よってスキャン電極 14 の電圧変化も遅くなる。したがって、図 4 や図 5 に示したように、コモン電極 13、スキャン電極 14 とともに電圧の変化が緩やかになる（ dV/dt が低くなる）。

[0055] 次に、図 4 の B 部分の動作について図 5（b）を参照して説明する。図 4 の B 部分においてはコモン電極 13 の電圧は一定である。そのため、コンデンサ 36 を通してコモン電極 13 に流れる電流の増大がないため F E T 32 のゲート容量チャージが高速で行われ、スキャン電極 14 の電圧変化は速い。つまり、スキャン電極 14 の電圧の変化が急峻になる。

[0056] なお、図 4 乃至図 6 では、立下り変化時について説明したが、立上がり変化時においても、コモン駆動回路 2 側が F E T 21、コンデンサ 25、抵抗 23 が動作し、スキャン駆動回路 3 側が F E T 31、コンデンサ 35、抵抗 33 が動作するのであって、基本的な作用は上記説明と同様である。つまり、コモン電極 13 の電圧が変化する場合は、コモン電極 13、スキャン電極 14 とともに緩やかに変化し、スキャン電極 14 のみ変化する場合は急峻に変化する。

[0057] 図 7 に図 3 に示した回路と従来の回路とによるシミュレーション結果を示す。図 7 の対策なしは従来のコンデンサや抵抗による時定数回路が無い回路

のシミュレーション結果、対策有りは図3に示した回路のシミュレーション結果である。また、図7の容量結合ノイズはコモン電圧、スキャン電圧の変化に対応したノイズの波形、容量結合ノイズ（FFT）はコモン電極13の波形1周期期間における容量結合ノイズの波形をFFT（Fast Fourier Transform）により周波数解析した結果である。

[0058] 図7によれば、対策なしの場合は、コモン電極13とスキャン電極14とが同時に変化するタイミングで大きなレベルの容量結合ノイズが発生しているが、対策有りの場合は、コモン電極13とスキャン電極14とが同時に変化するタイミングで容量結合ノイズが抑えられていることが明らかとなった。

[0059] 本実施例によれば、スクリーン1のスキャン電極14に印加する電圧を制御するスキャン駆動回路3と、スクリーン1のコモン電極13に印加する電圧を周期的に変化させるとともに、変化時の出力インピーダンスが変化前後よりも大きくなるコモン駆動回路2と、を備えている。そして、スキャン駆動回路3は、2つのFETのドレイン同士が接続されたプッシュプル回路を備え、更にプッシュプル回路を駆動するゲートドライバ37とプッシュプル回路とゲートドライバ37との間に接続されるコンデンサ35と抵抗33からなる時定数回路と、コンデンサ36と抵抗34からなる時定数回路と、を備えている。そして、コンデンサ35と抵抗33からなる時定数回路と、コンデンサ36と抵抗34からなる時定数回路と、は、コモン電極13と配線により直接接続されている。このようにすることにより、コモン反転駆動により、コモン電極13がコモン駆動回路2により緩やかに変化する際には、コモン電極13の変化の影響を受けて時定数回路によりスキャン電極14が緩やかに変化する。また、散乱状態に変化させるタイミングでは、コモン電極13は変化しないので、時定数回路が作用せず、スキャン電極14を急峻に変化させることができる。よって、コモン反転駆動時に放射ノイズを低減するとともに、映像表示に影響を及ぼさないようにすることができる。

[0060] また、コンデンサ35と抵抗33からなる時定数回路と、コンデンサ36

と抵抗34からなる時定数回路と、がコモン電極13と直接接続されているので、コモン反転時にコモン側の電圧変化時間 (dV/dt) とスキャン側の電圧変化時間 (dV/dt) を同等にすることができる。したがって、コモン反転時に、2つの電極間に電位差が生じて誤って液晶が散乱状態になることを防止することができる。

[0061] また、時定数回路は、FETのゲートとコモン電極との間に接続されたコンデンサ35、36及びコンデンサ35とゲートドライバ37との間に接続された抵抗33とコンデンサ36とゲートドライバ37との間に接続された抵抗34とで構成されている。このようにすることにより、コモン反転駆動時には、コモン電極13が変化することにより、プッシュプル回路を構成するFETのゲートの入力容量が見かけ上大きくなり、FETの切り替えを遅くすることができる。また、コモン電極13が変化しない場合は、FETのゲートの入力容量が見かけ上大きくならないので、急峻な変化をさせることができる。

[0062] また、コモン駆動回路2は、2つのFETのドレイン同士が接続されたプッシュプル回路を含み、ゲートドライバ27と、プッシュプル回路とゲートドライバ27との間に接続されるコンデンサ25と抵抗23からなる時定数回路と、コンデンサ26と抵抗24からなる時定数回路と、を備えている。そして、時定数回路は、FETのゲートとドレイン間に接続されたコンデンサ25、26及びコンデンサ25とゲートドライバ27との間に接続された抵抗23とコンデンサ26とゲートドライバ27との間に接続された抵抗24とで構成されている。このようにすることにより、第2時定数回路によりコモン電極13を緩やかに変化させることができ、さらに、コモン電極13側もスキャン電極14側と略同じ回路構成とすることができ、回路設計を容易にすることができる。

実施例 2

[0063] 本発明の第2の実施例にかかる表示装置を図8乃至図13を参照して説明する。なお、前述した第1の実施例と同一部分には、同一符号を付して説明

を省略する。

[0064] 本実施例は、図8及び図9に示したように、スクリーンが複数の領域に分割されたスクリーン1Aとなっている点異なる。したがって、スキャン駆動回路3Aは、第1スキャン駆動回路301～第nスキャン駆動回路30n（nは分割数）のn個を有しており、コモン駆動回路2とスキャン駆動回路3Aとで本実施例にかかる駆動装置10Aを構成する。

[0065] スクリーン1Aは、図9に示したように、コモン電極13は第1の実施例と同様に全面に形成されているが、スキャン電極14が複数に分割されており、各分割されたスキャン電極に第1スキャン駆動回路301～第nスキャン駆動回路30nが接続されている。

[0066] 図10に本実施例にかかるコモン駆動回路2とスキャン駆動回路3Aの回路図を示す。図10は、スクリーン1Aが4分割の場合の例である。

[0067] 第1スキャン駆動回路301は、FET31a、32aと、抵抗33a、34aと、コンデンサ35a、36aと、ゲートドライバ37aと、を備えている。第2スキャン駆動回路302は、FET31b、32bと、抵抗33b、34bと、コンデンサ35b、36bと、ゲートドライバ37bと、を備えている。第3スキャン駆動回路303は、FET31c、32cと、抵抗33c、34cと、コンデンサ35c、36cと、ゲートドライバ37cと、を備えている。第4スキャン駆動回路304は、FET31d、32dと、抵抗33d、34dと、コンデンサ35d、36dと、ゲートドライバ37dと、を備えている。これらのスキャン駆動回路の回路構成は第1の実施例と同じである。即ち、第1制御回路を複数備えとともに、第1時定数回路も第1制御回路に対応して複数備えている。

[0068] 図10に示したように、各スキャン駆動回路のFETのドレインは対応する領域のスキャン電極に接続されている。また、コンデンサ35aの他端側とコンデンサ36aの一端側は、コモン電極13と接続されている。コンデンサ35bの他端側とコンデンサ36bの一端側、コンデンサ35bの他端側とコンデンサ36bの一端側、コンデンサ35bの他端側とコンデンサ3

6 bの一端側も同様にコモン電極13と接続されている。このコモン電極13と各スキャン駆動回路とを接続する配線は共通の配線となっている。

[0069] 図11に本実施例にかかるコモン駆動回路2及びスキャン駆動回路3Aの動作のタイミングチャートを示す。本実施例のようにスクリーン1Aを構成することで、各分割領域毎に散乱状態と透過状態とを切り替えることができる。また、図11に示したように、第1スキャン電極、第2スキャン電極、第3スキャン電極の各電極に印加する電圧波形をずらすことで、スクリーン1Aについての映像光が照射される部位は、映像状態に維持される。これにより、スクリーン1Aを走査する映像光は、散乱状態のスクリーン1Aで散乱される。一方、スクリーン1Aについての映像光が照射されない部位は、非映像状態に制御される。各分割領域は、映像光により走査されていない殆どの期間において、非映像状態の透明な透過状態に制御される。よって、映像光の投影期間中に、映像の視認性を保ちつつ、スクリーン1Aのシースルー特性が得られる。

[0070] なお、図8等では1つのスクリーンが複数の領域に分割される例を説明したが、図12及び図13に示したように、複数のスクリーンを積層したものであってもよい。図12に示したスクリーン1Bは、図13に示したように、3つのスクリーンが積層されている。

[0071] スクリーン1Bは、コモン電極13aとスキャン電極14aとの間に光学層15aを有する第1スクリーンと、コモン電極13bとスキャン電極14bとの間に光学層15bを有する第2スクリーンと、コモン電極13cとスキャン電極14cとの間に光学層15cを有する第3スクリーンと、が形成されている。そして、第1スクリーンは透明なガラス板12と透明なガラス板16に挟まれ、第2スクリーンはガラス板16と透明なガラス板17に挟まれ、第3スクリーンはガラス板17と透明なガラス板11に挟まれている。つまり、スクリーン1Bは、ガラス板11と12の間に3つのスクリーンが形成され、各スクリーンはガラス板16、17で間隔を空けて配置されている。

[0072] 図12におけるスキャン駆動回路3Aは、図8と同様に第1スキャン駆動回路301～第3スキャン駆動回路303（図12の場合はスクリーン1Bが3層のため3つとなる）が各スクリーンのスキャン電極に接続されている。回路構成は図10と同様である（但し、スキャン駆動回路は3つとなる）。

[0073] 図12及び図13に示した構成の場合も、スクリーン毎に散乱状態と透過状態とを切り替えることができる。そして、図11のような駆動波形で動作させることで、映像光が照射される一つのスクリーンについてのみ映像状態に維持され、他のスクリーンは映像光を透過する非映像情報に制御される。よって、散乱状態にするスクリーンを順次切り替えることを繰り返すことで、奥行きを持たせる立体的な表示が可能となる。

[0074] 本実施例によれば、複数のスキャン駆動回路を備えており、各スキャン駆動回路は、プッシュプル回路に対応した時定数回路が設けられている。このようにすることにより、1つのスクリーンを複数に分割して、それぞれ個別に散乱状態と透過状態とを変化させたり、複数のスクリーンを積層して、それぞれ個別に散乱状態と透過状態とを変化させたりすることが可能となる。また、そのような場合においても放射ノイズを低減させることができる。

[0075] なお、上述した実施例では、リバーモードの液晶スクリーンで説明したが、ノーマルモードであってもよい。ノーマルモードの場合の回路図を図14に示す。図14においては、スキャン駆動回路3のFETのチャンネルが変更になっている。つまり、PチャンネルFETであったFET31はNチャンネルFET31Nに、NチャンネルFETであったFET32はPチャンネルFET32Nとなる。そして、FET31Nは、ドレインが電源Vbに接続され、ソースがFET32Nのソースに接続される。FET32Nは、ドレインが接地され、ソースがFET31Nのソースに接続される。

[0076] 図15に、図14の回路における駆動波形例を示す。ノーマルモードの場合、コモン電極13とスキャン電極14との間に電位差が無いときに散乱状態となるので、散乱状態にするタイミングで図15に示したようなパルス状

の波形をスキャン電極 14 に印加する。

[0077] また、上述した実施例で説明したスクリーンにタッチパネルを設ける場合は、コモン電極 13 側に設けるのが好ましい。図 16 は、コモン電極 13 側にタッチパネル 18 を設けた例である。コモン電極は、上述したように、常に駆動波形が緩やかに変化するので、放射ノイズが少なく、タッチパネル 18 がノイズの影響を受けにくい。スキャン電極 14 は、コモン反転時の駆動波形は緩やかに変化するものの、スクリーンを散乱状態に変化させる際には急峻に変化するので、放射ノイズが発生する場合がある。よって、コモン電極 13 側に設けるのが好ましい。

[0078] また、上述した実施例では、コンデンサを独立した素子として説明したが、トランジスタの寄生容量を利用してもよい。更には、コモン駆動回路 2 は、図示したようなコンデンサと抵抗からなる時定数回路ではなく、特許文献 2 に記載されているような構成であってもよい。要するに、コモン電極 13 を緩やかに変化させるような構成であればよい。

[0079] また、本発明は上記実施例に限定されるものではない。即ち、当業者は、従来公知の知見に従い、本発明の骨子を逸脱しない範囲で種々変形して実施することができる。かかる変形によってもなお本発明の駆動装置の構成を具備する限り、勿論、本発明の範疇に含まれるものである。

符号の説明

[0080]	1、1 A、1 B	スクリーン
	2	コモン駆動回路
	3、3 A	スキャン駆動回路
	10、10 A	駆動装置
	13	コモン電極
	13 a、13 b、13 c	コモン電極
	14	スキャン電極
	14 a、14 b、14 c	スキャン電極
	21、22	FET

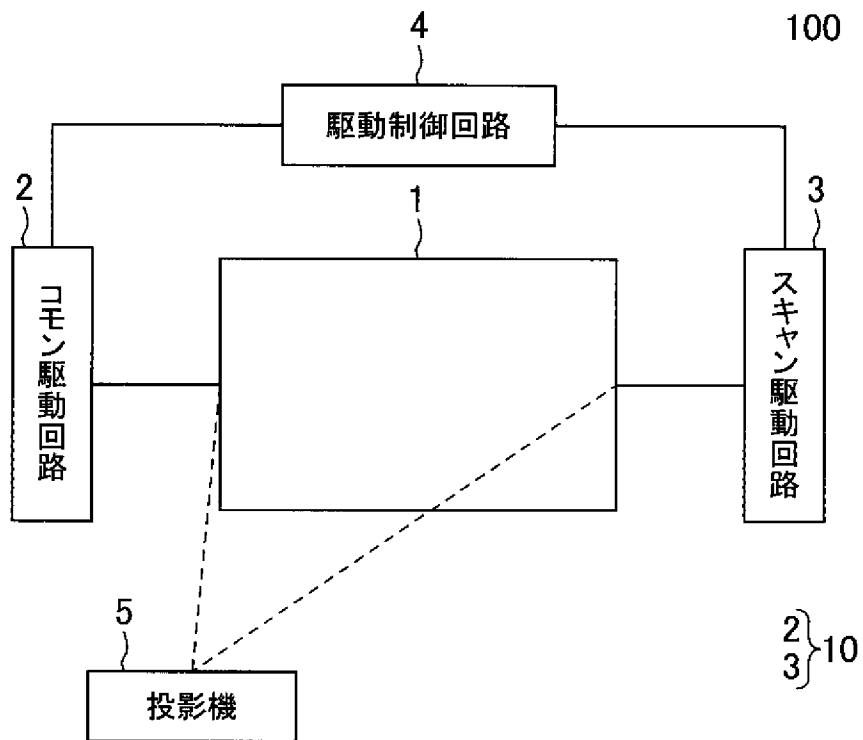
23、24	抵抗
25、26	コンデンサ
27	ゲートドライバ
31、32	FET
31N、32N	FET
33、34	抵抗
35、36	コンデンサ
37	ゲートドライバ

請求の範囲

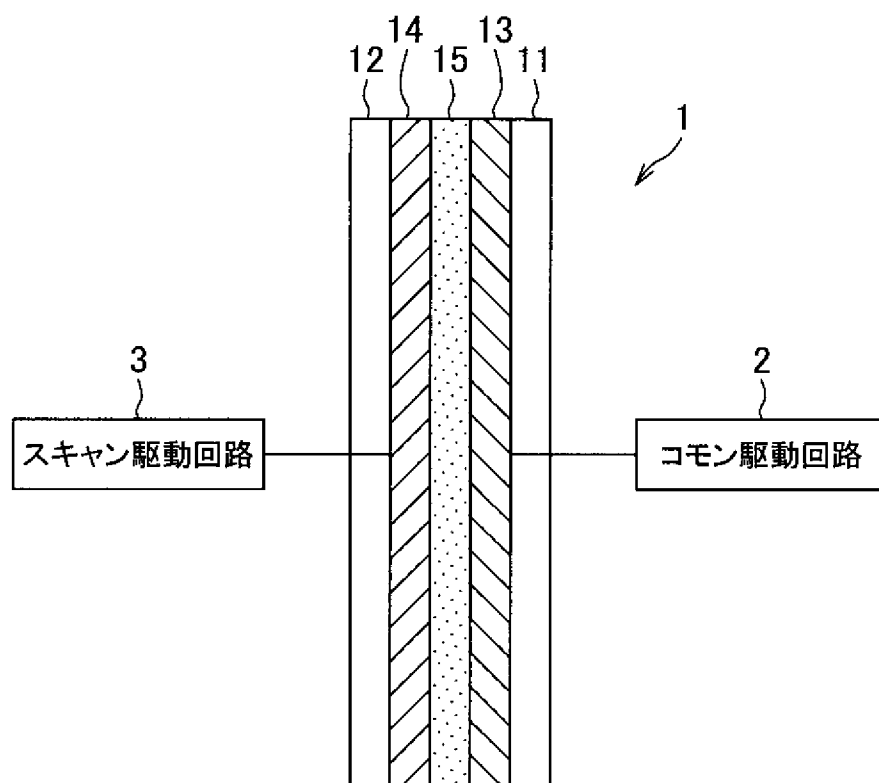
- [請求項1] 表示部の第1電極に印加する電圧を制御する第1制御回路と、
 前記表示部の第2電極に印加する電圧を周期的に変化させるとともに、前記変化時の出力インピーダンスが前記変化前後よりも大きくなる第2制御回路と、
 前記第1制御回路を駆動する第1ドライブ回路と前記第1制御回路との間に接続される第1時定数回路と、を備え、
 前記第1時定数回路と前記第2電極とが配線により接続されていることを特徴とする駆動装置。
- [請求項2] 前記第1制御回路は、2つのトランジスタで構成されるプッシュプル回路であって、
 前記第1時定数回路は、前記トランジスタのゲートと前記第2電極との間に接続されたコンデンサ及び該コンデンサと前記第1ドライブ回路との間に接続された抵抗で構成されている、
 ことを特徴とする請求項1に記載の駆動装置。
- [請求項3] 前記第2制御回路を駆動する第2ドライブ回路と、該第2制御回路と前記第2ドライブ回路との間に接続される第2時定数回路と、を備えることを特徴とする請求項1または2に記載の駆動装置。
- [請求項4] 前記第2制御回路は、2つのトランジスタで構成されるプッシュプル回路を含み、
 前記第2時定数回路は、一方側が前記第2電極及び前記トランジスタのドレイン又はソースと接続され、他方側が前記トランジスタのゲートに接続されたコンデンサと、前記ゲートと前記第2ドライブ回路との間に接続された抵抗と、で構成されている、
 ことを特徴とする請求項3に記載の駆動装置。
- [請求項5] 前記第1制御回路を複数備えるとともに、前記第1時定数回路も前記第1制御回路に対応して複数備えていることを特徴とする請求項1乃至4のうちいずれか一項に記載の駆動装置。

[請求項6] 複数の前記第1時定数回路は共通の配線により前記第2電極と接続されていることを特徴とする請求項5に記載の駆動装置。

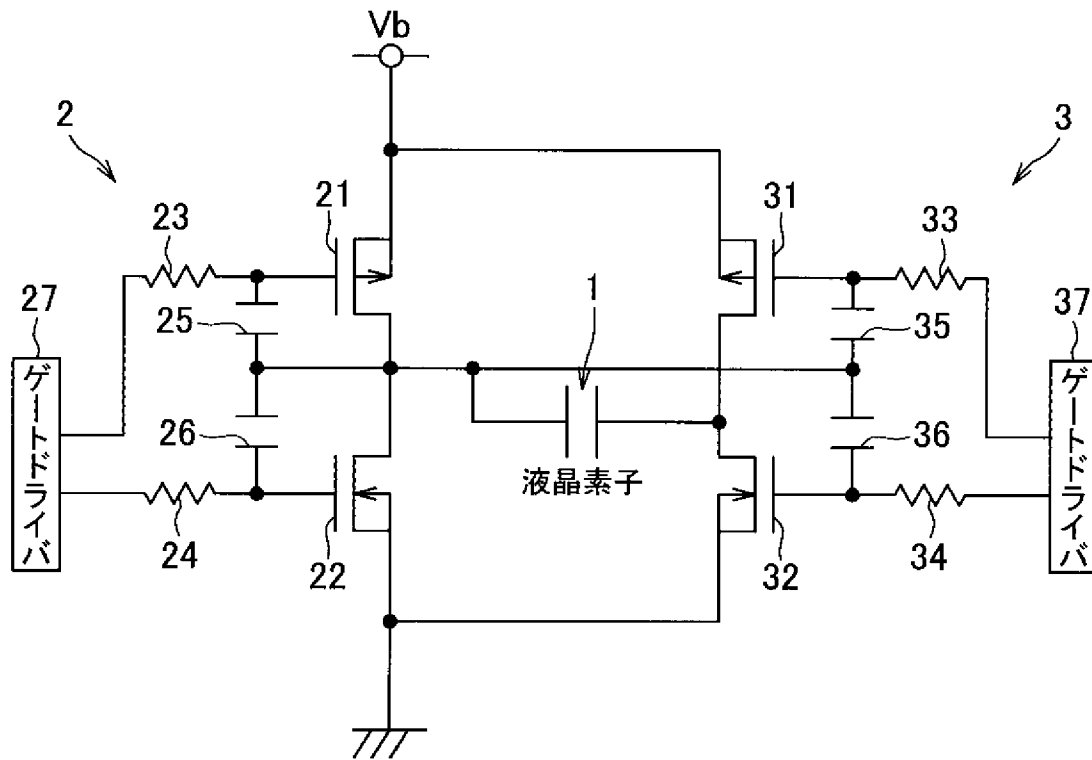
[図1]



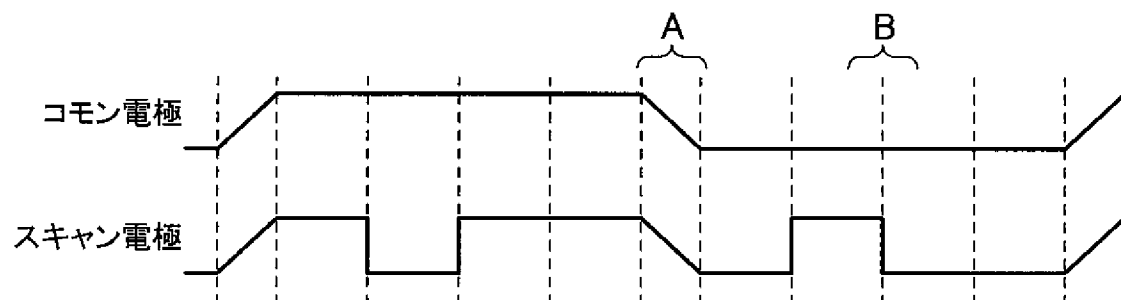
[図2]



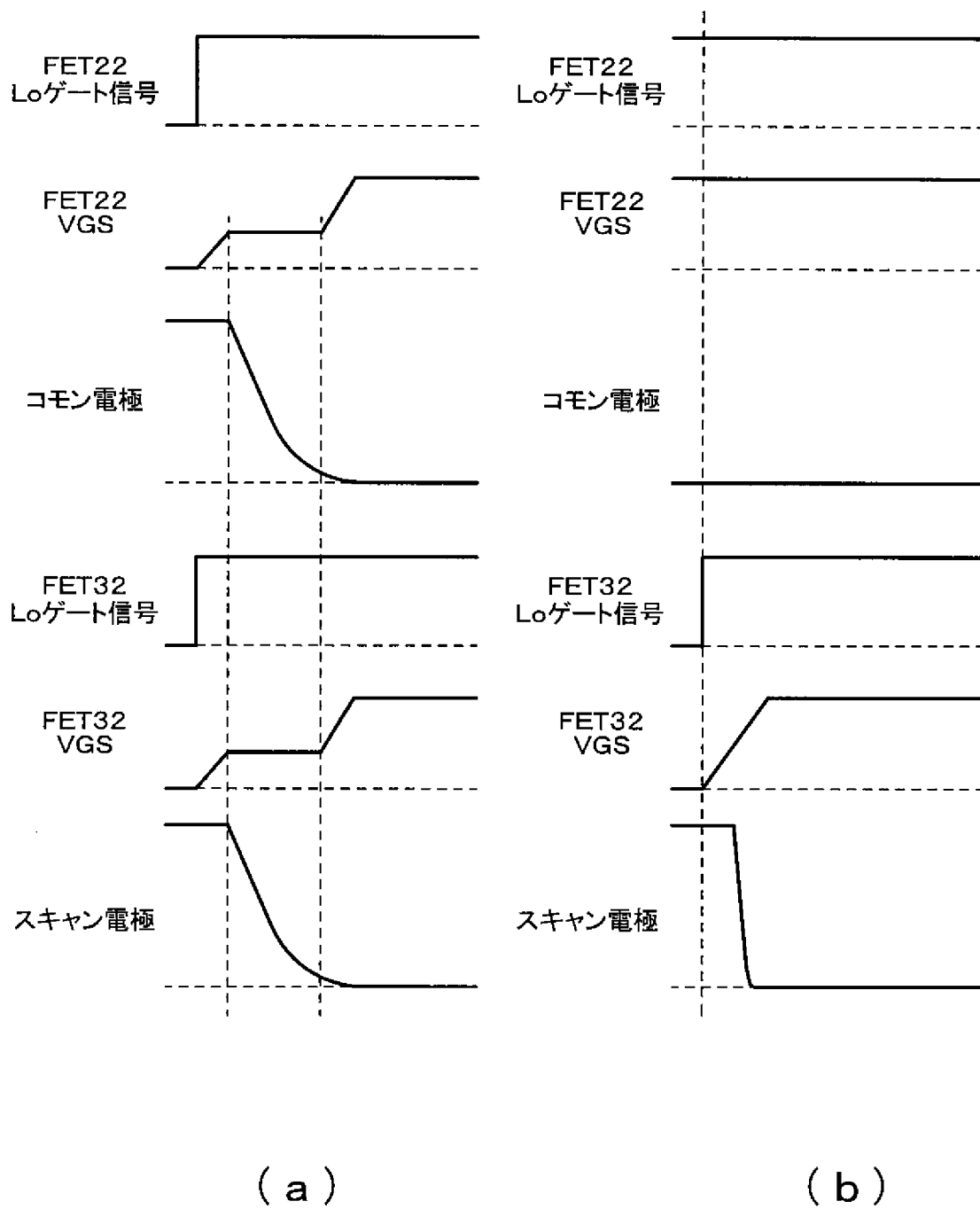
[図3]



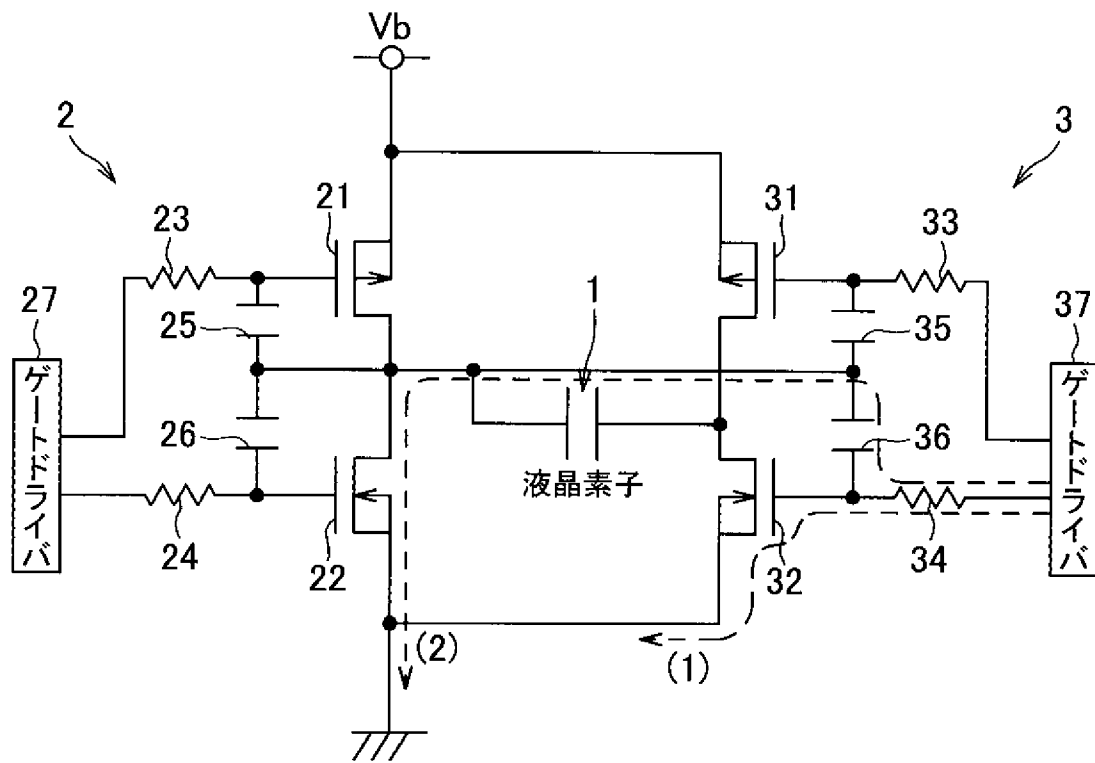
[図4]



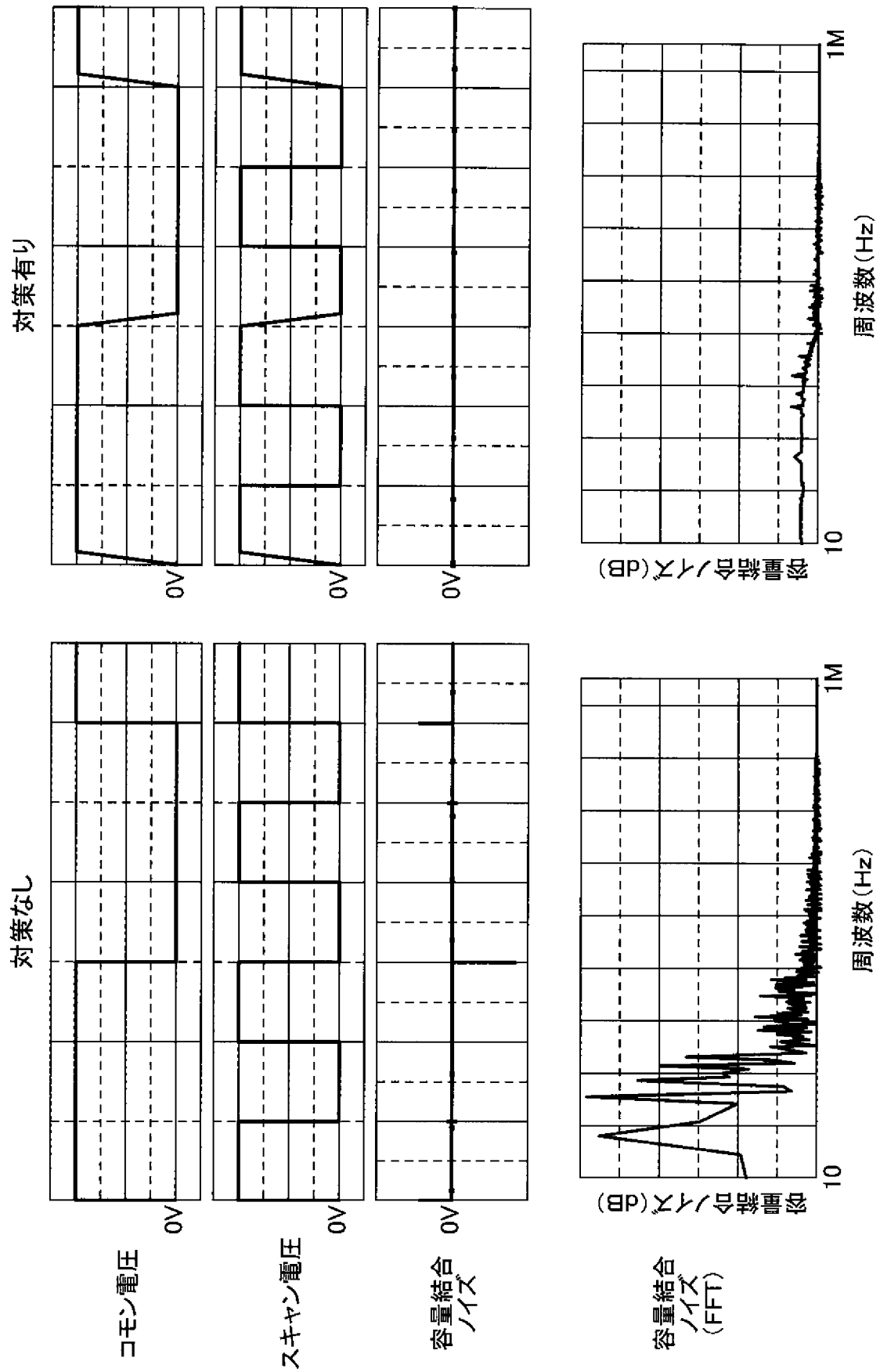
[図5]



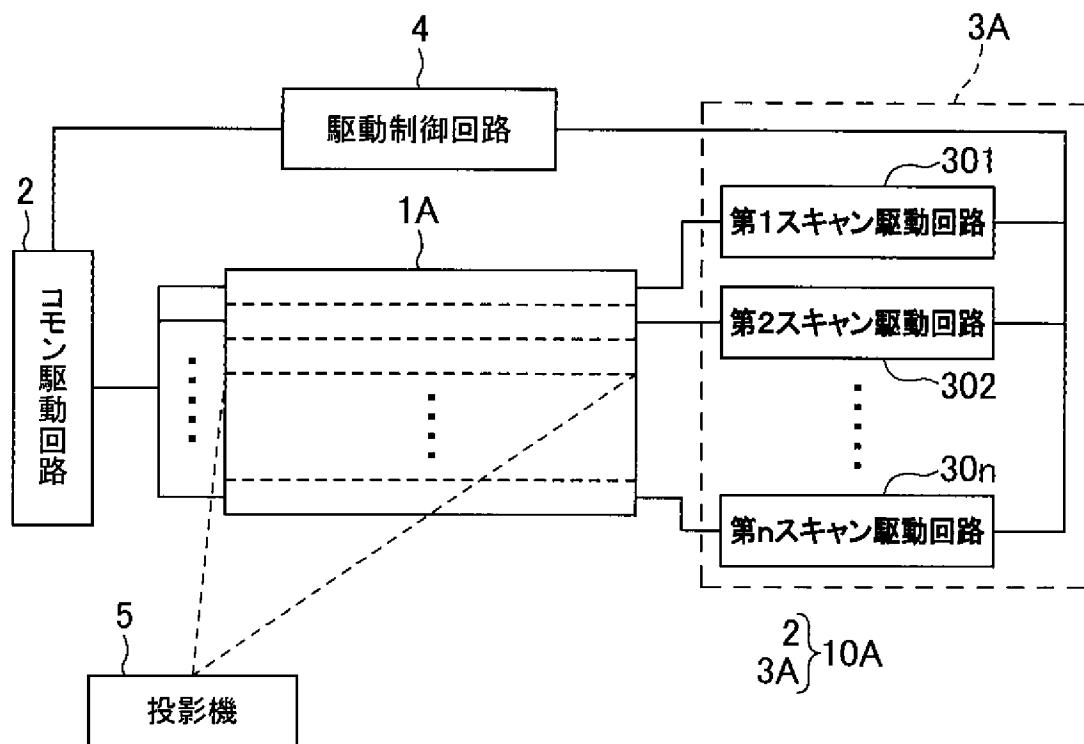
[図6]



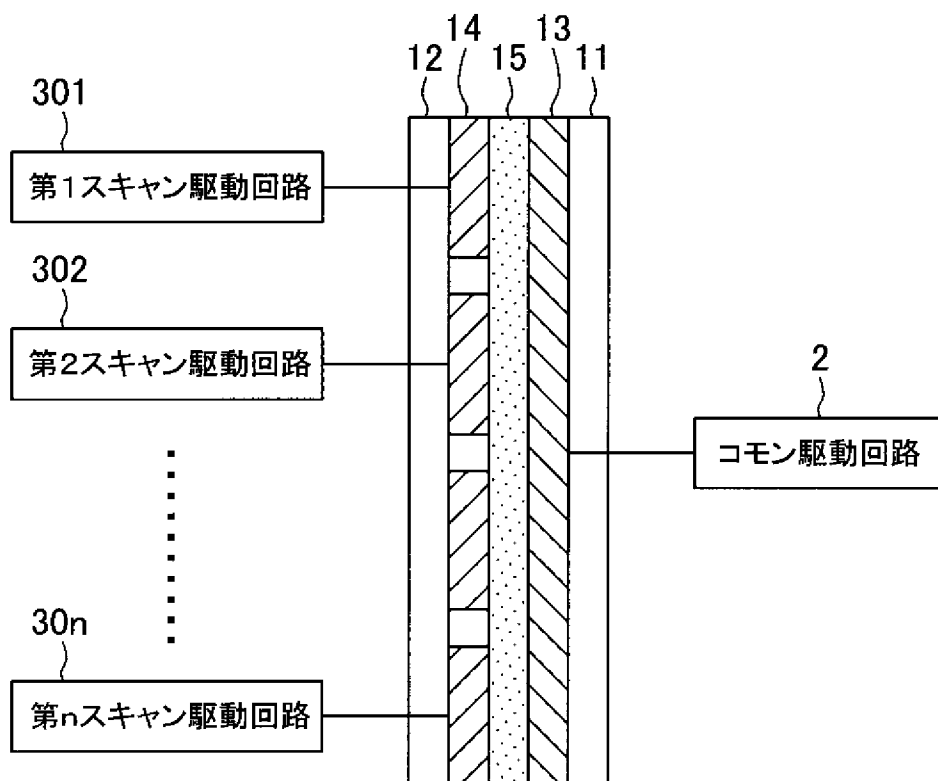
[図7]



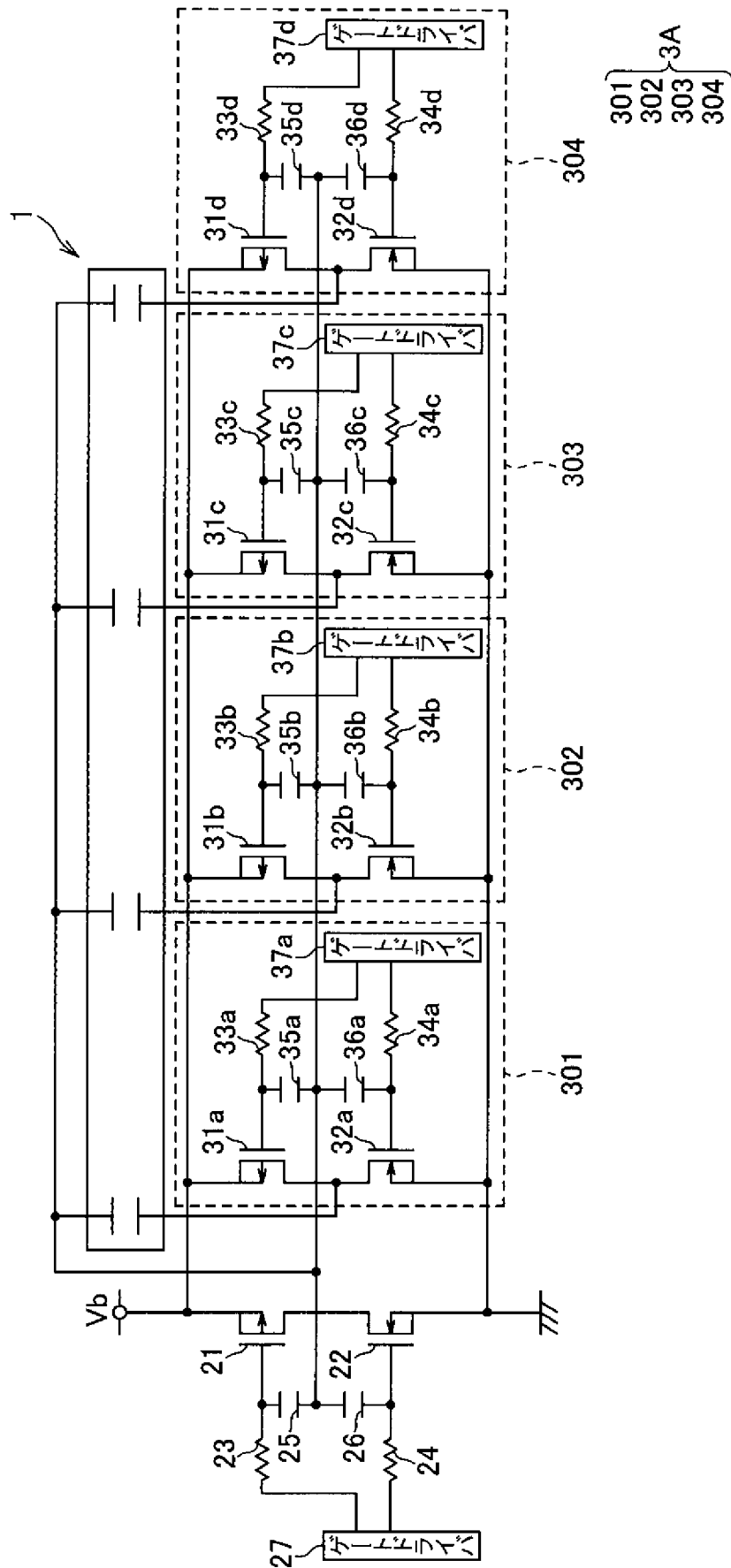
[図8]



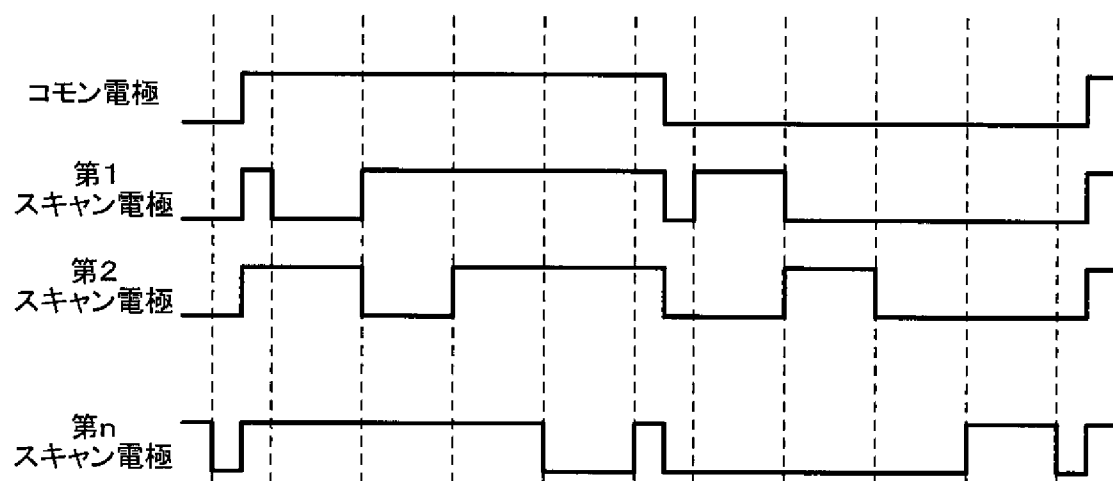
[図9]



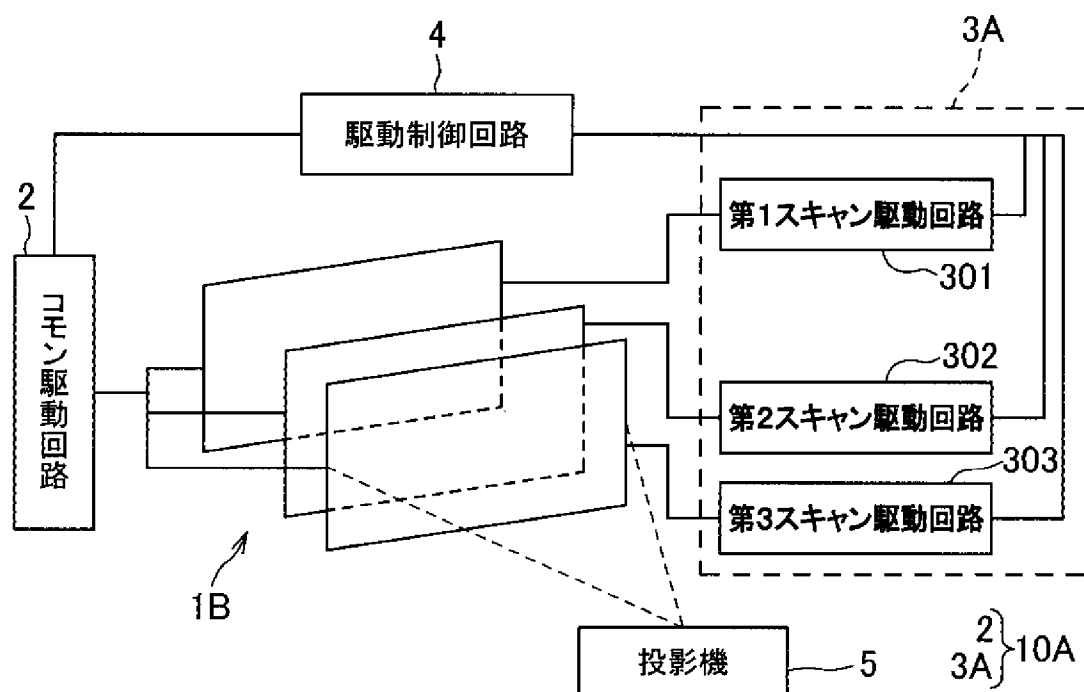
[図10]



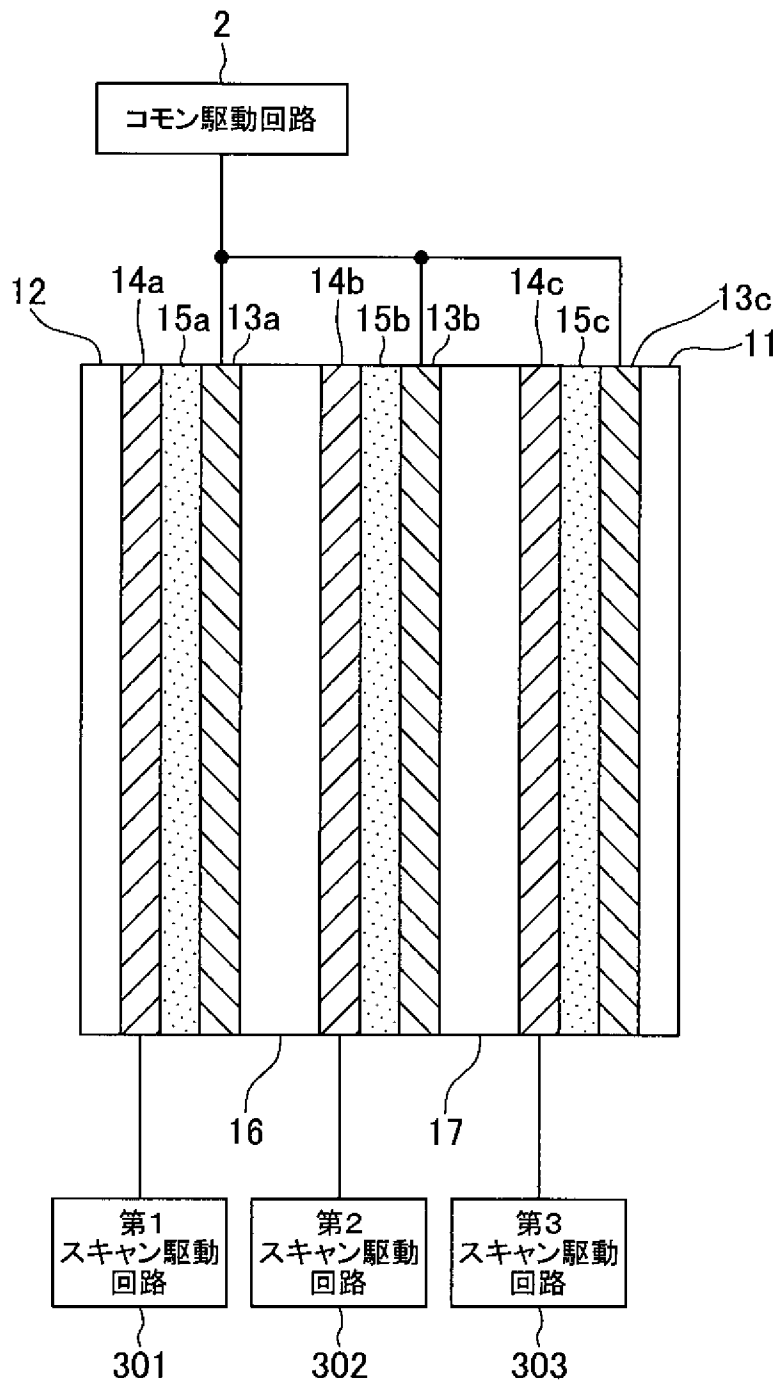
[図11]



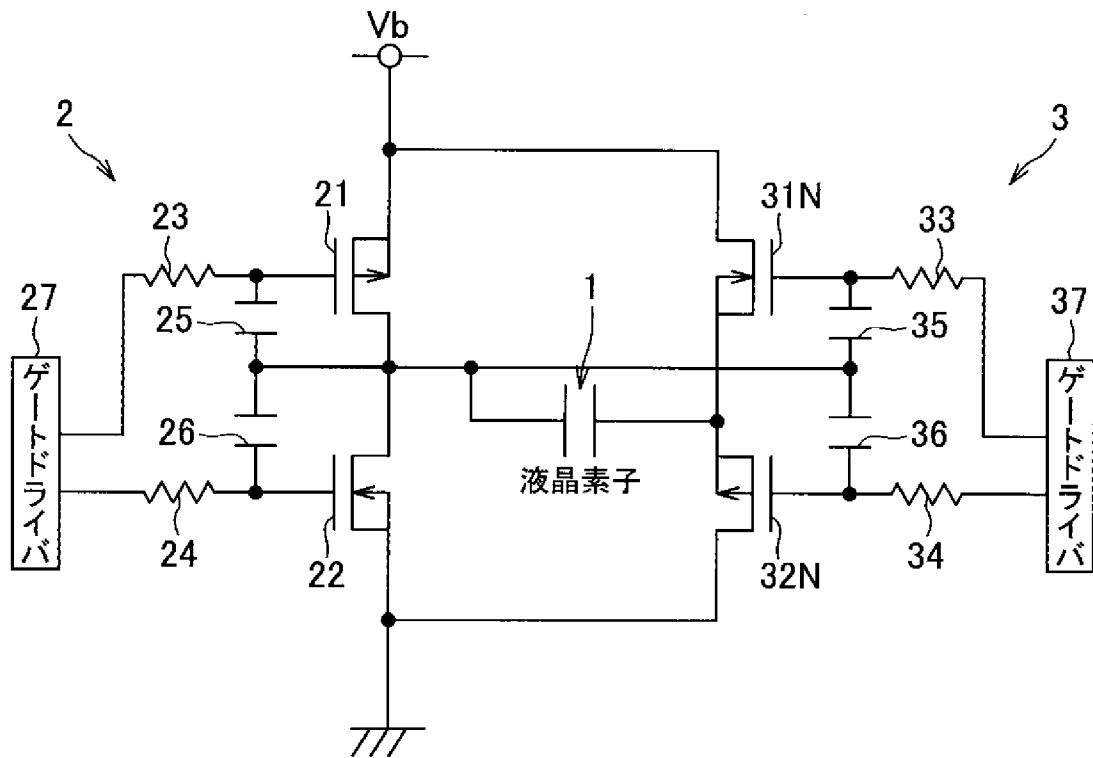
[図12]



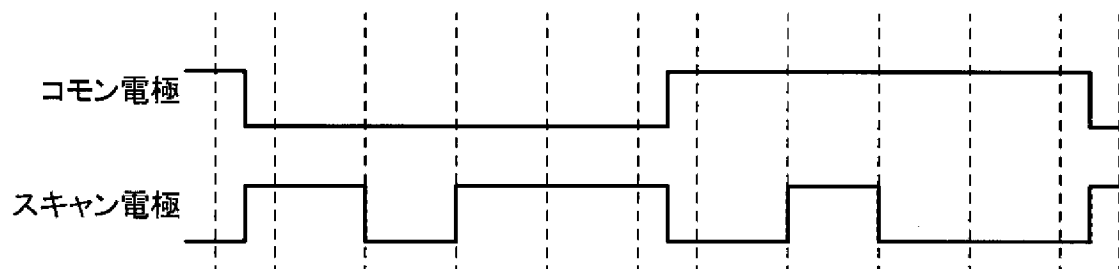
[図13]



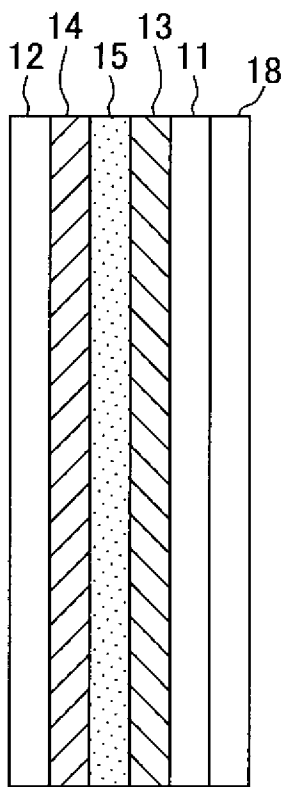
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/057076

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/133(2006.01)i, G02F1/13(2006.01)i, G03B21/62(2014.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/133, G02F1/13, G03B21/62, G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2015/132908 A1 (Pioneer Corp.), 11 September 2015 (11.09.2015), entire text; all drawings (Family: none)	1-6
A	WO 2015/045067 A1 (Pioneer Corp.), 02 April 2015 (02.04.2015), entire text; all drawings (Family: none)	1-6
A	JP 10-239662 A (Toshiba Corp.), 11 September 1998 (11.09.1998), entire text; all drawings (Family: none)	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 May 2016 (13.05.16)

Date of mailing of the international search report
24 May 2016 (24.05.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G02F1/133(2006.01)i, G02F1/13(2006.01)i, G03B21/62(2014.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G02F1/133, G02F1/13, G03B21/62, G09G3/20, G09G3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2015/132908 A1 (パイオニア株式会社) 2015.09.11, 全文全図 (ファミリーなし)	1-6
A	WO 2015/045067 A1 (パイオニア株式会社) 2015.04.02, 全文全図 (ファミリーなし)	1-6
A	JP 10-239662 A (株式会社東芝) 1998.09.11, 全文全図 (ファミリーなし)	1-6

❏ C欄の続きにも文献が列挙されている。

❏ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

13.05.2016

国際調査報告の発送日

24.05.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴木 俊光

2 L

9115

電話番号 03-3581-1101 内線 3295