

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2013年8月22日(22.08.2013)



(10) 国際公開番号  
WO 2013/121491 A1

- (51) 国際特許分類:  
H01L 25/07 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2012/007864
- (22) 国際出願日: 2012年12月10日(10.12.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2012-027895 2012年2月13日(13.02.2012) JP
- (71) 出願人: パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者: 南尾 匡紀 (MINAMIO, Masanori). 田中 淳也 (TANAKA, Zyunya).
- (74) 代理人: 特許業務法人森本国際特許事務所 (MORIMOTO INT'L PATENT OFFICE); 〒5500005 大阪府大阪市西区西本町1丁目4番1号オリックス本町ビル4階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

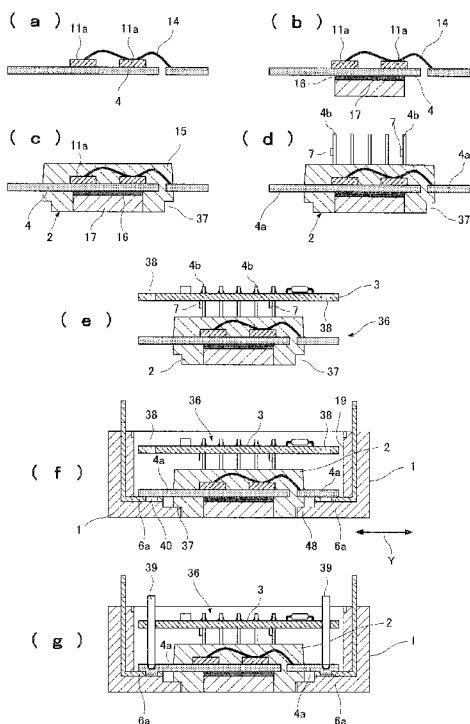
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 補正された請求の範囲 (条約第 19 条(1))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: This semiconductor device is provided with an outer housing (1), a block module (2), and a control board (3) that controls a power semiconductor element (11a). The block module (2) has the power semiconductor element (11a) integrated therein, and has a second lead (4b) and a first lead (4a) led out therefrom. The outer housing (1) has an external connecting terminal (6a), which is in contact with the first lead (4a) of the block module (2) disposed in the outer housing, the second lead (4b) is connected to the control board (3), and the first lead (4a) is bonded to the external connecting terminal (6a).

(57) 要約: 半導体装置は、外装体 1 と、ブロックモジュール 2 と、パワー半導体素子 11a を制御する制御基板 3 とを備えている。ブロックモジュール 2 は、パワー半導体素子 11a を内蔵し、第 2 リード 4b および第 1 リード 4a が引き出されている。外装体 1 は、載置されたブロックモジュール 2 の第 1 リード 4a に当接する外部接続端子 6a を有しており、第 2 リード 4b は制御基板 3 に接続され、第 1 リード 4a は外部接続端子 6a に接合されている。

WO 2013/121491 A1

## 明 細 書

発明の名称：半導体装置およびその製造方法

### 技術分野

[0001] 本発明は、半導体装置およびその製造方法に関する。本発明は、特に、パワーデバイス又はインバータなどの電力変換用途で使用される半導体装置に関する。

### 背景技術

[0002] 太陽光発電システムのパワーコンディショナー又はモーターの回転制御には、半導体装置（パワーデバイス）が使用される。この半導体装置において、実装面積の削減、半導体素子間距離の短縮による性能向上、及びユーザー側の設計負荷低減を目的として、複数のパワーデバイスを一つのパッケージに収めてモジュール化された製品（1パッケージ化された半導体装置）が増加している（例えば、特許文献1～3参照。）。

[0003] 1パッケージ化された半導体装置は、パワーモジュールと呼ばれる。このパワーモジュールには、スイッチングを行うIGBT（insulated gate bipolar transistor）又はMOSFET（Metal-Oxide-Semiconductor Field Effect Transistor）のようなパワー半導体素子が、複数個内蔵されている。そのパワー半導体素子を駆動する複数のドライバ素子及び複数の受動素子をさらに内蔵することで、パワー半導体の駆動及び保護機能を持たせたパワーモジュールは、特にIPM（Intelligent Power Module）と称され、市場を伸ばしている。

[0004] 従来の半導体装置は、図22に示すように、金属端子101がインサート成形された樹脂ケース102を用いる。そして、この樹脂ケース102の下面には、主にCuを材料とした金属プレート103が、接着剤104にて取り付けられている。

[0005] 金属プレート103上には、セラミックの表面と裏面にCu箔が貼り付けられた配線パターンを有する絶縁基板105が、半田106aで接合されて

いる。セラミックとしては、例えば、酸化アルミニウム ( $Al_2O_3$ ) 又は窒化アルミニウム (AlN) がある。

[0006] 絶縁基板 105 上には、IGBT 又は還流ダイオードなどのパワー半導体素子 107 が、半田 106b で接合されている。パワー半導体素子 107 の表面に形成された電極と樹脂ケース 102 の中継電極 108 の間は、アルミ線 109 によって接続されている。

[0007] さらに、パワー半導体素子 107 の直上には、制御基板 112 が、配置されている。制御基板 112 には、パワー半導体素子 107 などを制御する制御素子 110 とコンデンサ又は抵抗などの受動部品 111 が、実装されている。制御基板 112 のピン孔 115 が中継電極 108 に挿入されることによって、パワー半導体素子 107 と制御素子 110 が電氣的に接続されている。

[0008] また、これらパワー半導体素子 107 の周辺は、外部環境からの保護のため、樹脂ケース 102 の凹部 114 にシリコーンゲル 113 を充填して封止されている。

## 先行技術文献

## 特許文献

[0009] 特許文献1：特開2003-243609号公報

特許文献2：特許第4177571号公報

特許文献3：特許第4108909号公報

## 発明の概要

## 発明が解決しようとする課題

[0010] しかしながら、従来の半導体装置を製造するためには、多数の工程を実施する必要がある。具体的には、顧客の要求した形状の金属端子 101 を有した樹脂ケース 102 を製造し、この樹脂ケース 102 とパワー半導体素子 107 が実装された金属プレート 103 とを接合し、その後、パワー半導体素子 107 の表面に形成された電極と樹脂ケース 102 の中継電極 108 の

間をアルミ線 109 によって接続し、さらに、樹脂ケース 102 の側の中継電極 108 と制御基板 112 を電気接続する、一連の組み立て工程を実施する必要がある。

[0011] また、従来の半導体装置では、樹脂ケース 102 の凹部 114 に位置している多数の中継電極 108 を、制御基板 112 のピン孔 115 にそれぞれ挿入する必要があり、組み立ての作業性が悪くなる場合がある。

[0012] そこで、本発明は、高生産性を実現することができる構造の半導体装置およびその製造方法を提供することを目的とする。

### 課題を解決するための手段

[0013] 上記課題を解決するための本発明の半導体装置は、パワー半導体素子を内蔵し、第 1 リード及び第 2 リードが引き出されたブロックモジュールと、前記パワー半導体素子を制御する制御基板と、載置された前記ブロックモジュールの前記第 1 リードに当接する外部接続端子を有する外装体と、を備え、前記第 2 リードは、前記制御基板に接続され、前記第 1 リードは、前記外部接続端子に接合されていることを特徴とする。

[0014] また、上記課題を解決するための本発明の半導体装置の製造方法は、パワー半導体素子を内蔵し、第 1 リードと第 2 リードとが引き出されたブロックモジュールを準備し、前記ブロックモジュールを前記制御基板に取り付けると共に、前記第 2 リードを前記制御基板に接続して実装構造体を形成し、前記第 1 リードと外装体の外部接続端子とが重なるように前記実装構造体と前記外装体とを位置合わせした状態で、前記第 1 リードと前記外部接続端子との当接面を接合することを特徴とする。

### 発明の効果

[0015] 本発明によれば、従来の構造に比べて高生産性を実現することができる構造の半導体装置およびその製造方法を提供することができる。

### 図面の簡単な説明

[0016] [図1]本発明の実施の形態 1 における半導体装置の断面図

[図2]本発明の実施の形態 1 における半導体装置の使用状態を示す回路図

[図3]本発明の実施の形態1における外装ケースの平面図

[図4]本発明の実施の形態1における外装ケースの斜視図

[図5] (a) ~ (g) 本発明の実施の形態1における半導体装置の製造方法を示す工程図

[図6] (a)、(b) 本発明の実施の形態1における半導体装置に使用するブロックモジュールの斜視図

[図7]本発明の実施の形態1における半導体装置に使用する実装構造体の斜視図

[図8]本発明の実施の形態1における半導体装置の平面図

[図9]本発明の実施の形態1における半導体装置の底面図

[図10]本発明の実施の形態1の変形例の平面図

[図11]本発明の実施の形態2における半導体装置に使用する実装構造体の要部断面図

[図12]本発明の実施の形態3における半導体装置に使用する実装構造体の要部断面図

[図13]本発明の実施の形態4における半導体装置の断面図

[図14] (a) ~ (c) 本発明の実施の形態4における半導体装置の製造方法を示す工程図

[図15]本発明の実施の形態4における半導体装置の製造方法の別の例を示す断面図

[図16] (a) ~ (c) 本発明の実施の形態5における半導体装置の製造方法を示す工程図

[図17] (a) (b) は本発明の実施の形態6における半導体装置の製造方法を示す実施例1の要部拡大断面図

[図18] (a) (b) は本発明の実施の形態6における半導体装置の製造方法を示す実施例2の要部拡大断面図

[図19] (a) (b) は本発明の実施の形態6における半導体装置の製造方法を示す実施例3の要部拡大断面図

[図20]本発明の実施の形態7における半導体装置の分解斜視図

[図21]本発明の実施の形態7における半導体装置のブロックモジュールの拡大斜視図

[図22]従来の技術における半導体装置の断面構造を示す概略図

### 発明を実施するための形態

[0017] 以下、本発明の半導体装置およびその製造方法を、各実施の形態に基づいて説明する。本発明の半導体装置は、例えば、パワーデバイス又はパワーモジュールである。

[0018] なお、以下の説明において、同じ構成には同じ符号を付けて、適宜、説明を省略する。

[0019] また、スイッチング素子としてIGBTを用いた半導体装置について説明するが、本発明は、IGBTに限定されるものではなく、他のパワーランジスタを用いた半導体装置についても適用可能である。

[0020] (実施の形態1)

図1～図10を用いて、本発明の実施の形態1の半導体装置及びその製造方法を説明する。なお、図1～図10では、それぞれの図の対応関係を明確にするために、適宜、X方向、Y方向を図示している。

[0021] 図1は、実施の形態1の製造方法を用いて製造された半導体装置100の構成を示す断面図である。

[0022] 図1において、半導体装置100は、外装ケース1と、ブロックモジュール2と、制御基板3とを組み付けて構成される。

[0023] 外装ケース1は、外装体の一例であり、樹脂で構成されている。外装ケース1を構成する樹脂には、例えば、トランスファーモールド用の熱硬化性のエポキシ樹脂を使用することができる。外装ケース1の凹部19には、開口20が形成されている。開口20の周囲には、薄肉部48が形成されている。この外装ケース1は、凹部19の底部で一端が露出した外部接続端子6aを有する。外部接続端子6aは、外装ケース1にインサート成形されている。

- [0024] ブロックモジュール2は、パワー半導体素子11a、リードフレーム4、アルミ線14、絶縁層16、放熱板17を内蔵している。ブロックモジュール2からは、第1リード4aと、第2リード4bが引き出されている。第1リード4aは、パワー系入出力リードである。第2リード4bは、制御信号入力リードである。第2リード4bは、図6(b)に示すように、ブロックモジュール2から上方に向かって垂直に曲げて引き出されている。第1リード4aは、ブロックモジュール2から水平に引き出されている。第1リード4aと第2リード4bは、リードフレーム4の一部である。
- [0025] 制御基板3には、制御素子8と受動部品9とが実装されて、制御信号発生用の電気回路が構築されている。受動部品9は、例えば、抵抗又はコンデンサなどである。また、制御基板3には、図7に示すように、スルーホール18と貫通孔38とが形成されている。
- [0026] 第2リード4bは、制御基板3のスルーホール18に挿入した状態で、半田付けなどによって制御基板3に電氣的に接合されている。この第2リード4bの形状は、ブロックモジュール2から離れる方向に曲げられた形状である。第2リード4bの途中には、突起7が形成されている。この突起7は、制御基板3の裏面に係合してブロックモジュール2と制御基板3との位置関係を規制し、ブロックモジュール2と制御基板3の間に所定の間隔を構成している。
- [0027] 第1リード4aは、外部接続端子6aの露出面に重ねた状態でカシメ処理されることで、外部接続端子6aと電氣的に接合されている。
- [0028] 第1リード4aと外部接続端子6aを電気接続した状態のブロックモジュール2の底面2aaは、外装ケース1の底面1aの外部に、僅かに突出している。ブロックモジュール2の底面2aaの突出量tは、 $t = 0.1\text{ mm}$ 程度である。
- [0029] 図1に示す本実施の形態1の半導体装置100では、その凹部19に、図22に示すシリコーンゲル113などは充填されていない。そのため、突起7によって間隔が保持されているブロックモジュール2と制御基板3の間に

は、空気層 21 が形成されている。また、凹部 19 の上部開口には、仮想線で示す蓋 32 を装着する場合がある。

[0030] 本実施の形態 1 の半導体装置 100 では、制御基板 3 から第 2 リード 4 b を介してブロックモジュール 2 のパワー半導体素子 11 a のゲート端子に制御信号を供給することで、パワー半導体素子 11 a のソース端子ードレイン端子間のオン・オフを制御している。

[0031] 図 2 は、本発明の実施の形態 1 の半導体装置 100 の使用状態を示す回路図である。図 2 では、半導体装置 100 が、巻線 L1, L2, L3 を有する負荷 33 を運転する場合を示している。本実施の形態 1 の半導体装置 100 は、図 2 に示すように、一例として、3 相用の半導体装置を用いて説明している。

[0032] 図 3 は、外装ケース 1 の平面図を示し、図 4 は、外装ケース 1 の斜視図を示す。図 3, 図 4 では、外装ケース 1 のみを図示している。

[0033] 図 2 では、3 相用の半導体装置のブロックモジュール 2 は、3 つのブロックモジュール 2 a, 2 b, 2 c から構成される。図 2 において、各ブロックモジュール 2 a, 2 b, 2 c には、IGBT のパワー半導体素子 11 a, 11 a が 2 つ直列接続されたハーフブリッジ回路が構成されている。各ブロックモジュール 2 a, 2 b, 2 c は、それぞれ、正極端子 P、負極端子 N、負荷接続端子 C を有する 1 相分のインバータとなっている。各ブロックモジュール 2 a, 2 b, 2 c には、ダイオード 11 b が設けられている。

[0034] 図 3, 図 4 に示すように、外装ケース 1 の凹部 19 の底部には、端子 T1 に繋がっている負荷接続端子 C と、端子 T2 に繋がっている負荷接続端子 C と、端子 T3 に繋がっている負荷接続端子 C と、端子 T4 に繋がっている 3 つの正極端子 P と、端子 T5 に繋がっている 3 つの負極端子 N とが、設けられている。負荷接続端子 C、正極端子 P、負極端子 N は、外部接続端子 6 a の一例である。外装ケース 1 の四隅の取り付け孔 34 の内側には、補強用に金属製のリング 35 が挿入されている。それぞれの外部接続端子 6 a (負荷接続端子 C、正極端子 P、負極端子 N) には、凹部 40 が設けられている。

[0035] 本実施の形態1の半導体装置100は、図5(a)～図5(g)に示す第1工程～第7工程で製造することができる。以下、図5(a)～図5(g)を用いて、本実施の形態1の半導体装置100の製造工程を説明する。

[0036] まず、第1工程として、図5(a)に示すように、リードフレーム4の表面に、パワー半導体素子11aとダイオード11b(図示せず)を搭載する。さらに、パワー半導体素子11aの表面電極とリードフレーム4をアルミ線14で電氣的に接合する。パワー半導体素子11aとダイオード11bとは、逆並列に接続されている。

[0037] リードフレーム4の材質としては、放熱性の観点から、熱伝導率の良いCuを用いることが望ましい。また、パワー半導体素子11a, 11aをリードフレーム4に接合する接合材としては、熱伝導性の良い材料を使用することが望ましい。この接合材には、具体的には、Sn-Ag-Cu系はんだなど、金属系の熱伝導性の良い接合材料を使用する。アルミ線14の接合は、常温で接合材を不要とするため、超音波接合にて接合されることが好ましい。また、パワー半導体素子11aのソース電極には数A(アンペア)～数百A(アンペア)の大電流が流れるため、アルミ線14は、溶断しない程度に複数接合させる必要がある。アルミ線14は、図示したようなワイヤー形状である必要はなく、箔状のアルミリボンであっても良い。また、パワー半導体素子11aのゲート電極は、ソース電極と比較して小さい電流しか流れないため、電極面積が小さい。そのため、ゲート電極用のアルミ線14は、ソース電極用のものよりも細い形状でも良い。アルミ線14としては、例えば、150 $\mu$ m径のアルミ線を用いることができる。

[0038] 次に、第2工程として、図5(b)に示すように、リードフレーム4の裏面に、絶縁層16と放熱板17を接着する。すなわち、放熱板17は、リードフレーム4及び絶縁層16を介して、パワー半導体素子11aと熱接続されている。絶縁層16は、接着性を持つ層である。予め絶縁層16と放熱板17とを接着させて所望の形状に加工した後、これらをリードフレーム4と接着させる。絶縁層16に熱硬化性の樹脂を用いる場合は、絶縁層16の被

接着体が放熱板 17 とリードフレーム 4 の 2 つとなるため、予め接着する際に樹脂が完全硬化して接着性が失われないように、接着時の温度等の条件を調整する必要がある。この絶縁層 16 としては、放熱性と絶縁性を両立する樹脂を使用することが望ましい。絶縁層 16 としては、例えば、酸化アルミニウム ( $Al_2O_3$ ) 又は窒化ホウ素 (BN) などの高熱伝導フィラーを用いることができる。

[0039] 次に、第 3 工程として、図 5 (c) に示すように、パワー半導体素子 11 a が搭載されたリードフレーム 4 の周辺を、樹脂 15 にて封止して、ブロックモジュール 2 を形成する。樹脂 15 での封止は、例えば、熱硬化性エポキシ樹脂と封止金型を使用したトランスファーモールドにより行うことができる。この時、本実施の形態 1 では、放熱板 17 の裏面が封止金型と接触する設計にしておくことで、封止後に放熱板 17 の裏面がブロックモジュール 2 の外部に露出するようにしている。これは、封止時に樹脂 15 が放熱板 17 の裏面を覆うと、パワー半導体素子 11 a からの放熱経路が妨げられ、熱抵抗が上昇してしまうためである。また、特殊な形状の封止金型を用いることで、ブロックモジュール 2 の底部に溝 37 を形成している。図 6 (a) は、図 5 (c) の状態のブロックモジュール 2 を示す。図 6 (a) に示すように、第 2 リード 4 b は、その一端がブロックモジュール 2 の制御信号入力回路に接続されて、ブロックモジュール 2 から引き出されている。

[0040] 次に、第 4 工程として、図 5 (d) に示すように、第 2 リード 4 b をブロックモジュール 2 から離れるように上方に  $90^\circ$  曲げるフォーミング処理を施す。第 2 リード 4 b に、このフォーミング処理を施すことで、図 6 (b) に示す状態になる。

[0041] 次に、第 5 工程として、図 5 (e) に示すように、制御基板 3 に 3 個のブロックモジュール 2 を実装した実装構造体 36 を作成する。具体的には、第 5 工程として、各ブロックモジュール 2 の第 2 リード 4 b を制御基板 3 のスルーホール 18 に挿入し、第 2 リード 4 b と制御基板 3 の間を半田付けなどの手段で電氣的に接合して固定する。第 2 リード 4 b には突起 7 が形成され

ているため、制御基板 3 が突起 7 で支持され、ブロックモジュール 2 と制御基板 3 の間隔を所定の間隔にすることができる。また、第 2 リード 4 b の先端にテーパ形状を施しておくこと、スルーホール 18 に挿入しやすくなる。このようにして作成された実装構造体 36 を、図 7 に示す。

[0042] 次に、第 6 工程として、図 5 (f) に示すように、実装構造体 36 を外装ケース 1 の凹部 19 に挿入する。凹部 19 に挿入された実装構造体 36 の Y 方向（ブロックモジュール 2 の配列方向 X と直交する方向）における位置は、薄肉部 48 の先端がブロックモジュール 2 の溝 37 に当接して位置決めされている。具体的には、凹部 19 に挿入された実装構造体 36 の Y 方向における位置は、ブロックモジュール 2 の底部に形成された溝 37 に、外装ケース 1 の開口 20 の周囲の薄肉部 48 が係合して、位置決めされている。ここで、ブロックモジュール 2 の底部の溝 37 は、前述の封止金型により形成することも可能であり、封止後に削り取って形成することも可能である。半導体装置 100 の底面図を、図 9 に示す。また、図 5 (f) の状態では、図 8 に示すように、各ブロックモジュール 2 (2 a, 2 b, 2 c) の第 1 リード 4 a が、外装ケース 1 に設けられた端子 T 1, T 2, T 3 の外部接続端子 6 a (正極端子 P, 負極端子 N, 負荷接続端子 C) の上に重なっている。第 1 リード 4 a の幅 d と、外装ケース 1 の外部接続端子 6 a の幅 D とは、半導体装置 100 が 75 A (アンペア) 仕様の場合には、何れも 1 mm ~ 10 mm で、かつ “  $d \leq D$  ” が好ましい。

[0043] ここで、本実施の形態 1 では、図 7, 図 8 に示すように、各ブロックモジュール 2 の第 1 リード 4 a と外部接続端子 6 a とのそれぞれの重なり位置に対応して、制御基板 3 に複数の貫通孔 38 を予め形成している。このように制御基板 3 に貫通孔 38 を予め形成しておくことで、本実施の形態 1 の実装構造体 36 を構成した状態でも、第 1 リード 4 a と外部接続端子 6 a とを接合処理 (例えば、カシメ処理) することができる。ここで、第 1 リード 4 a と外部接続端子 6 a との重なり位置とは、XY 平面において、第 1 リード 4 a と外部接続端子 6 a とが重なる位置である。

- [0044] 次に、第7工程として、図5（g）に示すように、制御基板3の貫通孔38から第1リード4aに向かって、接合ツールの一例としてのカシメツール39を挿入して、第1リード4aを外部接続端子6aに接合させる。ブロックモジュール2の第1リード4aと外装ケース1の外部接続端子6aとは、カシメツール39によりそれぞれカシメ処理が行われて接合することで、電気接続している。
- [0045] ここで、本実施の形態1では、外部接続端子6aには凹部40が形成されているため、カシメツール39によるカシメ処理によって第1リード4aの一部が外部接続端子6aの凹部40に押し込まれている。そのため、本実施の形態1では、第1リード4aと外部接続端子6aとは、強固に接合されている。
- [0046] 以上の第1工程～第7工程の組み立て工程によって、図1に示した半導体装置100を製造できる。
- [0047] 本実施の形態1では、各ブロックモジュール2の第2リード4bを制御基板3のスルーホール18に挿入し、第2リード4bと制御基板3の間を半田付けなどの手段で電氣的に接合して固定する作業を、外装ケース1の外で実施することができる。そのため、本実施の形態1の半導体装置100の製造方法は、作業を容易で、作業性が良好である。
- [0048] さらに、本実施の形態1の半導体装置100は、製造途中の実装構造体36の状態に通電して動作検査することができるため、さらに歩留まりを向上させることも可能である。
- [0049] また、実装構造体36の状態で作動検査することが可能であると、外装ケース1の外部に突出している端子T1～T5の形状に関わらずに、実装構造体36を準備しておくことができる。そのため、複数個及び複数種類の実装構造体36を予め準備しておき、ユニット構造のように外装ケース1に組み付けることができる。具体的には、外装ケース1の端子T1～T5の形状が決まり次第、予め準備していた実装構造体36を図5（f）（g）の工程で外装ケース1に組み付けることができる。このように、本実施の形態1では

、半導体装置 100 の製造途中で、実装構造体 36 を形成することにより、半導体装置 100 の生産性を向上させることができる。

[0050] 本実施の形態 1 の半導体装置 100 は、対象装置に組み込まれて使用される。対象装置とは、半導体装置 100 の組み込み対象の装置であり、例えば、太陽光発電システム、又は家電や EV 用モーターである。例えば、外装ケース 1 の底面 1a を対象装置に向けた状態で外装ケース 1 の四隅を対象装置の筐体又は放熱板にネジ留めすることで、半導体装置 100 が対象装置に組み込まれる。このとき、外装ケース 1 から突出量  $t$  だけ突出していたブロックモジュール 2 は、対象装置によって外装ケース 1 の内側に向かって押し込まれて、第 1 リード 4a が弾性変形又は塑性変形する。第 1 リード 4a が弾性変形又は塑性変形することによって、ブロックモジュール 2 の放熱板 17 を対象装置の筐体又は放熱板に確実に接触させて、熱伝導性を良くすることができる。このとき、対象装置の筐体又は放熱板と放熱板 17 との間に、熱伝導性グリス又は熱伝導性シートを介在させると、さらに熱伝導性を向上させることができる。

[0051] なお、本実施の形態 1 では、カシメツール 39 を挿入するために制御基板 3 に形成された貫通孔 38 が、カシメ位置に対応して制御基板 3 に個別に形成した例を説明した。だが、図 8 に仮想線で示すように、近接した複数のカシメ位置に対応して 1 つの貫通孔 41 を形成しても、同様の効果を実現できる。複数の貫通孔 38 の代わりに 1 つの貫通孔 41 とすることで、制御基板 3 の剛性や弾性が低下する可能性はあるが、貫通孔を形成する際の手間を軽減することが可能である。

[0052] また、これらのカシメツール 39 を挿入するための貫通孔 38, 41 は、図 10 に示すように、切り欠き 42, 43 で構成しても、同様の効果を実現できる。

[0053] (実施の形態 2)

図 11 は、本発明の実施の形態 2 の半導体装置に使用する実装構造体の要部断面図である。本実施の形態 2 は、前述の実施の形態 1 の実装構造体 36

を実装構造体 5 6 に置き換えた以外は実施の形態 1 と同様であるため、実装構造体 5 6 以外の説明は省略する。

[0054] 前述の実施の形態 1 における実装構造体 3 6 は、ブロックモジュール 2 から引き出されて更に曲げた第 2 リード 4 b の先端に、制御基板 3 を実装して構成した。それに対し、本実施の形態 2 の実装構造体 5 6 は、図 1 1 に示すように、第 2 リード 4 b に電気接続された J リード (J-Leads) 形状の中間部材 4 4 を介して、ブロックモジュール 2 と制御基板 3 を電気接続して構成している。

[0055] 本実施の形態 2 の実装構造体 5 6 を用いることで、ブロックモジュール 2 と制御基板 3 との間隙の位置変動が大きい場合に、中間部材 4 4 によりその位置変動を吸収することができる。

[0056] (実施の形態 3)

図 1 2 は、本発明の実施の形態 3 の半導体装置に使用する実装構造体の要部断面図である。本実施の形態 3 は、前述の実施の形態 1 の実装構造体 3 6 を実装構造体 6 6 に置き換えた以外は実施の形態 1 と同様であるため、実装構造体 6 6 以外の説明は省略する。

[0057] 前述の実施の形態 1 における実装構造体 3 6 は、ブロックモジュール 2 から引き出されて更に曲げた第 2 リード 4 b の先端に、制御基板 3 を実装して構成した。それに対し、本実施の形態 3 の実装構造体 6 6 は、図 1 2 に示すように、第 2 リード 4 b に電気接続されたガルウィング (Gull wing) 形状の中間部材 4 5 を介して、ブロックモジュール 2 と制御基板 3 を電気接続して構成している。

[0058] 実施の形態 3 の実装構造体 6 6 を用いることで、ブロックモジュール 2 と制御基板 3 との間隙の変動が大きい場合に、中間部材 4 4 によりその変動を吸収できると共に、ブロックモジュール 2 と制御基板 3 との相対位置を規制することができる。

[0059] (実施の形態 4)

図 1 3, 図 1 4, 図 1 5 を用いて、本発明の実施の形態 4 の半導体装置お

よびその製造方法を説明する。

[0060] 図13は、本実施の形態4の製造方法を用いて製造された半導体装置を示す断面図である。

[0061] 前述の実施の形態1における外装ケース1は、凹部19が形成されていると共に外部接続端子6aがインサート成形されて構成されていた。これに対して本実施の形態4では、図13に示すように、外装ケース51が、外部接続端子6aを有した板状のベース部22と、この板状のベース部22に取り付けられて制御基板3などの周囲を取り囲むガード部23とで構成されている。すなわち、本実施の形態4の外装ケース51は、2つの部材（ベース部22、ガード部23）を組み合わせて構成されている。ブロックモジュール2と制御基板3の構成、ならびにブロックモジュール2と制御基板3の組み立てなどは実施の形態1と同じであるため、説明は省略する。

[0062] 本実施の形態4の半導体装置は、以下に説明する第8工程～第10工程で組み立てられる。

[0063] まず、第8工程として、図14(a)に示すように、ガード部23を取り付ける前のベース部22の開口50に、実装構造体36を設置する。このとき、実装構造体36の第1リード4aが、ベース部22の外部接続端子6aに重なるように配置する。

[0064] 次に、第9工程として、図14(b)に示すように、カシメツール39を貫通孔38から挿入して第1リード4aと外部接続端子6aをカシメ処理する。このカシメ処理により、第1リード4aと外部接続端子6aを電氣的に接合する。このとき、カシメツール39は、図14(b)の仮想線で示すように貫通孔38に挿入される。

[0065] 次に、第10工程として、図14(c)に示すように、実装構造体36を取り囲むように、ベース部22にガード部23を取り付ける。

[0066] また、組み込み対象装置の一部で制御基板3の周囲を被うカバー26が形成できる場合は、第10工程として、図14(c)に代えて図15に示すようにカバー26を配置することで、ガード部23を不要とすることもできる

。

[0067] このようにして、本実施の形態4でも、前述の実施の形態1の場合とほぼ同じ外観形状の半導体装置を得ることができる。

[0068] (実施の形態5)

図16を用いて、本発明の実施の形態5の半導体装置の製造方法を説明する。

[0069] 前述の実施の形態1の半導体装置では、外装ケース1の内側寸法にほぼ等しい大きさの制御基板3を備えた実装構造体36を、外装ケース1の凹部19に収納して構成した。それに対して、本実施の形態5では、図16(a)と図16(b)に示すように、外装ケース1の凹部19との間に、カシメツール39を差し入れるのに必要な寸法の隙間46を設けることが可能な制御基板73を用いている。この場合、制御基板73には、前述の実施の形態1での貫通孔38が不要である。すなわち、本実施の形態5の制御基板73は、XY平面における第1リード4aと外部接続端子6aとの重なり位置において、制御基板73と第1リード4aが重ならない程度に、制御基板73の大きさを制限したものである。

[0070] 本実施の形態5における制御基板73を用いて構成した実装構造体76を用いることで、図16(c)に示すように、隙間46からカシメツール39を差し入れてカシメ処理することができる。そして、このカシメ処理によって、前述の実施の形態1と同様の機能を有する半導体装置を得ることができる。

[0071] (実施の形態6)

上記の各実施の形態では、第1リード4aと外部接続端子6aとをカシメ処理によって電気接合したが、貫通孔38などを通して電気接合可能であれば、他の工法を選択することもできる。他の工法としては、例えば、貫通孔38を通過したレーザによるレーザ接合方法や、貫通孔38を通した工具による超音波接合方法、貫通孔38を通した工具による加熱接合、化学反応を利用して接合面を活性化することによる化学接合などがある。

[0072]

## －実施例 1－

図 17 に示す実施例 1 は、超音波接合によって、外部接続端子 6 a と第 1 リード 4 a とを接合している例である。この実施例では、外部接続端子 6 a の材質と第 1 リード 4 a の材質が同一である。具体的には、外部接続端子 6 a と第 1 リード 4 a の材質が、共に銅である。

[0073] 図 17 (a) に示すように、外部接続端子 6 a 又は第 1 リード 4 a の表面に酸化膜 77 が形成されているような場合であっても、接合ツールとしての超音波ヘッド 78 によって、第 1 リード 4 a を外部接続端子 6 a に押圧すると共に、第 1 リード 4 a と外部接続端子 6 a の当接面に矢印 79 方向の超音波振動を印加することによって、図 17 (b) に示すように、当接面に介在していた酸化膜 77 を除去することができる。当接面の酸化膜 77 を除去することで、第 1 リード 4 a と外部接続端子 6 a の清浄な面が圧接され、第 1 リード 4 a と外部接続端子 6 a とを接合することができる。

[0074] なお、超音波ヘッド 78 の振動を第 1 リード 4 a に効率よく伝達するためには、超音波ヘッド 78 の先端形状を図 17 (a) に示すように、凹凸が形成されたアンビル形状 (Anvil shape) 78 a にすることが好ましい。

[0075]

## －実施例 2－

図 18 に示す実施例 2 は、加熱接合によって、外部接続端子 6 a と第 1 リード 4 a とを接合している例である。図 18 は、加熱すると共に加圧することによって、外部接続端子 6 a と第 1 リード 4 a とを接合している。この実施例 2 では、外部接続端子 6 a の材質と第 1 リード 4 a の材質が同一である。具体的には、外部接続端子 6 a と第 1 リード 4 a の材質が、共に銅である。

[0076] 図 18 (a) に示すように、外部接続端子 6 a 又は第 1 リード 4 a の表面に酸化膜 77 が形成されているような場合であっても、接合ツールとしての加熱ヘッド 80 によって、第 1 リード 4 a を加熱すると共に外部接続端子 6 a に押圧することによって、図 18 (b) に示すように、当接面に介在していた酸化膜 77 を除去することができ、第 1 リード 4 a と外部接続端子 6 a

の清浄な面が圧接されることによって、第1リード4 aと外部接続端子6 aとを接合することができる。このとき、第1リード4 a及び外部接続端子6 aは加熱されているため、銅の結合反応を促進できる。

[0077] なお、加熱ヘッド8 0による押圧のために必要な圧力は、図1 7で説明した超音波接合の場合に比べて大きい。

[0078] －実施例3－

図1 9に示す実施例3は、化学接合によって、外部接続端子6 aと第1リード4 aとを接合している例である。図1 9は、化学反応を利用して接合面を活性化することによって、外部接続端子6 aと第1リード4 aとを接合している。この実施例では、外部接続端子6 aの材質と第1リード4 aの材質が同一である。具体的には、外部接続端子6 aと第1リード4 aの材質が、共に銅である。

[0079] 外部接続端子6 a又は第1リード4 aの表面に酸化膜7 7が形成されているような場合であっても、図1 9 (a)に示すように、表面活性化剤8 1を外部接続端子6 aに滴下する。これによって、還元反応によって酸化銅 (CuO) を銅 (Cu) に戻す。そして、外部接続端子6 aの上に第1リード4 aを載置すると共に、接合ツールとしての押圧ヘッド8 2によって、第1リード4 aを外部接続端子6 aに押圧することによって、図1 8 (b)に示すように、第1リード4 aと外部接続端子6 aを接合することができる。

[0080] (実施の形態7)

上記の各実施の形態において、第1リード4 aと第2リード4 bは、図6 (b)に示したように、樹脂モールドされているブロックモジュール2 a, 2 b, 2 cの別々の辺から引き出されていたが、本実施の形態では、図2 0, 図2 1に示すように、ブロックモジュール9 2 a, 9 2 b, 9 2 cは、第1リード4 aが引き出されている辺と同じ辺から第2リード4 bが引き出されている。

[0081] 本実施の形態7では、近接して配置された第1リード4 aと第2リード4 bとの間の絶縁耐圧の低下を防止するため、ブロックモジュール2の外形形

状に凹部 8 3, 8 4 を形成して沿面距離を大きくしている。

[0082] 上記の各実施の形態では、外装ケース 1 に 3 個のブロックモジュール 2, 9 2 を取り付けた半導体装置 1 0 0 の場合を例に挙げて説明したが、ブロックモジュール 2 の数は 3 に限定されるものではなく、1 以上で有れば何れの場合も実施できる。

### 産業上の利用可能性

[0083] 本発明の半導体装置は、太陽光発電システムのパワーコンディショナーや、モーターの回転制御に使用されるパワーデバイスなどに利用することができる。

### 符号の説明

[0084] 1, 5 1 外装ケース  
1 a, 2 a a 底面  
2, 2 a, 2 b, 2 c, 9 2 a, 9 2 b, 9 2 c ブロックモジュール  
3, 7 3 制御基板  
4 リードフレーム  
4 a パワー系入出力リード  
4 b 制御信号入力リード  
6 a 外部接続端子  
7 突起  
8 制御素子  
9 受動部品  
1 1 a パワー半導体素子  
1 1 b ダイオード  
1 4 アルミ線  
1 5 樹脂  
1 6 絶縁層  
1 7 放熱板  
1 8 スルーホール

19, 40, 59, 83, 84 凹部  
20, 50 開口  
21 空気層  
22 ベース部  
23 ガード部  
26 カバー  
32 蓋  
33 負荷  
34 取り付け孔  
35 リング  
36, 56, 66, 76 実装構造体  
37 溝  
38, 41 貫通孔  
39 カシメツール  
42, 43 切り欠き  
44, 45 中間部材  
48 薄肉部  
P 正極端子  
N 負極端子  
C 負荷接続端子  
T1~T5 端子  
100 半導体装置

## 請求の範囲

- [請求項1]           パワー半導体素子を内蔵し、第1リード及び第2リードが引き出されたブロックモジュールと、  
前記パワー半導体素子を制御する制御基板と、  
載置された前記ブロックモジュールの前記第1リードに当接する外部接続端子を有する外装体と、を備え、  
前記第2リードは、前記制御基板に接続され、  
前記第1リードは、前記外部接続端子に接合されている、  
半導体装置。
- [請求項2]           前記第1リードと前記外部接続端子との重なり位置に対応する前記制御基板の領域に、貫通孔が形成された、  
請求項1に記載の半導体装置。
- [請求項3]           前記第1リードと前記外部接続端子との重なり位置に対応する前記制御基板の領域に、切り欠きが形成された、  
請求項1に記載の半導体装置。
- [請求項4]           前記第1リードと前記外部接続端子との重なり位置において、前記制御基板と前記第1リードとが重ならない、  
請求項1に記載の半導体装置。
- [請求項5]           前記ブロックモジュールには、前記パワー半導体素子と熱接続する放熱板が、その一部を露出させた状態でモールドされており、  
前記外装体には、前記ブロックモジュールの表面に露出した前記放熱板を露出させる開口が底部に形成されている、  
請求項1～請求項4の何れか1項に記載の半導体装置。
- [請求項6]           前記ブロックモジュールには溝が形成されており、前記溝が前記開口周囲の前記外装体の薄肉部に係合している、  
請求項5に記載の半導体装置。
- [請求項7]           前記第1リードと前記外部接続端子とがカシメ接合されている、  
請求項1～請求項6の何れか1項に記載の半導体装置。

- [請求項8] 前記第2リードは、前記ブロックモジュールから離れる方向に曲げられた形状を有する、  
請求項1～請求項7の何れか1項に記載の半導体装置。
- [請求項9] 前記第2リードに設けられた突起により、前記ブロックモジュールと前記制御基板の位置関係が規制されている、  
請求項1～請求項8の何れか1項に記載の半導体装置。
- [請求項10] 前記ブロックモジュールと前記制御基板との間に空気層が形成されている、  
請求項1～請求項9の何れか1項に記載の半導体装置。
- [請求項11] 前記第2リードと前記制御基板とが、中間部材を介して接続されている、  
請求項1～請求項10の何れか1項に記載の半導体装置。
- [請求項12] 前記中間部材が、Jリード形状である、  
請求項11に記載の半導体装置。
- [請求項13] 前記中間部材が、ガルウィング形状である、  
請求項11に記載の半導体装置。
- [請求項14] 請求項1～請求項13の何れか1項に記載の半導体装置を組み込んだ装置。
- [請求項15] パワー半導体素子を内蔵し、第1リードと第2リードとが引き出されたブロックモジュールを準備し、  
前記ブロックモジュールを前記制御基板に取り付けると共に、前記第2リードを前記制御基板に接続して実装構造体を形成し、  
前記第1リードと外装体の外部接続端子とが重なるように前記実装構造体と前記外装体とを位置合わせした状態で、前記第1リードと前記外部接続端子との当接面を接合する、  
半導体装置の製造方法。
- [請求項16] 前記第1リードと前記外部接続端子との当接面をカシメ接合する、  
請求項15に記載の半導体装置の製造方法。

- [請求項17] 前記第1リードと前記外部接続端子との重なり位置に対応して前記制御基板に形成されている貫通孔又は切り欠きから、接合ツールを挿入して前記第1リードと前記外部接続端子の当接面を接合する、請求項15又は請求項16に記載の半導体装置の製造方法。
- [請求項18] 前記実装構造体を形成するに際し、前記第2リードに設けられた突起により、前記ブロックモジュールと前記制御基板の位置関係を規制する、請求項15～請求項17の何れか1項に記載の半導体装置の製造方法。
- [請求項19] 前記実装構造体と前記外装体との位置合わせを、前記ブロックモジュールに形成された溝を前記外装体に係合して行う、請求項15～請求項18の何れか1項に記載の半導体装置の製造方法。
- [請求項20] 前記実装構造体と前記外装体とを位置合わせするに際し、前記ブロックモジュールの放熱板を前記外装体の開口から突出させる、請求項15～請求項19の何れか1項に記載の半導体装置の製造方法。

**補正された請求の範囲**  
**[2013年5月9日(09.05.2013)国際事務局受理]**

[請求項 1] (補正後) パワー半導体素子を内蔵し、第 1 リード及び第 2 リードが引き出されたブロックモジュールと、  
前記パワー半導体素子を制御する制御基板と、  
その底部に開口が形成されると共に、前記底部に載置された前記ブロックモジュールの前記第 1 リードに当接する外部接続端子を前記底部に有する外装体と、を備え、  
前記第 2 リードは、前記制御基板に接続され、  
前記第 1 リードは、前記外部接続端子に接合されている、  
半導体装置。

[請求項 2] 前記第 1 リードと前記外部接続端子との重なり位置に対応する前記制御基板の領域に、貫通孔が形成された、  
請求項 1 に記載の半導体装置。

[請求項 3] 前記第 1 リードと前記外部接続端子との重なり位置に対応する前記制御基板の領域に、切り欠きが形成された、  
請求項 1 に記載の半導体装置。

[請求項 4] 前記第 1 リードと前記外部接続端子との重なり位置において、前記制御基板と前記第 1 リードとが重ならない、  
請求項 1 に記載の半導体装置。

[請求項 5] 前記ブロックモジュールには、前記パワー半導体素子と熱接続する放熱板が、その一部を露出させた状態でモールドされており、  
前記外装体には、前記ブロックモジュールの表面に露出した前記放熱板を露出させる開口が底部に形成されている、

**補正された用紙 (条約第19条)**

請求項 1～請求項 4 の何れか 1 項に記載の半導体装置。

[請求項 6] (補正後) パワー半導体素子を内蔵し、第 1 リード及び第 2 リードが引き出されたブロックモジュールと、  
前記パワー半導体素子を制御する制御基板と、  
載置された前記ブロックモジュールの前記第 1 リードに当接する外部接続端子を有する外装体と、を備え、  
前記第 2 リードは、前記制御基板に接続され、  
前記第 1 リードは、前記外部接続端子に接合され、  
前記ブロックモジュールには、前記パワー半導体素子と熱接続する放熱板が、その一部を露出させた状態でモールドされ、  
前記外装体には、前記ブロックモジュールの表面に露出した前記放熱板を露出させる開口が底部に形成され、  
前記ブロックモジュールには溝が形成されており、前記溝が前記開口周囲の前記外装体の薄肉部に係合している、  
半導体装置。

[請求項 7] 前記第 1 リードと前記外部接続端子とがカシメ接合されている、  
請求項 1～請求項 6 の何れか 1 項に記載の半導体装置。

[請求項 8] 前記第 2 リードは、前記ブロックモジュールから離れる方向に曲げられた形状を有する、  
請求項 1～請求項 7 の何れか 1 項に記載の半導体装置。

[請求項 9] 前記第 2 リードに設けられた突起により、前記ブロックモジュールと前記制御基板の位置関係が規制されている、  
請求項 1～請求項 8 の何れか 1 項に記載の半導体装置。

- [請求項 10] 前記ブロックモジュールと前記制御基板との間に空気層が形成されている、  
請求項 1～請求項 9 の何れか 1 項に記載の半導体装置。
- [請求項 11] (補正後) パワー半導体素子を内蔵し、第 1 リード及び第 2 リードが引き出されたブロックモジュールと、  
前記パワー半導体素子を制御する制御基板と、  
載置された前記ブロックモジュールの前記第 1 リードに当接する外部接続端子を有する外装体と、を備え、  
前記第 2 リードは、前記制御基板に接続され、  
前記第 1 リードは、前記外部接続端子に接合され、  
前記第 2 リードと前記制御基板とが、中間部材を介して接続されている、  
半導体装置。
- [請求項 12] 前記中間部材が、J リード形状である、  
請求項 11 に記載の半導体装置。
- [請求項 13] 前記中間部材が、ガルウイング形状である、  
請求項 11 に記載の半導体装置。
- [請求項 14] 請求項 1～請求項 13 の何れか 1 項に記載の半導体装置を組み込んだ装置。
- [請求項 15] パワー半導体素子を内蔵し、第 1 リードと第 2 リードとが引き出されたブロックモジュールを準備し、  
前記ブロックモジュールを前記制御基板に取り付けると共に、前記第 2 リードを前記制御基板に接続して実装構造体を形成し、

前記第1リードと外装体の外部接続端子とが重なるように前記実装構造体と前記外装体とを位置合わせした状態で、前記第1リードと前記外部接続端子との当接面を接合する、  
半導体装置の製造方法。

[請求項16] 前記第1リードと前記外部接続端子との当接面をカシメ接合する、  
請求項15に記載の半導体装置の製造方法。

[請求項17] 前記第1リードと前記外部接続端子との重なり位置に対応して前記制御基板に形成されている貫通孔又は切り欠きから、接合ツールを挿入して前記第1リードと前記外部接続端子の当接面を接合する、  
請求項15又は請求項16に記載の半導体装置の製造方法。

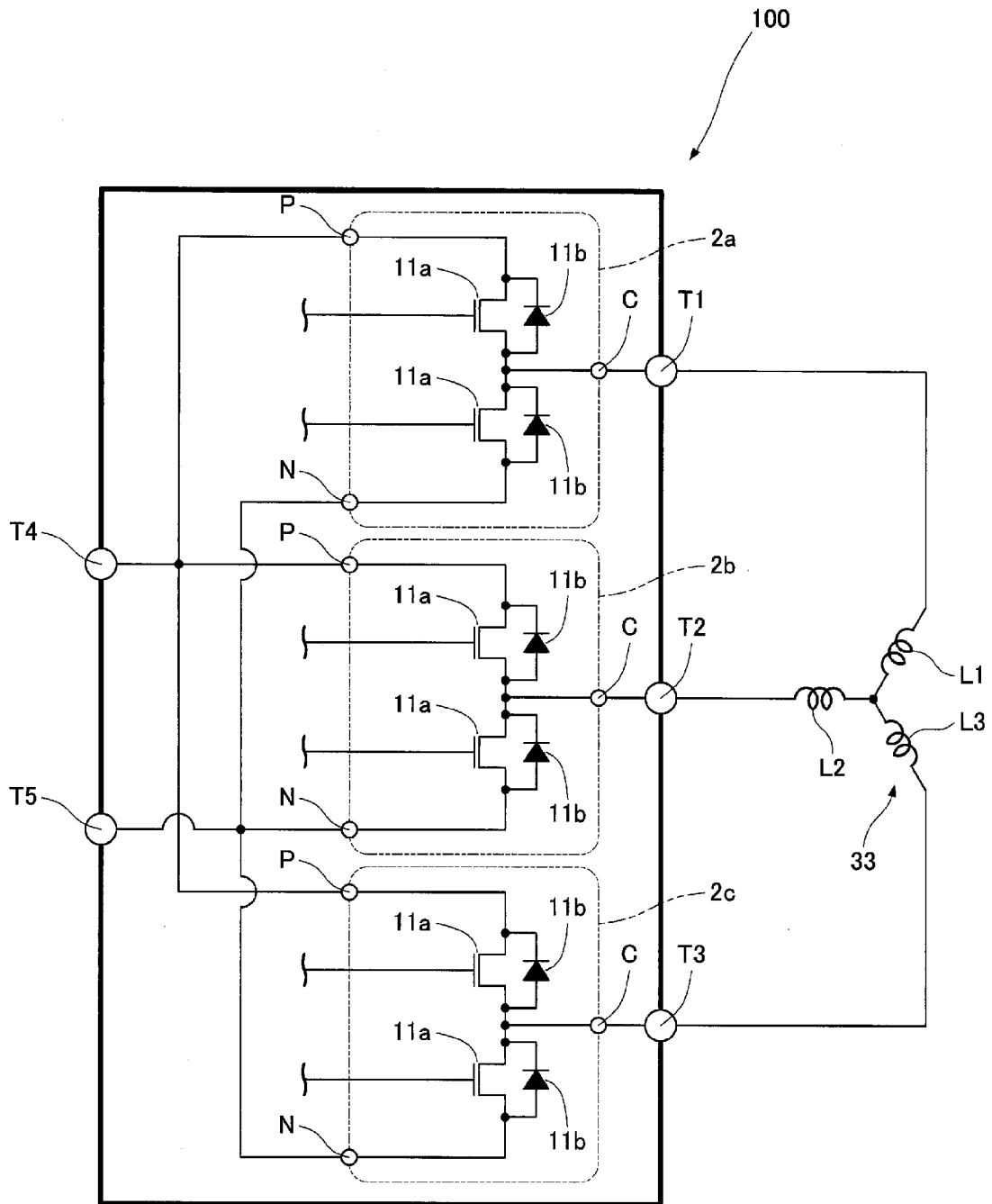
[請求項18] 前記実装構造体を形成するに際し、前記第2リードに設けられた突起により、前記ブロックモジュールと前記制御基板の位置関係を規制する、  
請求項15～請求項17の何れか1項に記載の半導体装置の製造方法。

[請求項19] 前記実装構造体と前記外装体との位置合わせを、前記ブロックモジュールに形成された溝を前記外装体に係合して行う、  
請求項15～請求項18の何れか1項に記載の半導体装置の製造方法。

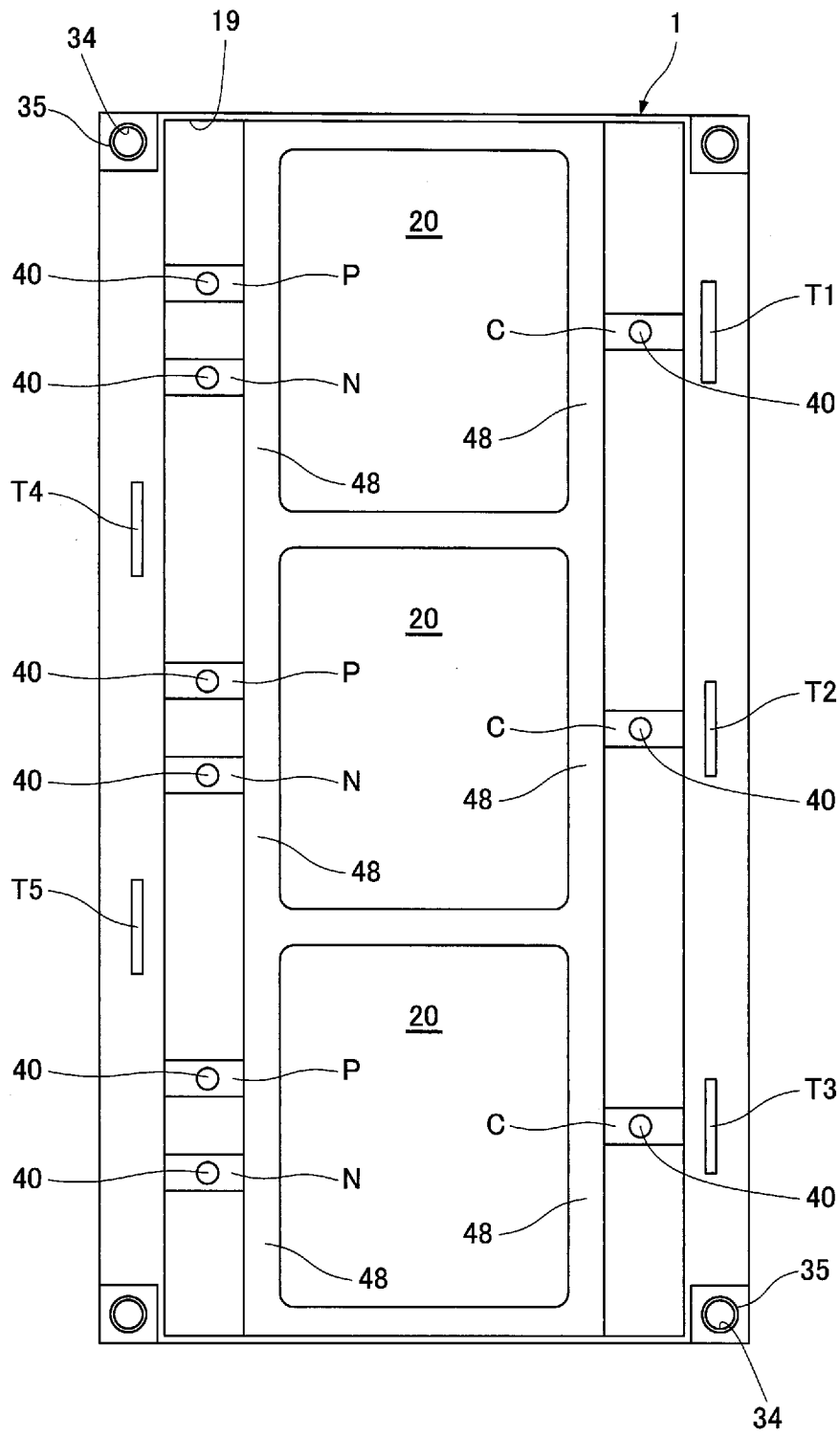
[請求項20] 前記実装構造体と前記外装体とを位置合わせするに際し、前記ブロックモジュールの放熱板を前記外装体の開口から突出させる、  
請求項15～請求項19の何れか1項に記載の半導体装置の製造方法。



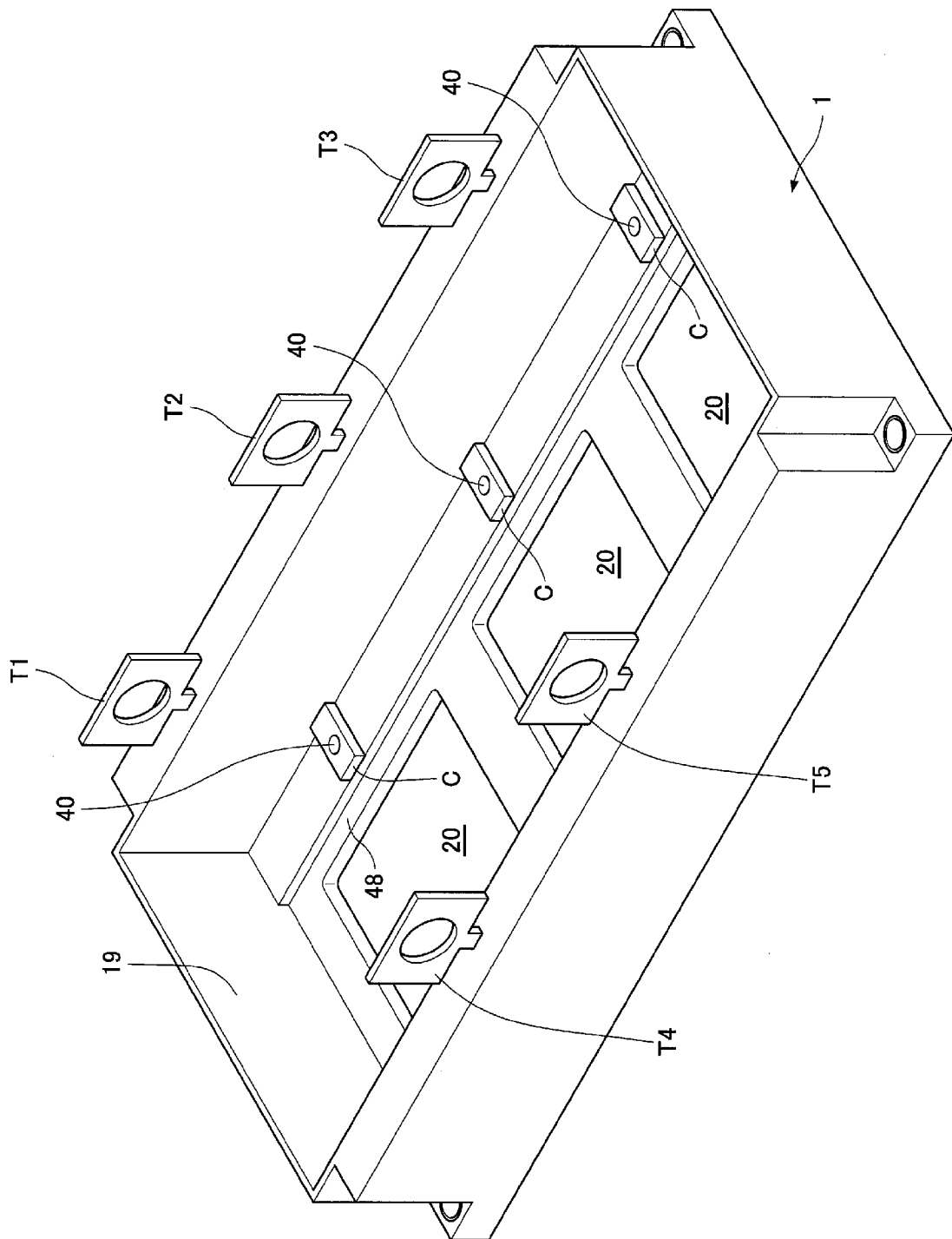
[図2]



[図3]

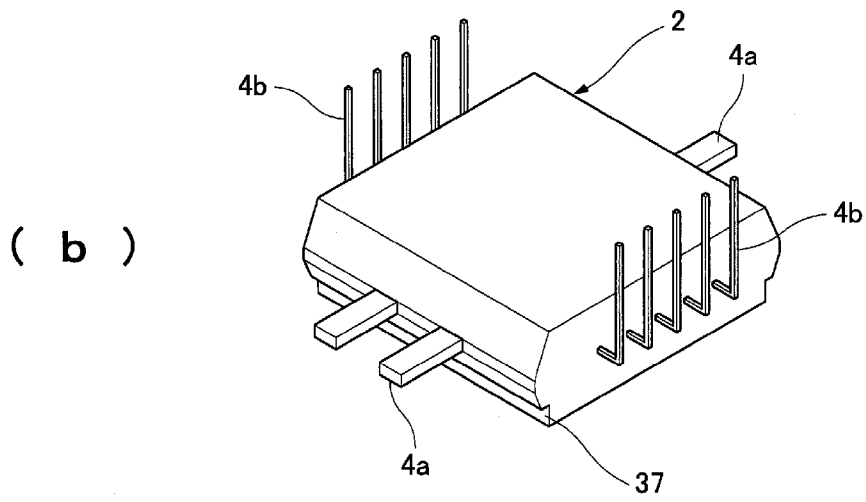
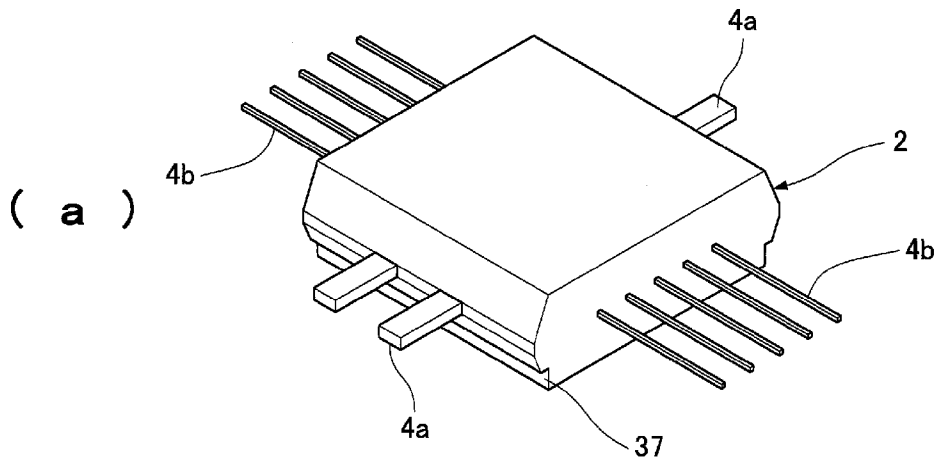


[図4]

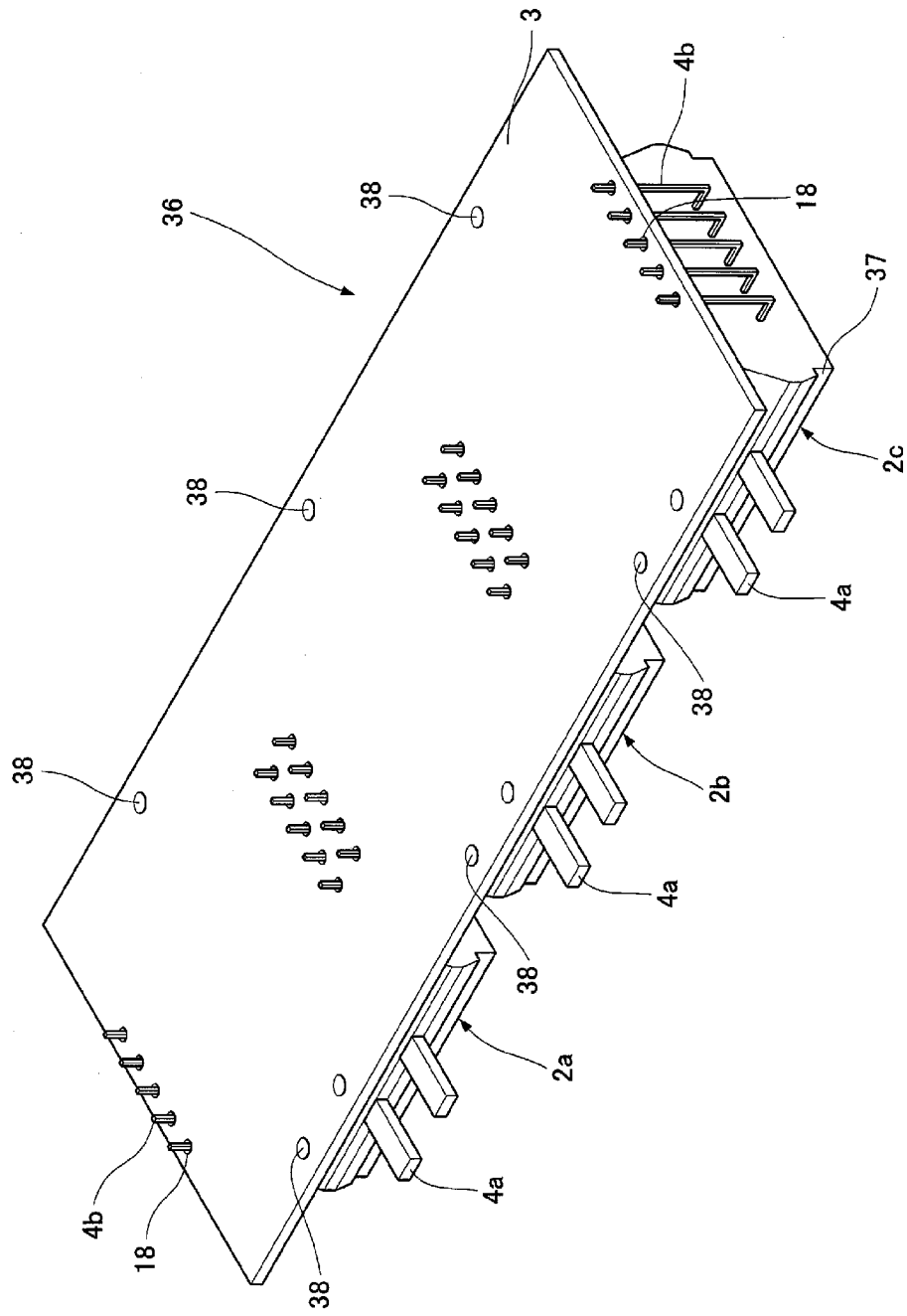




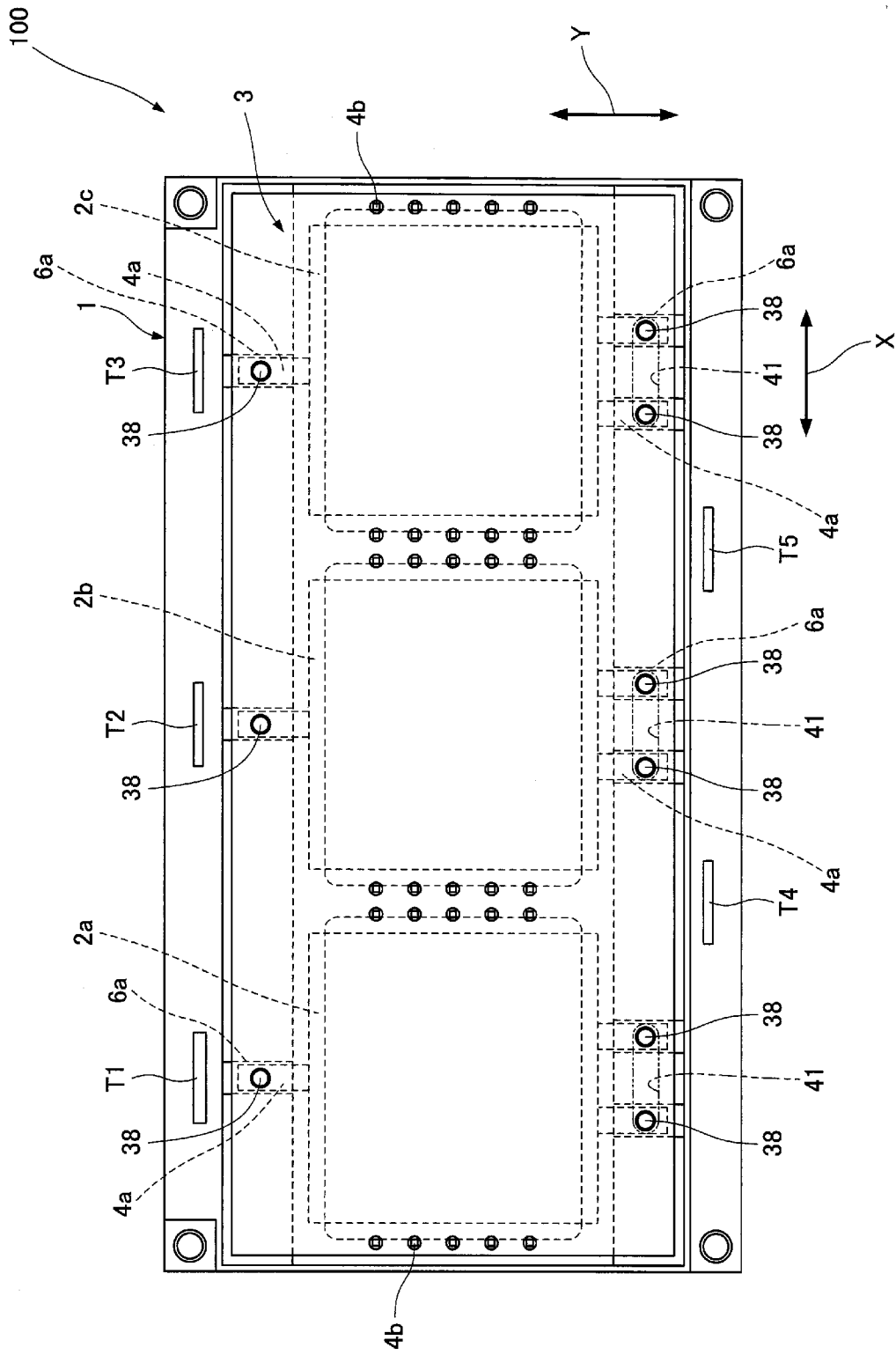
[図6]



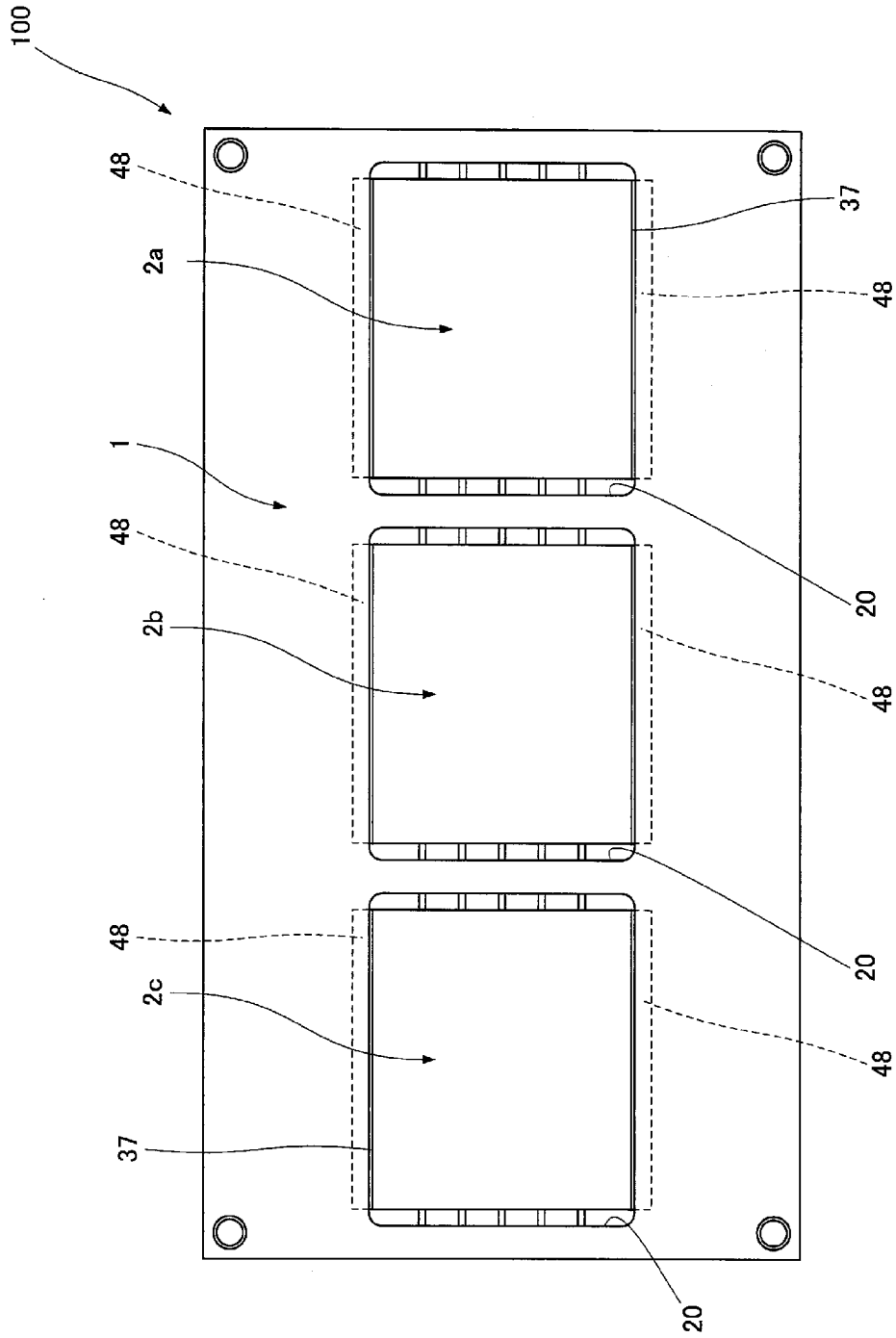
[図7]



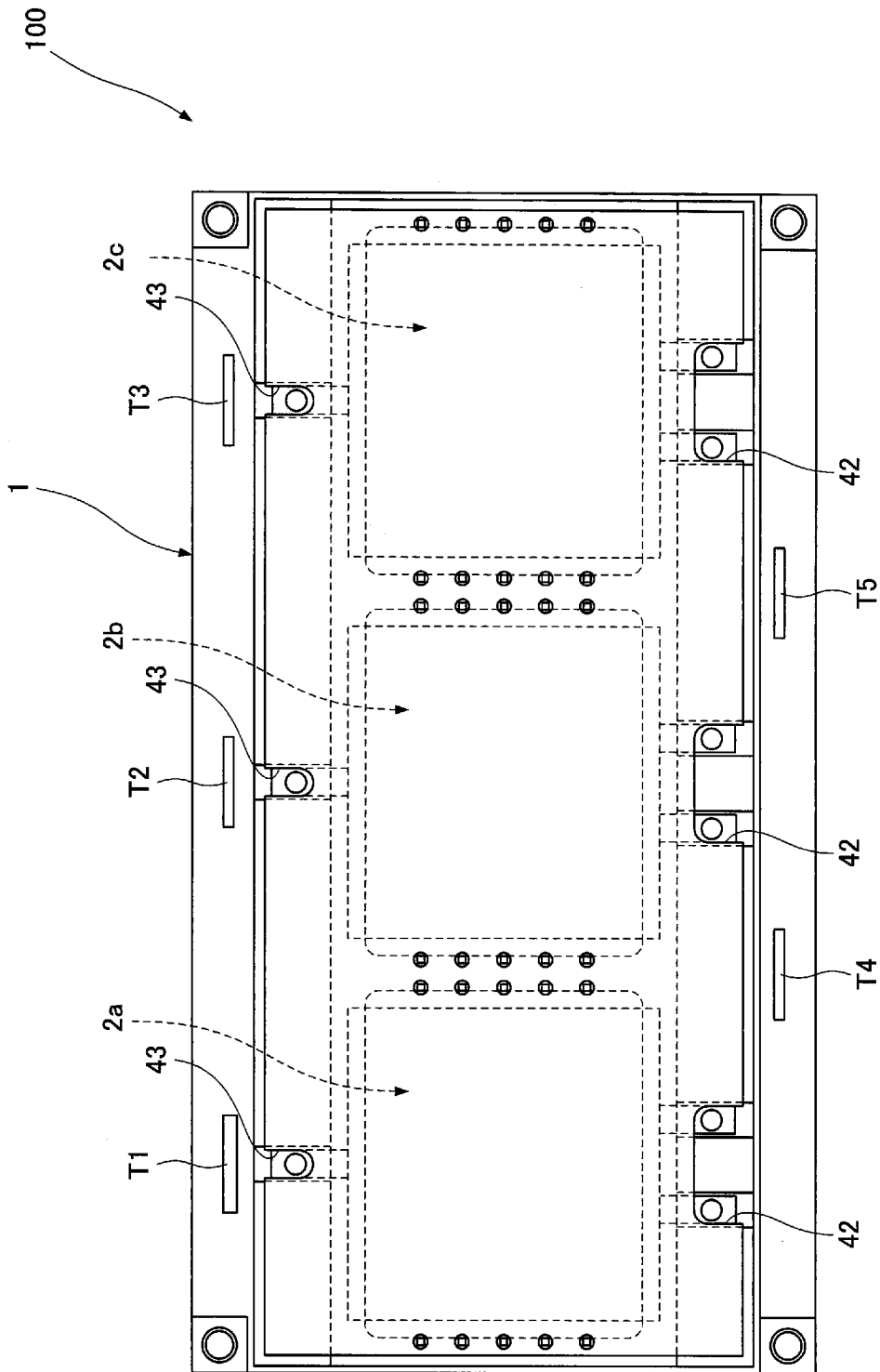
[図8]



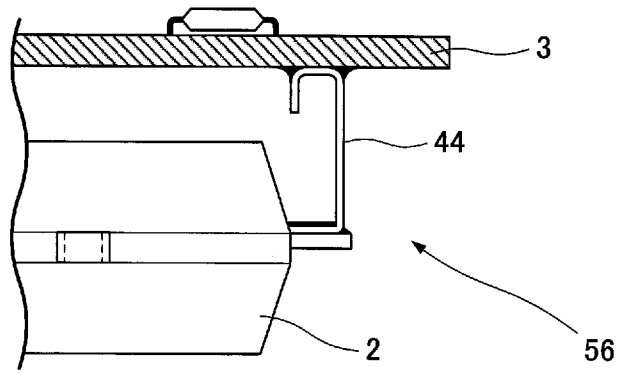
[図9]



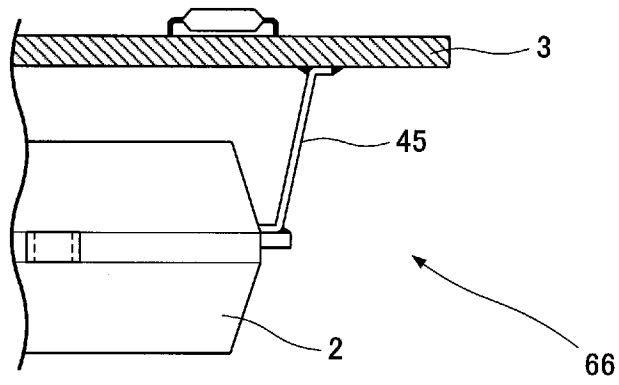
[図10]



[図11]

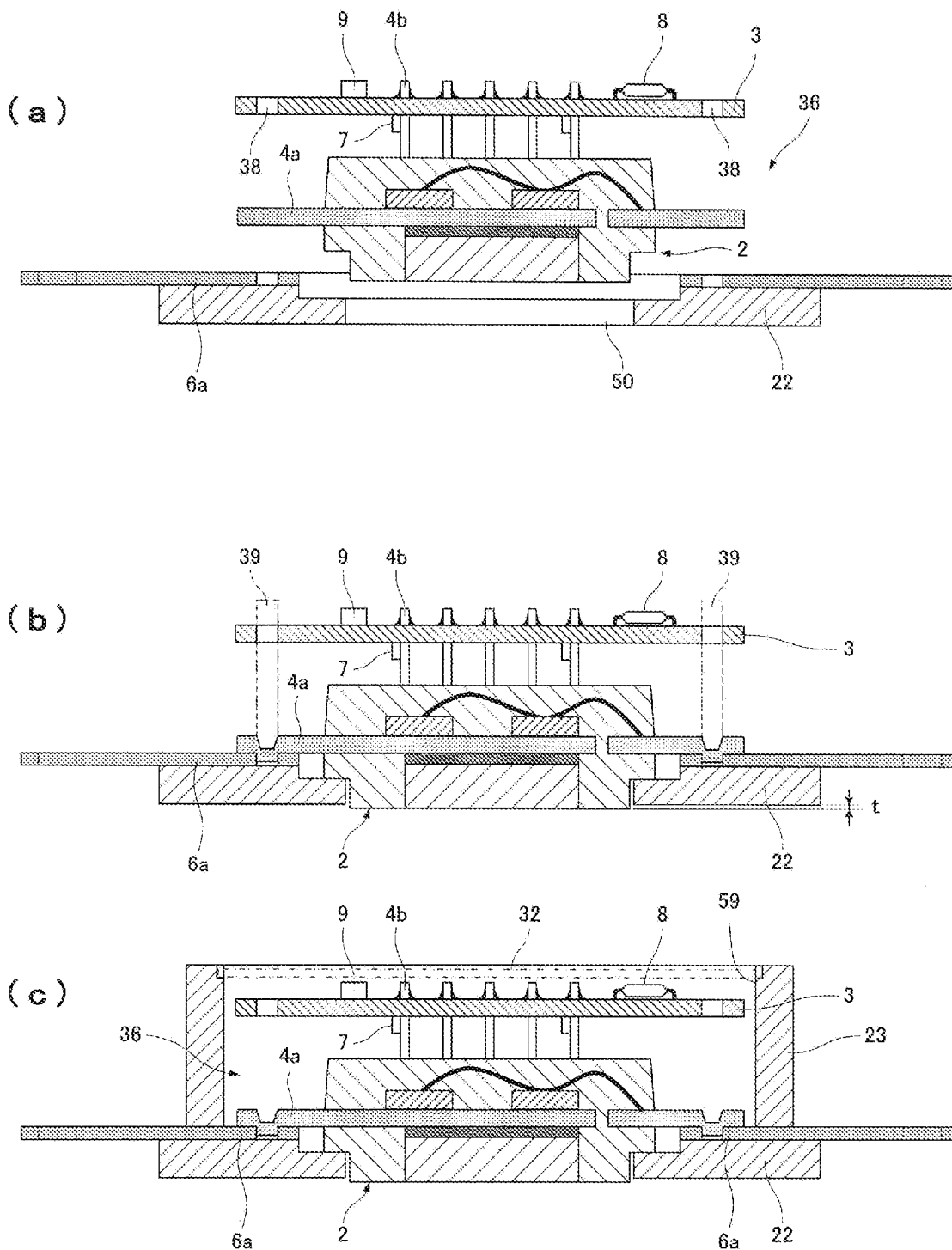


[図12]

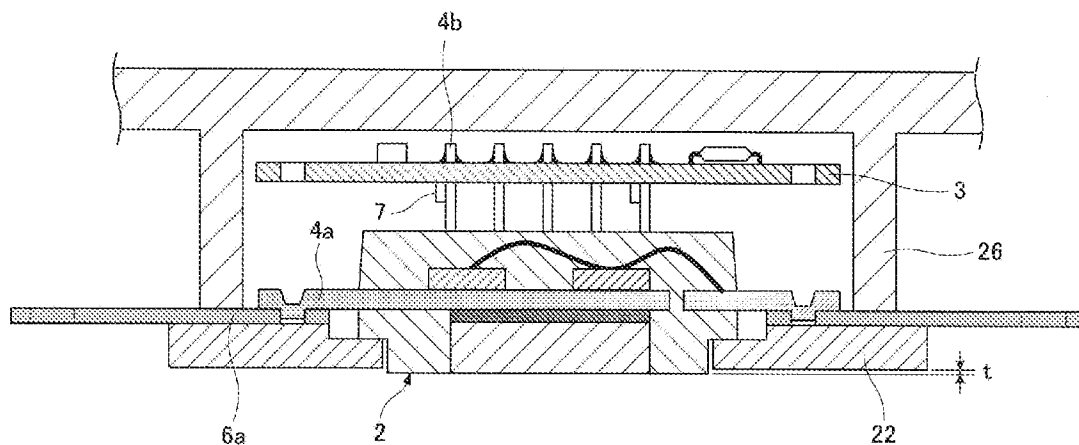




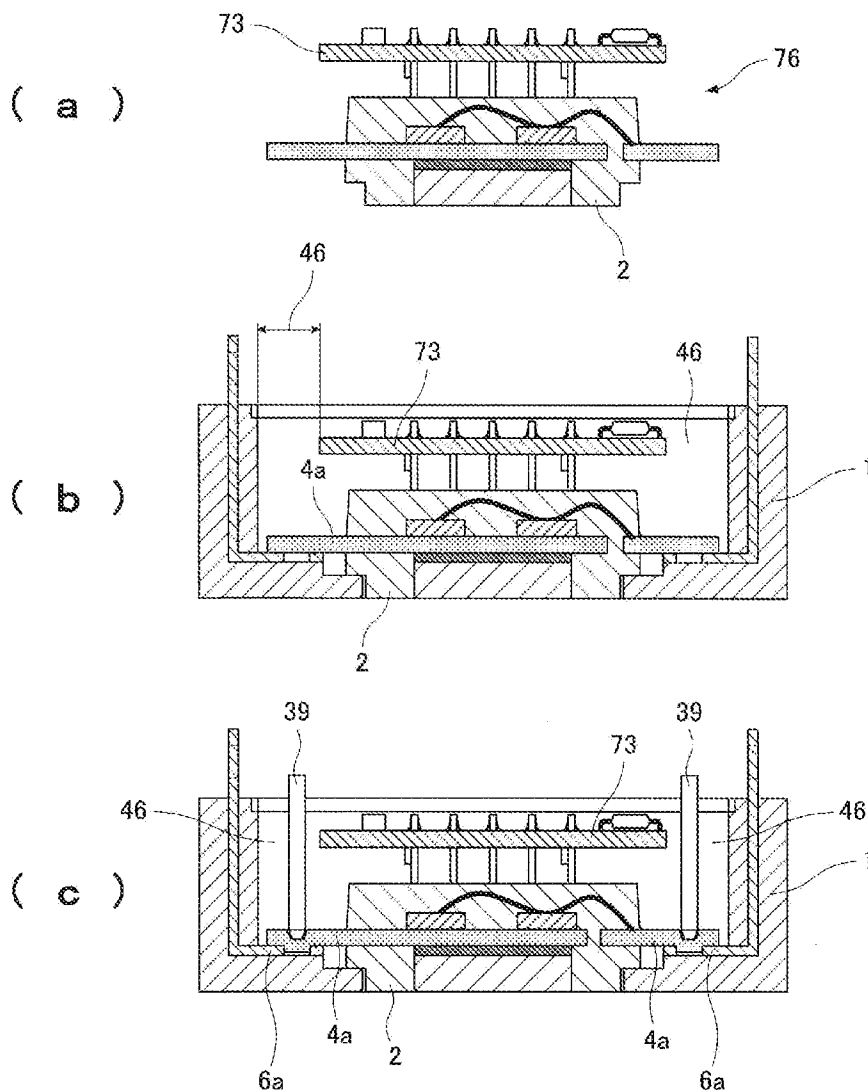
[図14]



[図15]

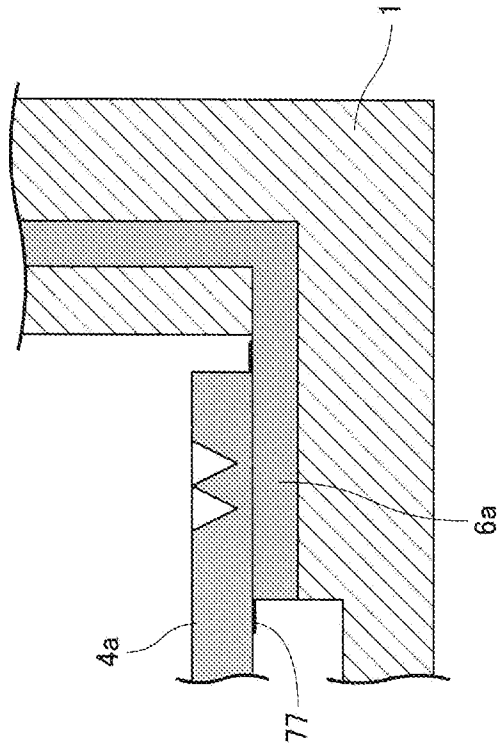


[図16]

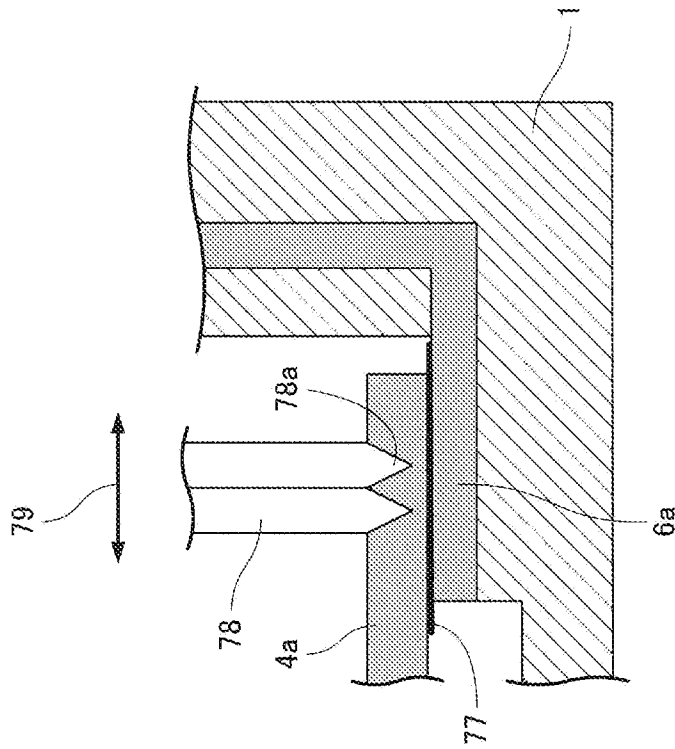


[図17]

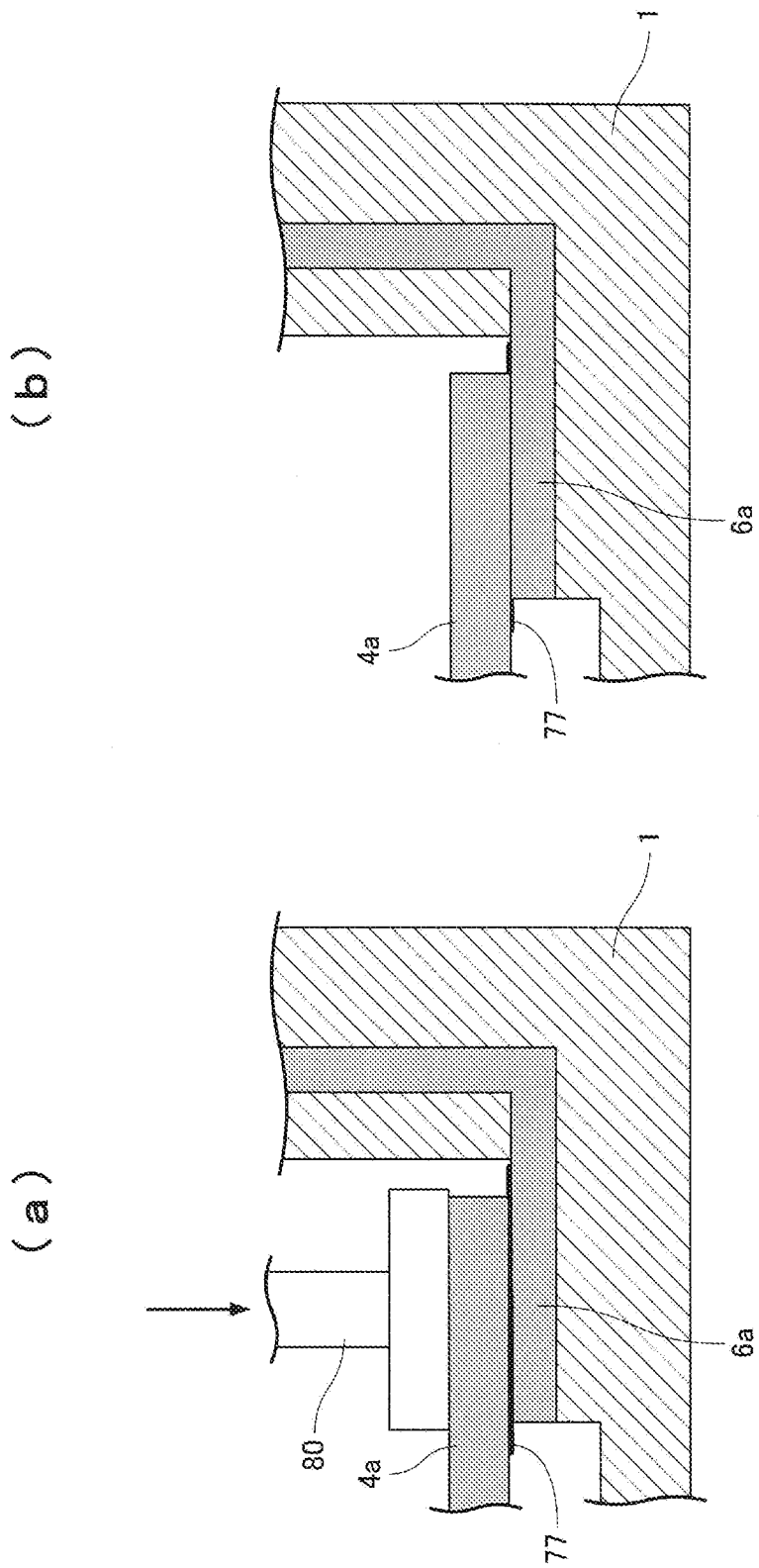
(b)



(a)

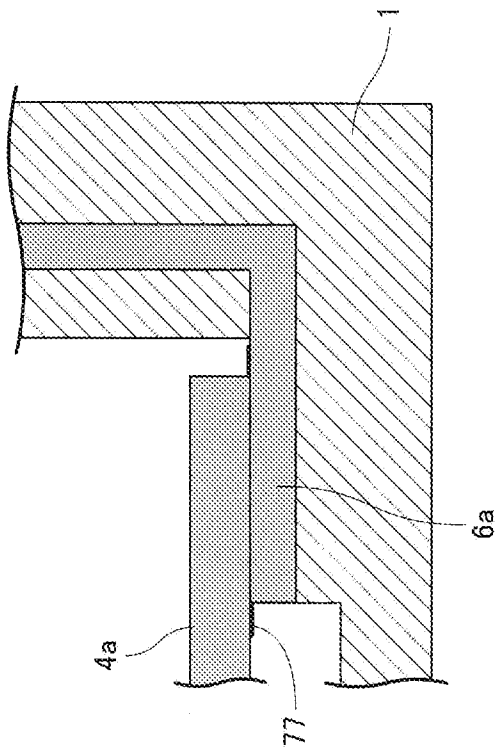


[図18]

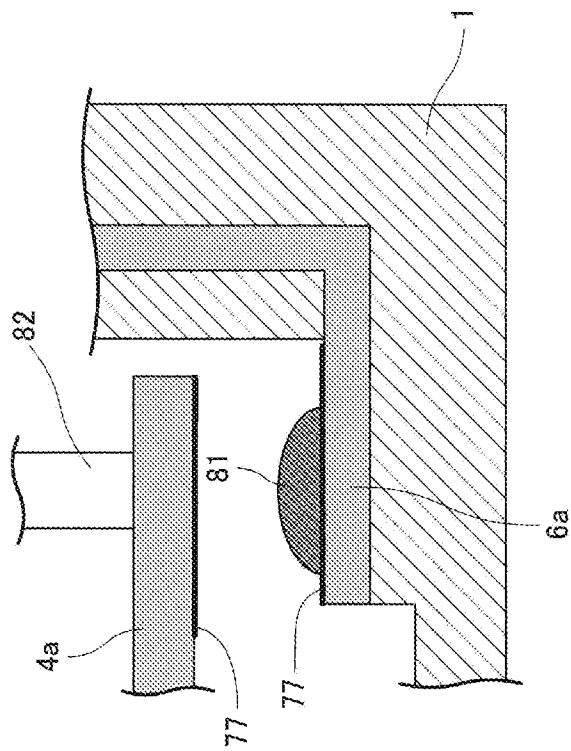


[図19]

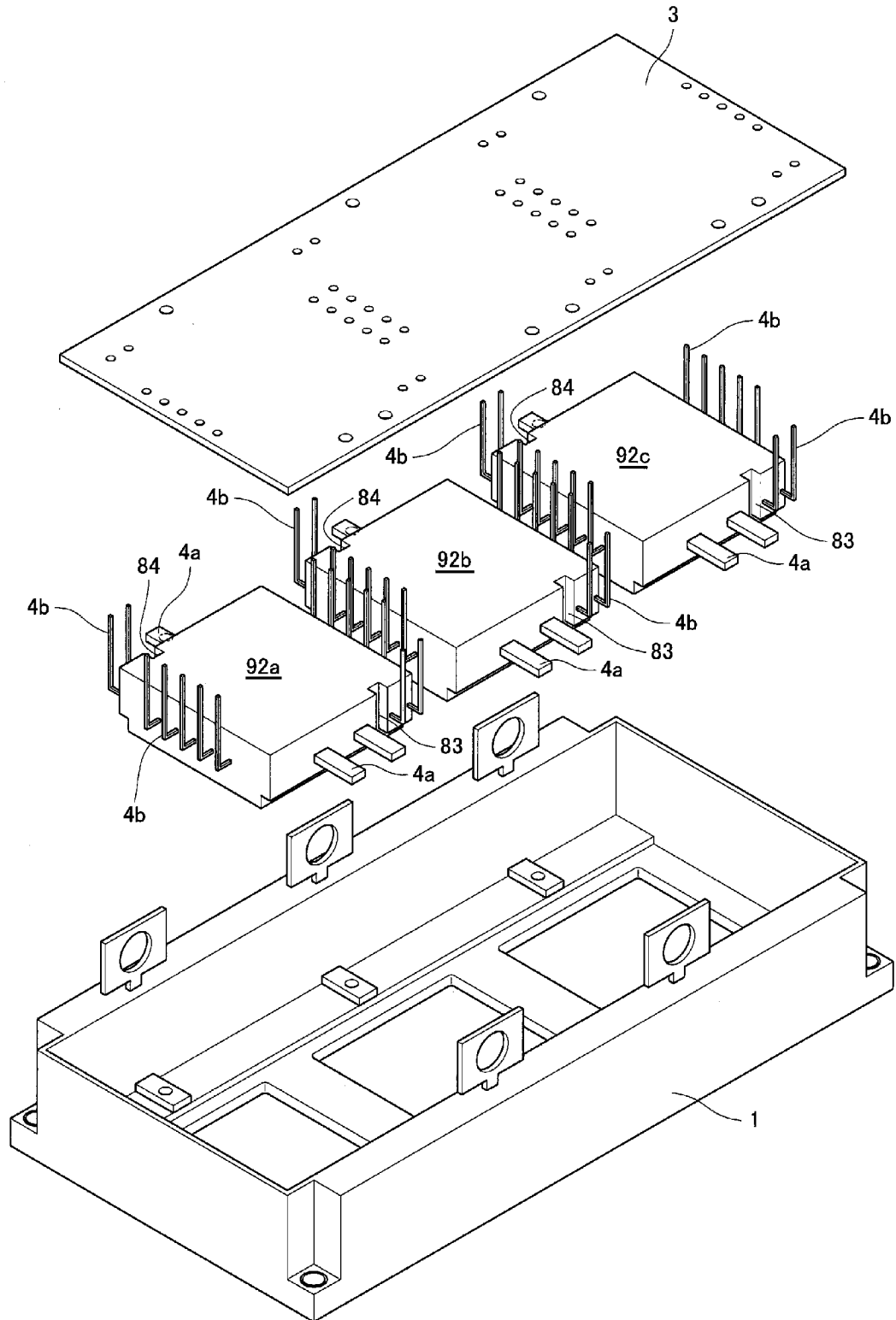
(b)



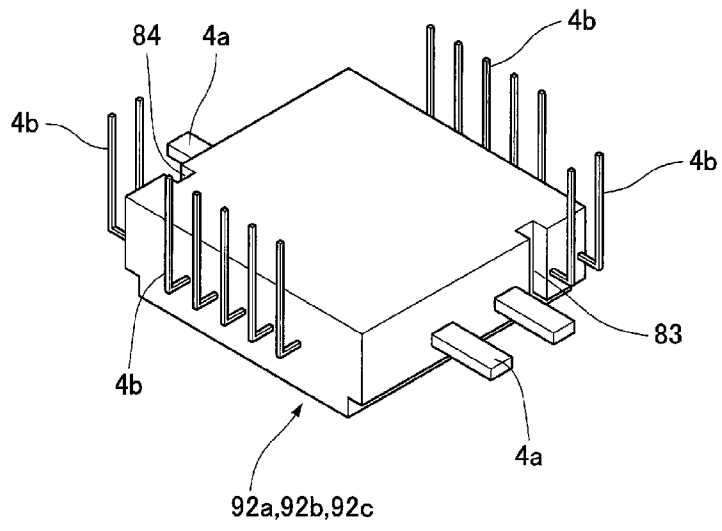
(a)



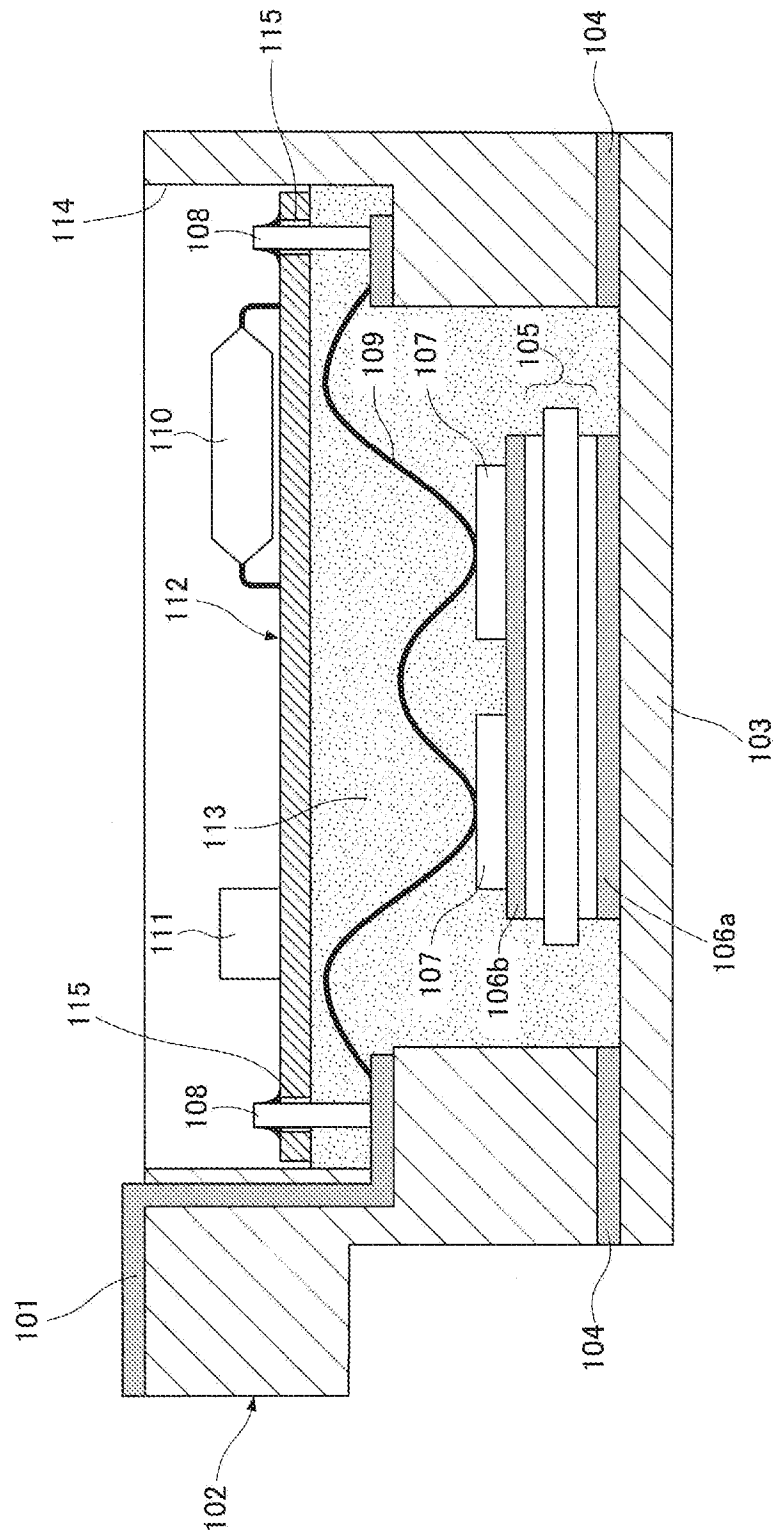
[図20]



[図21]



[図22]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/007864

## A. CLASSIFICATION OF SUBJECT MATTER

H01L25/07(2006.01) i, H01L25/18(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X <u>Y</u> <u>A</u>	JP 2010-283014 A (Mitsubishi Electric Corp.), 16 December 2010 (16.12.2010), paragraphs [0021] to [0022]; fig. 1 (Family: none)	1-4, 7-8, 10, 14 5, 9 <u>6, 11-13,</u> <u>15-20</u>
Y <u>A</u>	JP 2003-100987 A (Mitsubishi Electric Corp.), 04 April 2003 (04.04.2003), paragraphs [0020] to [0031]; fig. 1 & US 2003/0197255 A1 & DE 10238037 A & FR 2829874 A & FR 2829874 A1	5 <u>1-4, 6-20</u>
Y	JP 2001-189416 A (Mitsubishi Electric Corp.), 10 July 2001 (10.07.2001), paragraphs [0033] to [0036]; fig. 9 to 11 & US 6421244 B1 & DE 10031678 A	9

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
04 March, 2013 (04.03.13)Date of mailing of the international search report  
12 March, 2013 (12.03.13)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L25/07(2006.01)i, H01L25/18(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L25/07, H01L25/18		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2013年 日本国実用新案登録公報 1996-2013年 日本国登録実用新案公報 1994-2013年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X <u>Y</u> <u>A</u>	JP 2010-283014 A (三菱電機株式会社) 2010. 12. 16, 段落 0021-0022, 図 1 (ファミリーなし)	1-4, 7-8, 10, 14 <u>5, 9</u> <u>6, 11-13,</u> <u>15-20</u>
Y <u>A</u>	JP 2003-100987 A (三菱電機株式会社) 2003. 04. 04, 段落 0020-0031, 図 1 & US 2003/0197255 A1 & DE 10238037 A & FR 2829874 A & FR 2829874 A1	5 <u>1-4, 6-20</u>
<input checked="" type="checkbox"/> C 欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 04. 03. 2013	国際調査報告の発送日 12. 03. 2013	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 石野 忠志 電話番号 03-3581-1101 内線 3471	4 R   3547

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-189416 A (三菱電機株式会社) 2001.07.10, 段落 0033-0036, 図 9-11 & US 6421244 B1 & DE 10031678 A	9