



JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：液晶駆動装置

技術分野

[0001] 本明細書中に開示されている複数の技術的特徴は、いずれも、液晶駆動装置（液晶ドライバＩＣ）に組み込むことが可能な種々の要素技術に関するものである。

背景技術

[0002] （第１の背景技術）

図８は、電圧増幅回路の一従来例を示すブロック図である。図８に示すように、本従来例の電圧増幅回路は、設定値Ｓに基づいて入力電圧 V_{IN} を生成する入力電圧生成部 $a100$ と、入力電圧 V_{IN} と帰還電圧 V_{FB} が一致するように入力電圧 V_{IN} を増幅して出力電圧 V_{OUT} を生成するオペアンプ $a200$ と、一端に印加される出力電圧 V_{OUT} と他端に印加される接地電圧 GND との間を分圧して帰還電圧 V_{FB} を生成するフィードバック抵抗部 $a300$ と、を有して成る。

[0003] 上記構成から成る電圧増幅回路において、フィードバック抵抗部 $a300$ で設定されるフィードバックゲイン α は固定されており、入力電圧 V_{IN} と出力電圧 V_{OUT} との間には、下記（１）式が成立していた。

[0004] $V_{OUT} = \alpha \times V_{IN} \quad \cdots \quad (1)$

[0005] なお、上記に関連する従来技術の一例としては、特許文献１を挙げることができる。

[0006] （第２の背景技術）

図１４は、液晶表示装置の一従来例を示す模式図である。本従来例の液晶表示装置は、液晶駆動装置 $b100$ と、ＴＦＴ〔Thin Film Transistor〕方式の液晶表示パネル $b200$ とを有して成る。

[0007] 液晶駆動装置 $b100$ は、液晶表示パネル $b200$ の駆動に際し、 x 列の液晶素子に印加される出力信号 $O(k)$ （ただし $k=1, 2, \cdots, x$ 、以下

同様)の極性反転制御を行う半導体装置であり、デジタル／アナログ変換器E1(k)及びF1(k)と、ソースアンプE2(k)及びF2(k)と、Pチャネル型MOS [Metal Oxide Semiconductor] 電界効果トランジスタE3(k)及びF4(k)と、Nチャネル型MOS電界効果トランジスタE4(k)及びF3(k)と、静電保護ダイオードE5(k)及びF5(k)と、を集積化して成る。

[0008] 図15は、液晶駆動装置b100による極性反転制御の一従来例を示すタイミングチャートであり、紙面の上から順番に、出力信号O(k)の電圧レベル、RGBの選択状態、出力信号O(k)の極性状態(正極性(POS)フレームまたは負極性(NEG)フレーム)、トランジスタE3(k)のゲート電圧、トランジスタE4(k)のゲート電圧、トランジスタF3(k)のゲート電圧、及び、トランジスタF4(k)のゲート電圧がそれぞれ描写されている。

[0009] 図15に示す通り、正極性フレーム(時刻t21~t22)においては、トランジスタE3(k)がオンとされ、トランジスタF3(k)がオフとされる。すなわち、出力信号O(k)として、ソースアンプE2(k)で生成される正極性のアナログ信号が選択される。一方、負極性フレーム(時刻t22~t23)では、トランジスタE3(k)がオフとされ、トランジスタF3(k)がオンとされる。すなわち、出力信号O(k)として、ソースアンプF2(k)で生成される負極性のアナログ信号が選択される。

[0010] このような出力信号O(k)の極性反転制御を行う構成であれば、液晶素子に対して一方向の電圧が継続的に印加され続けることがないので、液晶素子の劣化を抑えることが可能となる。

[0011] また、出力信号O(k)を正極性から負極性に反転させるタイミング(時刻t22)では、トランジスタE3(k)がオフされた後、トランジスタF3(k)がオンされるとともに、トランジスタF4(k)が所定のオン期間Tonだけオンされ、出力信号O(k)を負極性から正極性に反転させるタイミング(時刻t21、t23)では、トランジスタF3(k)がオフされ

た後に、トランジスタE3(k)がオンされるとともに、トランジスタE4(k)が所定のオン期間 T_{on} だけオンされる。

[0012] このように、出力信号O(k)の極性反転に際して、出力信号O(k)を一旦接地電圧GNDに設定する構成であれば、出力信号O(k)の極性反転時に生じる電位差を小さく抑えて、液晶素子の駆動電流を低減することが可能となる。

[0013] なお、図15では、トランジスタE4(k)及びF4(k)のオン期間 T_{on} がいずれも誇張的に長く描写されているが、実際の設定では、例えば、出力信号O(k)が正電源電圧VDD或いは負電源電圧VEEから接地電圧GNDとなるまでに要する期間とすればよく、トランジスタE4(k)及びF4(k)のオン期間 T_{on} は、一のフレーム期間に比べて十分に短いものとなる。

[0014] 上記に関連する従来技術の一例としては、本願出願人による特許文献2を挙げることができる。

[0015] (第3の背景技術)

図27は、電源回路の一従来例を示した回路ブロック図である。本従来例の電源回路c100は、駆動制御部c101と、論理積演算器c102と、出力トランジスタc103と、インダクタc104と、ダイオードc105と、コンデンサc106と、を有し、駆動制御部c101の出力帰還制御により、出力トランジスタc103をオン／オフさせることで、入力電圧 V_{in} から所望の出力電圧 V_{out} を生成する降圧型のスイッチングレギュレータである。

[0016] なお、本従来例の電源回路c100は、外部入力される外部リセット信号R0に応じて出力トランジスタc103を強制的にオフ状態とする機能を備えている。より具体的に述べると、本従来例の電源回路c100において、外部リセット信号R0がローレベル（リセット論理）とされたときには、駆動制御部c101の出力信号に依らず、出力トランジスタc103のゲート信号がローレベルに固定され、出力トランジスタc103が強制的にオフ状

態とされる。

[0017] なお、上記に関連する従来技術の一例としては、特許文献 3 を挙げることができる。

[0018] (第 4 の背景技術)

近年、携帯電話機、デジタルカメラ、PDA [Personal Digital/Data Assistant]、携帯ゲーム機、カーナビゲーション、及び、カーオーディオなどに用いられる小型の液晶表示装置の分野では、バッテリーの長寿命化を実現すべく、液晶駆動装置（液晶ドライバ IC）の低消費電力化が強く求められている。

[0019] (第 5 の背景技術)

図 3 6 A 及び図 3 6 B は、それぞれ、液晶駆動装置に含まれるコモン電圧生成回路の第 1 従来例及び第 2 従来例を示す回路図である。両図のコモン電圧生成回路 e 1 0 0 は、いずれも、液晶表示パネルの駆動に際して、液晶表示パネルを形成する全ての液晶素子に共通して印加されるコモン電圧 V_{COM} の極性反転を行う構成（いわゆる AC 駆動型）と、コモン電圧 V_{COM} を固定値に維持する構成（いわゆる DC 駆動型）と、を任意に切り替えることができるように、P チャネル型 MOS [Metal Oxide Semiconductor] 電界効果トランジスタ e 1 0 1 と、N チャネル型 MOS 電界効果トランジスタ e 1 0 2 及び e 1 0 3 と、制御部 e 1 0 4 と、を有する。

[0020] トランジスタ e 1 0 1 は、コモン電圧 V_{COM} の出力端と、第 1 電圧 V_{COM_H} （AC 駆動時におけるコモン電圧 V_{COM} のハイレベル電圧）の印加端との間に接続されており、制御部 e 1 0 4 からの制御信号に応じてオン／オフされる。

[0021] トランジスタ e 1 0 2 は、コモン電圧 V_{COM} の出力端と、第 2 電圧 V_{COM_L} （AC 駆動時におけるコモン電圧 V_{COM} のローレベル電圧）の印加端との間に接続されており、制御部 e 1 0 4 からの制御信号に応じてオン／オフされる。

[0022] トランジスタ e 1 0 3 は、コモン電圧 V_{COM} の出力端と、第 3 電圧 V_C

OMDC（DC駆動時におけるコモン電圧VCOM）の印加端との間に接続されており、制御部e104からの制御信号に応じてオン／オフされる。

[0023] なお、従来の液晶駆動装置e100では、トランジスタe102及びe103のバックゲートがいずれも第2電圧VCOMAC__Lの印加端、または、第3電圧VCOMDCの印加端に固定的に接続されていた（図36A及び図36Bを参照）。

[0024] （第6の背景技術）

図39は、液晶表示パネルを形成する全ての液晶素子に共通して印加されるコモン電圧VCOMを生成するコモン電圧生成回路の一従来例を示す回路ブロック図である。本従来例のコモン電圧生成回路f100は、液晶表示パネルの駆動に際して、コモン電圧VCOMの極性反転制御を行うべく、アンプf101を用いてコモン電圧VCOMの電圧レベルを第1電圧VCOMHと第2電圧VCOML（ただしVCOMH>VCOML）との間でパルス駆動させる構成（いわゆるAC駆動型）とされていた（コモン電圧VCOMの挙動については、図40を参照）。

先行技術文献

特許文献

[0025] 特許文献1：特開2007-34506号公報

特許文献2：国際公開第2006/075768号パンフレット

特許文献3：特開2006-163814号公報

発明の概要

発明が解決しようとする課題

[0026] （第1の課題）

フィードバックゲイン α が固定されている従来例の電圧増幅回路（先出の図8を参照）において、より高い出力電圧VOUTを生成するためには、必然的により高い入力電圧VINが必要となる。しかしながら、入力電圧生成部a100において、電源電圧VRを超える入力電圧Vinを生成すること

ができない場合には、出力電圧 V_{OUT} の上限値が電源電圧 V_R に律則される形となる。

[0027] 一方、フィードバックゲイン α を高く設定すれば、入力電圧 V_{in} を低く抑えたまま、高い出力電圧 V_{OUT} を生成することができる。しかしながら、フィードバックゲイン α を高く設定すると、低い出力電圧 V_{OUT} （接地電圧 GND 近傍）を生成する必要が生じた場合に入力電圧 V_{IN} を極端に引き下げなければならず、接地電圧 GND の揺れやノイズなどに対して動作が不安定となる。

[0028] なお、上記第1の課題の解決手段としては、設定値 S に応じてフィードバックゲイン α を可変制御する構成を採用することが考えられる。しかしながら、このような構成では、部品点数の増加や制御の複雑化を招くおそれがあった。

[0029] 本明細書中に開示されている第1の技術的特徴は、本願発明者らが見出した上記第1の課題に鑑み、可変域が制限されている入力電圧から所望の可変域を有する出力電圧を安定して生成することが可能な電圧増幅回路、並びに、これを用いた階調電圧生成回路及び画素駆動装置を提供することを目的とする。

[0030] （第2の課題）

先出の図14で示した従来例の液晶駆動装置b100では、出力信号 $O(k)$ を出力する外部端子 $T(k)$ の全てについて、静電保護ダイオード $E5(k)$ 及び $F5(k)$ が設けられており、液晶駆動装置b100の大型化（チップ面積増大）が招かれていた。

[0031] また、上記従来例の液晶駆動装置b100では、極性反転用のトランジスタ $E3(k)$ 及び $F3(k)$ より外部端子側に、チャージシェア用（ GND ショート用）のトランジスタ $E4(k)$ 及び $F4(k)$ が設けられていた。そのため、トランジスタ $E3(k)$ 及び $F3(k)$ だけでなく、トランジスタ $E4(k)$ 及び $F4(k)$ についても、そのゲート・ソース間には、非常に大きな電位差（最大で $V_{DD}-V_{EE}$ ）が印加されることから、素子サイズ

の大きい高耐圧素子（例えば、20V耐圧素子）を用いなければならず、液晶駆動装置b100の大型化（チップ面積の増大）が招かれていた。

[0032] 本明細書中に開示されている第2の技術的特徴は、本願発明者らが見出した上記第2の課題に鑑み、装置の小型化を実現することが可能な液晶駆動装置、及び、これを用いた液晶表示装置を提供することを目的とする。

[0033] （第3の課題）

先出の図27で示した従来例の電源回路c100であれば、電源投入時に外部リセット信号R0をローレベルとしておくことにより、駆動制御部c101の出力信号が論理不定状態であっても、出力トランジスタc103のゲート信号をローレベルに固定することができるので、出力トランジスタc103を強制的にオフ状態とし、意図しない過電流の発生を未然に防止することが可能である。

[0034] しかしながら、上記従来例の電源回路c100では、何らかの不具合により、電源投入時に外部リセット信号R0がハイレベルとされていた場合に、論理不定状態である駆動制御部c101の出力信号が出力トランジスタc103のゲート信号として入力されてしまう。そのため、駆動制御部c101の出力信号がハイレベルであった場合には、出力トランジスタc103がオン状態となって、意図しない過電流を生じるおそれがあった。

[0035] 本明細書中に開示されている第3の技術的特徴は、本願発明者らが見出した上記第3の課題に鑑み、電源投入時の過電流を防止することが可能な電源回路及びこれを用いた液晶駆動装置を提供することを目的とする。

[0036] （第4の課題）

従来の液晶駆動装置は、液晶表示パネルで映像を出力している間、常に全ての内部回路が動作状態に維持されており、その低消費電力化に向けては、液晶駆動装置の動作時消費電力をいかに低減するかが技術開発の焦点とされていた。

[0037] また、従来の液晶駆動装置は、その動作を停止する際、不必要な映像が液晶表示パネルに残らないように、出力コンデンサに蓄えられた電荷をディス

チャージする構成とされていた。そのため、従来の液晶駆動装置では、液晶表示パネルでの映像出力状態を維持したまま、液晶駆動装置の動作を停止させることができなかった。

[0038] 本明細書中に開示されている第4の技術的特徴は、本願発明者らが見出した上記第4の課題に鑑み、映像出力状態を維持したまま、自身の動作を停止させることにより、低消費電力化を実現することが可能な液晶駆動装置を提供することを目的とする。

[0039] (第5の課題)

先出の図36A及び図36Bで示したコモン電圧生成回路e100では、先にも述べたように、トランジスタe102及びe103のバックゲートがいずれも第2電圧 V_{COMAC_L} の印加端、または、第3電圧 V_{COMDC} の印加端に固定的に接続されていた。そのため、上記従来のコモン電圧生成回路e100では、トランジスタe102及びe103のバックゲートの接続先を常に回路系の最低電位としなければならない関係上、第2電圧 V_{COMAC_L} と第3電圧 V_{COMDC} との電位関係が決まってしまう、液晶駆動装置e100の汎用性が損なわれるという問題があった。

[0040] すなわち、図36Aで示したように、トランジスタe102及びe103のバックゲートをいずれも第2電圧 V_{COMAC_L} の印加端に接続した場合には、 $V_{COMAC_H} > V_{COMDC} > V_{COMAC_L}$ という電位関係が成立するように、第1電圧 V_{COMAC_H} 、第2電圧 V_{COMAC_L} 、及び、第3電圧 V_{COMDC} を設定しなければならなかった。また、トランジスタe102及びe103のバックゲートをいずれも第3電圧 V_{COMDC} の印加端に接続した場合には、 $V_{COMAC_H} > V_{COMAC_L} > V_{COMDC}$ という電位関係が成立するように、第1電圧 V_{COMAC_H} 、第2電圧 V_{COMAC_L} 、及び、第3電圧 V_{COMDC} を設定しなければならなかった。

[0041] なお、トランジスタe102及びe103のバックゲートをいずれも、第1電圧 V_{COMAC_H} 、第2電圧 V_{COMAC_L} 、及び、第3電圧 V_{COMDC}

OMDCよりもさらに低い第4電圧 V_{EE} の印加端に接続すれば上記の問題は解消されるが、このような構成を採用した場合には、トランジスタe102及びe103に求められる素子耐圧が大きくなるため、チップサイズが大型化してしまうという問題があった。

[0042] 本明細書中に開示されている第5の技術的特徴は、本願発明者らが見出した上記第5の課題に鑑み、チップサイズの大型化を抑えつつ、高い汎用性を備えたコモン電圧生成回路、及び、これを用いた液晶駆動装置を提供することを目的とする。

[0043] (第6の課題)

先出の図39で示したコモン電圧生成回路f100では、液晶素子の駆動に際して、液晶素子に付随する素子容量 C_{lcd} の充放電が行われる。しかしながら、上記従来構成のコモン電圧生成回路f100では、素子容量 C_{lcd} の放電時に全ての電荷を捨てていたため、素子容量 C_{lcd} の充電時には一から新たな電荷の蓄積を行わねばならなかった。そのため、上記従来構成のコモン電圧生成回路f100では、素子容量 C_{lcd} の充放電に伴う消費電力が全ての消費電力の中で大きな割合を占めていた。

[0044] 本明細書中に開示されている第6の技術的特徴は、本願発明者らが見出した上記第6の課題に鑑み、素子容量の充放電に伴う消費電力を抑えることが可能な液晶駆動装置を提供することを目的とする。

課題を解決するための手段

[0045] (第1の課題を解決するための手段)

上記第1の課題を解決するために、第1の技術的特徴に係る電圧増幅回路は、設定値に基づいて入力電圧を生成する入力電圧生成部と、前記入力電圧と帰還電圧が一致するように前記入力電圧を増幅して出力電圧を生成するオペアンプと、一端に印加される前記出力電圧と他端に印加される基準電圧との間を分圧して前記帰還電圧を生成するフィードバック抵抗部と、前記設定値に基づいてセクタ制御信号を生成するセクタ制御部と、前記セクタ制御信号に基づいて前記基準電圧を複数の候補から選択するセクタと、を

有して成る構成（第１－１の構成）とされている。

[0046] なお、上記第１－１の構成から成る電圧増幅回路において、前記セレクトは、前記設定値が所定値以上であるときに第１基準電圧を選択し、前記設定値が前記所定値未満であるときに前記第１基準電圧よりも高い第２基準電圧を選択し、前記入力電圧生成部は、前記設定値の可変域全体にわたり、前記設定値に対して前記出力電圧が線形的に変化するように前記入力電圧を生成する構成（第１－２の構成）にするとよい。

[0047] また、上記第１－１または第１－２の構成から成る電圧増幅回路は、前記セレクト制御信号に基づいて前記フィードバック抵抗部に供給すべきトリミングテーブルを複数の候補から選択する第２セレクトを有して成り、前記フィードバック抵抗部は、前記第２セレクトで選択されたトリミングテーブルに基づいて自身の分圧比を微調整する構成（第１－３の構成）にするとよい。

[0048] また、上記第１－３の構成から成る電圧増幅回路は、前記第２セレクトでの選択候補となる複数のトリミングテーブルを不揮発的に記憶する不揮発性メモリと、前記電圧増幅回路の起動時に前記不揮発メモリから読み出される前記複数のトリミングテーブルを各々格納する複数のレジスタと、を有して成る構成（第１－４の構成）にするとよい。

[0049] また、上記第１－３または第１－４の構成から成る電圧増幅回路において、前記第２セレクトは前記設定値が前記所定値以上であるときに第１トリミングテーブルを選択し、前記設定値が所定値未満であるときに第２トリミングテーブルを選択する構成（第１－５の構成）にするとよい。

[0050] また、第１の技術的特徴に係る階調電圧生成回路は、一端に印加される上限電圧と他端に印加される下限電圧との間を分圧して複数の階調電圧を生成する抵抗ラダーと、前記出力電圧を前記下限電圧として出力する上記第１－１～第１－５いずれかの構成から成る電圧増幅回路と、を有して成る構成（第１－６の構成）とされている。

[0051] また、第１の技術的特徴に係る画素駆動装置は、デジタル画素信号をアナ

ログ画素信号に変換して画素に供給するデジタル／アナログ変換器と、前記デジタル／アナログ変換器に前記複数の階調電圧を供給する上記第１－６の構成から成る階調電圧生成回路とを有して成る構成（第１－７の構成）とされている。

[0052] （第２の課題を解決するための手段）

上記第２の課題を解決するために、第２の技術的特徴に係る液晶駆動装置は、基準電圧とこれよりも高い第１電源電圧との間で駆動される第１アンプと、前記基準電圧とこれよりも低い第２電源電圧との間で駆動される第２アンプと、第１アンプの出力端と第１外部端子との間に接続された第１スイッチと、第２アンプの出力端と第１外部端子との間に接続された第２スイッチと、を集積化して成り、第１スイッチと第２スイッチを相補的にオン／オフさせることにより、第１外部端子から液晶素子に印加される出力信号の極性反転制御を行う液晶駆動装置であって、第１アンプの出力端と前記基準電圧の印加端との間に接続された第３スイッチと、第２アンプの出力端と前記基準電圧の印加端との間に接続された第４スイッチと、をさらに集積化して成り、第１スイッチをオンからオフへ切り替える際には、第１スイッチをオフとする前に第３スイッチを所定期間だけオンとし、第２スイッチをオンからオフへ切り替える際には、第２スイッチをオフとする前に第４スイッチを所定期間だけオンとする構成（第２－１の構成）とされている。

[0053] なお、上記第２－１の構成から成る液晶駆動装置において、第１スイッチ及び第２スイッチは、いずれも、電界効果トランジスタであり、各々のソース・バックゲート間に寄生するボディダイオードは、第１外部端子の静電保護ダイオードとして流用されている構成（第２－２の構成）にするとよい。

[0054] また、上記第２－１または第２－２の構成から成る液晶駆動装置は、第１アンプの出力端と第２外部端子との間に接続された第５スイッチと、第２アンプの出力端と第２外部端子との間に接続された第６スイッチと、をさらに集積化して成り、第１スイッチと第５スイッチ、並びに、第２スイッチと第６スイッチを各々相補的にオン／オフさせることで、第１外部端子から液晶

素子に印加される出力信号とは逆の極性で、第2外部端子から液晶素子に印加される出力信号の極性反転制御を行う構成（第2-3の構成）にするとよい。

[0055] また、上記第2-3の構成から成る液晶駆動装置において、第5スイッチ及び第6スイッチは、いずれも、電界効果トランジスタであり、各々のソース・バックゲート間に寄生するボディダイオードは、第2外部端子の静電保護ダイオードとして流用されている構成（第2-4の構成）にするとよい。

[0056] また、上記第2-2または第2-4の構成から成る液晶駆動装置において、前記電界効果トランジスタは、ドレイン領域と；前記ドレイン領域の両側に分離して設けられ、いずれも第1外部端子に接続された第1ソース領域及び第2ソース領域と；を有して成る構成（第2-5の構成）にするとよい。

[0057] また、上記第2-5の構成から成る液晶駆動装置において、前記電界効果トランジスタは、前記ドレイン領域、第1ソース領域、及び、第2ソース領域を取り囲むように形成されたバックゲートのコンタクト領域を有して成る構成（第2-6の構成）にするとよい。

[0058] また、上記第2-6の構成から成る液晶駆動装置において、前記ドレイン領域、第1ソース領域、及び、第2ソース領域と、前記バックゲートのコンタクト領域とは、それぞれ2～4 μm の距離を隔てて形成されている構成（第2-7の構成）にするとよい。

[0059] また、第2の技術的特徴に係る液晶表示装置は、上記第2-1～第2-7いずれかの構成から成る液晶駆動装置と、液晶表示パネルとを有して成る構成（第2-8の構成）とされている。

[0060] （第3の課題を解決するための手段）

上記第3の課題を解決するために、第3の技術的特徴に係る電源回路は、入力電圧から所望の出力電圧が生成されるように出力トランジスタの帰還制御信号を生成する帰還制御回路と、少なくとも電源投入時点から所定期間が経過するまで前記出力トランジスタを強制的にオフ状態とするリセット回路と、を有する構成（第3-1の構成）とされている。

- [0061] なお、上記第３－１の構成から成る電源回路において、前記リセット回路は、少なくとも電源投入時点から前記所定期間が経過するまでリセット論理となるパワーオンリセット信号を生成するパワーオンリセット部を有し、前記パワーオンリセット信号がリセット論理であるときには、前記帰還制御信号に応じた前記出力トランジスタのオン／オフ制御を禁止して前記出力トランジスタを強制的にオフ状態とする構成（第３－２の構成）にするとよい。
- [0062] また、上記第３－２の構成から成る電源回路において、前記リセット回路は、前記パワーオンリセット信号と外部リセット信号の少なくとも一方がリセット論理であればリセット論理となり、双方がリセット解除論理であるときにのみリセット解除論理となる内部リセット信号を生成する内部リセット信号生成部を有し、前記内部リセット信号がリセット論理であるときには、前記帰還制御信号に応じた前記出力トランジスタのオン／オフ制御を禁止して、前記出力トランジスタを強制的にオフ状態とする一方、前記内部リセット信号がリセット解除論理であるときには、前記帰還制御信号に応じた前記出力トランジスタのオン／オフ制御を許可する構成（第３－３の構成）にするとよい。
- [0063] また、上記第３－２または第３－３の構成から成る電源回路において、前記パワーオンリセット部は、電源投入時点から前記所定期間が経過したか否かを示す電源監視信号を生成する電源監視部と；前記所定期間の経過前は前記電源監視信号に応じて前記パワーオンリセット信号をリセット論理に維持する一方、前記所定期間の経過後は前記帰還制御回路の動作可否を制御するイネーブル信号に応じて前記パワーオンリセット信号のリセット解除可否を制御するパワーオンリセット信号生成部と；を有する構成（第３－４の構成）にするとよい。
- [0064] また、上記第３－４の構成から成る電源回路において、前記パワーオンリセット信号生成部は、クロック信号のパルス毎に前記イネーブル信号をラッチ出力信号として取り込む一方で、前記所定期間の経過前には前記電源監視信号に応じて前記ラッチ出力信号がディセーブル論理にリセットされるラッ

チ部と；前記イネーブル信号と前記ラッチ出力信号の少なくとも一方がディセーブル論理であればリセット論理となり、双方がイネーブル論理であるときにのみリセット解除論理となる前記パワーオンリセット信号を生成する論理ゲートと；を有する構成（第３－５の構成）にするとよい。

[0065] また、上記第３－５の構成から成る電源回路において、前記ラッチ部は、複数のフリップフロップを縦列に接続して成る構成（第３－６の構成）にするとよい。

[0066] また、上記第３－５または第３－６の構成から成る電源回路において、前記クロック信号は、前記電源回路が動作している間に、前記ラッチ部に対して継続的に入力される構成（第３－７の構成）にするとよい。

[0067] また、上記第３－１～第３－７いずれかの構成から成る電源回路において、前記リセット回路は複数の前記帰還制御回路によって共有されている構成（第３－８の構成）にするとよい。

[0068] また、第３の技術的特徴に係る液晶駆動装置は、上記第３－１～第３－８いずれかの構成から成る電源回路を有し、前記電源回路の出力電圧を用いて液晶表示パネルの駆動制御を行う構成（第３－９の構成）とされている。

[0069] （第４の課題を解決するための手段）

上記第４の課題を解決するために、第４の技術的特徴に係る液晶駆動装置は、第１期間中には起動状態とされて液晶素子への出力電圧を生成し、第２期間中には出力ハイインピーダンス状態とされるアンプと；前記第１期間中に生成された前記出力電圧を保持するコンデンサと；を有する構成（第４－１の構成）とされている。

[0070] （第５の課題を解決するための手段）

上記第５の課題を解決するために、第５の技術的特徴に係るコモン電圧生成回路は、第１電圧の印加端とコモン電圧の出力端との間に接続されたＰチャネル型電界効果トランジスタと；前記第１電圧よりも低い第２電圧の印加端と前記コモン電圧の出力端との間に接続された第１のＮチャネル型電界効果トランジスタと；前記第１電圧よりも低い第３電圧の印加端と前記コモン

電圧の出力端との間に接続された第2のNチャネル型電界効果トランジスタと；前記第1及び第2のNチャネル型電界効果トランジスタの各バックゲートの接続先として、前記第2電圧の印加端と前記第3電圧の印加端の一方を選択するセレクタと；前記第2電圧と前記第3電圧の電位関係に応じて前記スイッチを制御するバックゲート制御部と；を有する構成（第5－1の構成）とされている。

[0071] （第6の課題を解決するための手段）

上記第6の課題を解決するために、第6の技術的特徴に係る液晶駆動装置は、液晶素子の素子容量を放電する際に、前記素子容量に蓄えられていた電荷の一部を保存するためのリザーブ用コンデンサを有し、前記液晶素子の素子容量を充電する際には、前記リザーブ用コンデンサに保存されていた電荷の一部を前記素子容量の充電に再利用する構成（第6－1の構成）とされている。

発明の効果

[0072] 本明細書中に開示されている複数の技術的特徴をそれぞれ単独で、或いは、任意の組み合わせで実施することにより、液晶駆動装置（液晶ドライバIC）の製品価値を高めることが可能となる。

図面の簡単な説明

[0073] [図1]第1の技術的特徴に係る液晶駆動装置の一実施形態を示すブロック図
[図2]階調電圧生成回路a10の第1構成例を示すブロック図
[図3]上限電圧設定値SHと入力電圧VH1及び出力電圧VH2との関係を示す図
[図4]下限電圧設定値SLと入力電圧VL1及び出力電圧VL3との関係を示す図
[図5]VL4切換時に生じる問題（リニアリティ崩れ）を説明するための図
[図6]階調電圧生成回路a10の第2構成例を示すブロック図
[図7]TL1、TL2切換制御の効果（リニアリティ維持）を説明するための図

[図8] 電圧増幅回路の一従来例を示すブロック図

[図9] 第2の技術的特徴に係る液晶表示装置の第1実施形態を示す模式図

[図10] 液晶駆動装置b1による極性反転制御の一例を示すタイミングチャート

[図11A] トランジスタA3(k)のレイアウト例を示す上面図

[図11B] トランジスタA3(k)の $\gamma-\gamma'$ 断面図

[図12A] トランジスタB3(k)のレイアウト例を示す上面図

[図12B] トランジスタB3(k)の $\delta-\delta'$ 断面図

[図13] 第2の技術的特徴に係る液晶表示装置の第2実施形態を示す模式図

[図14] 液晶表示装置の一従来例を示す模式図

[図15] 極性反転制御の一従来例を示すタイミングチャート

[図16] 第3の技術的特徴に係る液晶表示装置の構成例を示すブロック図

[図17] 電源回路c10の構成例を示す回路ブロック図

[図18] 駆動制御部X1の構成例を示す回路ブロック図

[図19] 駆動制御部X1の動作を説明するためのタイミングチャート

[図20] ジッタキャンセル部X2の構成例を示す回路ブロック図

[図21] ジッタキャンセル部X2の動作を説明するためのタイミングチャート

[図22] 過電圧検知回路X31の構成例を示す回路ブロック図

[図23] パワーオンリセット部Z2の構成例を示す回路ブロック図

[図24] パワーオンリセット部Z2の動作を説明するためのタイミングチャート

[図25] フリップフロップ多段化の意義を説明するためのタイミングチャート

[図26] フリップフロップ更新処理の意義を説明するためのタイミングチャート

[図27] 電源回路の一従来例を示す回路ブロック図

[図28] は、本発明が適用される液晶表示装置の全体構成を示すブロック図

[図29] は、ソースドライバ回路xA3の一構成例を示すブロック図

[図30] は、ソースドライバ部xB9の一構成例を示すブロック図

[図31]は、ソースドライバ部 x B 9 の周辺構成を示すブロック図

[図32]は、第 4 の技術的特徴に係る液晶駆動装置の構成例を示す回路ブロック図

[図33]は、コモン電圧 V COM の生成動作を説明するためのテーブル

[図34]は、コモン電圧 V COM の生成動作を説明するためのタイミングチャート

[図35]は、第 5 の技術的特徴に係る液晶駆動装置の構成例を示す回路ブロック図

[図36A]は、コモン電圧生成回路の第 1 従来例を示す回路ブロック図

[図36B]は、コモン電圧生成回路の第 2 従来例を示す回路ブロック図

[図37]は、第 6 の技術的特徴に係る液晶駆動装置の構成例を示す回路ブロック図

[図38]は、コモン電圧 V COM の生成動作を説明するためのタイミングチャート

[図39]は、コモン電圧生成回路の一従来例を示す回路ブロック図

[図40]は、コモン電圧 V COM の従来挙動を示す波形図

発明を実施するための形態

[0074] (全体構成について)

まず、本発明（後述する種々の技術的特徴）が適用される液晶表示装置ないし液晶駆動装置（液晶ドライバ IC）の全体構成について、図面を参照しながら詳細に説明する。

[0075] 図 28 は、本発明が適用される液晶表示装置の全体構成を示すブロック図である。図 28 に示したように、本構成例の液晶表示装置（ないしは、これを搭載した携帯電話端末などのアプリケーション）は、液晶表示パネル x A 1 と、マルチプレクサ x A 2 と、ソースドライバ回路 x A 3 と、ゲートドライバ回路 x A 4 と、外部 DC / DC コンバータ x A 5 と、MPU [Micro Processing Unit] x A 6 と、映像ソース x A 7 と、を有する。

[0076] 液晶表示パネル x A 1 は、ソースドライバ回路 x A 3 からマルチプレクサ

x A 2 を介して供給される表示データ（アナログ電圧信号）の電圧値に応じて光透過率が変化する液晶素子を画素として用いた T F T [Thin Film Transistor] 方式の映像出力手段である。

- [0077] マルチプレクサ x A 2 は、ソースドライバ回路 x A 3 から入力されるタイミング信号に基づいて、ソースドライバ回路 x A 3 から出力される n 系統の表示データをそれぞれ z 系統（z は 1 以上の整数）に分配することで（n × z）系統の表示データを生成し、これを液晶表示パネル x A 1 に供給する。
- [0078] ソースドライバ回路 x A 3 は、映像ソース x A 7 から入力されるデジタル形式の表示データをアナログ形式の表示データ（アナログ電圧信号）に変換し、これをマルチプレクサ x A 2 経由で液晶表示パネル x A 1 の各画素（正確には液晶表示パネル x A 1 の各画素に接続されたアクティブ素子のソース端子）に供給する。また、ソースドライバ回路 x A 3 は、M P U x A 6 からコマンド等の入力を受け付ける機能、液晶表示装置各部（マルチプレクサ x A 2 など）に電力を供給する機能、液晶表示装置各部（マルチプレクサ x A 2、ゲートドライバ回路 x A 4、及び、外部 D C / D C コンバータ x A 5）のタイミング制御を行う機能、及び、液晶表示パネル x A 1 にコモン電圧を供給する機能を備えている。
- [0079] ゲートドライバ回路 x A 4 は、ソースドライバ回路 x A 3 から入力されるタイミング信号に基づいて、液晶表示パネル x A 1 の垂直走査制御を行う。
- [0080] 外部 D C / D C コンバータ x A 5 は、ソースドライバ回路 x A 3 から入力されるタイミング信号に基づいて、ゲートドライバ回路 x A 4 の駆動に必要な電源電圧を生成する。
- [0081] M P U x A 6 は、液晶表示装置が搭載されるセット全体を統括制御する主体であり、ソースドライバ回路 x A 3 に対して、各種のコマンドやクロック信号、8 色表示モードで用いられる簡易表示データなどを供給する。
- [0082] 映像ソース x A 7 は、ソースドライバ回路 x A 3 に対して、通常表示モードで用いられる表示データやクロック信号を供給する。
- [0083] 図 2 9 は、ソースドライバ回路 x A 3 の一構成例を示すブロック図である

。ソースドライバ回路 x A 3 は、MPU インタフェイス x B 1 と、コマンドデコーダ x B 2 と、データレジスタ x B 3 と、部分表示データ用 RAM [Random Access Memory] x B 4 と、データ制御部 x B 5 と、表示データインタフェイス x B 6 と、画像処理部 x B 7 と、データラッチ部 x B 8 と、ソースドライバ部 x B 9 と、OTPROM [One Time Programmable Read Only Memory] x B 10 と、制御用レジスタ x B 11 と、アドレスカウンタ (RAM コントローラ) x B 12 と、タイミングジェネレータ x B 13 と、発振器 x B 14 と、コモン電圧生成部 x B 15 と、マルチプレクサ用タイミングジェネレータ x B 16 と、ゲートドライバ用タイミングジェネレータ x B 17 と、外部 DC/DC 用タイミングジェネレータ x B 18 と、液晶表示装置用電源回路 x B 19 と、を有する半導体装置 (いわゆるソースドライバ IC) である。

- [0084] MPU インタフェイス x B 1 は、MPU x A 6 との間で、各種のコマンドやクロック信号、8 色表示モードで用いられる簡易表示データなどのやり取りを行う。
- [0085] コマンドデコーダ x B 2 は、MPU インタフェイス x B 1 を介して取得されたコマンドや簡易表示データなどのデコード処理を行う。
- [0086] データレジスタ x B 3 は、MPU インタフェイス x B 1 を介して取得された各種の設定データや、OTPROM x B 10 から読み出された初期設定データを一時格納する。
- [0087] 部分表示データ用 RAM x B 4 は、簡易表示データの展開先として用いられる。
- [0088] データ制御部 x B 5 は、部分表示データ用 RAM x B 4 に展開されている簡易表示データのリード制御を行う。
- [0089] 表示データインタフェイス x B 6 は、映像ソース x A 7 との間で、通常表示モードで用いられる表示データやクロック信号のやり取りを行う。
- [0090] 画像処理部 x B 7 は、表示データインタフェイス x B 6 を介して入力された表示データに対して、所定の画像処理 (輝度ダイナミックレンジ補正や色

補正、各種のノイズ除去補正など）を施す。

- [0091] データラッチ部 x B 8 は、画像処理部 x B 7 を介して入力される表示データ、または、データ制御部 x B 5 を介して入力される簡易表示データをラッチする。
- [0092] ソースドライバ部 x B 9 は、データラッチ部 x B 8 を介して入力される表示データないしは簡易表示データに基づいて液晶表示パネル x A 1 の駆動制御を行う。
- [0093] OTPROM x B 10 は、データレジスタ x B 3 に格納すべき初期設定データを不揮発的に格納する。なお、OTPROM x B 10 には、1 回だけデータ書き込みができる。
- [0094] 制御用レジスタ x B 11 は、コマンドデコーダ x B 2 で取得されたコマンドや簡易表示データなどを一時格納する。
- [0095] アドレスカウンタ x B 12 は、タイミングジェネレータ x B 13 で生成されるタイミング信号に基づいて、制御用レジスタ x B 11 に一時格納されている簡易表示データを読み出し、これを部分表示データ用 RAM x B 4 に書き込む。
- [0096] タイミングジェネレータ x B 13 は、発振器 x B 14 から入力される内部クロック信号に基づいて、液晶表示装置全体の同期制御に必要なタイミング信号を生成し、ソースドライバ回路 x A 3 の各部（データラッチ部 x B 8、アドレスカウンタ x B 12、コモン電圧生成部 x B 15、マルチプレクサ用タイミングジェネレータ x B 16、ゲートドライバ用タイミングジェネレータ x B 17、外部 DC/DC 用タイミングジェネレータ x B 18、及び、液晶表示装置用電源回路 x B 19）に供給する。
- [0097] 発振器 x B 14 は、所定周波数の内部クロック信号を生成し、これをタイミングジェネレータ x B 13 に供給する。
- [0098] コモン電圧生成部 x B 15 は、タイミングジェネレータ x B 13 から入力されるタイミング信号に基づいて、コモン電圧を生成し、これを液晶表示パネル x A 1 に供給する。

- [0099] マルチプレクサ用タイミングジェネレータ x B 1 6 は、タイミングジェネレータ x B 1 3 から入力されるタイミング信号に基づいて、マルチプレクサ用のタイミング信号を生成し、これをマルチプレクサ x A 2 に供給する。
- [0100] ゲートドライバ用タイミングジェネレータ x B 1 7 は、タイミングジェネレータ x B 1 3 から入力されるタイミング信号に基づいて、ゲートドライバ用のタイミング信号を生成し、これをゲートドライバ回路 x A 4 に供給する。
- [0101] 外部 D C / D C 用タイミングジェネレータ x B 1 8 は、タイミングジェネレータ x B 1 3 から入力されるタイミング信号に基づいて、外部 D C / D C 用のタイミング信号を生成し、これを外部 D C / D C コンバータ x A 5 に供給する。
- [0102] 液晶表示装置用電源回路 x B 1 9 は、タイミングジェネレータ x B 1 3 から入力されるタイミング信号に基づいて、液晶表示装置用の電源電圧（例えば、正電源電圧 V S P と負電源電圧 V S N）を生成し、これを液晶表示装置の各部（マルチプレクサ x A 2、ゲートドライバ回路 x A 4、及び、ソースドライバ部 x B 9 など）に供給する。なお、液晶表示装置用電源回路 x B 1 9 としては、スイッチングレギュレータ等を用いることができる。
- [0103] 図 3 0 は、ソースドライバ部 x B 9 の一構成例を示すブロック図である。図示の通り、本構成例のソースドライバ部 x B 9 は、液晶表示パネル x A 1 の駆動に際して、液晶素子に印加される出力信号の極性反転制御を行うものであり、レベルシフタ回路 x C 1 (1) ~ x C 1 (n) と、デジタル / アナログ変換回路 x C 2 (1) ~ x C 2 (n) と、ソースアンプ回路 x C 3 (1) ~ x C 3 (n) と、極性反転制御用パススイッチ x C 4 (1) ~ x C 4 (n) と、8 色表示モード用パススイッチ x C 5 (1) ~ x C 5 (n) と、出力端子 x C 6 (1) ~ x C 6 (n) と、抵抗ラダー x C 7 と、セクタ x C 8 ~ x C 1 1 と、アンプ x C 1 2 ~ x C 1 5 と、第 1 階調電圧生成部 x C 1 6 と、第 2 階調電圧生成部 x C 1 7 と、出力コンデンサ x C 1 8 ~ x C 2 1 と、を有する。

- [0104] レベルシフト回路 $x C 1 (1) \sim x C 1 (n)$ は、それぞれ、データラッチ部 $x B 8$ から入力される m ビットの表示データをレベルシフトして後段に伝達する。具体的に述べると、奇数列のレベルシフト回路 $x C 1 (i)$ ($i = 1, 3, 5, \dots, (n-1)$ 、以下についても同様) は、入力信号を接地電位と正電位との間でパルス駆動される出力信号に変換する正極性のレベルシフト回路である。一方、偶数列のレベルシフト回路 $x C 1 (j)$ ($j = (i+1) = 2, 4, 6, \dots, n$ 、以下についても同様) は、入力信号を接地電位と負電位との間でパルス駆動される出力信号に変換する負極性のレベルシフト回路である。なお、レベルシフト回路 $x C 1 (1) \sim x C 1 (n)$ は、それぞれ m ビットの表示データを並列に受け取ることができるように、 m 個のレベルシフト回路を並列に接続している。
- [0105] デジタル／アナログ変換回路 $x C 2 (1) \sim x C 2 (n)$ は、それぞれ、レベルシフト回路 $x C 1 (1) \sim x C 1 (n)$ を介して入力される m ビットの表示データをアナログ信号に変換して出力する。
- [0106] 具体的に述べると、奇数列のデジタル／アナログ変換回路 $x C 2 (i)$ は、接地電位と正電位との間で駆動され、デジタル形式の表示データをアナログ形式の表示データ（正極性電圧）に変換する。なお、デジタル／アナログ変換回路 $x C 2 (i)$ には、第 1 階調電圧生成部 $x C 16$ から、 2^m 階調の第 1 階調電圧（正極性）が入力されている。つまり、デジタル／アナログ変換回路 $x C 2 (i)$ で生成されるアナログ形式の表示データは、レベルシフト回路 $x C 1 (i)$ から入力されたデジタル形式の表示データ（ m ビット）に応じて、 2^m 階調の第 1 階調電圧（正極性）のいずれかーが選択されたものとなる。
- [0107] 一方、偶数列のデジタル／アナログ変換回路 $x C 2 (j)$ は、接地電位と負電位との間で駆動され、デジタル形式の表示データをアナログ形式の表示データ（負極性電圧）に変換する。なお、デジタル／アナログ変換回路 $x C 2 (j)$ には、第 2 階調電圧生成部 $x C 17$ から、 2^m 階調の第 2 階調電圧（負極性）が入力されている。すなわち、デジタル／アナログ変換回路 $x C 2$

(j) で生成されるアナログ形式の表示データは、レベルシフタ回路 x C 1 (j) から入力されたデジタル形式の表示データ (m ビット) に応じて、 2^m 階調の第 2 階調電圧 (負極性) のいずれかが選択されたものとなる。

[0108] ソースアンプ回路 x C 3 (1) ~ x C 3 (n) は、デジタル／アナログ変換回路 x C 2 (1) ~ x C 2 (n) で各々生成されたアナログ形式の表示データを増幅して後段に出力する。具体的に述べると、奇数列のソースアンプ回路 x C 3 (i) は、接地電位と正電位との間で駆動され、デジタル／アナログ変換回路 x C 2 (i) から入力される表示データ (正極性信号) の電流能力を増強して後段に出力する。一方、偶数列のソースアンプ回路 x C 3 (j) は、接地電位と負電位の間で駆動され、デジタル／アナログ変換回路 x C 2 (j) から入力される表示データ (負極性信号) の電流能力を増強して後段に出力する。

[0109] 極性反転制御用パススイッチ x C 4 (1) ~ x C 4 (n) は、互いに隣合う出力端子 x C 6 (i) と出力端子 x C 6 (j) との間で、それぞれ正極性回路 (x C 1 (i) ~ x C 3 (i)) と負極性回路 (x C 1 (j) ~ x C 3 (j)) を 1 組ずつ共有すべく、ソースアンプ回路 x C 3 (i) 及び x C 3 (j) と、出力端子 x C 6 (i) 及び x C 6 (j) の接続関係を切り替える。

[0110] 例えば、第 1 フレームでは、ソースアンプ回路 x C 3 (i) と出力端子 x C 6 (i) を接続し、かつ、ソースアンプ x C 3 (j) と出力端子 x C 6 (j) を接続するように、極性反転制御用パススイッチ x C 4 (1) ~ x C 4 (n) のオン／オフ制御が行われる。このようなスイッチング制御により、第 1 フレームでは、奇数列の出力端子 x C 6 (i) から液晶素子に出力される出力信号として、奇数列のソースアンプ x C 3 (i) で生成された正極性のアナログ信号が選択され、偶数列の出力端子 x C 6 (j) から液晶素子に出力される出力信号として、偶数列のソースアンプ x C 3 (j) で生成された負極性のアナログ信号が選択される。

[0111] 次に、第 1 フレームに続く第 2 フレームでは、ソースアンプ回路 x C 3 (

i) と出力端子 x C 6 (j) を接続し、かつ、ソースアンプ x C 3 (j) と出力端子 x C 6 (i) を接続するように、極性反転制御用パススイッチ x C 4 (1) ~ x C 4 (n) のオン／オフ制御が行われる。このようなスイッチング制御により、第 2 フレームでは、奇数列の出力端子 x C 6 (i) から液晶素子に出力される出力信号として、偶数列のソースアンプ x C 3 (j) で生成された負極性のアナログ信号が選択され、偶数列の出力端子 x C 6 (j) から液晶素子に出力される出力信号として、奇数列のソースアンプ x C 3 (i) で生成された正極性のアナログ信号が選択される。

[0112] このような極性反転制御を行う構成であれば、液晶素子に対して一方向の電圧が継続的に印加され続けることがないので、液晶素子の劣化を抑えることが可能となる。

[0113] また、上記した極性反転制御を行う構成であれば、液晶表示パネル x A 1 のコモン電圧（全ての液晶素子の対向電極に対して共通に印加される電圧）を接地電位に固定することができるので、液晶表示パネル x A 1 の対向容量に対する充放電が不要となり、消費電力の低減を実現することが可能である。

[0114] また、上記の極性反転制御を行う構成であれば、互いに隣り合う出力端子 x C 6 (i) と出力端子 x C 6 (j) との間で、それぞれ正極性回路 (x C 1 (i) ~ x C 3 (i)) と負極性回路 (x C 1 (j) ~ x C 3 (j)) を 1 組ずつ共有することができるので、ソースドライバ回路 x A 3 の小型化（チップ面積縮小）に貢献することが可能となる。

[0115] 8 色表示モード用パススイッチ x C 5 (1) ~ x C 5 (n) は、8 色表示モード時（MPU x A 6 から入力される簡易表示データに基づいて映像表示を行う動作モード）において、出力端子 x C 6 (1) ~ x C 6 (n) から、2nd 階調の階調電圧ではなく、ハイレベル／ローレベルのみの 2 値電圧を出力する際に用いられる。具体的に述べると、奇数列の 8 色表示モード用パススイッチ x C 5 (i) は、ソースアンプ x C 3 (i) の出力端と正電位の印加端との間に接続された第 1 パススイッチと、ソースアンプ x C 3 (i) の出

力端と接地電位の印加端との間に接続された第2パススイッチを有しており、簡易表示データに基づいて正電位と接地電位のいずれか一方を出力するように、第1、第2パススイッチのオン／オフ制御が排他的（相補的）に行われる。また、偶数列の8色表示モード用パススイッチ $\times C5(j)$ は、ソースアンプ $\times C3(j)$ の出力端と負電位の印加端との間に接続された第3パススイッチと、ソースアンプ $\times C3(j)$ の出力端と接地電位の印加端との間に接続された第4パススイッチを有しており、簡易表示データに基づいて負電位と接地電位のいずれか一方を出力するように、第1、第2パススイッチのオン／オフ制御が排他的（相補的）に行われる。なお、8色表示モード時には、レベルシフタ回路 $\times C1(1) \sim C1(n)$ 、デジタル／アナログ変換回路 $\times C2(1) \sim \times C2(n)$ 、及び、ソースアンプ回路 $\times C3(1) \sim \times C3(n)$ に対する電源供給が遮断されて、各々の動作が停止される。このような構成とすることにより、8色表示モード時には、不要な消費電力を削減することが可能となる。

[0116] 出力端子 $\times C6(1) \sim \times C6(n)$ は、ソースドライバ回路 $\times A3$ からマルチプレクサ $\times A2$ に対して n 系統の出力信号を供給するための外部端子である。

[0117] 抵抗ラダー $\times C7$ は、所定の基準電圧（ V_{ref} ）を抵抗分割することにより、複数の分圧電圧を生成する。

[0118] セレクタ $\times C8 \sim \times C11$ は、それぞれ、抵抗ラダー $\times C7$ で生成された複数の分圧電圧からいずれか一を選択する。なお、セレクタ $\times C8$ で選択される分圧電圧とセレクタ $\times C9$ で選択される分圧電圧については、互いに異なる電圧値を有する。また、セレクタ $\times C10$ で選択される分圧電圧とセレクタ $\times C11$ で選択される分圧電圧についても、互いに異なる電圧値を有する。

[0119] アンプ $\times C12$ 及び $\times C13$ は、いずれも接地電位と正電位との間で駆動され、セレクタ $\times C8$ 及び $\times C9$ から各々入力される分圧電圧を増幅して、正極性の第1、第2増幅電圧を生成する。アンプ $\times C14$ 及び $\times C15$ は、

いずれも接地電位と負電位との間で駆動され、セクタ x C 1 0 及び x C 1 1 から各々入力される分圧電圧を増幅して、負極性の第 3、第 4 増幅電圧を生成する。

[0120] 第 1 階調電圧生成部 x C 1 6 は、アンプ x C 1 2 から入力される正極性の第 1 増幅電圧と、アンプ x C 1 3 から入力される正極性の第 2 増幅電圧との間で離散的に変化する 2ⁿ階調の第 1 階調電圧（正極性）を生成する。

[0121] 第 2 階調電圧生成部 x C 1 7 は、アンプ x C 1 4 から入力される負極性の第 3 増幅電圧と、アンプ x C 1 5 から入力される負極性の第 4 増幅電圧との間で離散的に変化する 2ⁿ階調の第 2 階調電圧（負極性）を生成する。

[0122] 出力コンデンサ x C 1 8 ~ x C 2 1 は、それぞれアンプ x C 1 2 ~ x C 1 5 の出力端に接続されて、第 1 ~ 第 4 増幅電圧を平滑化する。

[0123] 図 3 1 は、ソースドライバ部 x B 9 の周辺構成を示すブロック図である。表示データインタフェース x B 6 及び部分表示データ用 R A M x B 4 からの表示データ（6 チャンネルの R G B データ）は、セクタ x D 1 を介して、データラッチ部 x B 8 （ i ） 及び x B 8 （ j ） に適宜分配される。データラッチ部 x B 8 （ i ） 及び x B 8 （ j ） の各出力に含まれる 6 チャンネルの R G B データは、それぞれ、セクタ x D 2 （ i ） 及び x D 2 （ j ） を介して、いずれか 1 チャンネルの R G B データのみがデジタル／アナログ変換回路 x C 2 （ i ） 及び x C 2 （ j ） に選択出力される。

[0124] デジタル／アナログ変換回路 x C 2 （ i ） には、第 1 階調電圧生成部 x C 1 6 から 2⁵⁶ 階調の第 1 階調電圧 V P 0 ~ V P 2⁵⁵ （正極性）が入力されており、デジタル形式の表示データをアナログ形式の表示データ（正極性電圧）に変換して、ソースアンプ回路 x C 3 （ i ） に出力する。一方、デジタル／アナログ変換回路 x C 2 （ j ） には、第 2 階調電圧生成部 x C 1 7 から 2⁵⁶ （ = 2⁸ ） 階調の第 2 階調電圧 V N 0 ~ V N 2⁵⁵ （負極性）が入力されており、デジタル形式の表示データをアナログ形式の表示データ（負極性電圧）に変換して、ソースアンプ回路 x C 3 （ j ） に出力する。

[0125] ソースアンプ回路 x C 3 （ i ） は、デジタル／アナログ変換回路 x C 2 （

i) から入力される表示データ（正極性信号）の電流能力を増強して後段に設けられたセクタ x C 4 の第 1 入力端に出力する。一方、ソースアンプ回路 x C 3 (j) は、デジタル／アナログ変換回路 x C 2 (j) から入力される表示データ（負極性信号）の電流能力を増強して後段に設けられたセクタ x C 4 の第 2 入力端に出力する。なお、ソースアンプ回路 x C 3 (i) 及び x C 3 (j) には、それぞれ、アンプイネーブル信号とバイアス電流が入力されている。

[0126] セクタ x C 4 は、互いに隣り合う出力端子（図 3 1 ではいずれも不図示）の相互間でソースアンプ回路 x C 3 (i) 及び x C 3 (j) の出力先を適宜切り替える。

[0127] （第 1 の技術的特徴について）

以下で説明する第 1 の技術的特徴は、レギュレータアンプを備えた電圧増幅回路、並びに、これを用いた階調電圧生成回路及び画素駆動装置（液晶駆動装置）に関する。

[0128] なお、先出の図面と照らし合わせた場合、第 1 の技術的特徴は、図 2 8 のソースドライバ回路 x A 3 に関するものであり、より具体的には、図 2 9 のソースドライバ部 x B 9、さらには、図 3 0 の第 1 階調電圧生成部 x C 1 6 及び第 2 階調電圧生成部 x C 1 7 ないしその周辺回路に関するものであると言える。

[0129] 図 1 は、第 1 の技術的特徴に係る液晶駆動装置の一実施形態を示すブロック図である。本実施形態の液晶駆動装置 a 1 は、不図示の映像ソースから入力される x 系統のデジタル画素信号 DP 1 ~ DP x (m ビット) をアナログ画素信号 AP 1 ~ AP x に変換し、これを液晶ディスプレイパネル a 2 の各画素（液晶ディスプレイパネル a 2 がアクティブマトリクス型である場合には、液晶ディスプレイパネル a 2 の各画素に接続されたアクティブ素子のソース端子）に供給する手段であって、階調電圧生成回路 a 1 0 と、x 系統のデジタル／アナログ変換器 a 2 0 - 1 ~ a 2 0 - x と、x 系統のバッファ a 3 0 - 1 ~ a 3 0 - x と、を有して成る。

- [0130] 階調電圧生成回路 a 1 0 は、デジタル／アナログ変換器 a 2 0-1 ~ a 2 0-x に n 系統（ただし、 $n = 2^m - 1$ ）の階調電圧 $V_{G0} \sim V_{Gn}$ を供給する。なお、階調電圧生成回路 a 1 0 の内部構成や動作については後述する。
- [0131] デジタル／アナログ変換器 a 2 0-1 ~ a 2 0-x は、デジタル画素信号 $DP_1 \sim DP_x$ をアナログ画素信号 $AP_1 \sim AP_x$ に変換する。
- [0132] バッファ a 3 0-1 ~ a 3 0-x は、アナログ画素信号 $AP_1 \sim AP_x$ の電流能力を増強して液晶ディスプレイパネル a 2 に供給する。
- [0133] 液晶ディスプレイパネル a 2 は、アナログ画素信号 $AP_1 \sim AP_x$ の電圧値に応じて光透過率が変化する液晶素子を画素として用いた映像出力手段である。
- [0134] 図 2 は、階調電圧生成回路 a 1 0 の第 1 構成例を示すブロック図である。本構成例の階調電圧生成回路 a 1 0 は、抵抗ラダー 1 0 0 と、上限電圧設定回路 2 0 0 と、下限電圧設定回路 3 0 0 と、を有して成る。
- [0135] 抵抗ラダー 1 0 0 は、一端に印加される上限電圧 V_{H2} と他端に印加される下限電圧 V_{L2} との間を分圧して n 系統の階調電圧 $V_{G0} \sim V_{Gn}$ を生成する。なお、本実施形態の階調電圧生成回路 a 1 0 は、後述の上限電圧設定値 S_H 及び下限電圧設定値 S_L に基づいて、上限電圧 V_{H2} と下限電圧 V_{L2} を任意に調整することが可能な構成とされている。このような構成とすることにより、液晶ディスプレイパネル a 2 毎に異なるガンマ特性に応じて、階調電圧 $V_{G0} \sim V_{Gn}$ の最適化（ガンマ補正）を行うことが可能となる。
- [0136] 上限電圧設定回路 2 0 0 は、上限電圧設定値 S_H （例えば 7 ビット）に基づいて、上限電圧 V_{H2} （例えば 4 ~ 6 V）を生成する手段であり、 S_H レジスタ 2 0 1 と、 V_{H1} 生成部 2 0 2 と、オペアンプ 2 0 3 と、フィードバック抵抗部 2 0 4 と、を有して成る。
- [0137] S_H レジスタ 2 0 1 は、回路外部から入力される上限電圧設定値 S_H を格納する。
- [0138] V_{H1} 生成部 2 0 2 は、 S_H レジスタ 2 0 1 に格納された上限電圧設定値 S_H に基づいて、電源電圧 V_R （例えば 1.5 V）から入力電圧 V_{H1} （例

例えば0.8～1.2V)を生成する。

[0139] オペアンプ203は、入力電圧 V_{H1} と帰還電圧 V_{H3} が一致するように入力電圧 V_{H1} を増幅して出力電圧 V_{H2} を生成し、これを上限電圧 V_{H2} として抵抗ラダー100の一端に印加する。

[0140] フィードバック抵抗部204は、一端に印加される出力電圧 V_{H2} と他端に印加される接地電圧GNDとの間を分圧して帰還電圧 V_{H3} を生成する。

[0141] 上記構成から成る上限電圧設定回路200において、フィードバック抵抗部204で設定されるフィードバックゲイン α は固定されており、入力電圧 V_{H1} と出力電圧 V_{H2} の間には、下記(2)式が成立する。

[0142] $V_{H2} = \alpha \times V_{H1} \quad \dots \quad (2)$

[0143] このように、本構成例の階調電圧生成回路a10において、上限電圧設定回路200については、後述する下限電圧設定回路300と異なり、従来例の電圧増幅回路(先出の図8を参照)と同等の構成が採用されている。これは、出力電圧 V_{H2} の生成に際して、入力電圧 V_{H1} を接地電圧GNDの近傍まで引き下げる必要はなく、接地電圧GNDの揺れやノイズなどに対して動作が不安定になるおそれは小さいからである。

[0144] なお、図3は、上限電圧設定値 S_H と入力電圧 V_{H1} 及び出力電圧 V_{H2} との関係を示す図であり、フィードバックゲイン $\alpha=5$ に設定されているときの相関関係を例示している。この場合、上限電圧設定値 S_H に応じた入力電圧 V_{H1} の可変域を0.8～1.2Vとすることにより、出力電圧 V_{H2} の可変域を4～6Vに設定することができる。

[0145] 下限電圧設定回路300は、下限電圧設定値 S_L (例えば7ビット)に基づいて、下限電圧 V_{L2} (例えば0.2～3.375V)を生成する手段であり、 S_L レジスタ301と、 V_{L1} 生成部302と、オペアンプ303と、フィードバック抵抗部304と、セクタ制御部305と、セクタ306と、を有して成る。

[0146] S_L レジスタ301は、回路外部から入力される下限電圧設定値 S_L を格納する。

- [0147] V_{H1} 生成部 302 は、 S_L レジスタ 301 に格納された下限電圧設定値 S_L に基づいて、電源電圧 V_R （例えば 1.5 V）から入力電圧 V_{L1} （例えば、0.205 ~ 0.675 V（ $V_{L4} = GND$ 時）、及び、1.24 ~ 1.4 V（ $V_{L4} = V_R$ 時））を生成する。なお、 V_{H1} 生成部 302 は、下限電圧設定値 S_L の可変域全体にわたり、下限電圧設定値 S_L に対して出力電圧 V_{L2} が線形的に変化するように入力電圧 V_{L1} を生成する構成とされており、セクタ 306 の選択状態（基準電圧 V_{L4} として接地電圧 GND と電源電圧 V_R のいずれが選択されているか）に応じて、入力電圧 V_{L1} の可変域が不連続となっている（後出の図 4 を参照）。
- [0148] オペアンプ 303 は、入力電圧 V_{L1} と帰還電圧 V_{L3} が一致するように入力電圧 V_{L1} を増幅して出力電圧 V_{L2} を生成し、これを下限電圧 V_{L2} として抵抗ラダー 100 の他端に印加する。
- [0149] フィードバック抵抗部 304 は、一端に印加される出力電圧 V_{L2} と他端に印加される基準電圧 V_{L4} との間を分圧して帰還電圧 V_{L3} を生成する。
- [0150] セクタ制御部 305 は、下限電圧設定値 S_L に基づいてセクタ制御信号 SS を生成する。より具体的に説明すると、セクタ制御部 305 は、下限電圧設定値 S_L が所定値 S_{Lz} （本構成例では、 $S_{Lz} = 32d(0100000b)$ ）以上であるときに、セクタ制御信号 SS をハイレベルとし、下限電圧設定値 S_L が所定値 S_{Lz} 未満であるときに、セクタ制御信号 SS をローレベルとする。なお、本構成例のセクタ制御部 305 では、下限電圧設定値 S_L の上位 2 ビット分（ $S_L < 7 >$ と $S_L < 6 >$ ）を論理和演算することにより、セクタ制御信号 SS を生成することが可能である。
- [0151] セクタ 306 は、セクタ制御信号 SS に基づいて基準電圧 V_{L4} を複数の候補（接地電圧 GND / 電源電圧 V_R ）から選択する。より具体的に説明すると、セクタ 306 は、下限電圧設定値 S_L が所定値 S_{Lz} 以上であって、セクタ制御信号 SS がハイレベルとされているときに、第 1 基準電圧（本構成例では接地電圧 GND ）を選択し、下限電圧設定値 S_L が所定値 S_{Lz} 未満であって、セクタ制御信号 SS がローレベルとされているとき

に、第 1 基準電圧よりも高い第 2 基準電圧（本構成例では電源電圧 V_R ）を選択する。

[0152] 上記構成から成る下限電圧設定回路 300 において、フィードバック抵抗部 304 で設定されるフィードバックゲイン α は、先に述べた上限電圧設定回路 200 と同様に固定されているが、基準電圧 V_{L4} として接地電圧 GND が選択されるか、電源電圧 V_R が選択されるかに応じて、帰還電圧 V_{L3} に対する電圧オフセットの有無が切り換えられる。

[0153] すなわち、基準電圧 V_{L4} として接地電圧 GND が選択されている場合には、入力電圧 V_{L1} と出力電圧 V_{L2} との間に下記（3）式が成立し、基準電圧 V_{L4} として電源電圧 V_R が選択されている場合には、入力電圧 V_{L1} と出力電圧 V_{L2} との間に下記（4）式が成立する。なお、下記（4）式中におけるパラメータ β は、オフセットゲインである。

$$[0154] \quad V_{L2} = \alpha \times V_{L1} \quad \cdots \quad (3)$$

$$V_{L2} = \alpha \times V_{L1} - \beta \times V_R \quad \cdots \quad (4)$$

[0155] 図 4 は、下限電圧設定値 S_L と入力電圧 V_{L1} 及び出力電圧 V_{L2} との関係を示す図であり、フィードバックゲイン $\alpha = 5$ 、オフセットゲイン $\beta = 4$ に設定されているときの相関関係を例示している。

[0156] 下限電圧設定値 S_L が所定値 S_{Lz} （ $= 32d$ ）以上であり、セクタ制御信号 SS がハイレベルとされているときには、基準電圧 V_{L4} として接地電圧 GND が選択される。この場合には、上記（3）式に基づいて、下限電圧設定値 S_L （ $= 32d \sim 127d$ ）に応じた入力電圧 V_{L1} の可変域を $0.205 \sim 0.675V$ とすることにより、出力電圧 V_{L2} の可変域を $1.025 \sim 3.375V$ に設定することができる。

[0157] また、下限電圧設定値 S_L が所定値 S_{Lz} （ $= 32d$ ）未満であって、セクタ制御信号 SS がローレベルとされているときには、基準電圧 V_{L4} として電源電圧 V_R が選択され、帰還電圧 V_{L3} に対する電圧オフセットが与えられる。この場合には、上記（4）式に基づいて、下限電圧設定値 S_L （ $= 0d \sim 31d$ ）に応じた入力電圧 V_{L1} の可変域を $1.24 \sim 1.4V$ と

することにより、出力電圧 V_{L2} の可変域を $0.2 \sim 1\text{ V}$ に設定することができる。すなわち、 V_{L1} 生成部302では、 1 V 以下の低い出力電圧 V_{L2} を生成する場合であっても、入力電圧 V_{L1} を 0.2 V 以下に引き下げる必要がなくなるので、接地電圧 GND の揺れやノイズ等に対して動作が不安定になるおそれ小さくなる。

[0158] このように、本構成例の下限電圧設定回路300であれば、可変域が制限されている入力電圧 V_{L1} から所望の可変域（トータル的には $0.2 \sim 3.375\text{ V}$ ）を有する出力電圧 V_{L2} を安定して生成することが可能となる。

[0159] また、今回新たに設けられたセクタ制御部305やセクタ306については、論理和演算器やアナログスイッチなど、少数の回路素子を追加するだけで容易に実現することができるので、フィードバックゲイン α を可変制御する構成に比べて、部品点数の増加や制御の複雑化を招かずに済む。

[0160] 図5は、 V_{L4} 切換時に生じる問題（リニアリティ崩れ）を説明するための図である。図5に示すように、基準電圧 V_{L4} を複数の候補（接地電圧 GND ／電源電圧 V_R ）から選択した場合、その切換前後で下限電圧設定値 S_L に対する出力電圧 V_{L2} のリニアリティが崩れるおそれがある。このようなリニアリティの崩れを生じる要因としては、基準電圧 V_{L4} の切換制御に関わる回路系のオフセットばらつき（電源電圧 V_R のばらつき、フィードバック抵抗部304を形成する抵抗素子の抵抗値ばらつき、及び、セクタ306を形成するスイッチ素子のオン抵抗値ばらつきなど）を挙げることができるが、これらの要因を全て排除することは極めて困難である。

[0161] 以下では、上記の課題を克服するための追加的な構成について、詳細な説明を行う。

[0162] 図6は、階調電圧生成回路a10の第2構成例を示すブロック図である。図6に示すように、本構成例の階調電圧生成回路a10は、先述の第1構成例とほぼ同様の構成から成る。そこで、先述の第1構成例と同様の構成要素については、図2と同一符号を付すことで重複した説明を割愛し、以下では、本構成例の特徴部分について重点的な説明を行う。

- [0163] 本構成例の階調電圧生成回路 a 1 0 は、新たに、不揮発性メモリ 3 0 7 と、T L 1 レジスタ 3 0 8 と、T L 2 レジスタ 3 0 9 と、第 2 セレクタ 3 1 0 と、を有して成る。
- [0164] 不揮発性メモリ 3 0 7 は、第 2 セレクタ 3 1 0 での選択候補となる複数のトリミングテーブル（本構成例では、第 1 トリミングテーブル T L 1 と、第 2 トリミングテーブル T L 2）を不揮発的に記憶する。なお、不揮発性メモリ 3 0 7 としては、O T P R O M [One Time Programmable Read Only Memory] や E E P R O M [Electrically Erasable PROM] 或いはフラッシュメモリなどを用いることができる。また、不揮発性メモリ 3 0 7 に格納されている第 1 トリミングテーブル T L 1 や第 2 トリミングテーブル T L 2 は、液晶駆動装置 a 1 の起動シーケンスにおいて、自動的に読み出し動作が行われる。
- [0165] T L 1 レジスタ 3 0 8 は、液晶駆動装置 a 1 の起動時（延いては、下限電圧設定回路 3 0 0 の起動時）において、不揮発メモリ 3 0 7 から読み出される第 1 トリミングテーブル T L 1 を格納する。なお、第 1 トリミングテーブル T L 1 は、基準電圧 V L 4 として接地電圧 G N D が選択されている状態で、フィードバック抵抗部 3 0 4 の分圧比が最適となるように合わせ込まれたトリミングテーブルである。
- [0166] T L 2 レジスタ 3 0 9 は、液晶駆動装置 a 1 の起動時（延いては、下限電圧設定回路 3 0 0 の起動時）において、不揮発メモリ 3 0 7 から読み出される第 2 トリミングテーブル T L 1 を格納する。なお、第 2 トリミングテーブル T L 2 は、基準電圧 V L 4 として電源電圧 V R が選択されている状態で、フィードバック抵抗部 3 0 4 の分圧比が最適となるように合わせ込まれたトリミングテーブルである。
- [0167] 第 2 セレクタ 3 1 0 は、セレクタ制御信号 S S に基づいて、フィードバック抵抗部 3 0 4 に供給すべきトリミングテーブルを複数の候補（本構成例では、第 1 トリミングテーブル T L 1 と第 2 トリミングテーブル T L 2）から選択する。より具体的に説明すると、第 2 セレクタ 3 1 0 は、下限電圧設定

値 S_L が所定値 S_{Lz} 以上であって、セクタ制御信号 SS がハイレベルとされているときに、第1トリミングテーブル $TL1$ を選択し、下限電圧設定値 S_L が所定値 S_{Lz} 未満であって、セクタ制御信号 SS がローレベルとされているときに、第2トリミングテーブル $TL2$ を選択する。

[0168] フィードバック抵抗部304は、第2セクタ310で選択されたトリミングテーブルに基づいて自身の分圧比を微調整する。

[0169] このように、基準電圧 V_{L4} として接地電圧 GND が選択されている状態で、フィードバック抵抗部304の分圧比が最適となるように合わせ込まれた第1トリミングテーブル $TL1$ と、基準電圧 V_{L4} として電源電圧 V_R が選択されている状態で、フィードバック抵抗部304の分圧比が最適となるように合わせ込まれた第2トリミングテーブル $TL2$ と、を個別に用意しておき、基準電圧 V_{L4} の切換とトリミングテーブルの切換を同時に行う構成であれば、基準電圧 V_{L4} の切換前後で、下限電圧設定値 S_L に対する出力電圧 V_{L2} のリニアリティを維持することが可能となる。

[0170] 図7は、第1トリミングテーブル $TL1$ と第2トリミングテーブル $TL2$ との切換制御によって享受できる効果（リニアリティ維持）を説明するための図である。

[0171] また、本構成例の下限電圧設定回路300は、先述した通り、液晶駆動装置a1の起動シーケンスにおいて、不揮発性メモリ307に格納されている第1トリミングテーブル $TL1$ 及び第2トリミングテーブル $TL2$ をそれぞれ $TL1$ レジスタ308及び $TL2$ レジスタ309に予め読み込んでおく構成とされている。このような構成とすることにより、基準電圧 V_{L4} の切換制御に遅れることなく、トリミングテーブルの切換制御を実施することが可能となる。

[0172] なお、上記の実施形態では、液晶駆動に用いられる階調電圧の下限値を設定する手段として、第1の技術的特徴に係る電圧増幅回路を適用した構成を例示して説明を行ったが、第1の技術的特徴の適用対象はこれに限定されるものではなく、その他の用途（例えば液晶以外の画素駆動）に供される電圧

増幅回路についても広く適用することが可能である。

[0173] また、第 1 の技術的特徴の構成は、上記実施形態のほか、その主旨を逸脱しない範囲で種々の変更を加えることが可能である。

[0174] (第 2 の技術的特徴について)

以下で説明する第 2 の技術的特徴は、ドット反転方式やカラム反転方式など、液晶素子に印加される出力信号の極性反転制御を行う液晶駆動装置、及び、これを用いた液晶表示装置に関する。

[0175] なお、先出の図面と照らし合わせた場合、第 2 の技術的特徴は、図 28 のソースドライバ回路 x A 3 に関するものであり、より具体的には、図 29 のソースドライバ部 x B 9、さらには、図 30 のソースアンプ回路 x C 3 (i) 及び x C 3 (j) ないしその周辺回路に関するものであると言える。

[0176] まず、第 2 の技術的特徴に係る液晶表示装置の第 1 実施形態について詳細に説明する。図 9 は、第 2 の技術的特徴に係る液晶表示装置の第 1 実施形態を示す模式図である。本実施形態の液晶表示装置は、液晶駆動装置 b 1 と、TFT 方式の液晶表示パネル b 2 と、を有して成る。

[0177] 液晶駆動装置 b 1 は、図示されていない映像ソースから入力される x 系統の入力信号 I (k) (ただし、k = 1、2、…、x、以下同様) を出力信号 O (k) に変換し、これを液晶表示パネル b 2 の各画素 (より正確には、液晶表示パネル b 2 の各画素に接続されたアクティブ素子のソース端子) に供給する半導体装置 (いわゆるソースドライバ IC) である。

[0178] また、液晶駆動装置 b 1 は、液晶表示パネル b 2 の駆動に際して、x 列の液晶素子に印加される出力信号 O (k) の極性反転制御を行うものであり、図 9 に示す通り、デジタル／アナログ変換器 A 1 (k) 及び B 1 (k) と、ソースアンプ A 2 (k) 及び B 2 (k) と、Pチャネル型 MOS 電界効果トランジスタ A 3 (k) 及び B 4 (k) と、Nチャネル型 MOS 電界効果トランジスタ A 4 (k) 及び B 3 (k) と、を集積化して成る。

[0179] デジタル／アナログ変換器 A 1 (k) は、接地電圧 GND (基準電圧に相当) とこれよりも高い正電源電圧 VDD (第 1 電源電圧に相当、例えば +6

V)との間で駆動され、デジタル形式の入力信号 I (k) をアナログ形式の正極性電圧に変換する。なお、デジタル／アナログ変換器 A 1 (k) で生成される正極性電圧は、入力信号 I (k) のデータ値に応じて、接地電圧 GND と正電源電圧 VDD との間で離散的に変化する階調電圧となる。

[0180] デジタル／アナログ変換器 B 1 (k) は、接地電圧 GND とこれよりも低い負電源電圧 VEE (第 2 電源電圧に相当、例えば -6 V) との間で駆動され、デジタル形式の入力信号 I (k) をアナログ形式の負極性電圧に変換する。なお、デジタル／アナログ変換器 B 1 (k) で生成される負極性電圧は、入力信号 I (k) のデータ値に応じて、接地電圧 GND と負電源電圧 VEE との間で離散的に変化する階調電圧となる。

[0181] ソースアンプ A 2 (k) は、接地電圧 GND と正電源電圧 VDD との間で駆動され、デジタル／アナログ変換器 A 1 (k) から入力される正極性電圧の電流能力を増強して出力する第 1 アンプである。

[0182] ソースアンプ B 2 (k) は、接地電圧 GND と負電源電圧 VEE との間で駆動され、デジタル／アナログ変換器 B 1 (k) から入力される負極性電圧の電流能力を増強して出力する第 2 アンプである。

[0183] トランジスタ A 3 (k) は、ソースアンプ A 2 (k) の出力端と外部端子 T (k) との間に接続された第 1 スイッチである。トランジスタ A 3 (k) のドレインは、ソースアンプ A 2 (k) の出力端に接続されている。トランジスタ A 3 (k) のソースは、外部端子 T (k) に接続されている。トランジスタ A 3 (k) のゲートは、不図示の極性反転制御部に接続されている。トランジスタ A 3 (k) のバックゲートは、正電源電圧 VDD の印加端に接続されている。

[0184] トランジスタ B 3 (k) は、ソースアンプ B 2 (k) の出力端と外部端子 T (k) との間に接続された第 2 スイッチである。トランジスタ B 3 (k) のドレインは、ソースアンプ B 2 (k) の出力端に接続されている。トランジスタ B 3 (k) のソースは、外部端子 T (k) に接続されている。トランジスタ B 3 (k) のゲートは、不図示の極性反転制御部に接続されている。

トランジスタ B 3 (k) のバックゲートは、負電源電圧 V_{EE} の印加端に接続されている。

[0185] なお、トランジスタ A 3 (k) 及び B 3 (k) は、各々のゲート・ソース間やゲート・ドレイン間に対して、非常に大きな電位差（最大で $V_{DD} - V_{EE}$ ）が印加されることから、素子サイズの大きい高耐圧素子（例えば、20V 耐圧素子）を用いる必要がある。

[0186] トランジスタ A 4 (k) は、ソースアンプ A 2 (k) の出力端と接地電圧 GND の印加端との間に接続された第 3 スイッチである。トランジスタ A 4 (k) のドレインは、ソースアンプ A 2 (k) の出力端に接続されている。トランジスタ A 4 (k) のソースは、接地電圧 GND の印加端に接続されている。トランジスタ A 4 (k) のゲートは、不図示の極性反転制御部に接続されている。

[0187] トランジスタ B 4 (k) は、ソースアンプ B 2 (k) の出力端と接地電圧 GND の印加端との間に接続された第 4 スイッチである。トランジスタ B 4 (k) のドレインは、ソースアンプ B 2 (k) の出力端に接続されている。トランジスタ B 4 (k) のソースは、接地電圧 GND の印加端に接続されている。トランジスタ B 4 (k) のゲートは、不図示の極性反転制御部に接続されている。

[0188] トランジスタ A 3 (k) のソース・バックゲート間には、ボディダイオード A 5 (k) が寄生している。ボディダイオード A 5 (k) のアノードは、トランジスタ A 3 (k) のソースに接続されている。ボディダイオード A 5 (k) のカソードは、トランジスタ A 3 (k) のバックゲートに接続されている。つまり、ボディダイオード A 5 (k) は、外部端子 T (k) と正電源電圧 V_{DD} の印加端との間に接続されている。従って、トランジスタ A 3 (k) のレイアウトを工夫することにより、これに寄生するボディダイオード A 5 (k) を外部端子 T (k) の静電保護ダイオード（正サージ保護素子）として流用することができる。なお、トランジスタ A 3 (k) のレイアウトについては、後ほど詳述する。

- [0189] トランジスタB3(k)のソース・バックゲート間には、ボディダイオードB5(k)が寄生している。ボディダイオードB5(k)のカソードは、トランジスタB3(k)のソースに接続されている。ボディダイオードB5(k)のアノードは、トランジスタB3(k)のバックゲートに接続されている。つまり、ボディダイオードB5(k)は、外部端子T(k)と負電源電圧V_{EE}の印加端との間に接続されている。従って、トランジスタB5(k)のレイアウトを工夫することにより、これに寄生するボディダイオードB5(k)を外部端子T(k)の静電保護ダイオード(負サージ保護素子)として流用することができる。なお、トランジスタB3(k)のレイアウトについては、後ほど詳述する。
- [0190] 液晶表示パネルb2は、出力信号O(k)の電圧値に応じて光透過率が変化するx列の液晶素子を画素として用いた映像出力手段である。
- [0191] 上記構成から成る液晶駆動装置b1では、トランジスタA3(k)及びB3(k)を相補的にオン/オフさせることにより、外部端子T(k)から液晶素子に印加される出力信号O(k)の極性反転制御を行う液晶駆動方式(ドット反転方式やカラム反転方式など)が採用されている。
- [0192] 図10は、液晶駆動装置b1による極性反転制御の一例を示すタイミングチャートであり、紙面の上部から順番に、出力信号O(k)の電圧レベル、RGBの選択状態、出力信号O(k)の極性状態(正極性(POS)フレームまたは負極性(NEG)フレーム)、トランジスタA3(k)のゲート電圧、トランジスタA4(k)のゲート電圧、トランジスタB3(k)のゲート電圧、及び、トランジスタB4(k)のゲート電圧がそれぞれ描写されている。
- [0193] 図10に示す通り、正極性フレーム(時刻t₁₁~t₁₂)においては、トランジスタA3(k)がオンとされ、トランジスタB3(k)がオフとされる。すなわち、出力信号O(k)として、ソースアンプA2(k)で生成される正極性のアナログ信号が選択される。一方、負極性フレーム(時刻t₁₂~t₁₃)では、トランジスタA3(k)がオフとされ、トランジスタ

B3(k) がオンとされる。すなわち、出力信号O(k)として、ソースアンプB2(k)で生成される負極性のアナログ信号が選択される。

[0194] このような出力信号O(k)の極性反転制御を行う構成であれば、液晶素子に対して一方向の電圧が継続的に印加され続けることがないので、液晶素子の劣化を抑えることが可能となる。

[0195] また、上記した出力信号O(k)の極性反転制御を行う構成であれば、液晶表示パネルb2のコモン電圧COM(全ての液晶素子の対向電極に対して共通に印加される電圧)を接地電圧GNDに固定することができるので、液晶表示パネルb2の対向容量に対する充放電が不要となり、消費電力の低減を実現することが可能である。

[0196] また、出力信号O(k)を正極性から負極性に反転させるタイミング(時刻t12)では、トランジスタA3(k)がオフされてトランジスタB3(k)がオンされる前に、トランジスタA4(k)が所定のオン期間Tonだけオンとされて、出力信号O(k)を負極性から正極性に反転させるタイミング(時刻t11、t13)では、トランジスタB3(k)がオフされてトランジスタA3(k)がオンされる前に、トランジスタB4(k)が所定のオン期間Tonだけオンとされる。

[0197] このように、出力信号O(k)の極性反転に際して、出力信号O(k)を一旦接地電圧GNDに設定する構成であれば、出力信号O(k)の極性反転時に生じる電位差を小さく抑えて、液晶素子の駆動電流を低減することが可能となる。

[0198] また、本実施形態の液晶駆動装置b1では、従来(図10中の実線と破線を比較参照)と異なるタイミングでチャージシェア用(GNDショート用)のトランジスタA4(k)及びB4(k)をオンさせることにより、トランジスタA3(k)及びB3(k)よりもソースアンプ側に、トランジスタA4(k)及びB4(k)を設けることが可能となる。従って、トランジスタA4(k)及びB4(k)については、そのゲート・ソース間に印加される電位差が最大でも(VDD-GND)または(GND-VEE)に抑えられ

る。その結果、トランジスタA4(k)及びB4(k)としては、高耐圧素子（例えば、20V耐圧素子）よりも素子サイズの小さい中耐圧素子（例えば7V耐圧素子）を用いれば足りるので、液晶駆動装置b1の小型化（チップ面積縮小）を実現することが可能となる。

[0199] なお、図10では、トランジスタA4(k)及びB4(k)のオン期間 T_{on} がいずれも誇張的に長く描写されているが、実際の設定では、例えば、出力信号O(k)が正電源電圧VDD或いは負電源電圧VEEから接地電圧GNDとなるまでに要する期間とすればよく、トランジスタA4(k)及びB4(k)のオン期間 T_{on} は、一のフレーム期間に比べて十分に短いものとなる。

[0200] 次に、ボディダイオードA5(k)及びB5(k)をそれぞれ外部端子T(k)の静電保護ダイオードとして流用するために工夫すべきトランジスタA3(k)及びB3(k)の素子レイアウトについて、詳細な説明を行う。

[0201] 図11Aは、トランジスタA3(k)のレイアウト例を示した上面図であり、図11Bは、トランジスタA3(k)の $\gamma-\gamma'$ 断面図である。P型半導体のPサブ11内には、N型半導体のNウェル12が形成されている。Nウェル12内には、P型半導体の第1ソース領域13a及び第2ソース領域13bと、P型半導体のドレイン領域14と、が形成されている。第1ソース領域13aと第2ソース領域13bは、ドレイン領域14の両側に分離して設けられ、いずれも外部端子T(k)に共通接続されている。すなわち、本レイアウト例のトランジスタA3(k)では、外部端子T(k)に直接接続される第1ソース領域13a及び第2ソース領域13bがトランジスタA3(k)の外側となるように配置されている。Pサブ11の表面上には、第1ソース領域13aとドレイン領域14との間、及び、第2ソース領域13bとドレイン領域14との間に、それぞれ、ゲート15a及び15bが形成されている。また、Nウェル12内には、ドレイン領域14、第1ソース領域13a、及び、第2ソース領域13bを取り囲むように、N型半導体であるバックゲートのコンタクト領域16が形成されている。なお、ドレイン領

域 1 4、第 1 ソース領域 1 3 a、及び、第 2 ソース領域 1 3 b と、バックゲートのコンタクト領域 1 6 とは、それぞれ所定の領域間距離 $L \times 1$ （例えば $2 \sim 4 \mu m$ ）を隔てて形成されている。第 1 ソース領域 1 3 a 及び第 2 ソース領域 1 3 b とバックゲートのコンタクト領域 1 6 とのジャンクションには、ボディダイオード A 5（k）が寄生している。

[0202] 図 1 2 A は、トランジスタ B 3（k）のレイアウト例を示した上面図であり、図 1 2 B は、トランジスタ B 3（k）の $\delta - \delta'$ 断面図である。P 型半導体の P サブ 2 1 内には、N 型半導体の第 1 ソース領域 2 3 a 及び第 2 ソース領域 2 3 b と、N 型半導体のドレイン領域 2 4 と、が形成されている。第 1 ソース領域 2 3 a と第 2 ソース領域 2 3 b は、ドレイン領域 2 4 の両側に分離して設けられ、いずれも外部端子 T（k）に共通接続されている。すなわち、本レイアウト例のトランジスタ B 3（k）では、外部端子 T（k）に直接接続される第 1 ソース領域 2 3 a 及び第 2 ソース領域 2 3 b がトランジスタ B 3（k）の外側となるように配置されている。P サブ 2 1 の表面上には、第 1 ソース領域 2 3 a とドレイン領域 2 4 との間、及び、第 2 ソース領域 2 3 b とドレイン領域 2 4 との間に、それぞれ、ゲート 2 5 a 及び 2 5 b が形成されている。また、P サブ 2 1 内には、ドレイン領域 2 4、第 1 ソース領域 2 3 a、及び、第 2 ソース領域 2 3 b を取り囲むように、P 型半導体であるバックゲートのコンタクト領域 2 6 が形成されている。なお、ドレイン領域 2 4、第 1 ソース領域 2 3 a、及び、第 2 ソース領域 2 3 b と、バックゲートのコンタクト領域 2 6 とは、それぞれ、所定の距離 $L \times 2$ （例えば $2 \sim 4 \mu m$ ）を隔てて形成されている。第 1 ソース領域 2 3 a 及び第 2 ソース領域 2 3 b とバックゲートのコンタクト領域 2 6 とのジャンクションには、ボディダイオード B 5（k）が寄生している。

[0203] 上記したトランジスタ A 3（k）及び B 3（k）の素子レイアウトにおける第 1 の特徴点は、領域間距離 $L \times 1$ 、 $L \times 2$ を十分に大きな値に設計したことである。通常のトランジスタを形成する場合には、上記の領域間距離 $L \times 1$ 、 $L \times 2$ を $1.2 \sim 1.5 \mu m$ に設計することが一般的であるが、ボデ

ィダイオードA 5 (k) 及びB 5 (k) を静電保護ダイオードとして流用するのであれば、上記の領域間距離 $L \times 1$ 、 $L \times 2$ を $2 \sim 4 \mu m$ (ダイオードを形成する場合と同程度の領域間距離) に設計することが望ましい。このような構成とすることにより、ボディダイオードA 5 (k) 及びB 5 (k) への電流集中を効果的に防止することが可能となる。

[0204] また、上記したトランジスタA 3 (k) 及びB 3 (k) の素子レイアウトにおける第2の特徴点は、外部端子T (k) に直接接続される第1ソース領域1 3 a 及び2 3 a、並びに、第2ソース領域1 3 b 及び2 3 b がそれぞれトランジスタA 3 (k) 及びB 3 (k) の外側となるように配置されていることである。このような素子レイアウトを採用することにより、トランジスタA 3 (k) のソースとバックゲートとのジャンクション面積、及び、トランジスタB 3 (k) のソースとバックゲートとのジャンクション面積をそれぞれ稼ぐことができるので、これらのジャンクションに寄生するボディダイオードの静電保護能力を高めることが可能となる。

[0205] このように、液晶駆動装置b 1 では、ボディダイオードA 5 (k) 及びB 5 (k) をそれぞれ外部端子T (k) の静電保護ダイオードとして流用することができるので、従来の静電保護ダイオードE 5 (k) 及びF 5 (k) (図1 4を参照)) を設ける必要がなくなり、液晶駆動装置b 1 の小型化(チップ面積縮小) に貢献することが可能となる。

[0206] 次に、第2の技術的特徴に係る液晶表示装置の第2実施形態について詳細に説明する。図1 3は、第2の技術的特徴に係る液晶表示装置の第2実施形態を示す模式図である。図1 3を見れば分かるように、本実施形態の液晶表示装置は、先出の第1実施形態とほぼ同様の構成から成る。そこで、第1実施形態と同様の構成要素については、図9と同一符号を付すことで重複した説明を省略し、以下では、第2実施形態に特有の構成要素についてのみ、重点的に説明を行うことにする。

[0207] 先出の第1実施形態では、x 個の外部端子T (k) (ただし、 $k = 1, 2, \dots, x$) に対して、それぞれ、正極性回路(A 1 (k) ~ A 5 (k)) と

負極性回路（ $B1(k) \sim B5(k)$ ）を1組ずつ備えた構成とされていたが、第2実施形態では、互いに隣り合う第1外部端子 $T(i)$ と第2外部端子 $T(i+1)$ （ただし、 $i=1, 3, 5, \dots, (x-1)$ 、以下同様）との間で、それぞれ正極性回路（ $A1(j) \sim A5(j)$ ）と負極性回路（ $B1(j) \sim B5(j)$ ）（ただし、 $j = \{(i+1)/2\} = 1, 2, 3, \dots, (x/2)$ 、以下同様）を1組ずつ共有する構成とされている。なお、 x は2以上の偶数であるものとする。

[0208] より具体的に述べると、本実施形態の液晶駆動装置 $b1'$ は、デジタル／アナログ変換器 $A1(j)$ 及び $B1(j)$ と、ソースアンプ $A2(j)$ 及び $B2(j)$ と、Pチャネル型MOS電界効果トランジスタ $A3(j)$ 及び $B4(j)$ と、Nチャネル型MOS電界効果トランジスタ $A4(j)$ 及び $B3(j)$ と、を集積化して成るほか、さらに、Pチャネル型MOS電界効果トランジスタ $A3'(j)$ と、Nチャネル型MOS電界効果トランジスタ $B3'(j)$ と、を集積化して成る。

[0209] デジタル／アナログ変換器 $A1(j)$ は、接地電圧 GND と正電源電圧 VDD との間で駆動され、デジタル形式の入力信号 $IA(j)$ をアナログ形式の正極性電圧に変換する。なお、デジタル／アナログ変換器 $A1(j)$ にて生成される正極性電圧は、入力信号 $IA(j)$ のデータ値に応じて、接地電圧 GND と正電源電圧 VDD との間で離散的に変化する階調電圧となる。

[0210] デジタル／アナログ変換器 $B1(j)$ は、接地電圧 GND と負電源電圧 VEE との間で駆動され、デジタル形式の入力信号 $IB(j)$ をアナログ形式の負極性電圧に変換する。なお、デジタル／アナログ変換器 $B1(j)$ にて生成される負極性電圧は、入力信号 $IB(j)$ のデータ値に応じて、接地電圧 GND と負電源電圧 VEE との間で離散的に変化する階調電圧となる。

[0211] ソースアンプ $A2(j)$ は、接地電圧 GND と正電源電圧 VDD との間で駆動され、デジタル／アナログ変換器 $A1(j)$ から入力される正極性電圧の電流能力を増強して出力する第1アンプである。

[0212] ソースアンプ $B2(j)$ は、接地電圧 GND と負電源電圧 VEE との間で

駆動され、デジタル／アナログ変換器B 1 (j) から入力される負極性電圧の電流能力を増強して出力する第2アンプである。

[0213] トランジスタA 3 (j) は、ソースアンプA 2 (j) の出力端と第1外部端子T (i) との間に接続された第1スイッチである。トランジスタA 3 (j) のドレインは、ソースアンプA 2 (j) の出力端に接続されている。トランジスタA 3 (j) のソースは、第1外部端子T (i) に接続されている。トランジスタA 3 (j) のゲートは、不図示の極性反転制御部に接続されている。トランジスタA 3 (j) のバックゲートは、正電源電圧VDDの印加端に接続されている。

[0214] トランジスタB 3 (j) は、ソースアンプB 2 (j) の出力端と第1外部端子T (i) との間に接続された第2スイッチである。トランジスタB 3 (j) のドレインは、ソースアンプB 2 (j) の出力端に接続されている。トランジスタB 3 (j) のソースは、第1外部端子T (i) に接続されている。トランジスタB 3 (j) のゲートは、不図示の極性反転制御部に接続されている。トランジスタB 3 (j) のバックゲートは、負電源電圧VEEの印加端に接続されている。

[0215] なお、トランジスタA 3 (j) 及びB 3 (j) は、各々のゲート・ソース間やゲート・ドレイン間に対して、非常に大きな電位差（最大でVDD−VEE）が印加されることから、素子サイズの大きい高耐圧素子（例えば、20V耐圧素子）を用いる必要がある。

[0216] トランジスタA 4 (j) は、ソースアンプA 2 (j) の出力端と接地電圧GNDの印加端との間に接続された第3スイッチである。トランジスタA 4 (j) のドレインは、ソースアンプA 2 (j) の出力端に接続されている。トランジスタA 4 (j) のソースは、接地電圧GNDの印加端に接続されている。トランジスタA 4 (j) のゲートは、不図示の極性反転制御部に接続されている。

[0217] トランジスタB 4 (j) は、ソースアンプB 2 (j) の出力端と接地電圧GNDの印加端との間に接続された第4スイッチである。トランジスタB 4

(j) のドレインは、ソースアンプ B 2 (j) の出力端に接続されている。トランジスタ B 4 (j) のソースは、接地電圧 GND の印加端に接続されている。トランジスタ B 4 (j) のゲートは、不図示の極性反転制御部に接続されている。

[0218] また、本実施形態で追加されたトランジスタ A 3' (j) は、ソースアンプ A 2 (j) の出力端と第 2 外部端子 T (i + 1) との間に接続された第 5 スイッチである。トランジスタ A 3' (j) のドレインは、ソースアンプ A 2 (j) の出力端に接続されている。トランジスタ A 3' (j) のソースは、第 2 外部端子 T (i + 1) に接続されている。トランジスタ A 3' (j) のゲートは、不図示の極性反転制御部に接続されている。トランジスタ A 3' (j) のバックゲートは、正電源電圧 VDD の印加端に接続されている。

[0219] また、本実施形態で追加されたトランジスタ B 3' (j) は、ソースアンプ B 2 (j) の出力端と第 2 外部端子 T (i + 1) との間に接続された第 6 スイッチである。トランジスタ B 3' (j) のドレインは、ソースアンプ B 2 (j) の出力端に接続されている。トランジスタ B 3' (j) のソースは、第 2 外部端子 T (i + 1) に接続されている。トランジスタ B 3' (j) のゲートは、不図示の極性反転制御部に接続されている。トランジスタ B 3' (j) のバックゲートは、負電源電圧 VEE の印加端に接続されている。

[0220] なお、トランジスタ A 3' (j) 及び B 3' (j) は、各々のゲート・ソース間やゲート・ドレイン間に対して非常に大きな電位差（最大で VDD - VEE）が印加されることから、素子サイズの大きい高耐圧素子（例えば、20V 耐圧素子）を用いる必要がある。

[0221] トランジスタ A 3 (j) のソース・バックゲート間には、ボディダイオード A 5 (j) が寄生している。ボディダイオード A 5 (j) のアノードは、トランジスタ A 3 (j) のソースに接続されている。ボディダイオード A 5 (j) のカソードは、トランジスタ A 3 (j) のバックゲートに接続されている。つまり、ボディダイオード A 5 (j) は、第 1 外部端子 T (i) と正電源電圧 VDD の印加端との間に接続されている。従って、トランジスタ A

3 (j) のレイアウトを工夫することにより、これに寄生するボディダイオード A 5 (j) を第 1 外部端子 T (i) の静電保護ダイオード (正サージ保護素子) として流用することができる。なお、トランジスタ A 3 (j) のレイアウトについては、先述した通りであるため、詳細な説明は割愛する。

[0222] トランジスタ B 3 (j) のソース・バックゲート間には、ボディダイオード B 5 (j) が寄生している。ボディダイオード B 5 (j) のカソードは、トランジスタ B 3 (j) のソースに接続されている。ボディダイオード B 5 (j) のアノードは、トランジスタ B 3 (j) のバックゲートに接続されている。つまり、ボディダイオード B 5 (j) は、第 1 外部端子 T (i) と負電源電圧 V_{EE} の印加端との間に接続されている。従って、トランジスタ B 3 (j) のレイアウトを工夫することにより、これに寄生するボディダイオード B 5 (j) を第 1 外部端子 T (i) の静電保護ダイオード (負サージ保護素子) として流用することができる。なお、トランジスタ B 3 (j) のレイアウトについては、先述した通りであるため、詳細な説明は割愛する。

[0223] また、本実施形態で追加されたトランジスタ A 3' (j) のソース・バックゲート間には、ボディダイオード A 5' (j) が寄生している。ボディダイオード A 5' (j) のアノードはトランジスタ A 3' (j) のソースに接続されている。ボディダイオード A 5' (j) のカソードは、トランジスタ A 3' (j) のバックゲートに接続されている。つまり、ボディダイオード A 5' (j) は、第 2 外部端子 T (i + 1) と正電源電圧 V_{DD} の印加端との間に接続されている。従って、トランジスタ A 3' (j) のレイアウトを工夫することにより、これに寄生するボディダイオード A 5' (j) を第 2 外部端子 T (i + 1) の静電保護ダイオード (正サージ保護素子) として流用することができる。なお、トランジスタ A 3' (j) のレイアウトについては、トランジスタ A 3 (j) と同様であるため、詳細な説明は割愛する。

[0224] また、本実施形態で追加されたトランジスタ B 3' (j) のソース・バックゲート間には、ボディダイオード B 5' (j) が寄生している。ボディダイオード B 5' (j) のカソードはトランジスタ B 3' (j) のソースに接

続されている。ボディダイオード $B5' (j)$ のアノードは、トランジスタ $B3' (j)$ のバックゲートに接続されている。つまり、ボディダイオード $B5' (j)$ は、第2外部端子 $T(i+1)$ と負電源電圧 V_{EE} の印加端との間に接続されている。従って、トランジスタ $B3' (j)$ のレイアウトを工夫することにより、これに寄生するボディダイオード $B5' (j)$ を第2外部端子 $T(i+1)$ の静電保護ダイオード（負サージ保護素子）として流用することができる。なお、トランジスタ $B3' (j)$ のレイアウトについては、トランジスタ $B3 (j)$ と同様であるため、詳細な説明は割愛する。

[0225] 上記の構成から成る液晶駆動装置 $b1'$ は、トランジスタ $A3 (j)$ とトランジスタ $A3' (j)$ 、並びに、トランジスタ $B3 (j)$ とトランジスタ $B3' (j)$ を各々相補的にオン／オフさせることにより、第1外部端子 $T(i)$ から液晶素子に印加される出力信号 $O(i)$ とは逆の極性で、第2外部端子 $T(i+1)$ から液晶素子に印加される出力信号 $O(i+1)$ の極性反転制御を行う構成とされている。

[0226] 例えば、第1フレームでは、第1外部端子 $T(i)$ から出力すべき画素信号が入力信号 $IA(j)$ としてデジタル／アナログ変換器 $A1(j)$ に入力され、第2外部端子 $T(i+1)$ から出力すべき画素信号が入力信号 $IB(j)$ としてデジタル／アナログ変換器 $B1(j)$ に入力される。

[0227] また、上記の第1フレームでは、トランジスタ $A3 (j)$ 及び $B3' (j)$ がオンとされ、トランジスタ $A3' (j)$ 及び $B3 (j)$ がオフとされる。

[0228] このようなスイッチング制御により、上記の第1フレームでは、第1外部端子 $T(i)$ から液晶素子に出力される出力信号 $O(i)$ として、ソースアンプ $A2(j)$ で生成される正極性のアナログ信号が選択され、第2外部端子 $T(i+1)$ から液晶素子に出力される出力信号 $O(i+1)$ として、ソースアンプ $B2(j)$ で生成される負極性のアナログ信号が選択される。

[0229] 次に、上記の第1フレームに続く第2フレームでは、第1外部端子 $T(i)$ から出力すべき画素信号が入力信号 $IB(j)$ としてデジタル／アナログ

変換器 B 1 (j) に入力され、第 2 外部端子 T (i + 1) から出力すべき画素信号が入力信号 I A (j) としてデジタル／アナログ変換器 A 1 (j) に入力される。

[0230] また、上記の第 2 フレームでは、第 2 トランジスタ A 3 (j) 及び B 3 ' (j) がオフとされ、トランジスタ A 3 ' (j) 及び B 3 (j) がオンとされる。

[0231] このようなスイッチング制御により、上記の第 2 フレームでは、第 1 外部端子 T (i) から液晶素子に出力される出力信号 O (i) として、ソースアンプ B 2 (j) で生成される負極性のアナログ信号が選択され、第 2 外部端子 T (i + 1) から液晶素子に出力される出力信号 O (i + 1) として、ソースアンプ A 2 (j) で生成される正極性のアナログ信号が選択される。

[0232] 上記したように、第 2 実施形態の液晶駆動装置 b 1 ' であれば、互いに隣り合う第 1 外部端子 T (i) と第 2 外部端子 T (i + 1) との間で、それぞれ正極性回路 (A 1 (j) ~ A 5 (j)) と負極性回路 (B 1 (j) ~ B 5 (j)) を 1 組ずつ共有することができるので、液晶駆動装置 b 1 ' の小型化 (チップ面積縮小) に貢献することが可能となる。

[0233] なお、第 2 の技術的特徴の構成は、上記実施形態のほか、その主旨を逸脱しない範囲で種々の変更を加えることが可能である。

[0234] 例えば、上記実施形態では、第 1 電源電圧を正電源電圧 V D D 、第 2 電源電圧を負電源電圧 V E E 、基準電圧を接地電圧 G N D とした構成を例に挙げて説明を行ったが、第 2 の技術的特徴の構成はこれに限定されるものではない。

[0235] また、上記実施形態では、T F T 方式の液晶表示パネルを駆動する手段として、第 2 の技術的特徴に係る液晶駆動装置を用いた構成を示して説明を行ったが、第 2 の技術的特徴の適用対象はこれに限定されるものではなく、例えば S T N [Super Twisted Nematic] 方式の液晶表示パネルを駆動する手段としても、第 2 の技術的特徴に係る液晶駆動装置を好適に用いることができる。

[0236] (第3の技術的特徴について)

以下で説明する第3の技術的特徴は電源回路及びこれを用いた液晶駆動装置に関する。

[0237] なお、先出の図面と照らし合わせた場合、第3の技術的特徴は、図28のソースドライバ回路xA3に関するものであり、より具体的には、図29のLCD電源回路xB19ないしその周辺回路に関するものであると言える。

[0238] 図16は、第3の技術的特徴に係る液晶表示装置の構成例を示すブロック図である。図16に示す通り、本構成例の液晶表示装置は、液晶駆動装置c1と、TFT [Thin Film Transistor] 方式の液晶表示パネルc2と、を有する。

[0239] 液晶駆動装置c1は、不図示のホスト装置（マイコン等）から入力されるコマンドやデータに基づいて、液晶表示パネルc2の駆動制御を行う半導体集積回路装置であり、例えば、電源回路c10と、ロジック回路c20と、ソースドライバc30と、ゲートドライバc40と、TFTコントローラc50と、を有する。

[0240] 電源回路c10は、電源電圧VDDの供給を受けて動作し、所定の正昇圧電圧VSP及び負昇圧電圧VSNを生成する。なお、電源回路c10の内部構成及び動作については、後ほど詳細な説明を行う。

[0241] ロジック回路c20は、ロジック電源電圧VDDLの供給を受けて動作し、ホスト装置から入力されるコマンドやデータに基づいて、液晶駆動装置c1の各部を統括的に制御する。特に、電源回路c10に対しては、イネーブル信号ENやクロック信号CLKの送出を行う主体として機能する。

[0242] ソースドライバc30は、正昇圧電圧VSP及び負昇圧電圧VSNの供給を受けて動作し、ロジック回路c20から入力されるデジタル映像信号をアナログ映像信号に変換し、これを液晶表示パネルc2の各画素（より正確には、液晶表示パネルc2の各画素に接続されたアクティブ素子のソース端子）に供給する。なお、ソースドライバc30は、液晶表示パネルc2の駆動に際して、液晶素子に印加されるソース信号の極性反転制御を行う構成とさ

れている。このような構成とすることにより、液晶素子に対して一方向の電圧が継続的に印加され続けることがないので、液晶素子の劣化を抑えることが可能となる。

[0243] ゲートドライバc40は、正昇圧電圧VSP及び負昇圧電圧VSNの供給を受けて動作し、ロジック回路c20から入力される同期信号に基づいて、液晶表示パネルc2の垂直走査信号を生成し、これを液晶表示パネルc2の各画素（より正確には、液晶表示パネルc2の各画素に接続されたアクティブ素子のゲート端子）に供給する。

[0244] TFTコントローラc50は、ロジック回路c20から入力される同期信号に基づいて液晶表示パネルc2側に搭載された回路要素（液晶駆動装置c1から入力される複数のソース信号各々をさらに複数系統に分配するマルチプレクサなど）の制御信号を生成する。

[0245] 液晶表示パネルc2は、液晶駆動装置c1から入力されるソース信号の電圧値に応じて光透過率が変化する複数列の液晶素子を画素として用いた映像出力手段である。

[0246] 図17は、電源回路c10の構成例を示す回路ブロック図である。本構成例の電源回路c10は、第1帰還制御回路Xと、第2帰還制御回路Yと、リセット回路Zとを有する。なお、電源回路c10には、スイッチングレギュレータを形成するディスクリート部品として、出力トランジスタM1及びM2と、インダクタL1及びL2と、ダイオードD1及びD2と、コンデンサC1及びC2と、が外部接続される。

[0247] 出力トランジスタM1（Pチャネル型MOS [Metal Oxide Semiconductor] 電界効果トランジスタ）のソースは、電源電圧VDDの入力端に接続されている。出力トランジスタM1のドレインは、インダクタL1の第1端とダイオードD1のカソードに接続されている。出力トランジスタM1のゲートは、第1ゲート信号G1の出力端（後述する否定論理積演算器Z4の出力端）に接続されている。インダクタL1の第2端は、接地端に接続されている。ダイオードD1のアノードは、負昇圧電圧VSNの出力端とコンデンサ

C 1 の第 1 端に接続されている。コンデンサ C 1 の第 2 端は、接地端に接続されている。

[0248] 出力トランジスタ M 1 がオン状態にされると、インダクタ M 1 には、出力トランジスタ M 1 を介して、電源電圧 V D D の入力端から接地端に向けたスイッチ電流が流れ、その電気エネルギーが蓄えられる。このとき、同期整流素子であるダイオード D 1 は、逆バイアス状態となるため、コンデンサ C 1 から出力トランジスタ M 1 に向けて電流が流れ込むことはない。一方、出力トランジスタ M 1 がオフ状態にされると、インダクタ L 1 に発生した逆起電圧によって、インダクタ L 1 に蓄積されていた電気エネルギーが放出される。このとき、ダイオード D 1 は順バイアス状態となるため、コンデンサ C 1 を介して接地端から電流が引き込まれる。上記した出力トランジスタ M 1 のオン／オフ動作を繰り返すことにより、コンデンサ C 1 の第 1 端から負昇圧電圧 V S N を出力することができる。

[0249] 出力トランジスタ M 2 (N チャネル型 M O S 電界効果トランジスタ) のドレインは、インダクタ L 2 の第 1 端とダイオード D 2 のアノードに接続されている。出力トランジスタ M 2 のソースは、接地端に接続されている。出力トランジスタ M 2 のゲートは、第 2 ゲート信号 G 2 の出力端 (後述する論理積演算器 Z 5 の出力端) に接続されている。インダクタ L 2 の第 2 端は、電源電圧 V D D の入力端に接続されている。ダイオード D 2 のカソードは、正昇圧電圧 V S P の出力端とコンデンサ C 2 の第 1 端に接続されている。コンデンサ C 2 の第 2 端は、接地端に接続されている。

[0250] 出力トランジスタ M 2 がオン状態にされると、インダクタ M 2 には、出力トランジスタ M 2 を介して、電源電圧 V D D の入力端から接地端に向けたスイッチ電流が流れ、その電気エネルギーが蓄えられる。このとき、同期整流素子であるダイオード D 2 は、逆バイアス状態となるため、コンデンサ C 2 から出力トランジスタ M 2 に向けて電流が流れ込むことはない。一方、出力トランジスタ M 2 がオフ状態にされると、インダクタ L 2 に発生した逆起電圧によって、インダクタ L 2 に蓄積されていた電気エネルギーが放出される。こ

のとき、ダイオードD 2は順バイアス状態となるため、コンデンサC 2を介して接地端に向けた電流が流し込まれる。上記した出力トランジスタM 2のオン／オフ動作を繰り返すことにより、コンデンサC 2の第1端から正昇圧電圧V S Pを出力することができる。

[0251] 第1帰還制御回路Xは、電源電圧V D Dから所望の負昇圧電圧V S Nが生成されるように出力トランジスタM 1の帰還制御信号S X 3を生成する回路ブロックであり、例えば、駆動制御部X 1と、ジッタキャンセル部X 2と、過電圧保護部X 3と、を有する。

[0252] 駆動制御部X 1は、帰還入力される負昇圧電圧V S Nが所定の目標値と一致するように帰還制御信号S X 1のPWM [Pulse Width Modulation] 制御を行う。なお、駆動制御部X 1の内部構成及び動作については、後ほど詳細な説明を行う。

[0253] ジッタキャンセル部X 2は、帰還制御信号S X 1のジッタ成分やチャタリング成分の除去処理を施し、ジッタキャンセル処理済みの帰還制御信号S X 2を出力する。なお、ジッタキャンセル部X 2の内部構成及び動作については、後ほど詳細な説明を行う。

[0254] 過電圧保護部X 3は、負昇圧電圧V S Nを監視して過電圧保護動作を行う回路ブロックであり、例えば、過電圧検知回路X 3 1と、論理積演算器X 3 2と、を有する。過電圧検知回路X 3 1の入力端は、負昇圧電圧V S Nの入力端に接続されている。過電圧検知回路X 3 1の出力端は、論理積演算器X 3 2の第1入力端に接続されている。論理積演算器X 3 2の第2入力端は、ジッタキャンセル部X 2の出力端に接続されている。論理積演算器X 3 2の出力端は、最終的な帰還制御信号S X 3の出力端として、リセット回路Zの第1入力端（後述する否定論理積演算器Z 4の第2入力端）に接続されている。なお、過電圧検知回路X 3 1の内部構成及び動作については、後ほど詳細な説明を行う。

[0255] 第2帰還制御回路Yは、電源電圧V D Dから所望の正昇圧電圧V S Pが生成されるように出力トランジスタM 2の帰還制御信号S Y 3を生成する回路

ブロックであり、例えば、駆動制御部 Y 1 と、ジッタキャンセル部 Y 2 と、過電圧保護部 Y 3 と、を有する。

[0256] 駆動制御部 Y 1 は、帰還入力される正昇圧電圧 V S P が所定の目標値と一致するように帰還制御信号 S Y 1 の PWM 制御を行う。なお、駆動制御部 Y 1 の内部構成及び動作については、後ほど詳細な説明を行う。

[0257] ジッタキャンセル部 Y 2 は、帰還制御信号 S Y 1 のジッタ成分やチャタリング成分の除去処理を施し、ジッタキャンセル処理済みの帰還制御信号 S Y 2 を出力する。なお、ジッタキャンセル部 Y 2 の内部構成及び動作については、後ほど詳細な説明を行う。

[0258] 過電圧保護部 Y 3 は、正昇圧電圧 V S P を監視して過電圧保護動作を行う回路ブロックであり、例えば、過電圧検知回路 Y 3 1 と、論理積演算器 Y 3 2 と、を有する。過電圧検知回路 Y 3 1 の入力端は、正昇圧電圧 V S P の入力端に接続されている。過電圧検知回路 Y 3 1 の出力端は、論理積演算器 Y 3 2 の第 1 入力端に接続されている。論理積演算器 Y 3 2 の第 2 入力端は、ジッタキャンセル部 Y 2 の出力端に接続されている。論理積演算器 Y 3 2 の出力端は、最終的な帰還制御信号 S Y 3 の出力端として、リセット回路 Z の第 2 入力端（後述する論理積演算器 Z 5 の第 2 入力端）に接続されている。なお、過電圧検知回路 Y 3 1 の内部構成及び動作については、後ほど詳細な説明を行う。

[0259] リセット回路 Z は、少なくとも電源回路 c 10 への電源投入時点から所定期間 T が経過するまで出力トランジスタ M 1 と M 2 を強制的にオフ状態とする回路ブロックであり、例えば、レベルシフタ Z 1 と、パワーオンリセット部 Z 2 と、内部リセット信号生成部（論理積演算器） Z 3 と、否定論理積演算器 Z 4 と、論理積演算器 Z 5 と、を有する。

[0260] レベルシフタ Z 1 の入力端は、外部リセット信号 R 0 が入力される外部端子に接続されている。レベルシフタ Z 1 の出力端は、内部リセット信号生成部 Z 3 の第 1 入力端に接続されている。パワーオンリセット部 Z 2 の出力端は、内部リセット信号生成部 Z 3 の第 2 入力端に接続されている。内部リセ

ット信号生成部Z3の出力端は、否定論理積演算器Z4の第1入力端、及び、論理積演算器Z5の第1入力端に各々接続されている。否定論理積演算器Z4の第2入力端は、第1帰還制御回路Xの出力端（論理積演算器X32の出力端）に接続されている。否定論理積演算器Z4の出力端は、第1ゲート信号G1の出力端として、出力トランジスタM1のゲートに接続されている。論理積演算器Z5の第2入力端は、第2帰還制御回路Yの出力端（論理積演算器Y32の出力端）に接続されている。論理積演算器Z5の出力端は、第2ゲート信号G2の出力端として、出力トランジスタM2のゲートに接続されている。

[0261] レベルシフタZ1は、外部リセット信号R0を適切な電圧レベル（内部リセット信号生成部Z3への入力に適した電圧レベル）に変換し、レベルシフト処理済みの外部リセット信号R1を生成する。

[0262] パワーオンリセット部Z2は、少なくとも電源回路c10への電源投入時点から所定期間Tが経過するまでローレベル（リセット論理）となるパワーオンリセット信号R2を生成する。なお、パワーオンリセット部Z2の内部構成及び動作については、後ほど詳細な説明を行う。

[0263] 内部リセット信号生成部Z3は、レベルシフト処理済みの外部リセット信号R1と、パワーオンリセット信号R2との論理積演算を行うことで、内部リセット信号R3を生成する。すなわち、内部リセット信号R3は、レベルシフト処理済みの外部リセット信号R1とパワーオンリセット信号R2の少なくとも一方がローレベル（リセット論理）であればローレベル（リセット論理）となり、双方がハイレベル（リセット解除論理）であるときにのみハイレベル（リセット解除論理）となる。

[0264] 否定論理積演算器Z4は、第1帰還制御回路Xから入力される帰還制御信号SX3と、内部リセット信号R3との論理積演算を行うことで、第1ゲート信号G1を生成する。すなわち、第1ゲート信号G1は、帰還制御信号SX3と内部リセット信号R3の少なくとも一方がローレベルであればハイレベル（出力禁止論理）となり、双方がハイレベルであるときにのみローレベ

ル（出力許可論理）となる。

[0265] 論理積演算器 Z 5 は、第 2 帰還制御回路 Y から入力される帰還制御信号 S Y 3 と、内部リセット信号 R 3 との論理積演算を行うことで、第 2 ゲート信号 G 2 を生成する。すなわち、第 2 ゲート信号 G 2 は、帰還制御信号 S Y 3 と内部リセット信号 R 3 の少なくとも一方がローレベルであればローレベル（出力禁止論理）となり、双方がハイレベルであるときにのみハイレベル（出力許可論理）となる。

[0266] このように、リセット回路 Z は、内部リセット信号 R 3 がローレベル（リセット論理）であるときには、帰還制御信号 S X 3 及び S Y 3 に応じた出力トランジスタ M 1 及び M 2 のオン／オフ制御を禁止して、出力トランジスタ M 1 及び M 2 を強制的にオフ状態とする一方、内部リセット信号 R 3 がハイレベル（リセット解除論理）であるときには、帰還制御信号 S X 3 及び S Y 3 に応じた出力トランジスタ M 1 及び M 2 のオン／オフ制御を許可する構成とされている。

[0267] より掘り下げて述べると、リセット回路 Z は、パワーオンリセット信号 R 2 がローレベル（リセット論理）であるときには、帰還制御信号 S X 3 及び S Y 3 に応じた出力トランジスタ M 1 及び M 2 のオン／オフ制御を禁止して、出力トランジスタ M 1 及び M 2 を強制的にオフ状態とする構成とされている。

[0268] このような構成を採用することにより、外部リセット信号 R 0 がローレベル（リセット論理）である場合はもちろん、外部リセット信号 R 0 がハイレベル（リセット解除論理）である場合であっても、少なくとも電源回路 c 1 0 への電源投入時点から所定期間 T が経過するまでの間は、パワーオンリセット信号 R 2 に基づいて出力トランジスタ M 1 及び M 2 を強制的にオフ状態とすることができるので、万一、帰還制御信号 S X 3 及び S Y 3 が論理不定状態であっても、意図しない過電流の発生を未然に防止することが可能となる。

[0269] また、本構成例の電源回路 c 1 0 において、リセット回路 Z は、第 1 帰還

制御回路Xと第2帰還制御回路Yによって共有されている。このような構成とすることにより、複数系統の出力電圧（本構成例では正昇圧電圧 V_{SP} と負昇圧電圧 V_{SN} の2系統）を生成する場合であっても、リセット回路Zを複数設ける必要がないので、回路規模を不要に増大せずに済み、チップの小型化やコストダウンに貢献することが可能となる。

[0270] 図18は、駆動制御部X1の構成例を示す回路ブロック図である。本構成例の駆動制御部X1は、抵抗X11と、コンデンサX12と、オペアンプX13と、コンパレータX14と、発振器X15と、論理積演算器X16と、を有する。なお、駆動制御部Y1は、駆動制御部X1と同一の構成から成り、符号中の「X」部分を「Y」と読み替え、負昇圧電圧 V_{SN} を正昇圧電圧 V_{SP} と読み替えれば足りるため、重複した説明は割愛する。

[0271] 抵抗X11の第1端は、負昇圧電圧 V_{SN} の入力端に接続されている。抵抗X11の第2端は、コンデンサX12の第1端とオペアンプX13の反転入力端（-）に接続されている。オペアンプX13の非反転入力端（+）は、参照電圧 V_{ref} の入力端に接続されている。オペアンプX13の出力端（誤差信号 S_a の出力端）は、コンデンサX12の第2端とコンパレータX14の非反転入力端（+）に接続されている。コンパレータX14の反転入力端（-）は、発振器X15の第1出力端（三角波信号 S_b の出力端）に接続されている。コンパレータX14の出力端（PWM信号 S_c の出力端）は、論理積演算器Z16の第1入力端に接続されている。論理積演算器Z16の第2入力端は、発振器X15の第2出力端（最大デューティパルス信号 S_d の出力端）に接続されている。論理積演算器X16の出力端は、帰還制御信号 S_{X1} の出力端として、図示されていないジッタキャンセル部X2の入力端に接続されている（図17を参照）。なお、上記のコンパレータX14及び発振器X15には、不図示のロジック回路c20からイネーブル信号 E_N が入力されており、その動作可否が制御されている。

[0272] 図19は、駆動制御部X1の動作を説明するためのタイミングチャートであり、上から順番に、誤差信号 S_a 、三角波信号 S_b 、PWM信号 S_c 、最

大デューティパルス信号 S_d 、及び、帰還制御信号 S_{X1} が描写されている。

- [0273] オペアンプ X_{13} は、負昇圧電圧 V_{SN} と参照電圧 V_{ref} （負昇圧電圧 V_{SN} の目標値に相当）との差分を増幅して誤差信号 S_a を生成する。すなわち、誤差信号 S_a の電圧レベルは、負昇圧電圧 V_{SN} の目標値に対する乖離度に応じて変動する。より具体的に述べると、誤差信号 S_a の電圧レベルは、負昇圧電圧 V_{SN} が目標値から離れているほど高くなる。
- [0274] 発振器 X_{15} は、所定の発振周波数を有する三角波信号 S_b と最大デューティパルス信号 S_d を生成する。なお、三角波信号 S_b は、コンパレータ X_{14} の第2入力端に印加され、最大デューティパルス信号 S_d は、論理積演算器 X_{16} の第2入力端に印加される。
- [0275] コンパレータ X_{14} は、誤差信号 S_a と三角波信号 S_b とを比較してPWM信号 S_c を生成する。すなわち、PWM信号 S_c のオンデューティ（単位期間に占める出力トランジスタ M_1 のオン期間の比）は、誤差信号 S_a と三角波信号 S_b との相対的な高低に応じて逐次変動する。具体的に述べると、負昇圧電圧 V_{SN} がその目標値から離れているほど、PWM信号 S_c のオンデューティ（図19ではハイレベル期間）が大きくなり、負昇圧電圧 V_{SN} がその目標値に近づくにつれ、PWM信号 S_c のオンデューティが小さくなる。このPWM信号 S_c に基づいて、出力トランジスタ M_1 のオン／オフ制御を行うことにより、負昇圧電圧 V_{SN} をその目標値に合わせ込むことができる。
- [0276] なお、論理積演算器 X_{16} は、PWM信号 S_c と最大デューティパルス信号 S_d との論理積演算を行うことで、帰還制御信号 S_{X1} を生成する。すなわち、帰還制御信号 S_{X1} は、PWM信号 S_c と最大デューティパルス信号 S_d の少なくとも一方がローレベルであればローレベルとなり、双方がハイレベルであるときにのみハイレベルとなる。このような構成とすることにより、帰還制御信号 S_{X1} の最大デューティを制限することができるので、電源投入時におけるソフトスタート制御を容易に実現することが可能となる。

[0277] 図20は、ジッタキャンセル部X2の構成例を示す回路ブロック図である。本構成例のジッタキャンセル部X2は、DフリップフロップX21と、インバータX22と、否定論理和演算器X23及びX24と、フィルタ回路X25と、を有する。

[0278] DフリップフロップX21のデータ端は、電源電圧VDDの入力端に接続されている。DフリップフロップX21のクロック端は、帰還制御信号SX1の入力端に接続されている。DフリップフロップX21の出力端は、ジッタキャンセル処理済みの帰還制御信号SX2の出力端と、インバータX22の入力端と、に各々接続されている。インバータX22の出力端（反転帰還制御信号SX2Bの出力端）は、否定論理和演算器X23の第1入力端に接続されている。否定論理和演算器X23の第2入力端は、帰還制御信号SX1の入力端に接続されている。否定論理和演算器X23の出力端は、フィルタ回路X25の入力端に接続されている。フィルタ回路X25の出力端は、否定論理和演算器X24の第1入力端に接続されている。否定論理和演算器X24の第2入力端は、反転イネーブル信号ENB（イネーブル信号ENの論理反転信号）の入力端に接続されている。否定論理和演算器X24の出力端は、DフリップフロップX21のリセット端に接続されている。

[0279] 図21は、上記構成から成るジッタキャンセル部X2の動作を説明するためのタイミングチャートであり、上から順に、帰還制御信号SX1、ジッタキャンセル処理済みの帰還制御信号SX2、反転帰還制御信号SX2B、フィルタ入力信号FI、フィルタ出力信号FO、及び、リセット信号RSTが描写されている。なお、本図では示されていないが、反転イネーブル信号ENBはローレベル（イネーブル論理）とされているものとする。

[0280] ジッタキャンセル処理済みの帰還制御信号SX2は、帰還制御信号SX1の立上がりエッジをトリガとしてハイレベルに立ち上がり、リセット信号RSTの立下がりエッジをトリガとしてローレベルに立ち下がる。リセット信号RSTは、反転イネーブル信号ENBとフィルタ出力信号FOの否定論理和信号であり、反転イネーブル信号ENBがローレベルとされている場合に

は、フィルタ出力信号 F_O が所定のハイレベル電位 V_H （否定論理和演算器 X_{24} でハイレベルと認識される閾値電位）に達した時点でローレベルに立ち下がる。フィルタ出力信号 F_O は、フィルタ入力信号 F_I の立ち上がりから所定時間 t （フィルタ回路 X_{25} の時定数に依存）をかけてハイレベル電位 V_H に達する。ただし、フィルタ入力信号 F_I がその立ち上がりから所定時間 t の経過前にローレベルに立ち下がった場合、フィルタ出力信号 F_O は、所定のハイレベル電位 V_H に達することなく、再びローレベルに立ち下がる。フィルタ入力信号 F_I は、帰還制御信号 S_{X1} と反転帰還制御信号 S_{X2B} の否定論理和演算信号であり、帰還制御信号 S_{X1} と反転帰還制御信号 S_{X2B} がいずれもローレベルであればハイレベルとなり、その余の場合にはローレベルとなる。

[0281] 上記一連の動作により、帰還制御信号 S_{X1} に対してジッタキャンセル処理を施すことが可能となる。例えば、図 21 では、ジッタキャンセル処理済みの帰還制御信号 S_{X2} において、帰還制御信号 S_{X1} のチャタリングが除去されている様子が描写されている。

[0282] なお、図 21 では、帰還制御信号 S_{X1} とジッタキャンセル処理済みの帰還制御信号 S_{X2} の間でデューティが大きく変動しているように見えるが、これは図示を容易とするためであり、実際の所定期間 t はデューティに影響を与えない程度に短く設定すればよい。

[0283] 図 22 は、過電圧検知回路 X_{31} の構成例を示す回路ブロック図である。本構成例の過電圧検知回路 X_{31} は、コンパレータ X_{311} と、論理積演算器 X_{312} と、抵抗 X_{313} 及び X_{314} と、を有する。なお、過電圧検知回路 Y_{31} は、過電圧検知回路 X_{31} と同一の構成から成り、符号中の「 X 」部分を「 Y 」と読み替え、負昇圧電圧 V_{SN} を正昇圧電圧 V_{SP} と読み替えれば足りるため、重複した説明は割愛する。

[0284] 抵抗 X_{313} の第 1 端は、負昇圧電圧 V_{SN} の入力端に接続されている。抵抗 X_{313} の第 2 端は、抵抗 X_{314} の第 1 端に接続されている。抵抗 X_{314} の第 2 端は、接地端に接続されている。コンパレータ X_{311} の非反

転入力端（＋）は、抵抗 $X313$ の第2端と抵抗 $X314$ の第1端の接続ノード（負昇圧電圧 V_{SN} の分圧電圧の印加端）に接続されている。コンパレータ $X311$ の反転入力端（－）は、所定の閾値電圧 V_{th} の入力端に接続されている。コンパレータ $X311$ の出力端（過電圧検知信号 DET の出力端）は、論理積演算器 $X312$ の第1入力端に接続されている。論理積演算器 $X312$ の第2入力端は、イネーブル信号 EN の入力端に接続されている。論理積演算器 $X312$ の出力端（過電圧保護信号 DX の出力端）は、図示されていない論理積演算器 $X32$ の第1入力端に接続されている（図17を参照）。

[0285] 上記構成から成る過電圧検知回路 $X31$ において、負昇圧電圧 V_{SN} （より正確には、その分圧電圧）が所定の閾値電圧 V_{th} よりも絶対値的に大きくなった場合、コンパレータ $X311$ から出力される過電圧検知信号 DET は、ハイレベルからローレベルに立ち下がる。一方、論理積演算器 $X312$ から出力される過電圧保護信号 DX は、過電圧検知信号 DET とイネーブル信号 EN との論理積演算信号であり、過電圧検知信号 DET とイネーブル信号 EN のいずれか一方がローレベルであればローレベルとなり、両信号がいずれもハイレベルである場合にのみハイレベルとなる。

[0286] 従って、負昇圧電圧 V_{SN} が過電圧状態となり、過電圧検知信号 DET がハイレベルからローレベルに立ち下がると、過電圧保護信号 DX もローレベルに立ち下がるので、論理積演算器 $X32$ （図17を参照）から出力される最終的な帰還制御信号 $SX3$ は、ジッタキャンセル処理済みの帰還制御信号 $SX2$ に依ることなくローレベルに立ち下げられる。その結果、出力トランジスタ $M1$ のゲート信号 $G1$ をハイレベルに固定して、出力トランジスタ $M1$ を強制的にオフ状態とすることができるので、負昇圧電圧 V_{SN} の出力動作を遅滞なく停止することが可能となる。

[0287] 図23は、パワーオンリセット部 $Z2$ の構成例を示す回路ブロック図である。本構成例のパワーオンリセット部 $Z2$ は、電源監視部 $Z21$ と、パワーオンリセット信号生成部 $Z22$ と、を有する。

[0288] 電源監視部Z21は、電源回路c10への電源投入時点から所定期間Tが経過したか否かを示す電源監視信号POWを生成する回路部であり、抵抗Z211及びZ212と、Nチャネル型MOS電界効果トランジスタZ213及びZ214と、コンデンサZ215及びZ216と、コンパレータZ217と、を有する。なお、トランジスタZ213及びZ214は、ゲート・ソース間電圧がゼロのときもドレイン・ソース間に小電流を流すデプレッション型である。

[0289] 抵抗Z211の第1端は、電源電圧VDDの入力端に接続されている。抵抗Z211の第2端は、抵抗Z212の第1端とコンデンサZ215の第1端に接続されている。このノードには第1ノード電圧V1が現れる。抵抗Z212の第2端とコンデンサZ215の第2端は、いずれも接地端に接続されている。トランジスタZ213のドレインは、電源電圧VDDの入力端に接続されている。トランジスタZ213のソース及びゲートは、トランジスタZ214のソース及びゲートと、コンデンサZ216の第1端に接続されている。このノードには第2ノード電圧V2が現れる。トランジスタZ214のドレインとコンデンサZ216の第2端は、いずれも接地端に接続されている。コンパレータZ217の非反転入力端(+)は、第1ノード電圧V1の印加端に接続されている。コンパレータZ217の反転入力端(-)は、第2ノード電圧V2の印加端に接続されている。コンパレータZ217の出力端は、電源監視信号POWの出力端に接続されている。

[0290] パワーオンリセット信号生成部Z22は、所定期間Tの経過前は電源監視信号POWに応じてパワーオンリセット信号R2をローレベル(リセット論理)に維持する一方、所定期間Tの経過後は第1帰還制御回路Xと第2帰還制御回路Yの動作可否を制御するイネーブル信号ENに応じてパワーオンリセット信号R2のリセット解除可否を制御する回路部であり、ラッチ部Z221と、論理積演算器Z222と、バッファZ223とを有する。

[0291] ラッチ部Z221は、クロック信号CLKのパルス毎にイネーブル信号ENをラッチ出力信号として取り込む一方で、所定期間Tの経過前には電源監

視信号 P O W に応じてラッチ出力信号 F F 1 及び F F 2 がローレベル（ディセーブル論理）にリセットされる回路部であり、複数の D フリップフロップ Z 2 2 1 a 及び Z 2 2 1 b を縦列に接続して成る。

[0292] 論理積演算器 Z 2 2 2 は、イネーブル信号 E N とラッチ出力信号 F F 2 の少なくとも一方がローレベル（ディセーブル論理）であればローレベル（リセット論理）となり、双方がハイレベル（イネーブル論理）であるときにのみハイレベル（リセット解除論理）となるパワーオンリセット信号 R 2 を生成する論理ゲートである。

[0293] バッファ Z 2 2 3 の入力端は、イネーブル信号 E N の入力端に接続されている。バッファ Z 2 2 3 の出力端は、D フリップフロップ Z 2 2 1 a のデータ端と、論理積演算器 Z 2 2 2 の第 1 入力端と、に接続されている。D フリップフロップ Z 2 2 1 a の出力端は、D フリップフロップ Z 2 2 1 b のデータ端に接続されている。D フリップフロップ Z 2 2 1 b の出力端は、論理積演算器 Z 2 2 2 の第 2 入力端に接続されている。D フリップフロップ Z 2 2 1 a 及び Z 2 2 1 b のクロック端は、いずれもクロック信号 C L K の入力端に接続されている。D フリップフロップ Z 2 2 1 a 及び Z 2 2 1 b のリセット端は、いずれも電源監視信号 P O W の入力端に接続されている。論理積演算器 Z 2 2 2 の出力端は、パワーオンリセット信号 R 2 の出力端に接続されている。

[0294] 図 2 4 は、上記構成から成るパワーオンリセット部 Z 2 の動作を説明するためのタイミングチャートであり、上から順に、電源電圧 V D D 、第 1 ノード電圧 V 1 、第 2 ノード電圧 V 2 、電源監視信号 P O W 、イネーブル信号 E N 、クロック信号 C L K 、第 1 ラッチ出力信号 F F 1 、第 2 ラッチ出力信号 F F 2 、及び、パワーオンリセット信号 R 2 が各々描写されている。

[0295] 電源回路 c 1 0 に対する電源電圧 V D D の投入後、第 1 ノード電圧 V 1 は、抵抗 Z 2 1 1 及び Z 2 1 2 とコンデンサ Z 2 1 5 から成る R C 回路の時定数に応じて、ゆっくりと立ち上がる。一方、第 2 ノード電圧 V 2 は、電源電圧 V D D と同様の挙動で上昇を開始し、所定値（例えば 0. 6 V）にクラン

プされる。コンパレータ Z 2 1 7 は、第 1 ノード電圧 V 1 と第 2 ノード電圧 V 2 を比較して電源監視信号 P O W を生成する。第 1 ノード電圧 V 1 が第 2 ノード電圧 V 2 よりも低い間、電源監視信号 P O W はローレベルに維持される。一方、電源回路 c 1 0 に電源電圧 V D D が投入されてから所定期間 T が経過し、第 1 ノード電圧 V 1 が第 2 電圧 V 2 よりも高くなると、電源監視信号 P O W はローレベルからハイレベルに遷移される。このように、電源監視部 Z 2 1 は、ロジック部 c 2 0（第 1 帰還制御回路 X 及び第 2 帰還制御回路 Y の制御主体）に一切依存しない回路構成とされているので、仮に、電源投入時にロジック部 c 2 0 の動作が不安定であっても、電源監視信号 P O W の生成動作に支障を生じることは一切ない。

[0296] ラッチ部 Z 2 2 1 を形成する D フリップフロップ Z 2 2 1 a 及び Z 2 2 1 b は、電源回路 c 1 0 に電源電圧 V D D が投入されてから所定期間 T が経過するまで、電源監視信号 P O W に応じてリセット状態に維持され、ローレベルの第 1 ラッチ出力信号 F F 1 及び第 2 ラッチ出力信号 F F 2 を出力する。従って、少なくとも電源回路 c 1 0 への電源投入時点から所定期間 T が経過するまでの間は、パワーオンリセット信号 R 2 が常にローレベルに維持されるので、このパワーオンリセット信号 R 2 に基づいて、出力トランジスタ M 1 及び M 2 を強制的にオフ状態とすることが可能となり、延いては、意図しない過電流の発生を未然に防止することが可能となる。

[0297] 一方、電源回路 c 1 0 に電源電圧 V D D が投入されてから所定期間 T が経過すると、電源監視信号 P O W はローレベルからハイレベルに立ち上がり、ラッチ部 Z 2 2 1 を形成する D フリップフロップ Z 2 2 1 a 及び Z 2 2 1 b は、そのリセット状態が解除される。

[0298] その後、ロジック部 c 2 0（図 1 6 を参照）が起動して、イネーブル信号 E N がハイレベル（イネーブル論理）に立ち上げられ、クロック信号 C L K の入力が始まると、D フリップフロップ Z 2 2 1 a は、クロック信号 C L K のパルス毎にイネーブル信号 E N を取り込んで第 1 ラッチ出力信号 F F 1 を出力し、D フリップフロップ Z 2 2 1 b は、クロック信号 C L K のパル

ス毎に第1ラッチ出力信号FF1を取り込んで第2ラッチ出力信号FF2を出力する。そして、イネーブル信号ENと第2ラッチ出力信号FF2がいずれもハイレベルとなった時点（すなわち、クロック信号CLKに2発のパルスが入力された時点）で、パワーオンリセット信号R2がローレベルからハイレベルとなり、以後、電源回路c10のリセット動作は、外部リセット信号R0に委ねられる。

[0299] なお、パワーオンリセット信号R2は、イネーブル信号ENと第2ラッチ出力信号FF2との論理積演算信号であるため、ラッチ部Z221（DフリップフロップZ221a及びZ221b）がどのような状態になっていたとしても、イネーブル信号ENがハイレベル（イネーブル論理）にならない限り、パワーオンリセット信号R2がハイレベル（リセット解除論理）になることはない。逆に言うと、パワーオンリセット信号R2がハイレベル（リセット解除論理）となっているのであれば、イネーブル信号ENが必ずハイレベル（イネーブル論理）となっており、第1帰還制御回路Xと第2帰還制御回路Yによって適切に出力帰還制御を行うことが可能な状態となっているはずなので、出力トランジスタM1及びM2に意図しない過電流が発生することはない。

[0300] 図25は、ラッチ部Z221を形成するDフリップフロップを多段化したことの意義を説明するためのタイミングチャートであり、先出の図24と同様、上から順に、電源電圧VDD、第1ノード電圧V1、第2ノード電圧V2、電源監視信号POW、イネーブル信号EN、クロック信号CLK、第1ラッチ出力信号FF1、第2ラッチ出力信号FF2、及び、パワーオンリセット信号R2が各々描写されている。

[0301] 先出の図24では、電源回路c10の電源投入時点から所定期間Tが経過するまでの間に、ロジック部c20の起動が完了し、イネーブル信号ENの論理不定状態が解消される様子を描写したが、例えば、液晶駆動装置c1の起動シーケンス（電源電圧VDDからロジック電源電圧VDDLを生成する場合など）によっては、電源回路c10の電源投入時点から所定期間Tが経

過してもなお、ロジック部 c 2 0 の起動が完了しておらず、イネーブル信号 E N の論理不定状態が継続している場合もあり得る。

[0302] このような状態において、クロック信号 C L K にパルスノイズが重畳した場合、D フリップフロップ Z 2 2 1 a は、論理不定状態のイネーブル信号 E N を取り込んで第 1 ラッチ出力信号 F F 1 を出力してしまう。そのため、ラッチ部 Z 2 2 1 が D フリップフロップ Z 2 2 1 a のみで形成されていた場合には、共に論理不定状態のイネーブル信号 E N と第 1 ラッチ出力信号 F F 1 が論理積演算器 Z 2 2 2 に入力される形となる。このとき、共に論理不定状態のイネーブル信号 E N と第 1 ラッチ出力信号 F F 1 がいずれもハイレベルであった場合には、パワーオンリセット信号 R 2 がハイレベル（リセット解除論理）となるので、パワーオンリセット信号 R 2 に基づいて出力トランジスタ M 1 及び M 2 を強制的にオフ状態とすることができなくなる。

[0303] これに対して、図 2 3 に示した本構成例のパワーオンリセット部 Z 2 であれば、ラッチ部 Z 2 2 1 を D フリップフロップ Z 2 2 1 a と D フリップフロップ Z 2 2 1 b の 2 段構成としているので、クロック信号 C L K に 2 発のパルスノイズが入力されない限り、論理不定状態のイネーブル信号 E N が第 2 ラッチ出力信号 F F 2 として出力されることはなく、電源投入時の誤動作を防止することが可能となる。

[0304] なお、ロジック部 c 2 0 の起動が完了し、パワーオンリセット部 Z 2 に対するクロック信号 C L K の入力が始まると、論理不定状態の第 1 ラッチ出力信号 F F 1 が D フリップフロップ Z 2 2 1 b に取り込まれて第 2 ラッチ出力信号 F F 2 が出力され、パワーオンリセット信号 R 2 が論理不定状態となる。しかしながら、この時点では、ロジック部 c 2 0 の起動が完了し、第 1 帰還制御回路 X と第 2 帰還制御回路 Y によって適切に出力帰還制御を行うことが可能な状態となっているので、パワーオンリセット信号 R 2 がハイレベル／ローレベルのいずれであっても、特段の問題は生じない。

[0305] また、ラッチ部 Z 2 2 1 として、3 段以上のフリップフロップを縦列接続すれば、パルスノイズに対する耐性をさらに高めることが可能である。ただ

し、パワーオンリセット信号R2のリセット解除がより遅れることになる上、回路規模も大きくなる点には留意が必要である。

[0306] また、本構成例のパワーオンリセット部Z2において、クロック信号CLKは、電源回路10が動作している間、ラッチ部Z221に対して継続的に入力される。図26は、ラッチ部Z221を形成するフリップフロップの格納データをクロック信号CLKによって更新し続けることの意義を説明するためのタイミングチャートであり、上から順に、イネーブル信号EN、クロック信号CLK、第1ラッチ出力信号FF1、第2ラッチ出力信号FF2、及び、パワーオンリセット信号R2が各々描写されている。

[0307] 本図に示したように、電源回路c10が動作している間、ラッチ部Z221に対してクロック信号CLKを継続的に入力することにより、万一、第1ラッチ出力信号FF1及び第2ラッチ出力信号FF2に意図しない論理変動が生じた場合であっても、クロック信号CLKに次のパルスが入力された時点で、遅滞なく第1ラッチ出力信号FF1及び第2ラッチ出力信号FF2をリフレッシュすることができるので、意図しない論理変動がそのまま確定してしまうことはない。

[0308] なお、上記の実施形態では、液晶駆動装置c1に搭載される電源回路c10に第3の技術的特徴を適用した構成を例に挙げて説明を行ったが、第3の技術的特徴の適用対象はこれに限定されるものではなく、その他の用途に供される電源回路にも広く適用することが可能である。

[0309] また、第3の技術的特徴の構成は、上記実施形態のほか、その主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

[0310] 例えば、上記の実施形態では、電源回路c10の出力形式を正昇圧型ないし負昇圧型とした構成を例に挙げて説明を行ったが、第3の技術的特徴の構

成はこれに限定されるものではなく、正昇圧電圧 V_{SP} と負昇圧 V_{SN} のいずれか一方のみを出力する構成としてもよいし、或いは、降圧型や昇降圧型の出力形式を採用しても構わない。

[0311] (第4の技術的特徴について)

以下で説明する第4の技術的特徴は、液晶駆動装置（特に、液晶表示パネルにコモン電圧を供給するコモン電圧生成回路）に関する。

[0312] なお、先出の図面と照らし合わせた場合、第4の技術的特徴は、図28のソースドライバ回路x A3に関するものであり、より具体的には、図29のコモン電圧生成部x B15ないしその周辺回路に関するものであると言える。

[0313] 図32は、第4の技術的特徴に係る液晶駆動装置の一構成例を示す回路ブロック図である。本構成例の液晶駆動装置d1は、不図示の液晶表示パネルに対してコモン電圧 V_{COM} を供給するコモン電圧生成回路d10を有する。コモン電圧生成回路d10は、液晶表示パネルの駆動に際して、液晶表示パネルを形成する全ての液晶素子に共通して印加されるコモン電圧 V_{COM} の極性反転制御を行うべく、コモン電圧 V_{COM} の電圧レベルを第1電圧 V_{COMH} と第2電圧 V_{COML} （ただし $V_{COMH} > V_{COML}$ ）との間でパルス駆動させる構成（いわゆるAC駆動型）とされており、抵抗ラダーd11と、セクタd12H及びd12Lと、アンプd13H及びd13Lと、スイッチd14H及びd14Lと、スイッチd15H及びd15Lと、スイッチd16H及びd16Lと、出力コンデンサd17H及びd17Lと、制御部d18と、を有する。なお、液晶駆動装置d1に含まれるその他の回路ブロックについては、先出の図29と同様であるため、重複した説明を割愛する。

[0314] 抵抗ラダーd11は、所定の基準電圧（ V_{ref} ）を抵抗分割することにより、複数の分圧電圧を生成する。

[0315] セクタd12H及びd12Lは、それぞれ、抵抗ラダーd11で生成された複数の分圧電圧からいずれか一を選択する。なお、セクタd12Hで

選択される分圧電圧は、セレクト d 1 2 L で選択される分圧電圧よりも高いものとする。

[0316] アンプ d 1 3 H 及び d 1 3 L は、それぞれ、セレクト d 1 2 H 及び d 1 2 L から入力される分圧電圧を増幅して、第 1 電圧 V COM H 及び第 2 電圧 V COM L を生成する。

[0317] スイッチ d 1 4 H の第 1 端は、コモン電圧 V COM の出力端に接続されている。スイッチ d 1 4 H の第 2 端は、スイッチ d 1 5 H を介してアンプ d 1 3 H の出力端に接続される一方、出力コンデンサ d 1 7 H を介して接地端に接続されている。スイッチ d 1 4 L の第 1 端は、コモン電圧 V COM の出力端に接続されている。スイッチ d 1 4 L の第 2 端は、スイッチ d 1 5 L を介してアンプ d 1 3 L の出力端に接続される一方、出力コンデンサ d 1 7 L を介して接地端に接続されている。スイッチ d 1 6 H 及び d 1 6 L の各第 1 端は、それぞれ、アンプ d 1 3 H 及び d 1 3 L の出力端に接続されている。スイッチ d 1 6 H 及び d 1 6 L の各第 2 端は、いずれも接地端に接続されている。

[0318] 制御部 d 1 8 は、LCD コントローラ（液晶表示装置を統括的に制御する主体）から入力される指示に応じて、アンプ d 1 3 H 及び d 1 3 L、スイッチ d 1 4 H 及び d 1 4 L、スイッチ d 1 5 H 及び d 1 5 L、並びに、スイッチ d 1 6 H 及び d 1 6 L のオン／オフ制御を行う。

[0319] 図 3 3 は、コモン電圧 V COM の生成動作を説明するためのテーブルである。

[0320] コモン電圧 V COM として第 1 電圧 V COM H を出力する場合（項目（1）を参照）には、アンプ d 1 3 H 及び d 1 3 L がいずれもオンとされる。また、スイッチ d 1 4 H、d 1 5 H、及び、d 1 5 L がいずれもオンとされ、その余のスイッチ d 1 6 H、d 1 4 L、及び、d 1 6 L がいずれもオフとされる。このようなオン／オフ制御により、コモン電圧 V COM としては、アンプ d 1 3 H からスイッチ d 1 5 H 及び d 1 4 H を介して第 1 電圧 V COM H が出力される。このとき、出力コンデンサ d 1 7 H には電荷のチャージが

行われる。なお、アンプ d 1 3 L、及び、スイッチ d 1 5 Lについては、各々をオフとしても動作に影響はない。

[0321] コモン電圧 VCOM として出力された第 1 電圧 VCOMH を保持する場合（項目（2）を参照）には、アンプ d 1 3 H 及びアンプ d 1 3 L がいずれもオフとされる。また、スイッチ d 1 4 H、d 1 6 H、及び、d 1 6 L がいずれもオンとされ、その余のスイッチ d 1 5 H、d 1 4 L、及び、d 1 5 L がいずれもオフとされる。このようなオン／オフ制御により、コモン電圧 VCOM は、出力コンデンサ d 1 7 H に蓄えられた電荷により、第 1 電圧 VCOMH に保持される。なお、スイッチ d 1 6 H 及び d 1 6 L については、各々をオフとしても動作に影響はない。

[0322] コモン電圧 VCOM として第 2 電圧 VCOML を出力する場合（項目（3）を参照）には、アンプ d 1 3 H 及び d 1 3 L がいずれもオンとされる。また、スイッチ d 1 5 H、d 1 4 L、及び、d 1 5 L がいずれもオンとされ、その余のスイッチ d 1 4 H、d 1 6 H、及び、d 1 6 L がいずれもオフとされる。このようなオン／オフ制御により、コモン電圧 VCOM としては、アンプ d 1 3 L からスイッチ d 1 5 L 及び d 1 4 L を介して第 2 電圧 VCOML が出力される。このとき、出力コンデンサ d 1 7 L には電荷のチャージが行われる。なお、アンプ d 1 3 H、及び、スイッチ d 1 5 H については、各々をオフとしても動作に影響はない。

[0323] コモン電圧 VCOM として出力された第 2 電圧 VCOML を保持する場合（項目（4）を参照）には、アンプ d 1 3 H 及びアンプ d 1 3 L がいずれもオフとされる。また、スイッチ d 1 6 H、d 1 4 L、及び、d 1 6 L がいずれもオンとされ、その余のスイッチ d 1 4 H、d 1 5 H、及び、d 1 5 L がいずれもオフとされる。このようなオン／オフ制御により、コモン電圧 VCOM は、出力コンデンサ d 1 7 L に蓄えられた電荷により、第 2 電圧 VCOML に保持される。なお、スイッチ d 1 6 H 及び d 1 6 L については、各々をオフとしても動作に影響はない。

[0324] 液晶駆動装置 d 1 をシャットダウンする場合（項目（5）を参照）には、

アンプ d 1 3 H 及びアンプ d 1 3 L がいずれもオフとされる。また、全てのスイッチ d 1 4 H ~ d 1 6 H、及び、スイッチ d 1 4 L ~ d 1 6 L がオンとされる。このようなオン／オフ制御により、出力コンデンサ d 1 7 H 及び d 1 7 L に蓄えられている電荷は、スイッチ d 1 6 H 及び d 1 7 H を介して、接地端にディスチャージされる。

[0325] 図 3 4 は、コモン電圧 V C O M の生成動作を説明するためのタイミングチャートであって、上から順に、液晶表示パネルの動作状態、L C D コントローラの動作状態、並びに、液晶駆動装置 d 1 の動作状態、出力電圧（コモン電圧）、及び、消費電力が模式的に描写されている。なお、以下では、液晶表示パネルに一の静止画を継続的に表示させる場合を例に挙げて説明を行う。

[0326] 液晶表示パネルを非表示状態から表示状態に切り替える際には、まず、液晶駆動装置 d 1 が起動され、アンプ d 1 3 H または d 1 3 L を用いたコモン電圧 V C O M の出力が行われる（図 3 3 の項目（1）または項目（3）を参照）。このとき、液晶表示パネルには、表示すべき静止画に応じた映像信号（ソース信号）も適宜供給される。

[0327] 一方、液晶表示パネルの表示状態を継続させたまま、L C D コントローラからサスペンド状態への移行指示が入力されると、液晶駆動装置 d 1 は、スイッチ d 1 5 H または d 1 5 L をオフとして、アンプ d 1 3 H または d 1 3 L の出力をハイインピーダンス状態とすることにより、出力コンデンサ d 1 7 H または d 1 7 L に電荷を保持しながら、コモン電圧 V C O M の生成動作を基本的にオフとする（図 3 3 の項目（2）または項目（4）を参照）。このような動作により、液晶表示パネルの表示状態を保持したまま、コモン電圧生成回路 d 1 0 の動作を停止させることができるので、大幅な消費電力の削減を実現することが可能となる。

[0328] なお、液晶表示パネル側に映像信号（ソース信号）を保持するメモリが備えられている場合には、コモン電圧生成回路 d 1 0 だけでなく、ソースドライバ部も完全にシャットダウンさせておくことができるので、さらなる消費

電力削減を実現することが可能となる。

[0329] その後も、液晶表示パネルの表示状態を維持するためには、出力コンデンサ $d17H$ または $d17L$ に蓄えられている電荷が自然放電してしまう前に、適切なインターバルをもって液晶駆動装置 $d1$ を再起動し、アンプ $d13H$ または $d13L$ を用いてコモン電圧 V_{COM} のリフレッシュ動作（再チャージ動作）を行えばよい（図33の項目（1）または項目（3）を参照）。

[0330] 一方、液晶表示パネルを表示状態から非表示状態に切り替える際には、スイッチ $d16H$ および $d16L$ をオンすることにより、出力コンデンサ $d17H$ 及び $d17L$ に蓄えられている電荷を接地端にディスチャージすればよい。このような動作により、不必要な映像が液晶表示パネルに残すことなく、液晶表示パネルを非表示状態に切り替えることが可能となる。

[0331] なお、図32では、上記の動作を実現するための手段として、スイッチ $d15H$ 及び $d15L$ 、並びに、スイッチ $d16H$ 及び $d16L$ を設けた構成を例に挙げて説明を行ったが、第4の技術的特徴の構成はこれに限定されるものではなく、アンプ $d13H$ 及び $d13L$ の出力段に、これらのスイッチと同様の機能（すなわち、出力ハイインピーダンスを実現する機能、及び、出力コンデンサのディスチャージ機能）を持たせても構わない。

[0332] （第5の技術的特徴について）

以下で説明する第5の技術的特徴は、液晶駆動装置（特に、液晶表示パネルにコモン電圧を供給するコモン電圧生成回路）に関する。

[0333] なお、先出の図面と照らし合わせた場合、第5の技術的特徴は、図28のソースドライバ回路 $xA3$ に関するものであり、より具体的には、図29のコモン電圧生成部 $xB15$ ないしその周辺回路に関するものであると言える。

[0334] 図35は、第5の技術的特徴に係る液晶駆動装置の一構成例を示す回路ブロック図である。本構成例の液晶駆動装置 $e1$ は、不図示の液晶表示パネルに対してコモン電圧 V_{COM} を供給するコモン電圧生成回路 $e10$ を有する。コモン電圧生成回路 $e10$ は、液晶表示パネルの駆動に際して、液晶表示

パネルを形成する全ての液晶素子に共通して印加されるコモン電圧 V_{COM} の極性反転を行う構成（いわゆるAC駆動型）と、コモン電圧 V_{COM} を固定値に維持する構成（いわゆるDC駆動型）と、を任意に切り替えることができるように、Pチャネル型MOS [Metal Oxide Semiconductor] 電界効果トランジスタ e_{11} と、Nチャネル型MOS電界効果トランジスタ e_{12} 及び e_{13} と、制御部 e_{14} とを有するほか、トランジスタ e_{12} 及び e_{13} のバックゲート制御手段として、Nチャネル型MOS電界効果トランジスタ e_{15} 及び e_{16} と、バックゲート制御部 e_{17} と、を有する。また、液晶駆動装置 e_1 に含まれるその他の回路ブロックについては、先出の図29と同様であるため、重複した説明を割愛する。

[0335] トランジスタ e_{11} のソース及びバックゲートは、第1電圧 V_{COMAC_H} （例えば+5V）の印加端に接続されている。トランジスタ e_{11} のドレインは、コモン電圧 V_{COM} の出力端子に接続されている。トランジスタ e_{11} のゲートは、制御部 e_{14} に接続されている。なお、トランジスタ e_{11} は、図32のスイッチ d_{14H} に相当する。

[0336] トランジスタ e_{12} のソースは、第1電圧 V_{COMAC_H} よりも低い第2電圧 V_{COMAC_L} （例えば-0.3~+1.7V）の印加端に接続されている。トランジスタ e_{12} のドレインは、コモン電圧 V_{COM} の出力端子に接続されている。トランジスタ e_{12} のゲートは、制御部 e_{14} に接続されている。なお、トランジスタ e_{12} は、図32のスイッチ d_{14L} に相当する。

[0337] トランジスタ e_{13} のソースは、第1電圧 V_{COMAC_H} よりも低い第3電圧 V_{COMDC} （例えば0V）の印加端に接続されている。トランジスタ e_{13} のドレインは、コモン電圧 V_{COM} の出力端子に接続されている。トランジスタ e_{13} のゲートは、制御部 e_{14} に接続されている。

[0338] 制御部 e_{14} は、トランジスタ e_{11} ~ e_{13} のオン/オフ制御を行う。より具体的に述べると、制御部 e_{14} は、コモン電圧 V_{COM} のAC駆動に際して、トランジスタ e_{11} 及び e_{12} を相補的（排他的）にオン/オフ駆動

し、トランジスタ e 1 3 をオフとする。一方、制御部 e 1 4 は、コモン電圧 V COM の DC 駆動に際して、トランジスタ e 1 1 及び e 1 2 をいずれもオフとし、トランジスタ e 1 3 をオンとする。

[0339] トランジスタ e 1 5 は、トランジスタ e 1 2 及び e 1 3 の各バックゲートと、第 2 電圧 V COM AC __ L の印加端との間に接続されている。トランジスタ e 1 5 のゲートは、バックゲート制御部 e 1 7 に接続されている。トランジスタ e 1 5 のバックゲートは、第 2 電圧 V COM AC __ L や第 3 電圧 V COM DC よりもさらに低い第 4 電圧 V EE (例えば -3.5 ~ -5 V) の印加端に接続されている。

[0340] トランジスタ e 1 6 は、トランジスタ e 1 2 及び e 1 3 の各バックゲートと、第 3 電圧 V COM DC の印加端との間に接続されている。トランジスタ e 1 6 のゲートは、バックゲート制御部 e 1 7 に接続されている。トランジスタ e 1 6 のバックゲートは、第 4 電圧 V EE の印加端に接続されている。

[0341] バックゲート制御部 e 1 7 は、第 2 電圧 V COM AC __ L と第 3 電圧 V COM DC との高低関係に応じて、トランジスタ e 1 5 及び e 1 6 のオン／オフ制御を行う。より具体的に述べると、バックゲート制御部 e 1 7 は、第 2 電圧 V COM AC __ L が第 3 電圧 V COM DC よりも低いときに、トランジスタ e 1 5 をオンとし、トランジスタ e 1 6 をオフとする。このようなスイッチング制御により、トランジスタ e 1 2 及び e 1 3 のバックゲートは、いずれも第 2 電圧 V COM AC __ L の印加端に接続される。一方、バックゲート制御部 e 1 7 は、第 2 電圧 V COM AC __ L が第 3 電圧 V COM DC よりも高いときに、トランジスタ e 1 5 をオフとし、トランジスタ e 1 6 をオンとする。このようなスイッチング制御により、トランジスタ e 1 2 及び e 1 3 のバックゲートは、いずれも第 3 電圧 V COM DC の印加端に接続される。

[0342] このように、第 2 電圧 V COM AC __ L と第 3 電圧 V COM DC の各電圧設定に応じて互いの電位関係をバックゲート制御部 e 1 7 で判定し、その判定結果に応じて、トランジスタ e 1 2 及び e 1 3 のバックゲート接続先を自

動的にコントロールする構成であれば、コモン電圧 V_{COM} のAC駆動型とDC駆動型とを一体化するに際して、第1電圧 V_{COMAC_H} 、第2電圧 V_{COMAC_L} 、及び、第3電圧 V_{COMDC} の設定電圧を制限なく自由に調整することが可能となり、延いては、液晶駆動装置e1の汎用性を高めることが可能となる。

[0343] また、トランジスタe12及びe13には、第1電圧 V_{COMAC_H} と、第2電圧 V_{COMAC_L} または第3電圧 V_{COMDC} のいずれか低い方との電位差（先の例に即せば3.3～5.3V）に耐え得るだけの素子耐圧（6V程度の中耐圧）を持たせれば足りるため、トランジスタe12及びe13の素子サイズを不要に大型化せずに済む。

[0344] 一方、トランジスタe15及びe16については、第1電圧 V_{COMAC_H} と第4電圧 V_{EE} との電位差（先の例に則せば8.5～10V）に耐え得るだけの素子耐圧（12V程度の高耐圧）を持たせる必要があるが、トランジスタe15及びe16は、大きな電流能力を必要とするトランジスタe11～e13と異なり、その電流能力を非常に小さく絞ることができるので、トランジスタe15及びe16の素子サイズについても、さほど大型化せずに済む。

[0345] （第6の技術的特徴について）

以下で説明する第6の技術的特徴は、液晶駆動装置（特に、液晶表示パネルにコモン電圧を供給するコモン電圧生成回路）に関する。

[0346] なお、先出の図面と照らし合わせた場合、第6の技術的特徴は、図28のソースドライバ回路xA3に関するものであり、より具体的には、図29のコモン電圧生成部xB15ないしその周辺回路に関するものであると言える。

[0347] 図37は、第6の技術的特徴に係る液晶駆動装置の一構成例を示す回路ブロック図である。本構成例の液晶駆動装置f1は、不図示の液晶表示パネルに対してコモン電圧 V_{COM} を供給するコモン電圧生成回路f10を有する。コモン電圧生成回路f10は、液晶表示パネルの駆動に際して、液晶表示

パネルを形成する全ての液晶素子に共通して印加されるコモン電圧 V_{COM} の極性反転制御を行うべく、コモン電圧 V_{COM} の電圧レベルを第1電圧 V_{COMH} と第2電圧 V_{COML} （ただし $V_{COMH} > V_{COML}$ ）との間でパルス駆動させる構成（いわゆるAC駆動型）とされており、アンプ f_{11} と、制御部 f_{12} と、スイッチ f_{13} と、リザーブ用コンデンサ C_{res} と、を有する。なお、液晶駆動装置 f_1 に含まれるその他の回路ブロックについては、先出の図29と同様であるため、重複した説明を割愛する。

[0348] アンプ f_{11} は、制御部 f_{12} からの指示に応じて、コモン電圧 V_{COM} の電圧レベルを第1電圧 V_{COMH} と第2電圧 V_{COML} との間でパルス駆動させる。

[0349] 制御部 f_{12} は、アンプ f_{11} に対して第1電圧 V_{COMH} と第2電圧 V_{COML} のいずれを出力すべきかを指示する一方、スイッチ f_{13} に対してオン／オフ制御信号 S_{res} の出力を行う。

[0350] スwitch f_{13} は、制御部 f_{12} から入力されるオン／オフ制御信号 S_{res} に基づいて、コモン電圧 V_{COM} の出力端子とリザーブ用コンデンサ C_{res} の接続端子との間を導通／遮断する。より具体的に述べると、スイッチ f_{13} は、オン／オフ制御信号 S_{res} がハイレベルであるときにオンとなり、オン／オフ制御信号 S_{res} がローレベルであるときにオフとなる。なお、図37では、リザーブ用コンデンサ C_{res} を外付けのディスクリート部品として描写したが、リザーブ用コンデンサ C_{res} を半導体装置に内蔵してもよい。

[0351] 図38は、コモン電圧 V_{COM} の生成動作を説明するためのタイミングチャートであって、上段にコモン電圧 V_{COM} 、下段にオン／オフ制御信号 S_{res} が描写されている。

[0352] 制御部 f_{12} は、第2電圧 V_{COML} から第1電圧 V_{COMH} に立ち上げて、液晶素子の素子容量 C_{lcd} を充電する際、及び、第1電圧 V_{COMH} から第2電圧 V_{COML} に立ち下げて、液晶素子の素子容量 C_{lcd} を放電する際、その充放電に先立って、オン／オフ制御信号 S_{res} を所定期間だ

けハイレベルとし、スイッチ $f13$ をオンさせる。このようなスイッチング制御により、素子容量 $C1cd$ の放電時には、素子容量 $C1cd$ に蓄えられている電荷が全て捨てられるのではなく、その一部がリザーブ用コンデンサ $Cres$ に充電される。一方、素子容量 $C1cd$ の充電時には、アンプ $f11$ を用いて一から新たな電荷の蓄積を行うのではなく、リザーブ用コンデンサ $Cres$ に蓄えられている電荷の一部が素子容量 $C1cd$ の充電に充てられる。ただし、リザーブ用コンデンサ $Cres$ に電荷が蓄えられていない初回起動時には、アンプ $f11$ の能力のみで液晶素子の素子容量 $C1cd$ が充電される。

[0353] 例えば、液晶素子の素子容量 $C1cd$ と、リザーブ用コンデンサ $Cres$ が同一の容量値を有している場合、液晶素子の素子容量 $C1cd$ の放電に際して、スイッチ $f13$ をオンしておくことにより、素子容量 $C1cd$ に蓄えられていた電荷の約 $1/2$ がリザーブ用コンデンサ $Cres$ に一時保存され、残りの電荷がアンプ $f11$ を介して捨てられる。次に、液晶素子の素子容量 $C1cd$ の充電時には、リザーブ用コンデンサ $Cres$ に一時保存されていた電荷の約 $1/2$ が素子容量 $C1cd$ の充電に再利用される。

[0354] このような動作を繰り返すことにより、従来は捨てられていた素子容量 $C1cd$ の放電電荷を一時的に保存し、これを素子容量 $C1cd$ の次回充電に再利用することができるので、素子容量 $C1cd$ の充放電に伴う実効的な消費電力を低減することが可能となる。

[0355] なお、上記では、コモン電圧生成回路 $f10$ を例に挙げて説明を行ったが、第6の技術的特徴の適用対象はこれに限定されるものではなく、例えば、液晶素子に出力されるソース電圧を生成する際にも、上記と同様の構成を適用して、素子容量 $C1cd$ の充放電に伴う実効的な消費電力を低減することが可能である。

産業上の利用可能性

[0356] 本明細書中に開示されている複数の技術的特徴は、いずれも、液晶駆動装置（液晶ドライバIC）に組み込んで利用することが可能な種々の要素技術

であり、例えば、携帯電話機、デジタルカメラ、PDA [Personal Digital /Data Assistant]、携帯ゲーム機、カーナビゲーション、及び、カーオーディオなどに用いられる小型の液晶表示装置について好適に利用することができる。

符号の説明

[0357]	x A 1	液晶表示パネル（液晶画素）
	x A 2	マルチプレクサ
	x A 3	ソースドライバ回路
	x A 4	ゲートドライバ回路
	x A 5	外部DC／DCコンバータ
	x A 6	MPU
	x A 7	映像ソース
	x B 1	MPUインタフェース
	x B 2	コマンドデコーダ
	x B 3	データレジスタ
	x B 4	部分表示データ用RAM
	x B 5	データ制御部
	x B 6	表示データインタフェース
	x B 7	画像処理部
	x B 8	データラッチ部
	x B 9	ソースドライバ部
	x B 1 0	OTPROM
	x B 1 1	制御用レジスタ
	x B 1 2	アドレスカウンタ（RAMコントローラ）
	x B 1 3	タイミングジェネレータ
	x B 1 4	発振器
	x B 1 5	コモン電圧生成部
	x B 1 6	マルチプレクサ用タイミングジェネレータ

- x B 1 7 ゲートドライバ用タイミングジェネレータ
 - x B 1 8 外部DC／DC用タイミングジェネレータ
 - x B 1 9 液晶表示装置用電源回路
 - x C 1 (1) ～ x C 1 (n) レベルシフト回路
 - x C 2 (1) ～ x C 2 (n) デジタル／アナログ変換回路
 - x C 3 (1) ～ x C 3 (n) ソースアンプ回路
 - x C 4 (1) ～ x C 4 (n) パススイッチ（極性反転制御用）
 - x C 5 (1) ～ x C 5 (n) パススイッチ（8色表示モード用）
 - x C 6 (1) ～ x C 6 (n) 出力端子
 - x C 7 抵抗ラダー
 - x C 8 ～ x C 1 1 セレクタ
 - x C 1 2 ～ x C 1 5 アンプ
 - x C 1 6 第1階調電圧生成部（正極性）
 - x C 1 7 第2階調電圧生成部（負極性）
 - x C 1 8 ～ x C 2 1 出力コンデンサ
 - x D 1、x D 2 (i)、x D 2 (j) セレクタ
- [0358]
- a 1 液晶駆動装置（ソースドライバ）
 - a 2 液晶ディスプレイパネル（LCDパネル）
 - a 1 0 階調電圧生成回路
 - a 2 0 - 1 ～ a 2 0 - x デジタル／アナログ変換器（DAC）
 - a 3 0 - 1 ～ a 3 0 - x バッファ
 - 1 0 0 抵抗ラダー
 - 2 0 0 上限電圧設定回路
 - 2 0 1 SHレジスタ
 - 2 0 2 VH1生成部
 - 2 0 3 オペアンプ
 - 2 0 4 フィードバック抵抗部
 - 3 0 0 下限電圧設定回路（本発明に係る電圧増幅回路）

301	SLレジスタ
302	VL1生成部
303	オペアンプ
304	フィードバック抵抗部
305	セクタ制御部
306	セクタ
307	不揮発性メモリ（OTPROMなど）
308	TL1レジスタ
309	TL2レジスタ
310	第2セクタ
DP1~DPx	デジタル画素信号（mビット）
AP1~APx	アナログ画素信号
VG0~VGn（ $n=2^m-1$ ）	階調電圧
VH1	入力電圧
VH2	出力電圧（上限電圧）
VH3	帰還電圧
VL1	入力電圧
VL2	出力電圧（下限電圧）
VL3	帰還電圧
VL4	基準電圧
GND	接地電圧（第1基準電圧）
VR	電源電圧（第2基準電圧）
SH	上限電圧設定値
SL	下限電圧設定値
SS	セクタ制御信号
TL1	第1トリミングテーブル（VL4=GND時）
TL2	第2トリミングテーブル（VL4=VR時）
[0359] b1、b1'	液晶駆動装置（ソースドライバ）

b 2 液晶表示パネル

A 1 () デジタル／アナログ変換器（正極性）

A 2 () ソースアンプ（正極性）

A 3 () Pチャネル型MOS電界効果トランジスタ（第1スイッチ）

A 3' () Pチャネル型MOS電界効果トランジスタ（第5スイッチ）

A 4 () Nチャネル型MOS電界効果トランジスタ（第3スイッチ）

A 5 ()、A 5' () ボディダイオード

B 1 () デジタル／アナログ変換器（負極性）

B 2 () ソースアンプ（負極性）

B 3 () Nチャネル型MOS電界効果トランジスタ（第2スイッチ）

B 3' () Nチャネル型MOS電界効果トランジスタ（第6スイッチ）

B 4 () Pチャネル型MOS電界効果トランジスタ（第4スイッチ）

B 5 ()、B 5' () ボディダイオード

I ()、I A ()、I B () 入力信号（デジタル画素信号）

O () 出力信号（アナログ画素信号）

COM コモン電圧

1 1 Pサブ

1 2 Nウェル

1 3 a、1 3 b ソース領域（P型）

1 4 ドレイン領域（P型）

1 5 a、1 5 b ゲート

1 6 コンタクト領域（N型）

2 1 Pサブ
2 3 a、2 3 b ソース領域（N型）
2 4 ドレイン領域（N型）
2 5 a、2 5 b ゲート
2 6 コンタクト領域（P型）
V D D 正電源電圧（第1電源電圧）
V E E 負電源電圧（第2電源電圧）
G N D 接地電圧（基準電圧）
T（） 外部端子
T o n オン期間
L x 1、L x 2 領域間距離

[0360]

c 1 液晶駆動装置
c 2 液晶表示パネル
c 1 0 電源回路（スイッチングレギュレータ）
c 2 0 ロジック回路
c 3 0 ソースドライバ
c 4 0 ゲートドライバ
c 5 0 T F Tコントローラ
X 第1帰還制御回路（負昇圧系）
Y 第2帰還制御回路（正昇圧系）
Z リセット回路
X 1、Y 1 駆動制御部
X 2、Y 2 ジッタキャンセル部
X 3、Y 3 過電圧保護部
X 3 1、Y 3 1 過電圧検知回路
X 3 2、Y 3 2 論理積演算器
Z 1 レベルシフタ
Z 2 パワーオンリセット部

- Z 3 内部リセット信号生成部（論理積演算器）
- Z 4 否定論理積演算器
- Z 5 論理積演算器
- M 1、M 2 出力トランジスタ
- L 1、L 2 インダクタ
- D 1、D 2 ダイオード
- C 1、C 2 コンデンサ
- X 1 1 抵抗
- X 1 2 コンデンサ
- X 1 3 オペアンプ
- X 1 4 コンパレータ
- X 1 5 発振器
- X 1 6 論理積演算器
- X 2 1 Dフリップフロップ
- X 2 2 インバータ
- X 2 3、X 2 4 否定論理和演算器
- X 2 5 フィルタ回路
- X 3 1 1 コンパレータ
- X 3 1 2 論理積演算器
- X 3 1 3、X 3 1 4 抵抗
- Z 2 1 電源監視部
- Z 2 1 1、Z 2 1 2 抵抗
- Z 2 1 3、Z 2 1 4 Nチャネル型電界効果トランジスタ（デプレ
ション型）
- Z 2 1 5、Z 2 1 6 コンデンサ
- Z 2 2 パワーオンリセット信号生成部
- Z 2 2 1 ラッチ部
- Z 2 2 1 a、Z 2 2 1 b Dフリップフロップ

Z 2 2 2 論理積演算器（論理ゲート）

Z 2 2 3 バッファ

[0361] d 1 液晶駆動装置

d 1 0 コモン電圧生成回路

d 1 1 抵抗ラダー

d 1 2 H、d 1 2 L セレクタ

d 1 3 H、d 1 3 L アンプ

d 1 4 H、d 1 4 L スイッチ

d 1 5 H、d 1 5 L スイッチ

d 1 6 H、d 1 6 L スイッチ

d 1 7 H、d 1 7 L 出力コンデンサ

[0362] e 1 液晶駆動装置

e 1 0 コモン電圧生成回路

e 1 1 Pチャネル型MOS電界効果トランジスタ

e 1 2、e 1 3 Nチャネル型MOS電界効果トランジスタ

e 1 4 制御部

e 1 5、e 1 6 Nチャネル型MOS電界効果トランジスタ

e 1 7 バックゲート制御部

[0363] f 1 液晶駆動装置

f 1 0 コモン電圧生成回路

f 1 1 アンプ

f 1 2 制御部

f 1 3 スイッチ

C l c d 液晶素子

C r e s リザーブ用コンデンサ

請求の範囲

- [請求項1] 設定値に基づいて入力電圧を生成する入力電圧生成部と、
 前記入力電圧と帰還電圧が一致するように前記入力電圧を増幅して
出力電圧を生成するオペアンプと、
 一端に印加される前記出力電圧と他端に印加される基準電圧との間
を分圧して前記帰還電圧を生成するフィードバック抵抗部と、
 前記設定値に基づいてセクタ制御信号を生成するセクタ制御部
と、
 前記セクタ制御信号に基づいて前記基準電圧を複数の候補から選
択するセクタと、
 を有して成ることを特徴とする電圧増幅回路。
- [請求項2] 前記セクタは、前記設定値が所定値以上であるときに第1基準電
圧を選択し、前記設定値が前記所定値未満であるときに前記第1基準
電圧よりも高い第2基準電圧を選択し、
 前記入力電圧生成部は、前記設定値の可変域全体にわたり、前記設
定値に対して前記出力電圧が線形的に変化するように前記入力電圧を
生成することを特徴とする請求項1に記載の電圧増幅回路。
- [請求項3] 前記セクタ制御信号に基づいて前記フィードバック抵抗部に供給
すべきトリミングテーブルを複数の候補から選択する第2セクタを
有して成り、
 前記フィードバック抵抗部は、前記第2セクタで選択されたトリ
ミングテーブルに基づいて自身の分圧比を微調整することを特徴とす
る請求項1または請求項2に記載の電圧増幅回路。
- [請求項4] 前記第2セクタでの選択候補となる複数のトリミングテーブルを
不揮発的に記憶する不揮発性メモリと、
 前記電圧増幅回路の起動時に前記不揮発メモリから読み出される前
記複数のトリミングテーブルを各々格納する複数のレジスタと、
 を有して成ることを特徴とする請求項3に記載の電圧増幅回路。

- [請求項5] 前記第2セレクタは、前記設定値が前記所定値以上であるときに第1トリミングテーブルを選択し、前記設定値が所定値未満であるときに第2トリミングテーブルを選択することを特徴とする請求項3または請求項4に記載の電圧増幅回路。
- [請求項6] 一端に印加される上限電圧と他端に印加される下限電圧との間を分圧して複数の階調電圧を生成する抵抗ラダーと、
前記出力電圧を前記下限電圧として出力する請求項1～請求項5のいずれかに記載の電圧増幅回路と、
を有して成ることを特徴とする階調電圧生成回路。
- [請求項7] デジタル画素信号をアナログ画素信号に変換して液晶素子に供給するデジタル／アナログ変換器と、
前記デジタル／アナログ変換器に前記複数の階調電圧を供給する請求項6に記載の階調電圧生成回路と、
を有して成ることを特徴とする液晶駆動装置。
- [請求項8] 基準電圧とこれよりも高い第1電源電圧との間で駆動される第1アンプと、
前記基準電圧とこれよりも低い第2電源電圧との間で駆動される第2アンプと、
第1アンプの出力端と第1外部端子との間に接続された第1スイッチと、
第2アンプの出力端と第1外部端子との間に接続された第2スイッチと、
を集積化して成り、
第1スイッチと第2スイッチを相補的にオン／オフさせることにより、第1外部端子から液晶素子に印加される出力信号の極性反転制御を行う液晶駆動装置であって、
第1アンプの出力端と前記基準電圧の印加端との間に接続された第3スイッチと、

第2アンプの出力端と前記基準電圧の印加端との間に接続された第4スイッチと、

をさらに集積化して成り、

第1スイッチをオンからオフへ切り替える際には、第1スイッチをオフとする前に第3スイッチを所定期間だけオンとし、

第2スイッチをオンからオフへ切り替える際には、第2スイッチをオフとする前に第4スイッチを所定期間だけオンとすることを特徴とする請求項7に記載の液晶駆動装置。

[請求項9] 第1スイッチ及び第2スイッチは、いずれも電界効果トランジスタであり、

各々のソース・バックゲート間に寄生するボディダイオードは、第1外部端子の静電保護ダイオードとして流用されていることを特徴とする請求項8に記載の液晶駆動装置。

[請求項10] 第1アンプの出力端と第2外部端子との間に接続された第5スイッチと、

第2アンプの出力端と第2外部端子との間に接続された第6スイッチと、

をさらに集積化して成り、

第1スイッチと第5スイッチ、並びに、第2スイッチと第6スイッチを各々相補的にオン／オフさせることにより、第1外部端子から液晶素子に印加される出力信号とは逆の極性で、第2外部端子から液晶素子に印加される出力信号の極性反転制御を行うことを特徴とする請求項8または請求項9に記載の液晶駆動装置。

[請求項11] 第5スイッチ及び第6スイッチは、いずれも電界効果トランジスタであり、

各々のソース・バックゲート間に寄生するボディダイオードは、第2外部端子の静電保護ダイオードとして流用されていることを特徴とする請求項10に記載の液晶駆動装置。

- [請求項12] 前記電界効果トランジスタは、
ドレイン領域と；
前記ドレイン領域の両側に分離して設けられ、いずれも第1外部端子に接続された第1ソース領域及び第2ソース領域と；
を有して成ることを特徴とする請求項9または請求項11に記載の液晶駆動装置。
- [請求項13] 前記電界効果トランジスタは、前記ドレイン領域、第1ソース領域、及び、第2ソース領域を取り囲むように形成されたバックゲートのコンタクト領域を有して成ることを特徴とする請求項12に記載の液晶駆動装置。
- [請求項14] 前記ドレイン領域、第1ソース領域、及び、第2ソース領域と、前記バックゲートのコンタクト領域とは、それぞれ2～4 μm の距離を隔てて形成されていることを特徴とする請求項13に記載の液晶駆動装置。
- [請求項15] 液晶素子の駆動制御に必要な出力電圧を生成する電源回路を有し、
前記電源回路は、
入力電圧から所望の出力電圧が生成されるように出力トランジスタの帰還制御信号を生成する帰還制御回路と、
少なくとも電源投入時点から所定期間が経過するまで前記出力トランジスタを強制的にオフ状態とするリセット回路と、
を有することを特徴とする請求項7～請求項14のいずれかに記載の液晶駆動装置。
- [請求項16] 前記リセット回路は、
少なくとも電源投入時点から前記所定期間が経過するまでリセット論理となるパワーオンリセット信号を生成するパワーオンリセット部を有し、
前記パワーオンリセット信号がリセット論理であるときには、前記帰還制御信号に応じた前記出力トランジスタのオン／オフ制御を禁止

して、前記出力トランジスタを強制的にオフ状態とすることを特徴とする請求項 15 に記載の液晶駆動装置。

[請求項17]

前記リセット回路は、

前記パワーオンリセット信号と外部リセット信号の少なくとも一方がリセット論理であればリセット論理となり、双方がリセット解除論理であるときにのみリセット解除論理となる内部リセット信号を生成する内部リセット信号生成部を有し、

前記内部リセット信号がリセット論理であるときには、前記帰還制御信号に応じた前記出力トランジスタのオン／オフ制御を禁止して、前記出力トランジスタを強制的にオフ状態とする一方、

前記内部リセット信号がリセット解除論理であるときには、前記帰還制御信号に応じた前記出力トランジスタのオン／オフ制御を許可することを特徴とする請求項 16 に記載の液晶駆動装置。

[請求項18]

前記パワーオンリセット部は、

電源投入時点から前記所定期間が経過したか否かを示す電源監視信号を生成する電源監視部と；

前記所定期間の経過前には前記電源監視信号に応じて前記パワーオンリセット信号をリセット論理に維持する一方、前記所定期間の経過後には前記帰還制御回路の動作可否を制御するイネーブル信号に応じて前記パワーオンリセット信号のリセット解除可否を制御するパワーオンリセット信号生成部と；

を有することを特徴とする請求項 16 または請求項 17 に記載の液晶駆動装置。

[請求項19]

前記パワーオンリセット信号生成部は、

クロック信号のパルス毎に前記イネーブル信号をラッチ出力信号として取り込む一方、前記所定期間の経過前には前記電源監視信号に応じて前記ラッチ出力信号がディセーブル論理にリセットされるラッチ部と；

前記イネーブル信号と前記ラッチ出力信号の少なくとも一方がディセーブル論理であればリセット論理となり、双方がイネーブル論理であるときにのみリセット解除論理となる前記パワーオンリセット信号を生成する論理ゲートと；

を有することを特徴とする請求項 18 に記載の液晶駆動装置。

[請求項20] 前記ラッチ部は、複数のフリップフロップを縦列に接続して成ることを特徴とする請求項 19 に記載の液晶駆動装置。

[請求項21] 前記クロック信号は、前記電源回路が動作している間、前記ラッチ部に対して継続的に入力されることを特徴とする請求項 19 または請求項 20 に記載の液晶駆動装置。

[請求項22] 前記リセット回路は、複数の前記帰還制御回路によって共有されていることを特徴とする請求項 15 ～請求項 21 のいずれかに記載の液晶駆動装置。

[請求項23] 第 1 期間中には起動状態とされて液晶素子への出力電圧を生成し、第 2 期間中には出力ハイインピーダンス状態とされるアンプと；
前記第 1 期間中に生成された前記出力電圧を保持するコンデンサと；

を有することを特徴とする請求項 7 ～請求項 22 のいずれかに記載の液晶駆動装置。

[請求項24] 液晶素子にコモン電圧を供給するコモン電圧生成回路を有し、
前記コモン電圧生成回路は、
第 1 電圧の印加端とコモン電圧の出力端との間に接続された P チャネル型電界効果トランジスタと；
前記第 1 電圧よりも低い第 2 電圧の印加端と前記コモン電圧の出力端との間に接続された第 1 の N チャネル型電界効果トランジスタと；
前記第 1 電圧よりも低い第 3 電圧の印加端と前記コモン電圧の出力端との間に接続された第 2 の N チャネル型電界効果トランジスタと；
前記第 1 及び第 2 の N チャネル型電界効果トランジスタの各バック

ゲートの接続先として、前記第 2 電圧の印加端と前記第 3 電圧の印加端の一方を選択するセレクタと；

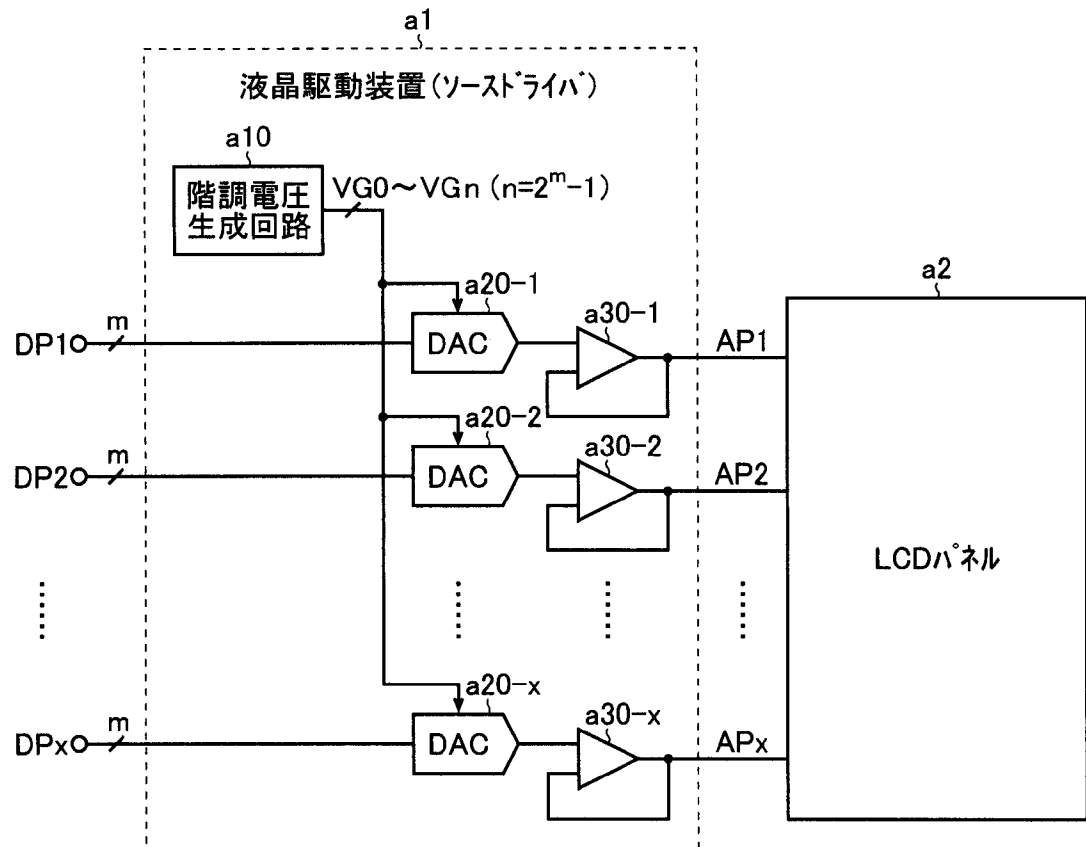
前記第 2 電圧と前記第 3 電圧の電位関係に応じて前記スイッチを制御するバックゲート制御部と；

を有することを特徴とする請求項 7～請求項 23 のいずれかに記載の液晶駆動装置。

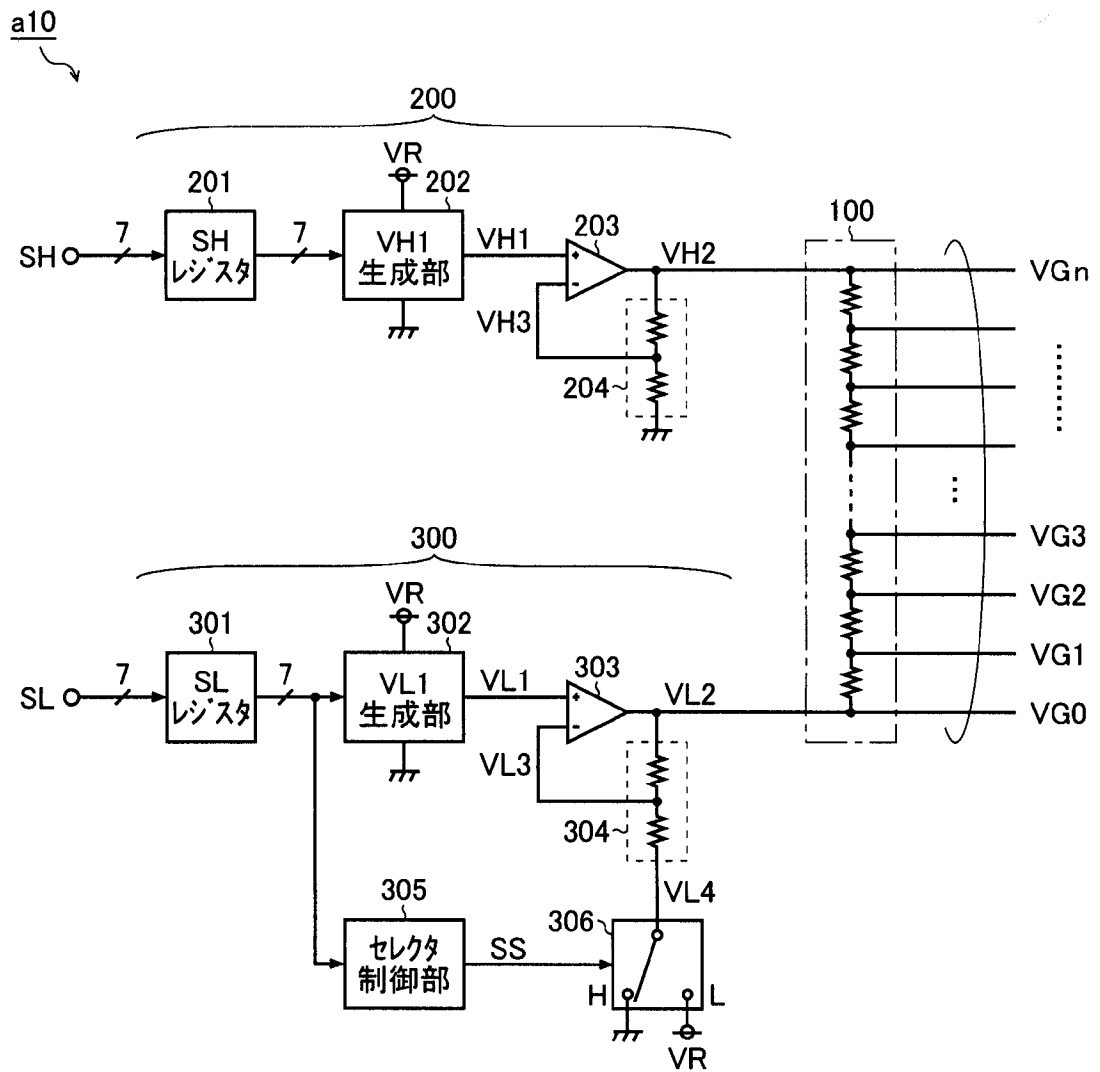
[請求項25] 液晶素子の素子容量を放電する際に、前記素子容量に蓄えられていた電荷の一部を保存するためのリザーブ用コンデンサを有し、前記液晶素子の素子容量を充電する際には、前記リザーブ用コンデンサに保存されていた電荷の一部を前記素子容量の充電に再利用することを特徴とする請求項 7～請求項 24 のいずれかに記載の液晶駆動装置。

[請求項26] 請求項 7～請求項 25 のいずれかに記載の液晶駆動装置と、
液晶表示パネルと、
を有して成ることを特徴とする液晶表示装置。

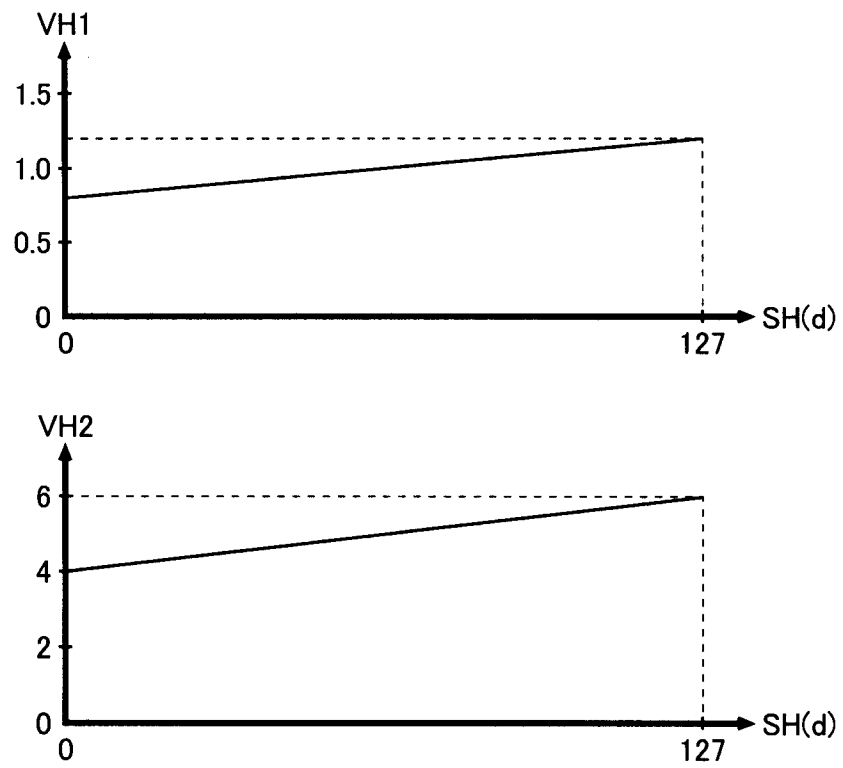
[図1]



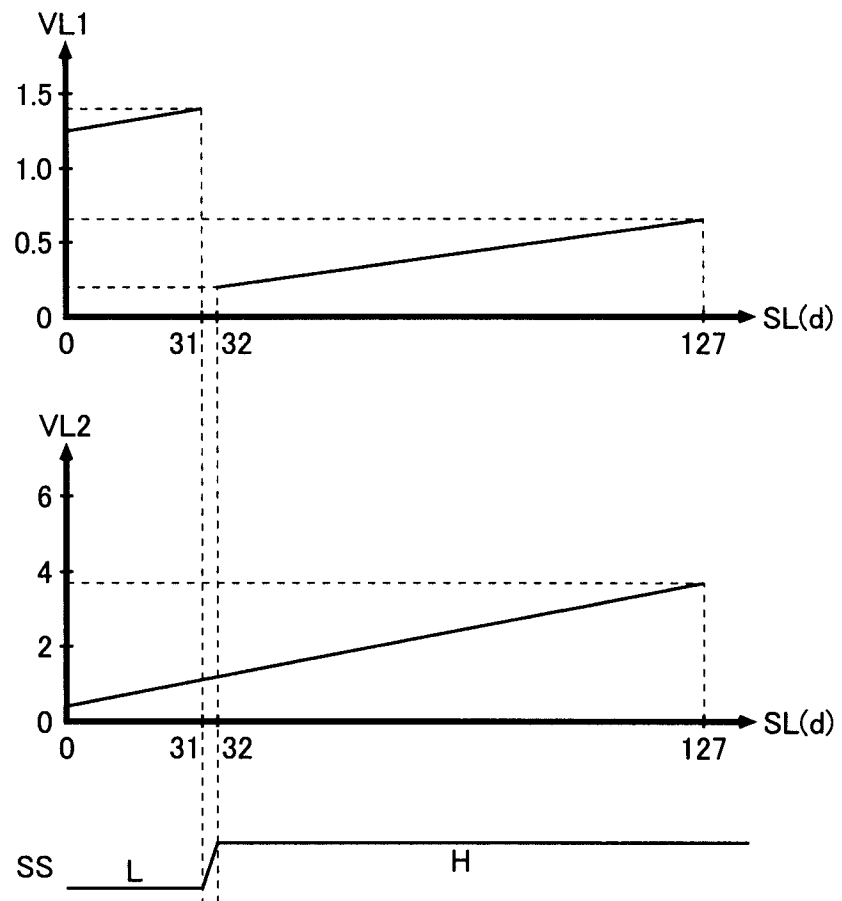
[図2]



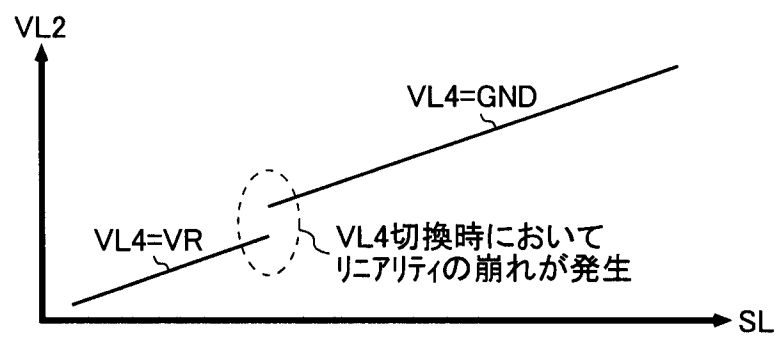
[図3]



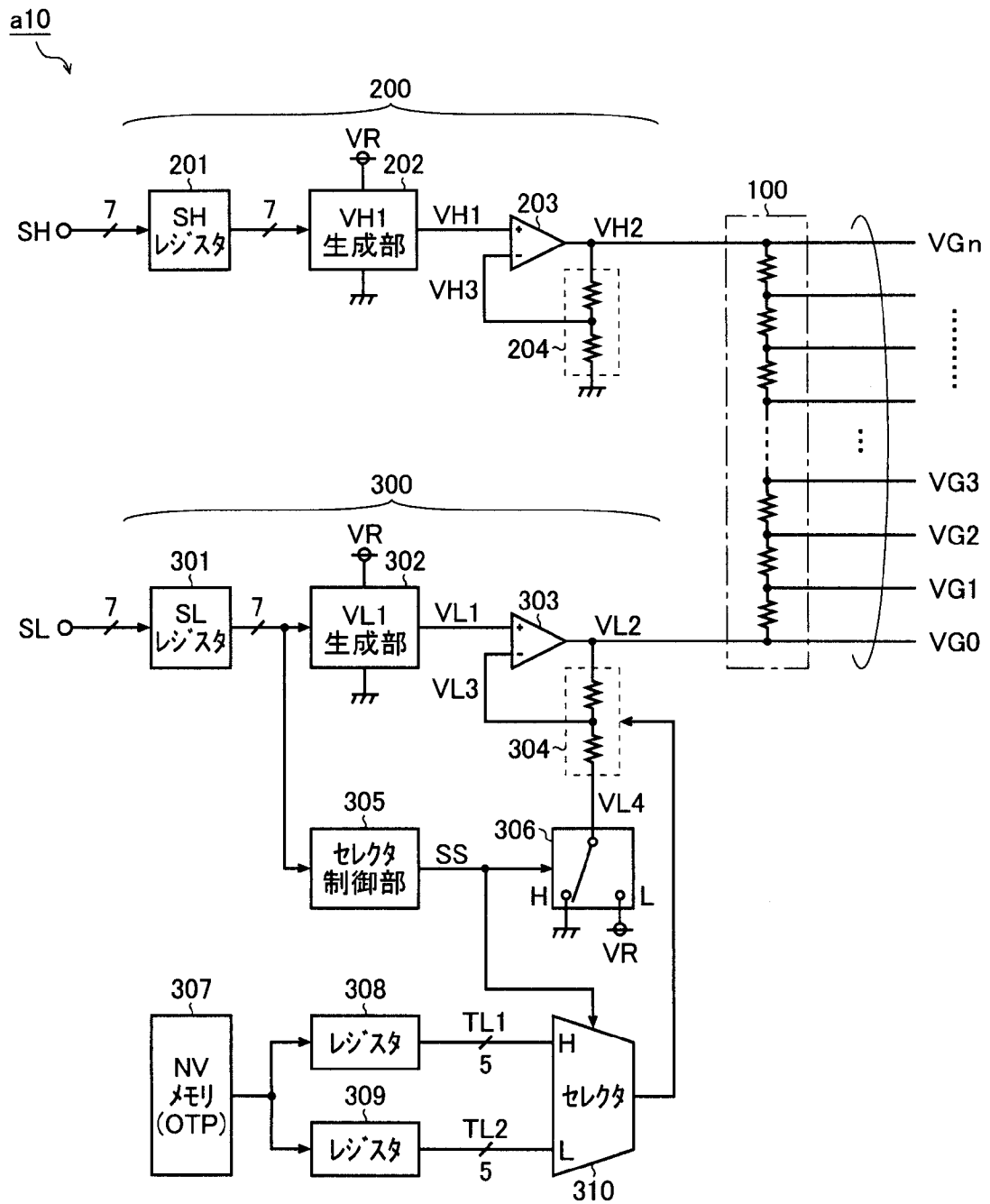
[図4]



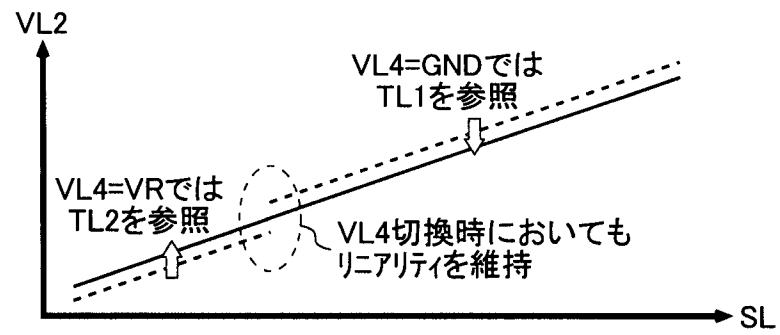
[図5]



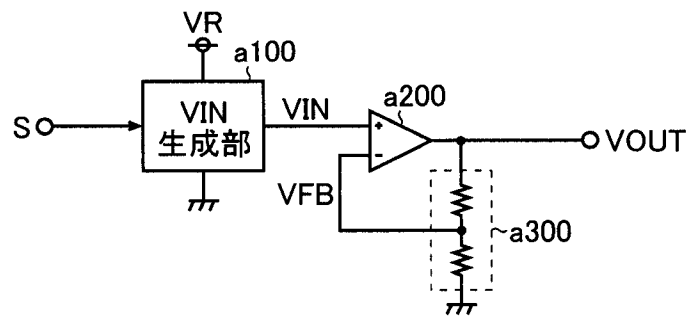
[図6]



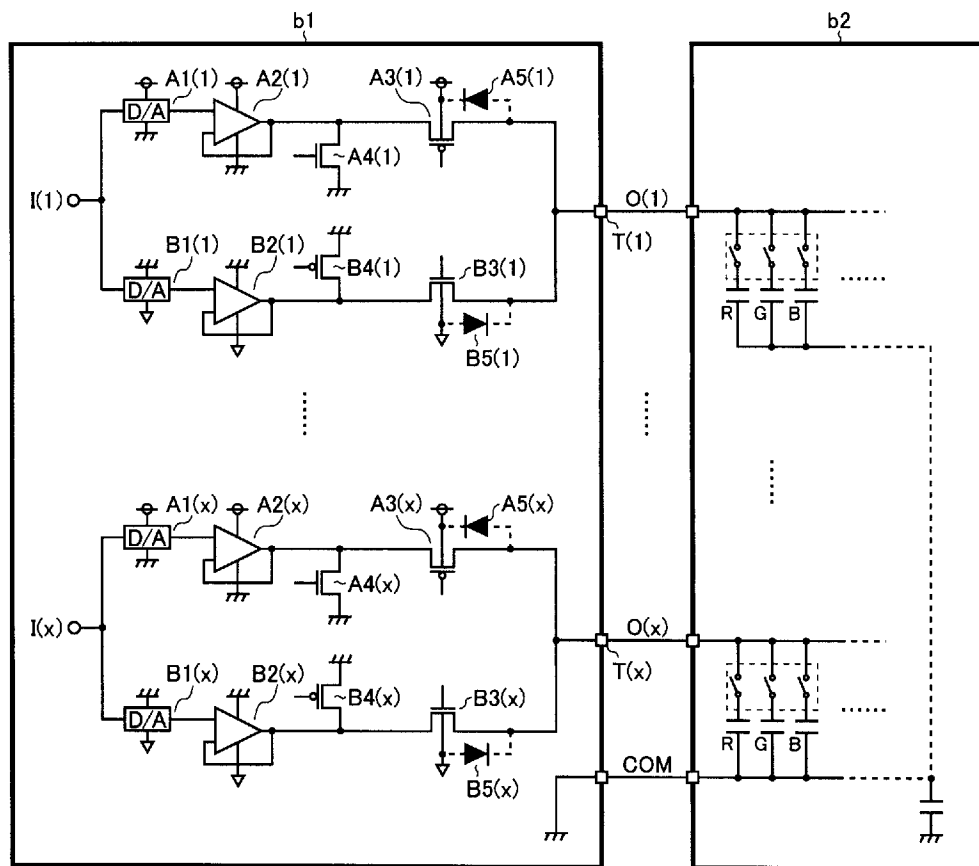
[図7]



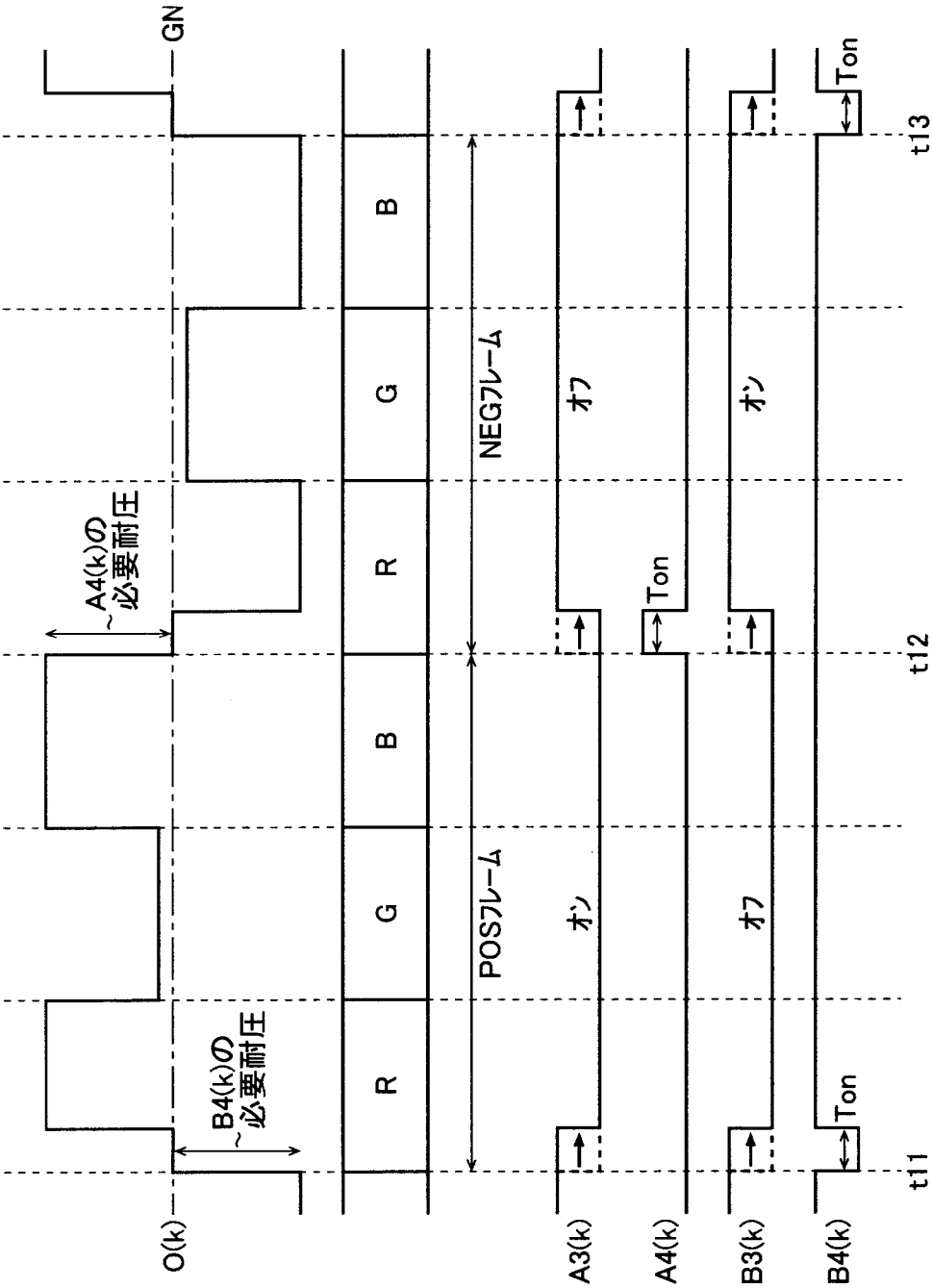
[図8]



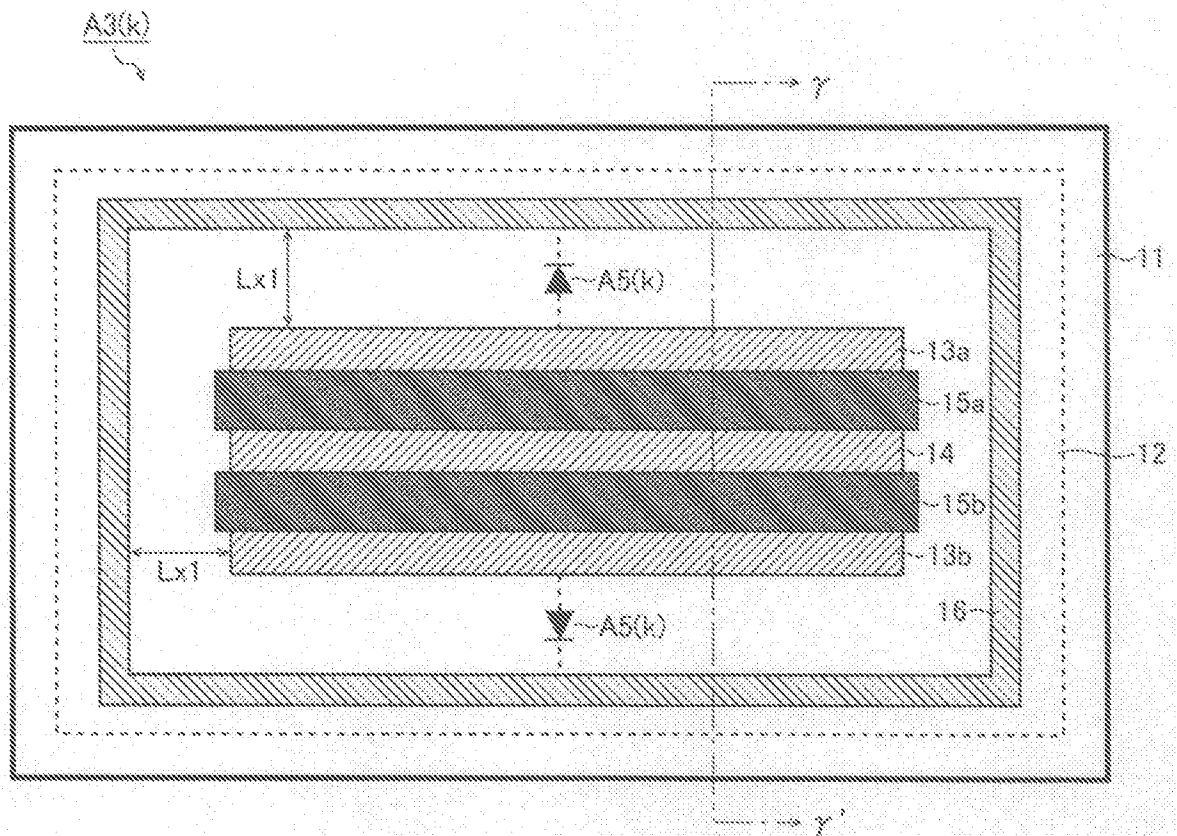
[図9]



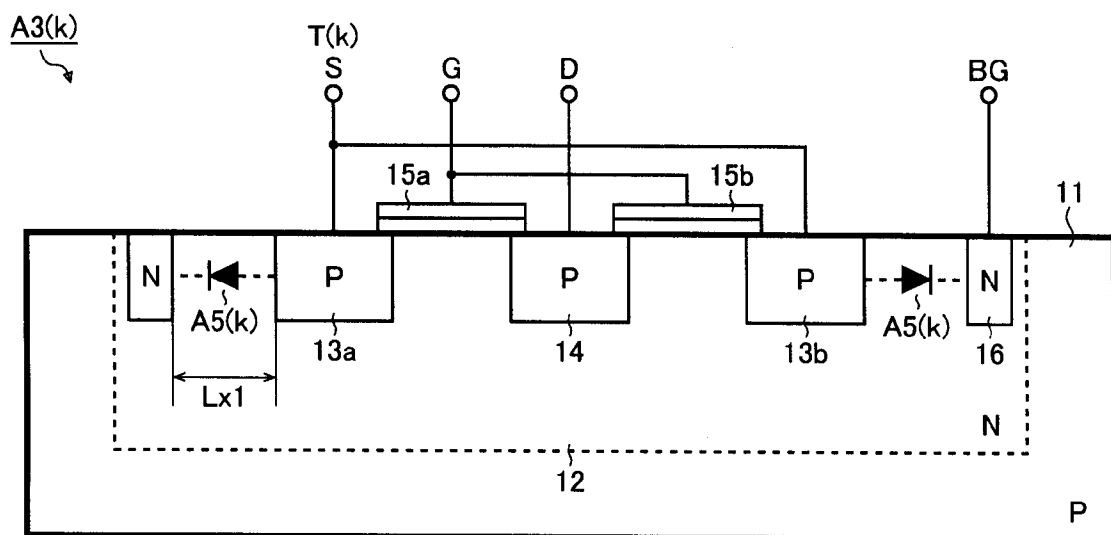
[図10]



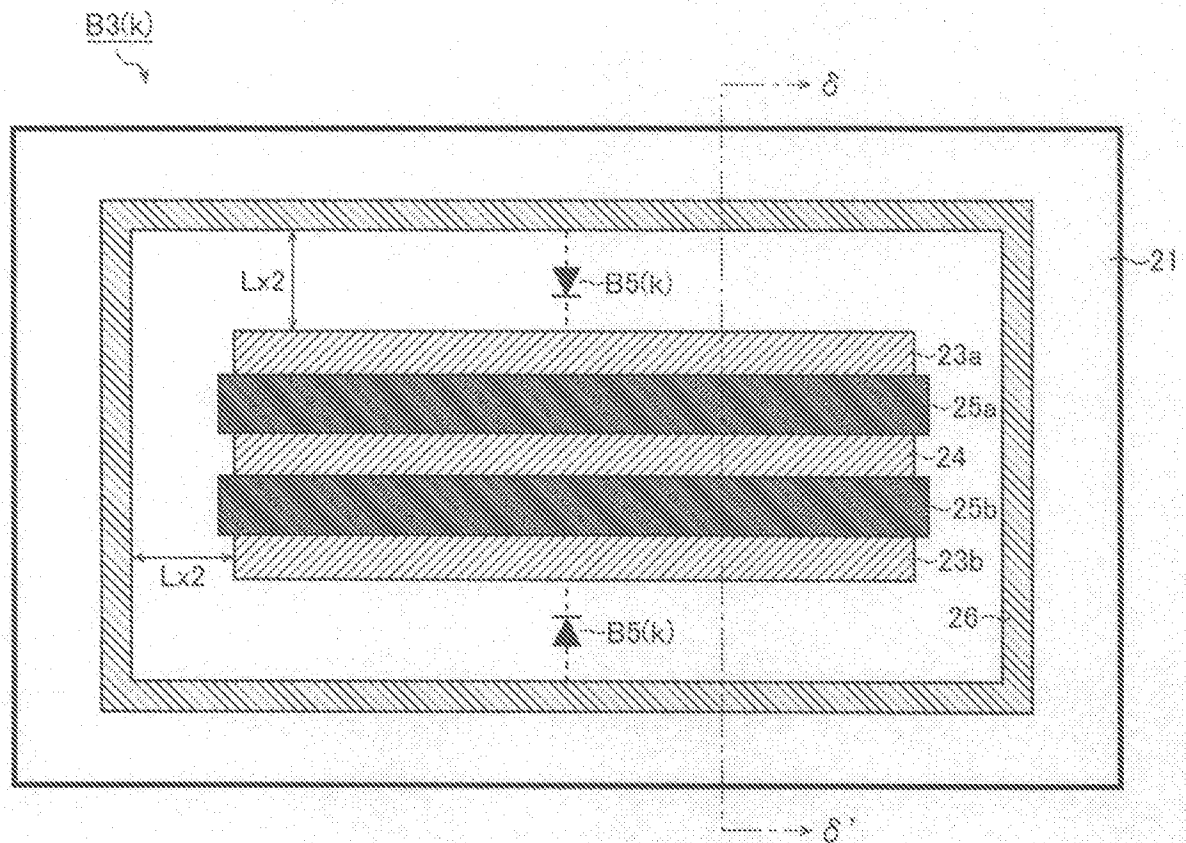
[図11A]



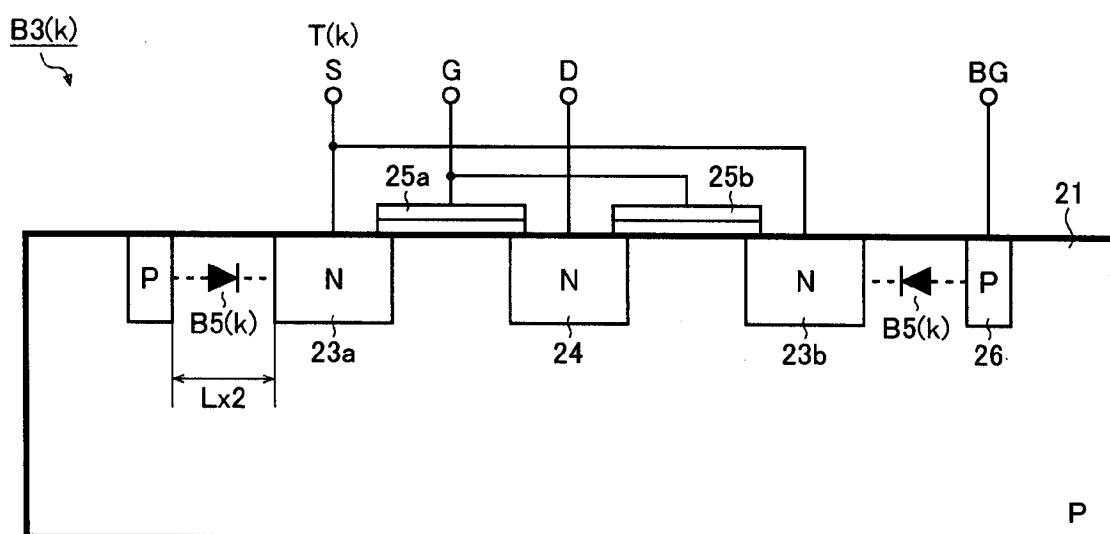
[図11B]



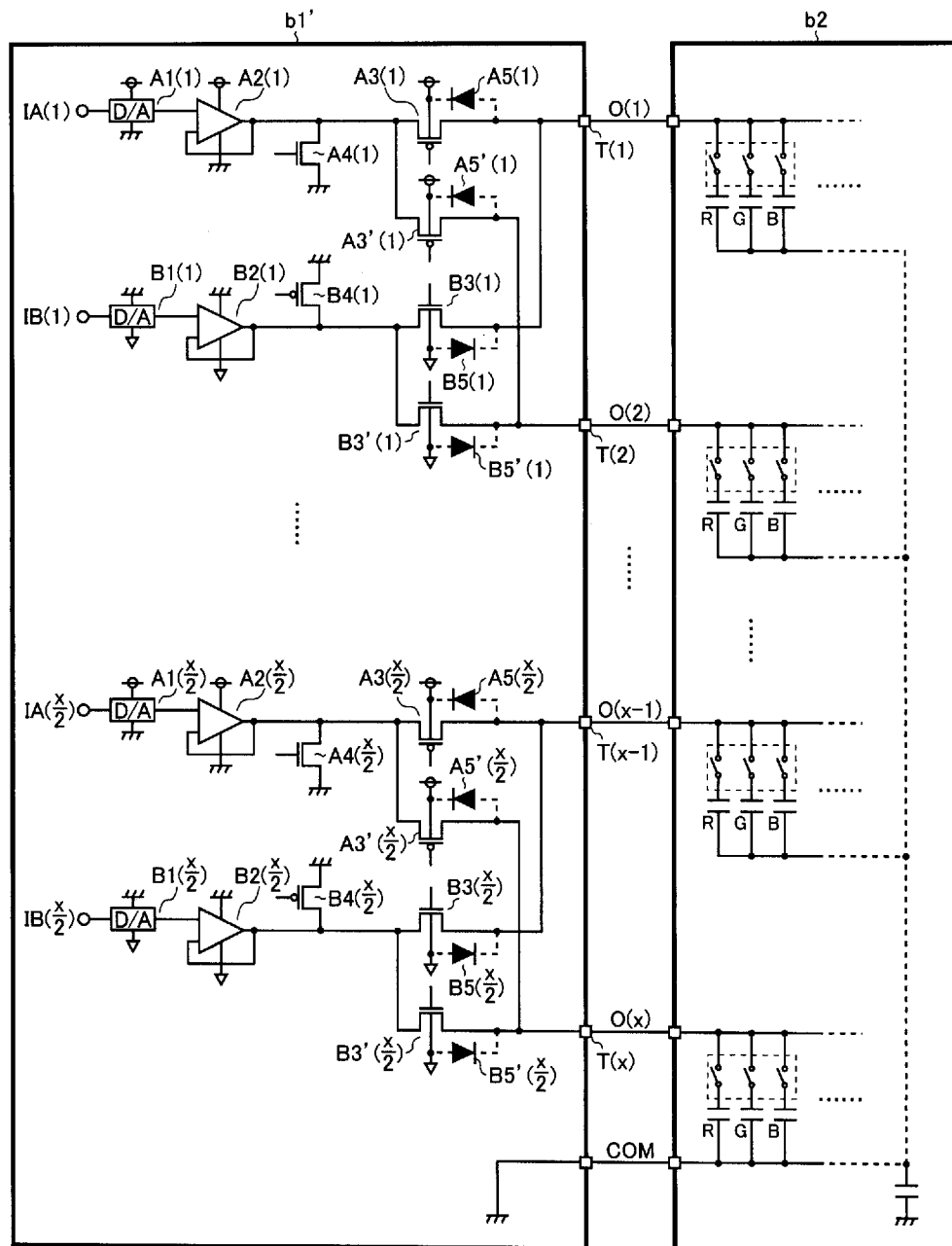
[図12A]



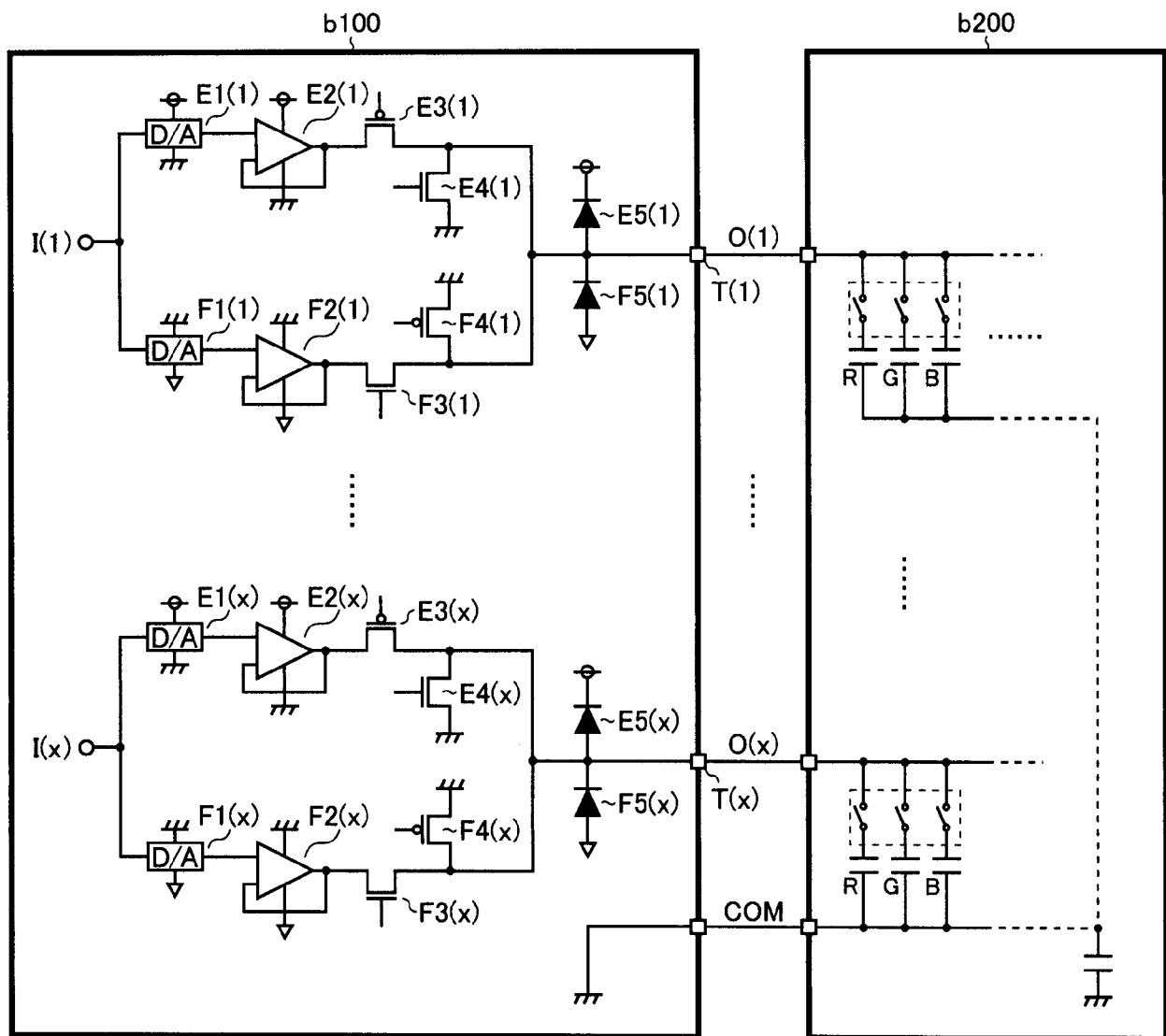
[図12B]



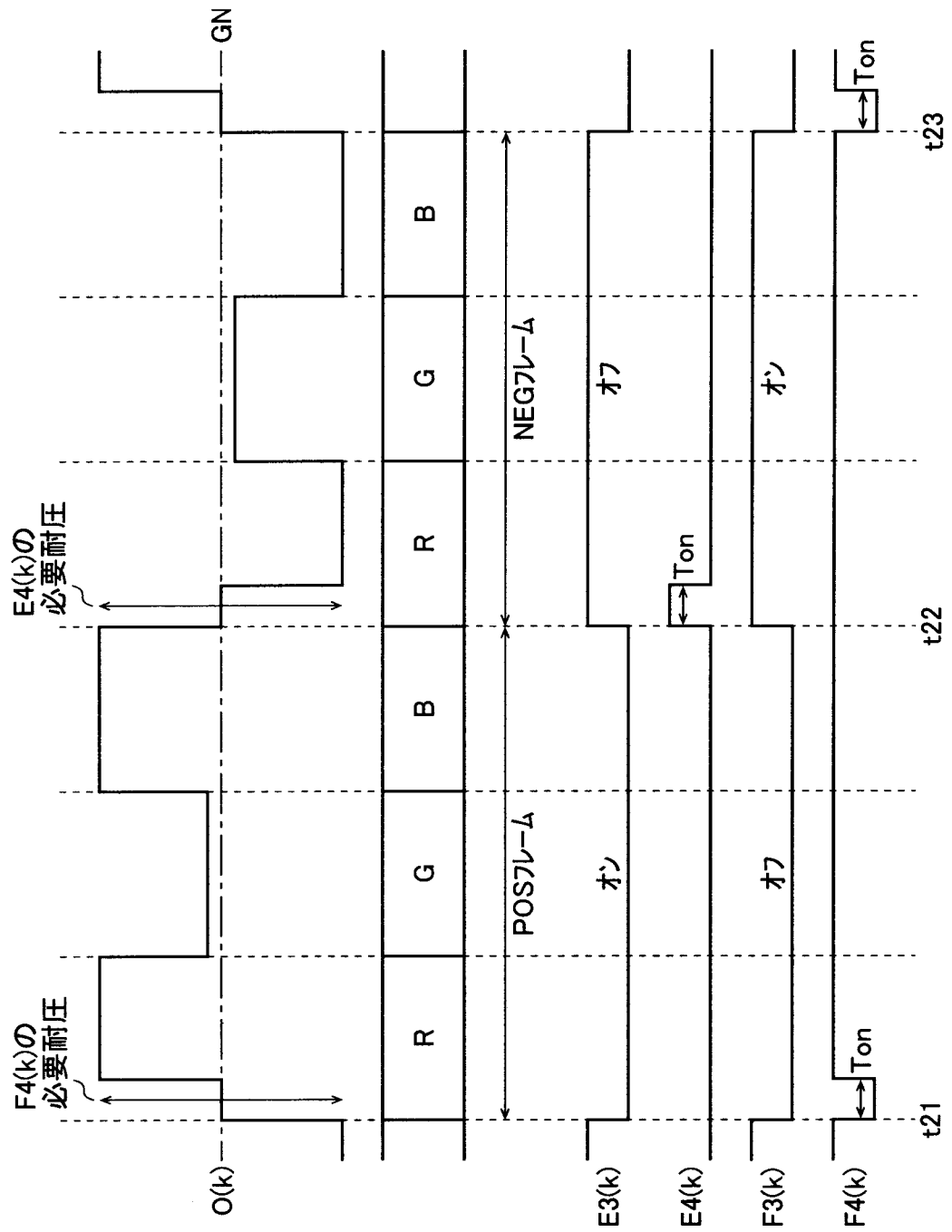
[図13]



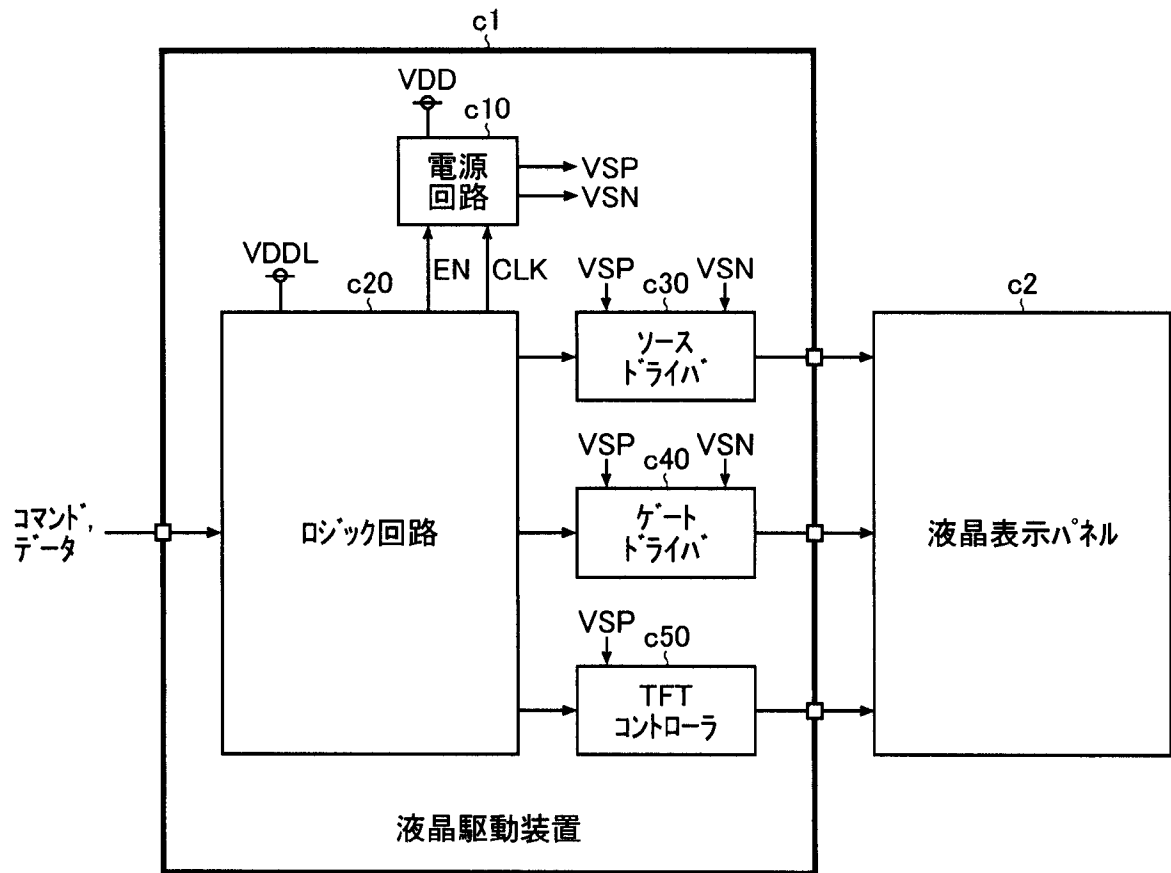
[図14]



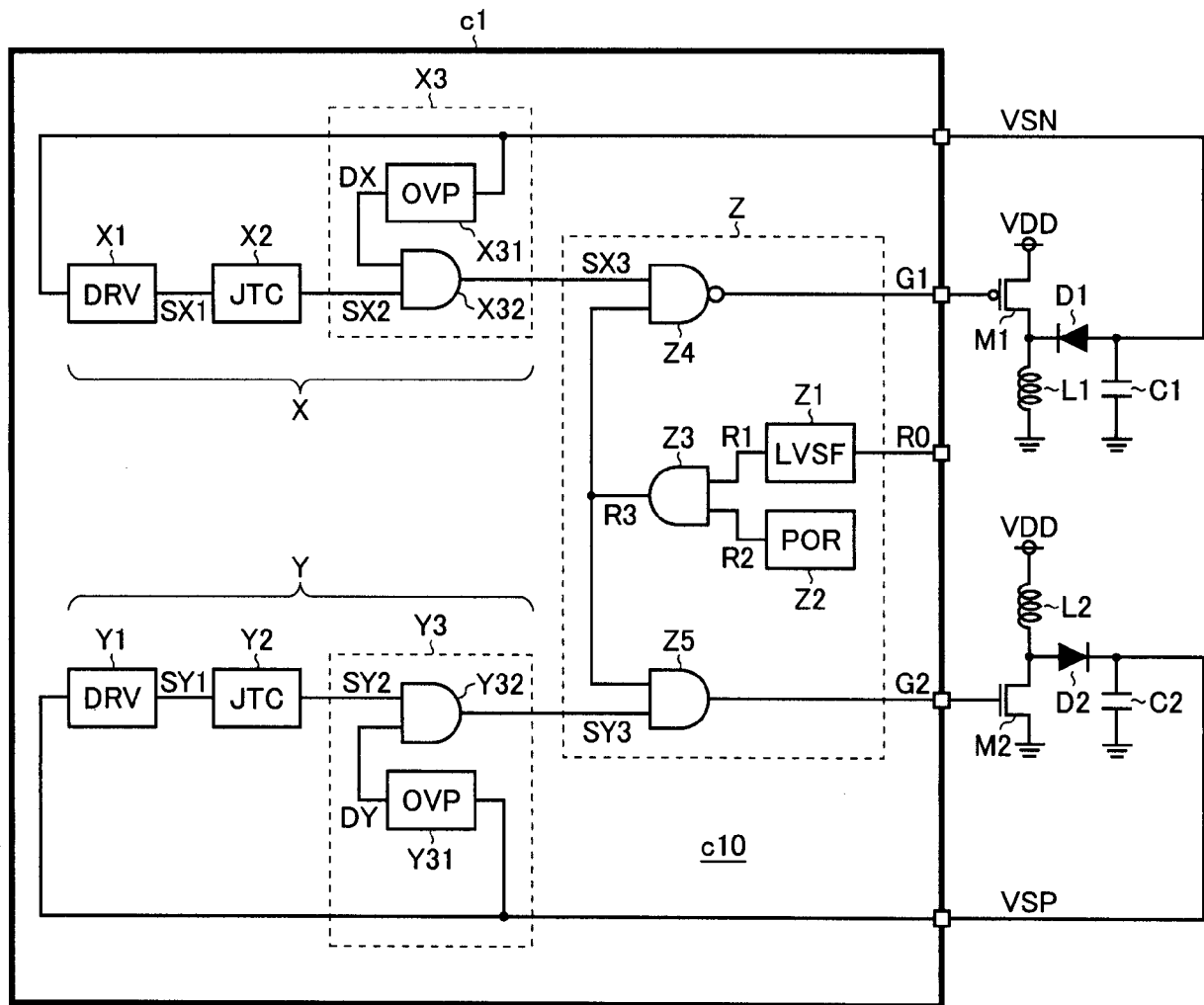
[図15]



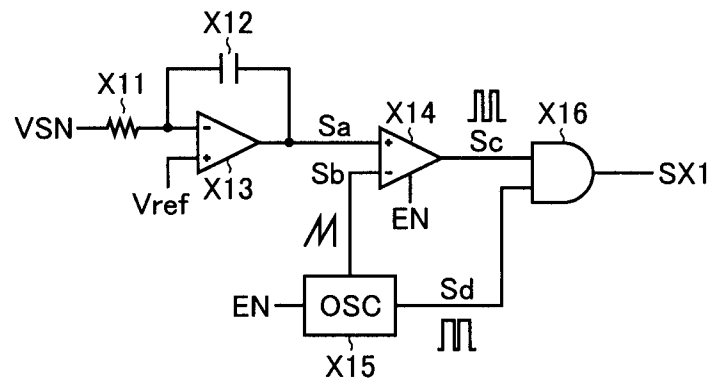
[図16]



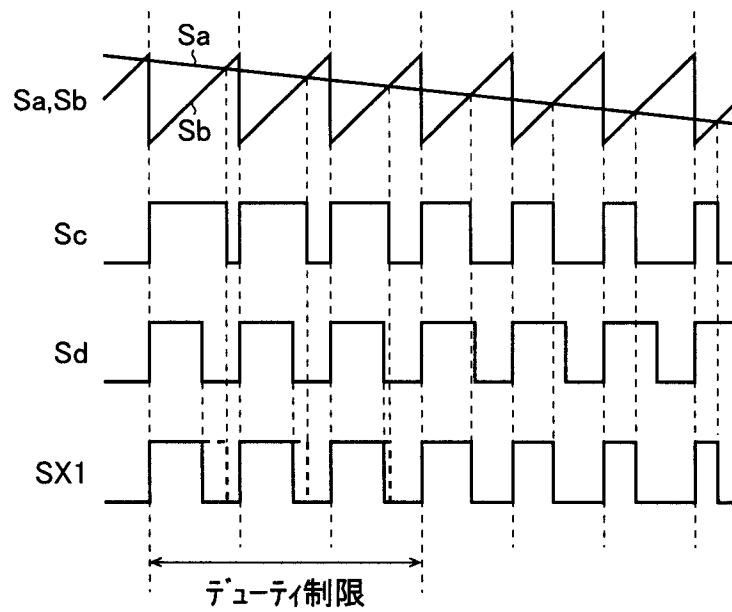
[図17]

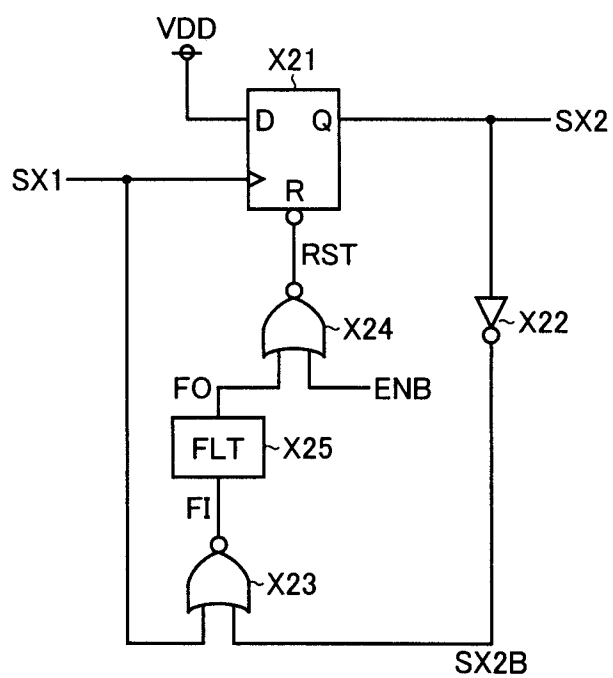


[図18]

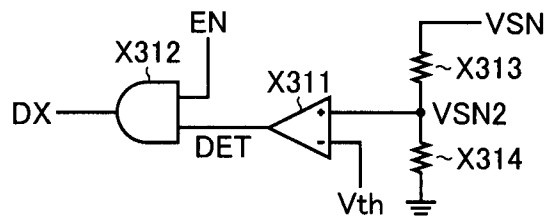
X1

[図19]

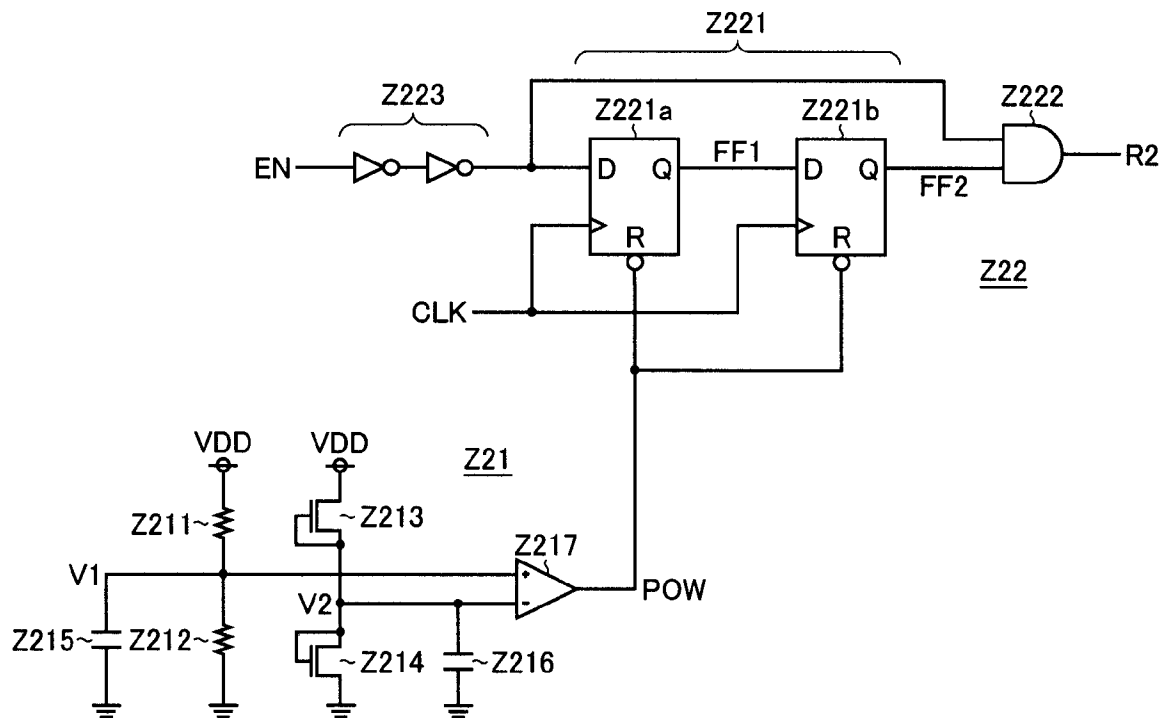


X2

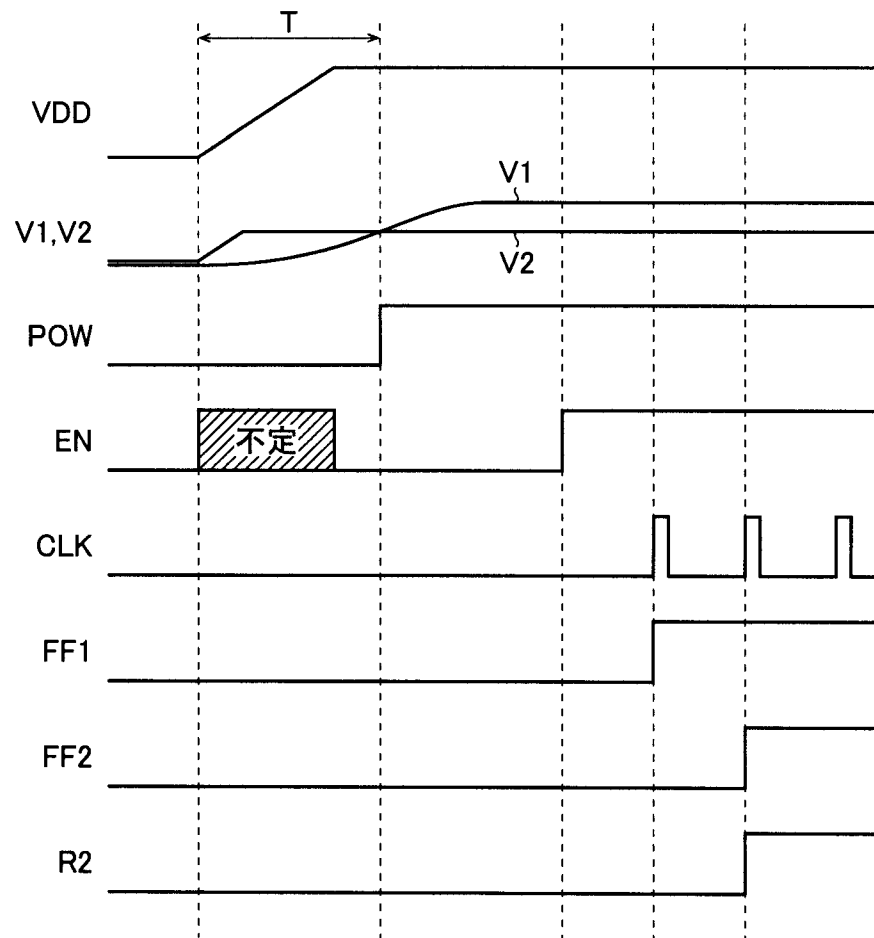
[図22]

X31

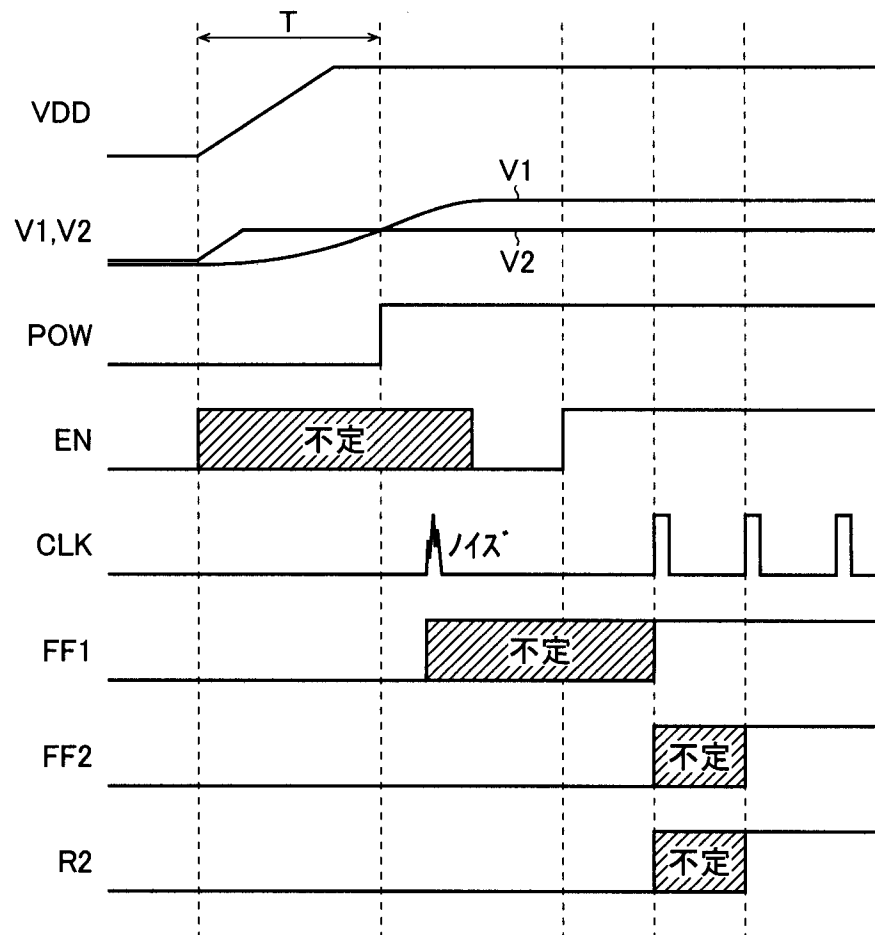
[図23]

Z2

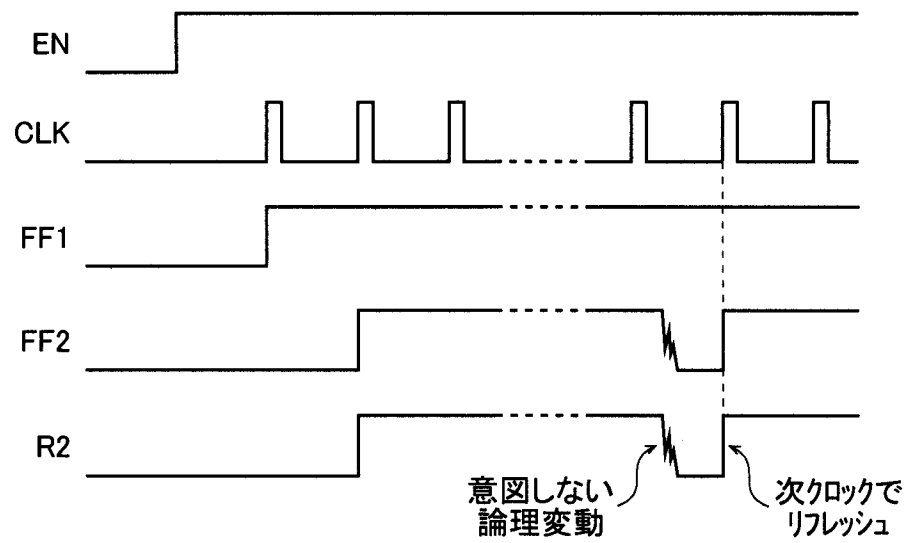
[図24]



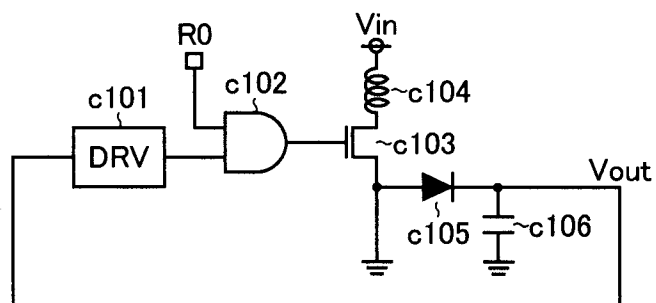
[図25]



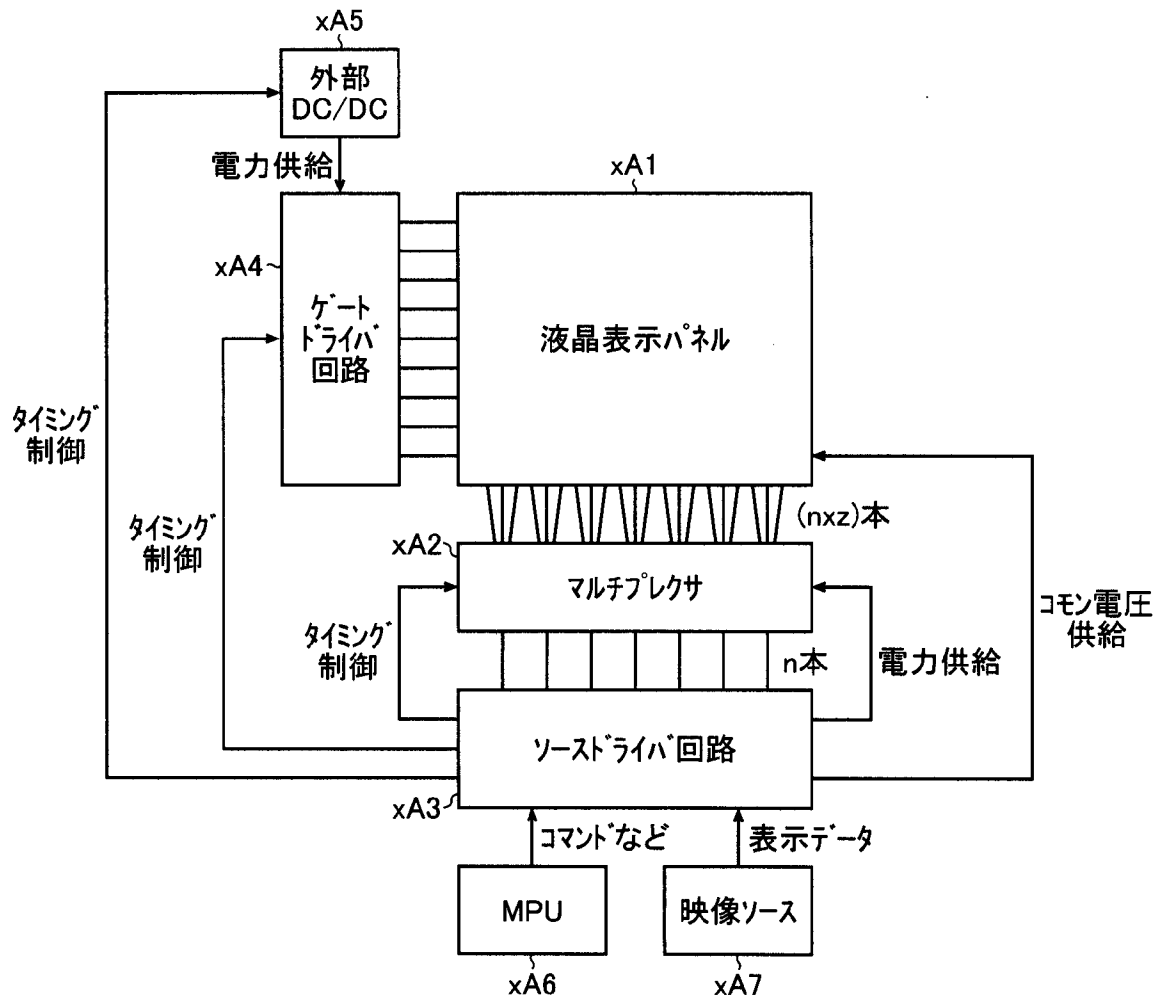
[図26]

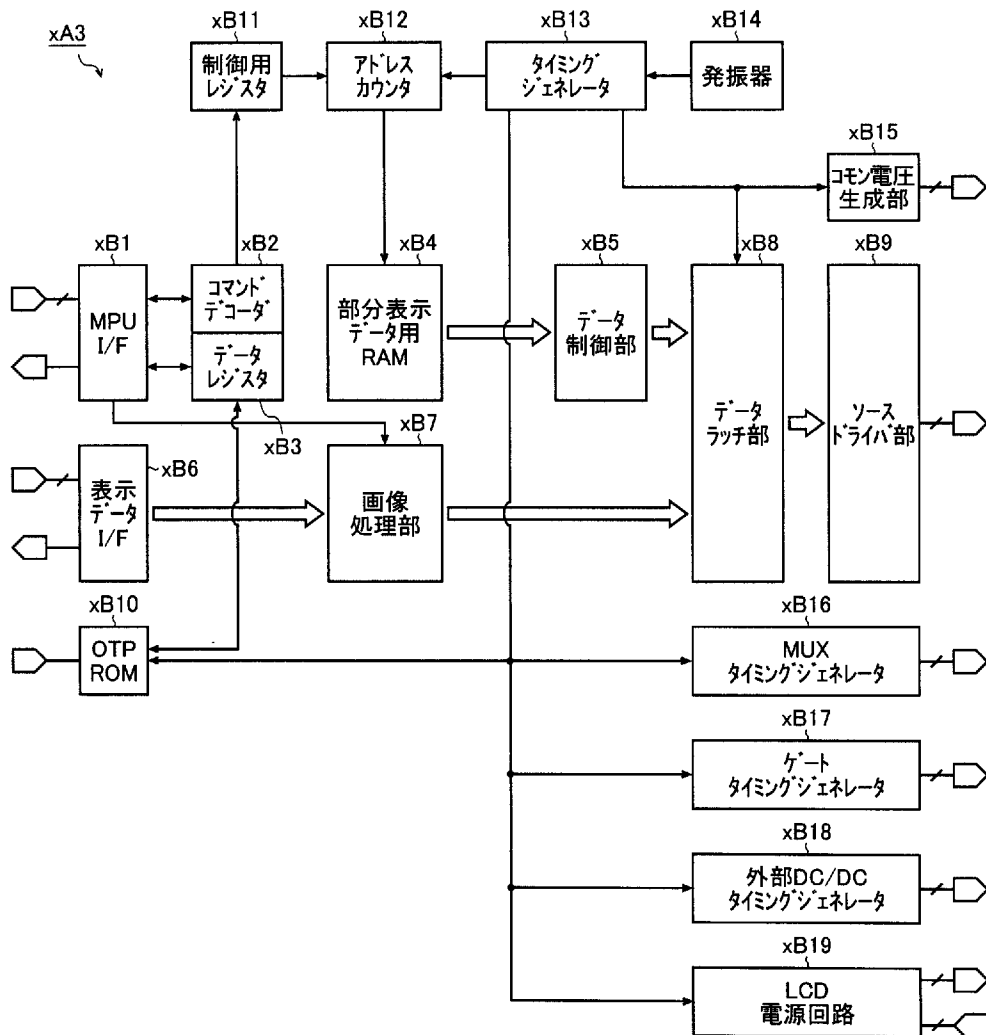


[図27]

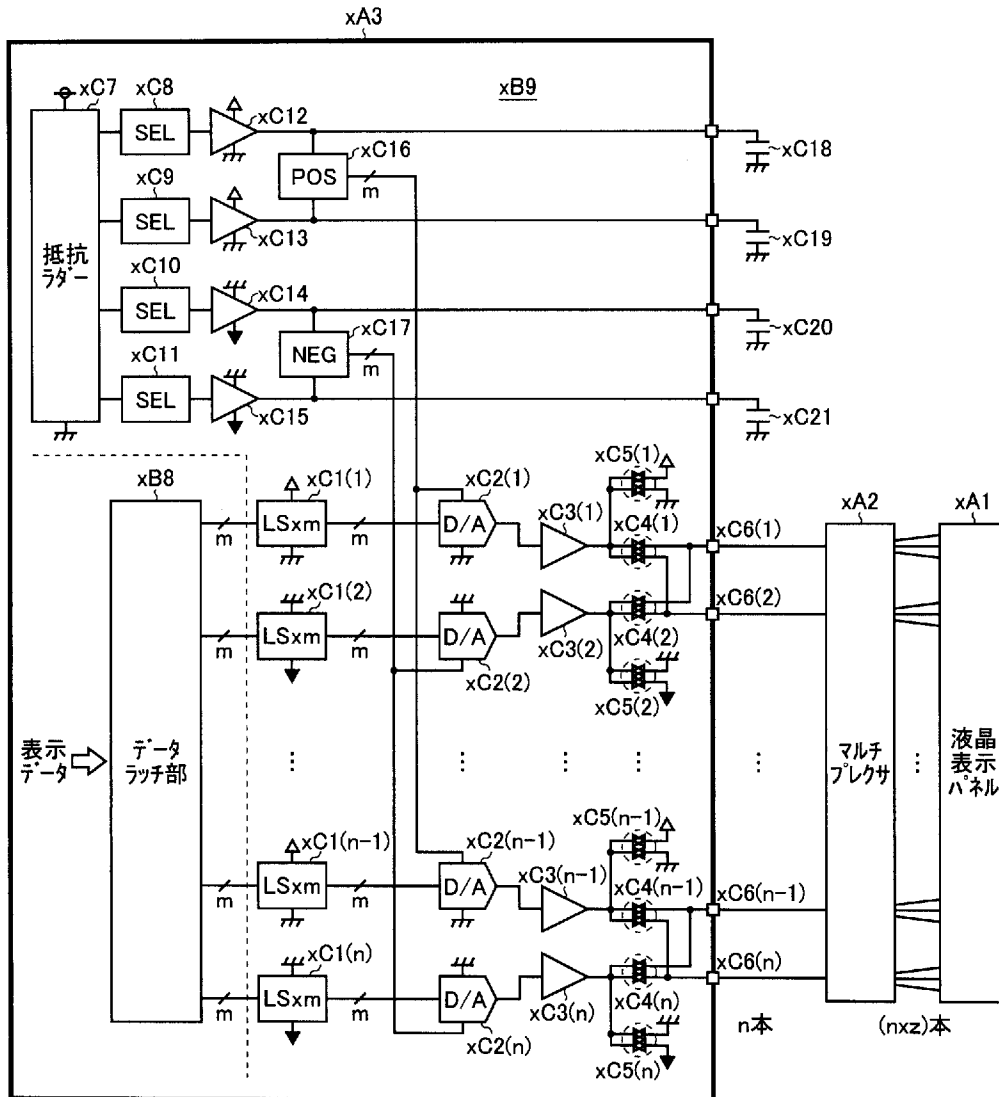
c100

[図28]

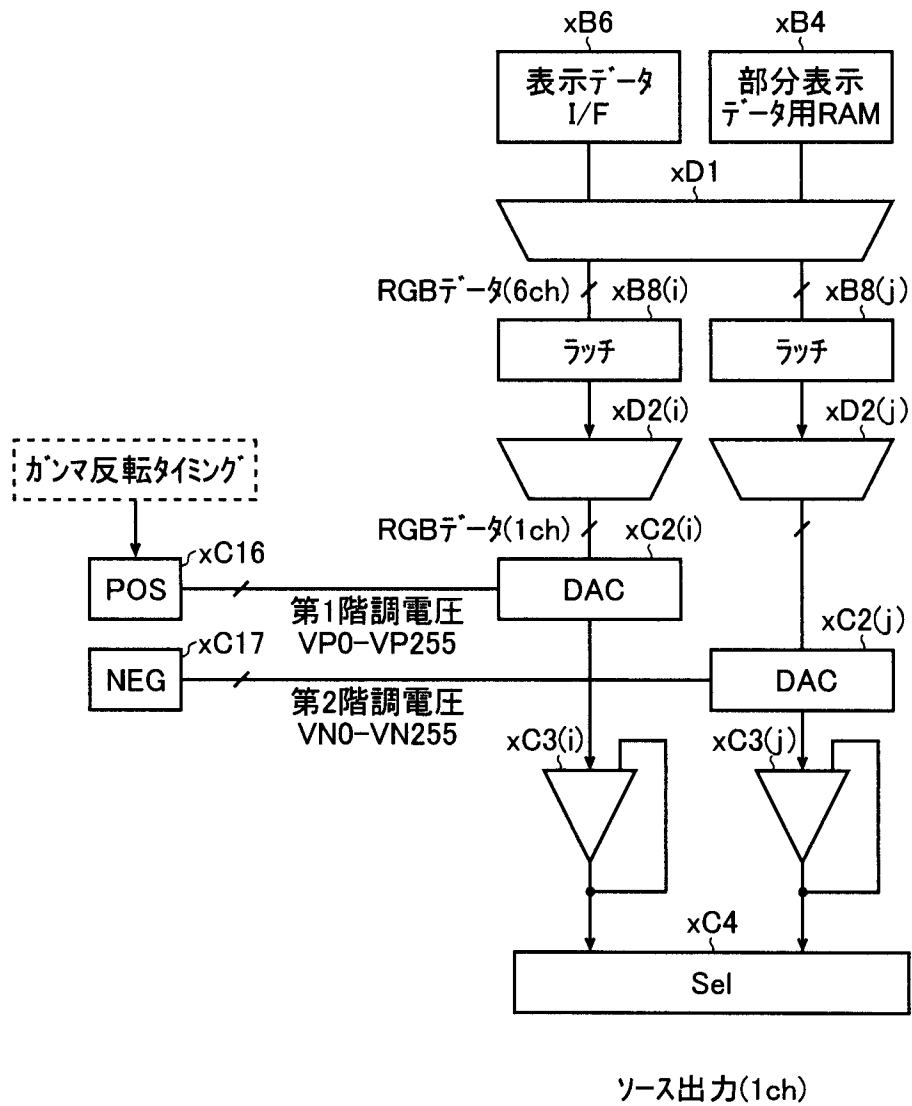


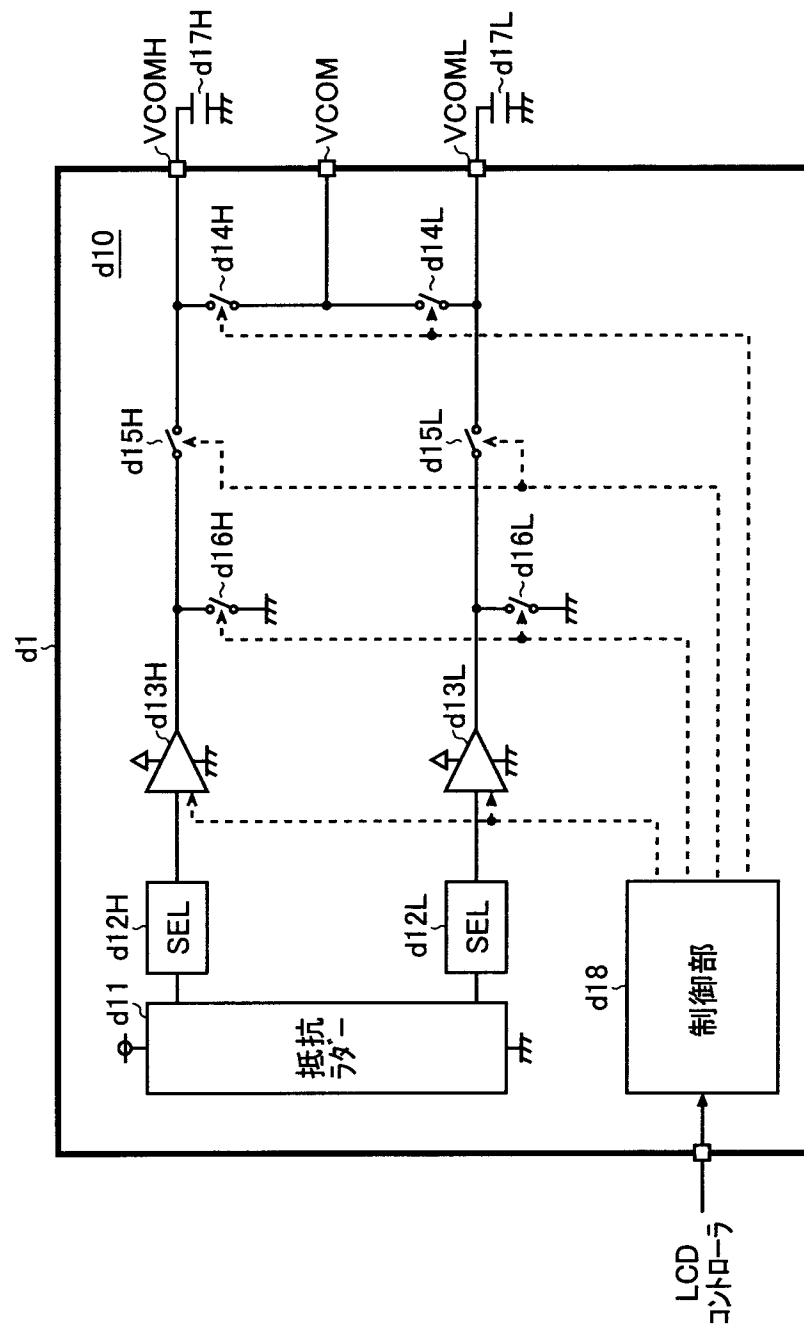


[図30]



[図31]

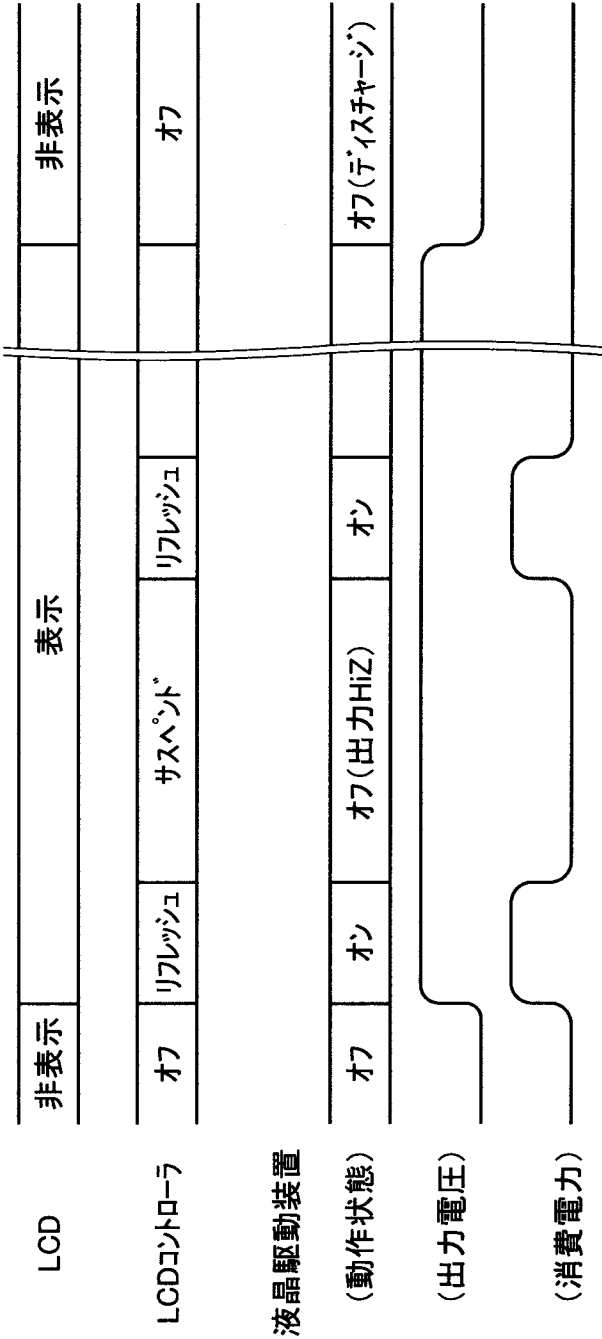




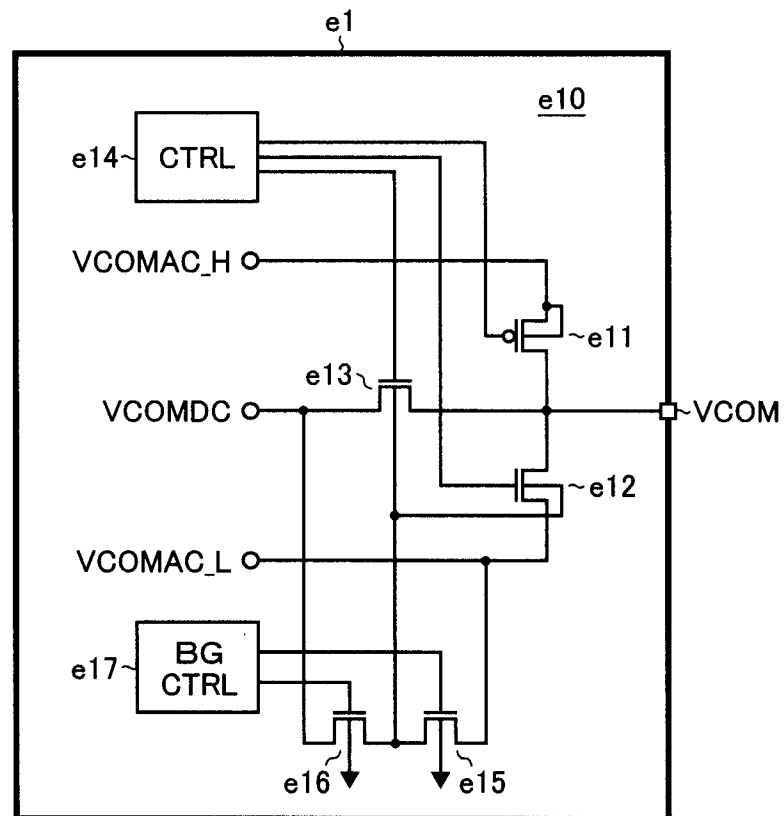
[図33]

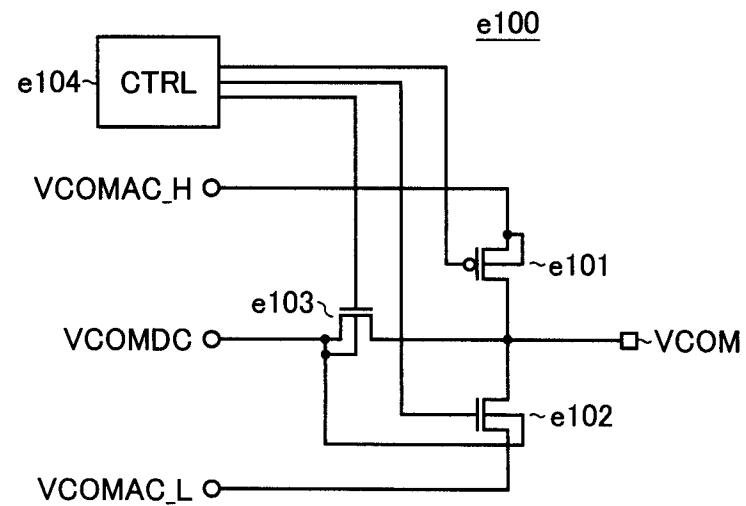
	d13H	d14H	d15H	d16H	d13L	d14L	d15L	d16L
(1) VCOMH出力	オン	オン	オン	オフ	オン	オフ	オン	オフ
(2) VCOMH保持	オフ	オン	オフ	オン	オフ	オフ	オフ	オン
(3) VCOML出力	オン	オフ	オン	オフ	オン	オン	オン	オフ
(4) VCOML保持	オフ	オフ	オフ	オン	オフ	オン	オフ	オン
(5) シャットダウン	オフ	オン	オン	オン	オフ	オン	オン	オン

[図34]

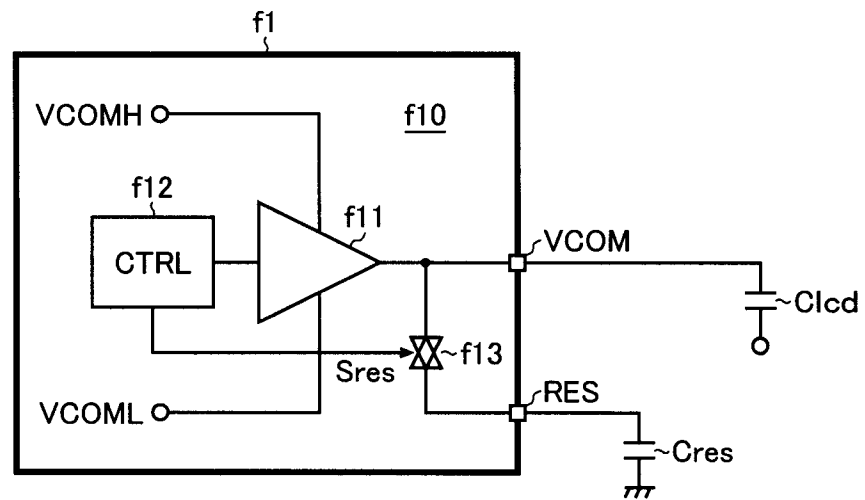


[図35]

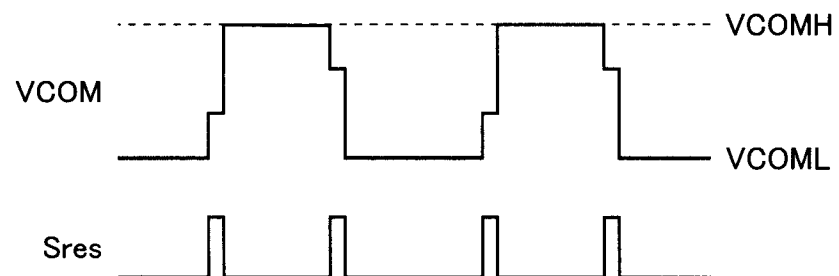




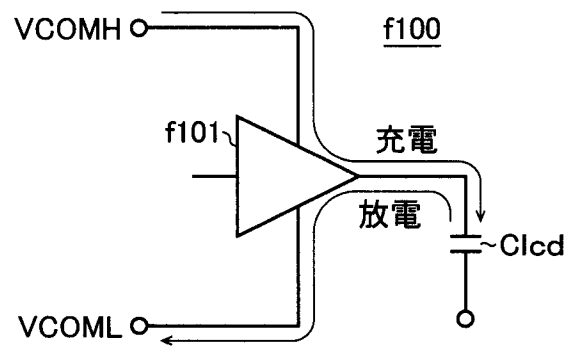
[図37]



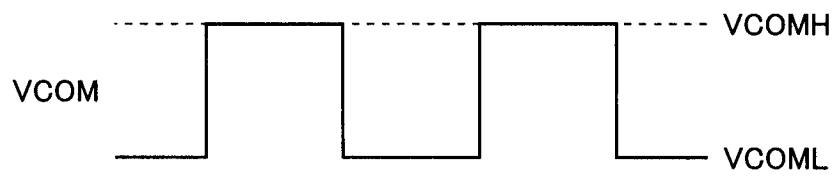
[図38]



[図39]



[図40]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/055827

A. CLASSIFICATION OF SUBJECT MATTER

H03F1/34(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, H03F3/45(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F1/34, G09G3/00-3/38, H03F3/45

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-52103 A (NEC Electronics Corp.), 01 March 2007 (01.03.2007), entire text; fig. 1 to 11 & US 2007/0040855 A1 & CN 1917004 A	1-26
A	JP 2005-17536 A (NEC Yamagata, Ltd.), 20 January 2005 (20.01.2005), entire text; fig. 1 to 12 & US 2004/0263504 A1 & KR 10-2005-0001356 A & CN 1573902 A	1-26
A	JP 2007-199203 A (Oki Electric Industry Co., Ltd.), 09 August 2007 (09.08.2007), entire text; fig. 1 to 7 & US 2007/0171169 A1 & KR 10-2007-0077759 A & CN 101008723 A	1-26



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

21 April, 2010 (21.04.10)

Date of mailing of the international search report

11 May, 2010 (11.05.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/055827

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-58694 A (Sony Corp.), 19 March 2009 (19.03.2009), entire text; fig. 1 to 76 (Family: none)	1-26
A	JP 2006-309272 A (Hitachi, Ltd.), 09 November 2006 (09.11.2006), entire text; fig. 1 to 13 (Family: none)	1-26
A	JP 8-179270 A (Sharp Corp.), 12 July 1996 (12.07.1996), entire text; fig. 1 to 10 (Family: none)	1-26
A	JP 2008-116556 A (NEC Electronics Corp.), 22 May 2008 (22.05.2008), entire text; fig. 1 to 14 & US 2008/0100603 A1 & CN 101174398 A	1-26

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03F1/34(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, H03F3/45(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03F1/34, G09G3/00-3/38, H03F3/45

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-52103 A（NECエレクトロニクス株式会社）2007.03.01, 全文, 図1-11 & US 2007/0040855 A1 & CN 1917004 A	1-26
A	JP 2005-17536 A（山形日本電気株式会社）2005.01.20, 全文, 図1-12 & US 2004/0263504 A1 & KR 10-2005-0001356 A & CN 1573902 A	1-26

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 4 . 2 0 1 0

国際調査報告の発送日

1 1 . 0 5 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

中 村 直 行

電話番号 03-3581-1101 内線 3226

2 G

9 2 1 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-199203 A (沖電気工業株式会社) 2007. 08. 09, 全文, 図 1 - 7 & US 2007/0171169 A1 & KR 10-2007-0077759 A & CN 101008723 A	1-26
A	JP 2009-58694 A (ソニー株式会社) 2009. 03. 19, 全文, 図 1 - 7 6 (ファミリーなし)	1-26
A	JP 2006-309272 A (株式会社日立製作所) 2006. 11. 09, 全文, 図 1 - 1 3 (ファミリーなし)	1-26
A	JP 8-179270 A (シャープ株式会社) 1996. 07. 12, 全文, 図 1 - 1 0 (ファミリーなし)	1-26
A	JP 2008-116556 A (NECエレクトロニクス株式会社) 2008. 05. 22, 全文, 図 1 - 1 4 & US 2008/0100603 A1 & CN 101174398 A	1-26