

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 8 月 2 日(02.08.2012)



(10) 国際公開番号
WO 2012/101774 A1

- (51) 国際特許分類:
H03L 7/099 (2006.01) *H04B 1/40* (2006.01)
- (21) 国際出願番号: PCT/JP2011/051458
- (22) 国際出願日: 2011 年 1 月 26 日(26.01.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社 (RENESAS ELECTRONICS CORPORATION) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 上田 啓介 (UEDA, Keisuke) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP). 魚住 俊弥 (UOZUMI, Toshiya) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP). 遠藤 良 (ENDO, Ryo) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP).

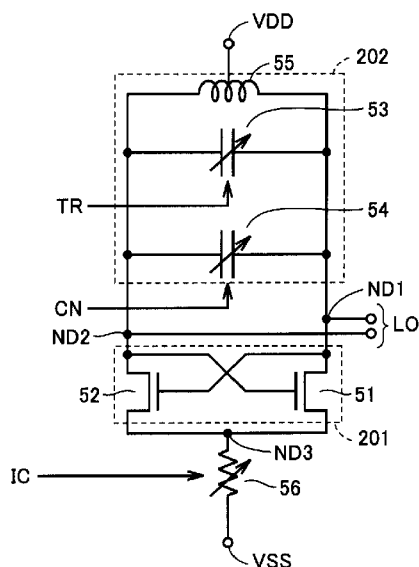
- (74) 代理人: 特許業務法人深見特許事務所 (Fukami Patent Office, p.c.); 〒5300005 大阪府大阪市北区中之島二丁目 2 番 7 号 中之島セントラルタワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図3]



50

(57) Abstract: A semiconductor device comprising a control oscillator (50) and a control unit (12). The control oscillator (50) includes a resonance circuit (202), an amplification unit (201), and a current adjustment unit (56). The resonance circuit (202) includes one or a plurality of inductors (55) and a first capacitance unit (54) having variable capacitance values. The amplification unit (201) is connected to the resonance circuit and outputs local oscillation signals (LO) having an oscillation frequency corresponding to the resonance frequency of the resonance circuit. The current adjustment unit (56) adjusts the value of the drive current supplied to the amplification unit. The control unit (12) controls the capacitance value of the first capacitance unit (54) and the current adjustment unit (56). The control unit (12) also changes the capacitance value of the first capacitance unit (54) when the control unit has instructed the current adjustment unit (56) to change the value of the drive current supplied to the amplification unit (201).

(57) 要約: 半導体装置は、制御発振器 (50) と制御部 (12) とを備える。制御発振器 (50) は、共振回路 (202) と増幅部 (201) と電流調整部 (56) とを含む。共振回路 (202) は、1 または複数のインダクタ (55) および容量値が変更可能な第

1 の容量部 (54) を含む。増幅部 (201) は、共振回路と接続され、共振回路の共振周波数に対応した発振周波数を有する局部発振信号 (LO) を出力する。電流調整部 (56) は、増幅部に供給する駆動電流の値を調整する。制御部 (12) は、第 1 の容量部 (54) の容量値および電流調整部 (56) を制御する。制御部 (12) は、増幅部 (201) に供給する駆動電流の値を変更するように電流調整部 (56) に指令したときには、第 1 の容量部 (54) の容量値も変更する。

WO 2012/101774 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称 : 半導体装置

技術分野

[0001] この発明は、位相同期ループに主として用いられる制御発振器を備えた半導体装置に関する。

背景技術

[0002] 通信用のRFIC（無線周波数集積回路：Radio Frequency Integrated Circuit）には変復調に必要な位相同期ループ（PLL：Phase Locked Loop）回路が実装される。PLL回路は主に制御発振器、分周器、位相比較器、およびフィルタで構成される。PLL回路は制御発振器に与えられる制御電圧（またはデジタルコード）をフィードバックループで制御することによって、発振周波数を一定に保つ回路である。分周器の分周比を変更することによって発振周波数を変更することができるので、上記の構成のPLL回路は、周波数シンセサイザとも呼ばれる。

[0003] PLL回路の具体的構成は、たとえば、Robert Bogdan Staszewskiらの論文（“All-Digital PLL and Transmitter for Mobile Phones”、IEEE Journal of Solid-State Circuits、Vol.40、No.12、December 2005（非特許文献1））や、Pin-En Suらの論文（“Fractional-N Phase-Locked-Loop-Based Frequency Synthesis: A Tutorial”、IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS、Vol.56、No.12、December 2009（非特許文献2））に記載されている。前者の文献は、全デジタルPLL（ADPLL：All Digital PLL）回路について開示するものであり、後者の文献は、Fractional-N PLLシンセサイザについて開示するものである。Fractional-N PLLシンセサイザでは、 $\Delta\Sigma$ 変調を用いて分周数を等価的に非整数とすることによって発振周波数を連続的に変化させることができる。

[0004] PLL回路を構成する要素のうち制御発振器については、たとえば、特開

平 3－1 9 6 7 0 6 号公報（特許文献 1）や特開 2 0 0 7－7 4 4 3 6 号公報（特許文献 2）などに記載されている。特開平 3－1 9 6 7 0 6 号公報（特許文献 1）に記載の発振回路では、発振周波数を決定する容量部のうち少なくとも 1 つが並列に接続された複数の容量を含む。これらの複数の容量のうち 1 つ以上の容量を選択することによって容量部の容量値が制御され、これによって発振周波数が制御される。

[0005] 特開 2 0 0 7－7 4 4 3 6 号公報（特許文献 2）には、広帯域な発振周波数を得るための電圧制御発振回路の構成が開示される。具体的にこの文献の電圧制御発振回路は、外部からの第 1 の制御信号によってオンオフされる M O S（Metal Oxide Semiconductor）スイッチと固定キャパシタとを直列接続した複数のスイッチドキャパシタと、外部からの第 2 の制御信号によってキャパシタ値を可変にできる可変キャパシタと、インダクタと、差動対を構成する半導体電流制御素子とを含む。

[0006] P L L 回路において、発振周波数が一定となった状態を「ロック状態」、不安定な状態を「ロックが外れた状態」と呼ぶ。携帯電話などの移動体通信用の R F I C では、搭載される P L L 回路がロック状態になったときの周波数や、ロックが外れた状態から再ロックするまでに要する時間について仕様が定められており、これらの値を仕様の範囲内に収める必要がある。

[0007] たとえば、特開 2 0 0 2－3 1 4 4 0 8 号公報（特許文献 3）に記載の技術は、分数分周方式の P L L 回路においてロック状態での出力信号に不要な周波数成分が重畳されないようにすることで発振周波数を仕様の範囲内に収めることを目的にしている。

[0008] 特開 2 0 0 2－1 1 8 4 6 1 号公報（特許文献 4）および特開 2 0 0 3－1 5 8 4 5 2 号公報（特許文献 5）に記載の技術は、ロックアップタイムの高速化を図ることを目的としている。具体的には、チャージポンプ回路に供給される電流量を増加させることによってロックアップタイムの高速化が図られる。

[0009] 特開 2 0 0 5－1 0 9 6 0 8 号公報（特許文献 6）に記載の技術も、ロッ

クアップタイムの高速化を目的とする。具体的には、ループフィルタのカットオフ周波数を可変とすることでロックアップタイムが制御される。

- [0010] 1つの基地局に対し、複数の端末が接続される移動体通信（たとえば、WCDMA: Wideband Code Division Multiple Access）では、一度に通信できる端末数を増加させるため、基地局と各端末間の距離に応じて各端末の送信電力を調整し、基地局が受ける個々の端末からの電力を一定に保つ必要がある。各端末ではRFICの出力部にある増幅器のゲインを調整することによって送信電力が制御される（たとえば、Kurt Hausmann、他6名、“A SAW-less CMOS TX for EGPRS and WCDMA”、IEEE Radio Frequency Integrated Circuits Symposium、pp.25-28、May 2010（非特許文献3））。各端末と基地局との距離が近づくにつれてRFICでの消費電力は減少する（バッテリー寿命測定法については、たとえば、GSM Association Official Document DG.09 v5.1（非特許文献4）を参照）。

先行技術文献

特許文献

- [0011] 特許文献1：特開平3-196706号公報
特許文献2：特開2007-74436号公報
特許文献3：特開2002-314408号公報
特許文献4：特開2002-118461号公報
特許文献5：特開2003-158452号公報
特許文献6：特開2005-109608号公報

非特許文献

- [0012] 非特許文献1：Robert Bogdan Staszewski、他14名、“All-Digital PLL and Transmitter for Mobile Phones”、IEEE Journal of Solid-State Circuits、Vol.40、No.12、December 2005
非特許文献2：Pin-En Su、他1名、“Fractional-N Phase-Locked-Loop-Based Frequency Synthesis: A Tutorial”、IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS、Vol.56、No.12、December 2009

非特許文献3：Kurt Hausmann、他6名、“A SAW-less CMOS TX for EGPRS and WCDMA”、IEEE Radio Frequency Integrated Circuits Symposium、pp.25-28、May 2010

非特許文献4：“Battery Life Measurement Technique”、[online]、GSM Association Official Document DG.09 v5.1、2009年9月15日、インターネット<http://www.gsmworld.com/documents/DG_09_v51.doc>

発明の概要

発明が解決しようとする課題

- [0013] 雑音特性を仕様よりも悪化させないようにしながらPLL回路の制御発振器に供給する駆動電流を減少させることができれば、さらに消費電力を低減することができる。ところが、制御発振器の駆動電流量を変化させると、発振周波数や位相に跳びが生じることによってPLL回路のロックが外れることが問題となる。このため、従来のPLL回路では、制御発振器に供給する駆動電流は一定値に固定されるのが通常である。
- [0014] PLL回路のロック外れは、分周器に供給する駆動電流を変化させた場合にも生じることがあるし、さらには、時分割復信（TDD：Time Division Duplex）において送受信の切替を行なうときに、送信出力段の増幅アンプをオンまたはオフに切替える場合にも生じることがある。
- [0015] この発明の目的は、PLL回路のロックが外れた場合でも発振周波数の跳びの量を抑制することによって再ロックするまでの時間の短縮を可能にすることである。

課題を解決するための手段

- [0016] この発明の実施の一形態による半導体装置は、制御発振器と制御部とを備える。制御発振器は、共振回路と増幅部と電流調整部とを含む。共振回路は、1または複数のインダクタおよび容量値が変更可能な第1の容量部を含む。増幅部は、共振回路と接続され、共振回路の共振周波数に対応した発振周波数を有する局部発振信号を出力する。電流調整部は、増幅部に供給する駆動電流の値を調整する。制御部は、第1の容量部の容量値および電流調整部

を制御する。制御部は、増幅部に供給する駆動電流の値を変更するように電流調整部に指令したときには、第１の容量部の容量値も変更する。

発明の効果

[0017] 上記の実施の形態による半導体装置によれば、制御部は、増幅部に供給する駆動電流の値を変更するように電流調整部に指令したときには、第１の容量部の容量値も調整する。したがって、上記の構成の制御発振器および制御部を備えたPLL回路においては、第１の容量部の容量値を調整することによって駆動電流が変化に伴う発振周波数の跳びの量を抑制できるので、ロック外れを防止することができる。たとえロック外れが生じたとしても再ロックするまでの時間を短縮することができる。

図面の簡単な説明

[0018] [図1] この発明の実施の形態１によるRFIC（半導体装置）１０を搭載した通信機１の全体構成を示すブロック図である。

[図2] 図１の局部発振器２６の構成と、制御部１２のうち局部発振器２６の制御に関係する部分の構成を示すブロック図である。

[図3] 図２のLC発振器５０の構成の一例を示す回路図である。

[図4] 図３に示す容量部５３，５４の構成の一例を示す図である。

[図5] 図４の電圧制御キャパシタ１０２において制御電圧と容量値との関係を示す図である。

[図6] 図３に示す容量部５３，５４の他の構成例を示す図である。

[図7] 図３に示す電流調整部５６の構成の一例を示す図である。

[図8] 図３のLC発振器５０において電流調整コードICが切替わったときの発振周波数の変化を示す図である（容量部５４によって発振周波数の調整が行なわれない場合）。

[図9] 図３のLC発振器５０において電流調整コードICが切替わったときの発振周波数の変化を示す図である（容量部５４によって発振周波数の調整が行なわれる場合）。

[図10] 図２の局部発振器２６および制御部１２のうちテーブルの作成に関係

する部分を示すブロック図である。

[図11] キャリブレーション時 (SW1 = “1”) においてモード1 (SW2 = “0”) の場合の制御部12の動作を説明するための図である。

[図12] キャリブレーション時 (SW1 = “1”) においてモード2 (SW2 = “1”) の場合の制御部12の動作を説明するための図である。

[図13] 通常動作時 (SW1 = “0”) における制御部12の動作を説明するための図である。

[図14] キャリブレーション時において、切替部SW1, SW2の状態、制御コードIC, CNの値の時間変化、および発振周波数の時間変化を示すタイミング図である。

[図15] 通常動作時において、切替部SW1, SW2の状態、制御コードIC, CNの値の時間変化、および発振周波数の時間変化を示すタイミング図である。

[図16] この発明の実施の形態2による局部発振器26Aおよび制御部12の構成を示すブロック図である。

[図17] 図16のデジタルローパスフィルタ62Aの構成の一例を概念的に示す図である。

[図18] デジタルローパスフィルタの通過帯域幅とロックアップタイムとの関係を説明するための図である。

[図19] PLL回路の位相雑音特性を説明するための図である。

[図20] この発明の実施の形態3による局部発振器26Bおよび制御部12Aの構成を示すブロック図である。

[図21] 実施の形態1の変形例としてのLC発振器50Aおよびこれを制御する制御部12Bの構成を示す図である。

[図22] 実施の形態2の変形例としてLC発振器50Bおよびこれを制御する制御部12Cの構成を示す図である。

[図23] より一般的における発振周波数の跳びの抑制方法について説明するための図である。

発明を実施するための形態

[0019] 以下、この発明の実施の形態について図面を参照して詳しく説明する。なお、同一または相当する部分には同一の参照符号を付して、その説明を繰返さない。

[0020] <実施の形態 1>

[通信機 1 の全体構成]

図 1 は、この発明の実施の形態 1 による R F I C（半導体装置）10 を搭載した通信機 1 の全体構成を示すブロック図である。通信機 1 は、ベースバンド回路（B B I C : Baseband IC）2 と、R F I C 10 と、差動信号のインピーダンスを変換するとともに差動信号をシングルエンド信号に変換する変換器 3 と、電力増幅器（H P A : High Power Amplifier）4 と、フロントエンドモジュール（F E M : Front-End Module）5 と、アンテナ 6 と、シングルエンド信号を差動信号に変換して、差動信号のインピーダンスを変換する変換器 7 とを含む。

[0021] 以下、送信時および受信時に分けて各部の動作について簡単に説明する。以下の説明では、差動信号 X X を構成する非反転信号と反転信号を区別するときには、参照符号 X X の末尾に T（非反転信号）、B（反転信号）をそれぞれ付して、X X __ T、X X __ B のように記載する。送信を T X、受信を R X と記載する場合がある。

[0022] まず、送信時には、ベースバンド回路 2 は、送信データに基づいて I 信号と直交位相成分である Q 信号とを生成する。生成された I 信号および Q 信号は、R F I C 10 への制御信号とともに、シリアル差動信号 S __ T X に変換されて、L V D S（Low Voltage Differential Signaling）で R F I C 10 に出力される。シリアル差動信号 S __ T X は、R F I C 10 のインターフェース部 11 でシリアルーパラレル変換されて I 信号 D i および Q 信号 D q と R F I C 10 への制御信号とに分離される。

[0023] R F I C 10 は、送信装置の構成として、補正值加算部 21 と、D A C 22, 23（D A C : Digital-to-Analog Converter）と、L P F 24, 25

(LPF: Low Pass Filter) と、局部発振器 26 と、移相器 27 と、直交変調器 30 と、送信パワーを制御する TXPGA 31 (PGA: Programmable Gain Amplifier) とを含む。

[0024] インターフェース部 11 から出力されたデジタルの I 信号 D_i および Q 信号 D_q は、補正值加算部 21 によって第 1 および第 2 のオフセット補正值がそれぞれ付加される。オフセット補正值は、直交変調器 30 のキャリアリークを抑制するためのものである。

[0025] DAC 22, 23 は、オフセット補正された I 信号 D_i および Q 信号 D_q をそれぞれアナログ差動信号に変換する。アナログ変換されたオフセット補正後の I 信号および Q 信号は、LPF 24, 25 をそれぞれ通過した後、それぞれ差動のベースバンド信号 BB_I 、 BB_Q として直交変調器 30 に入力される。

[0026] 直交変調器 30 には、さらに、局部発振器 26 の出力信号に基づいて移相器 27 にて生成されたアナログ差動信号である局部発振信号 LO_I と局部発振信号 LO_Q とが入力される。ここで、局部発振信号 LO_I と LO_Q の位相差は 90 度であり、 LO_Q の位相が LO_I の位相よりも遅れている。移相器 27 に代えて、1/2 分周器によって局部発振信号 LO_I 、 LO_Q を生成してもよい。

[0027] 直交変調器 30 は、 BB_I 信号と LO_I 信号とを乗算するとともに、 BB_Q 信号と LO_Q 信号とを乗算し、それらの乗算結果を減算することによって、送信周波数帯域の送信信号を生成して TXPGA 31 に出力する。

[0028] TXPGA 31 に入力された送信信号は、制御信号に応じて送信パワーが調整された後、変換器 3 によって差動信号からシングルエンド信号に変換される。

[0029] 電力増幅器 4 は、変換器 3 から出力された送信信号を増幅する。増幅された送信信号はフロントエンドモジュール 5 を介してアンテナ 6 に供給され、アンテナ 6 から放射される。フロントエンドモジュール 5 は、送信信号と受

信信号を分離するデュプレクサと、送受信周波数帯ごとに用意されたデュプレクサとアンテナ 6 との接続を切替えるスイッチとを含むモジュールである。

- [0030] 次に、受信時には、アンテナ 6 で受信した受信信号は、フロントエンドモジュール 5 を介して変換器 7 に入力される。変換器 7 は、シングルエンド信号である受信信号を差動信号に変換するとともにインピーダンス変換を行って R F I C 1 0 に伝送する。
- [0031] R F I C 1 0 は、受信装置の構成として、L N A 8 0 (L N A : Low Noise Amplifier) と、直交復調器 8 1 と、局部発振器 8 2 と、移相器 8 3 と、R X P G A 8 4, 8 5 と、L P F 8 6, 8 7 と、A D C 8 8, 8 9 (A D C : Analog-to-Digital Converter) とを含む。
- [0032] 変換器 7 から入力された受信信号は、L N A 8 0 によって増幅された後、直交復調器 8 1 に入力される。直交復調器 8 1 には、L N A 8 0 の出力に加えて、局部発振器 8 2 の出力信号に基づいて移相器 8 3 にて生成されたアナログ差動信号である局部発振信号 R X L O __ I および局部発振信号 R X L O __ Q が入力される。ここで、局部発振信号 R X L O __ I と R X L O __ Q との位相差は 9 0 度であり、R X L O __ Q の位相が R X L O __ I の位相よりも遅れている。移相器 8 3 に代えて、1 / 2 分周器によって局部発振信号 R X L O __ I, R X L O __ Q を生成してもよい。
- [0033] 直交復調器 8 1 は、受信信号と局部発振信号 R X L O __ I とを乗算することによってベースバンド I 信号を生成し、受信信号と局部発振信号 R X L O __ Q とを乗算することによってベースバンド Q 信号を生成する。
- [0034] 直交復調器 8 1 によって生成されたベースバンド I 信号とベースバンド Q 信号とは、L P F 8 4, 8 5 によって不要波が除去された後に R X P G A 8 6, 8 7 によってそれぞれレベル調整される。R X P G A 8 6, 8 7 を通過した I 信号および Q 信号は、A D C 8 8, 8 9 によってそれぞれデジタル変換される。その後、ベースバンド I 信号およびベースバンド Q 信号は、インターフェース部 1 1 によってシリアル差動信号 S __ R X に変換されて L V D

Sにてベースバンド回路2に出力される。ベースバンド回路2は、受信したI信号およびQ信号を含むシリアル差動信号S__RXに基づいて受信信号を復調する。

[0035] R F I C 1 0は制御部12をさらに含む。制御部12は、インターフェース部11で分離されたベースバンド回路2からの制御信号を受け、上述の送信装置および受信装置の各要素を制御する。たとえば、制御部12は、T X P G A 3 1のゲインを制御するゲイン調整コードG Cや局部発振器26を制御するための制御コードF S, I C, C Nを出力する。

[0036] [局部発振器26および制御部12の構成]

図2は、図1の局部発振器26の構成と、制御部12のうち局部発振器26の制御に関係する部分の構成を示すブロック図である。図2には、図1の移相器27、直交変調器30、およびT X P G A 3 1も合わせて示される。

[0037] 図2を参照して、局部発振器26は、L C発振器（デジタル制御発振器）50と、分周器（D I V : divider）60と、デジタル位相比較器（D P F D : Digital Phase Frequency Detector）61と、デジタルローパスフィルタ（D L P F : Digital Low Pass Filter）62とを含む全デジタルP L L回路である。

[0038] L C発振器50は、デジタルローパスフィルタ62のデジタル出力（トラッキングコードT R）の値に応じた周波数で発振する。L C発振器50の出力信号（局部発振信号L O）は差動信号（0, π ）である。移相器27は、この差動の出力信号L Oを受けて、互いに90度位相の異なる局部発振信号L O__I（0, π ）およびL O__Q（ $\pi/2$, $3\pi/2$ ）を生成する。L C発振器50の詳細な構成は図3で説明する。

[0039] 分周器60は、L C発振器50の出力信号（局部発振信号L O）を分周した信号を出力する。

[0040] デジタル位相比較器61（位相比較部）は、たとえば温度補償型水晶発振器（図示省略）から出力されたクロック信号C Kと、分周器60の出力信号との位相差を検出し、検出した位相差に対応した位相差信号を出力する。た

例えば、デジタル位相比較器 6 1 は、クロック信号 C K およびクロック信号 C K の立上り時刻（または立下り時刻）の時間差を検出する。

[0041] デジタルローパスフィルタ 6 2 は、デジタル位相比較器 6 1 から出力された位相差信号の周波数帯域を制限するデジタルフィルタである。デジタルローパスフィルタ 6 2 によって位相差信号の高域の雑音成分が除去される。

[0042] 上記の L C 発振器 5 0、分周器 6 0、デジタル位相比較器 6 1、およびデジタルローパスフィルタ 6 2 によって帰還ループが構成される。この帰還ループによって、分周器 6 0 から出力された信号の周波数とクロック信号 C K の周波数とが一致するまで帰還がかかる。このように周波数が一致することをロックするという。周波数がロックした状態では、局部発振信号 L O の周波数は、クロック信号 C K の周波数に分周比を乗算した値に一致する。

[0043] 次に、局部発振器 2 6 の制御に関係する制御部 1 2 の構成について説明する。図 2 を参照して、制御部 1 2 は、加算器 4 1 と、レジスタ 4 2、4 5 A、4 5 B、4 5 C と、論理回路 4 3 と、比較器 4 4 と、テーブル記憶部 4 6 とを含む。

[0044] 制御部 1 2 は、図 1 のベースバンド回路 2 からパワー制御情報（+ 1 : パワー増加、- 1 : パワー減少、0 : パワー維持）を受ける。加算器 4 1 は、パワー制御情報とレジスタ 4 2 に保持されたデータとを加算する。加算器 4 1 の加算結果はレジスタ 4 2 に上書きされる。この結果、レジスタ 4 2 には、通信機 1 の現在の出力電力の設定値 P S が保持される。図 2 の場合、出力電力の設定値 P S は 5 ビットのデジタルデータである。論理回路 4 3 は、出力電力の設定値 P S をゲイン調整コード G C に変換して T X P G A 3 1 に出力する。T X P G A 3 1 の出力はゲイン調整コード G C の値に応じて変化する。

[0045] 比較器 4 4 は、レジスタ 4 2 に保持された現在の出力電力の設定値 P S と、レジスタ 4 5 A、4 5 B、4 5 C にそれぞれ保持された比較値 1、2、3（例えば、比較値 1 < 比較値 2 < 比較値 3）とを比較することによって、5 ビットの出力電力の設定値 P S を 2 ビットの電流調整コード I C に変換す

る。電流調整コード I C に応じて L C 発振器 5 0 に供給される駆動電流の値が調整される。このように、出力電力の設定値 P S に応じて駆動電流を調整することによって R F I C 1 0 の消費電力を低減することができる。電流調整コード I C のビット数は 2 ビットに限られない。たとえば、出力電力の設定値 P S と比較する比較値を 1 個にした場合には、比較器 4 4 によって 1 ビットの電流調整コード I C が生成される。

[0046] 出力電力の設定値 P S に対応して電流調整コード I C の値が切替わると、通常、L C 発振器 5 0 の発振周波数に跳びが生じる。テーブル記憶部 4 6 は、電流調整コード I C の値の変化に対応付けて予め設定されたキャンセルコード C N の値を記憶する。図 8 ～図 1 5 で詳しく説明するように、電流調整コード I C の値を切替えるときには、対応するキャンセルコード C N がテーブル記憶部 4 6 から出力される。このキャンセルコード C N に応答して L C 発振器 5 0 に含まれる容量部の容量値が調整されることによって、L C 発振器 5 0 の発振周波数の跳びが抑制される。

[0047] 制御部 1 2 は、さらに、図 1 のベースバンド回路 2 から受けた制御信号に基づいて局部発振器 2 6 の発振周波数を設定するために、分周器 6 0 の分周比を変更する周波数設定コード F S を出力する。

[0048] 上記の説明と異なり、アナログ回路によって位相比較器 6 1 およびローパスフィルタ 6 2 を構成することができる。この場合、L C 発振器 5 0 はローパスフィルタ 6 2 から出力された制御電圧の値に応じた周波数で発振する。この明細書では、デジタルの制御コードとアナログの制御電圧とを総称して制御信号とも記載する。

[0049] [L C 発振器 5 0 の構成]

図 3 は、図 2 の L C 発振器 5 0 の構成の一例を示す回路図である。図 3 を参照して、L C 発振器 5 0 は、増幅部 2 0 1 と、L C 共振回路 2 0 2 と、電流調整部 5 6 とを含む。L C 発振器 5 0 は、L C 共振回路 2 0 2 の共振周波数に対応した発振周波数を有する差動の局部発振信号 L O を出力ノード N D 1, N D 2 から出力する。

- [0050] 増幅部 201 はクロスカップル接続された一対の NMOS (Negative-channel Metal Oxide Semiconductor) トランジスタ 51, 52 を含む。NMOS トランジスタ 51 のドレインは第 1 の出力ノード ND1 に接続され、ゲートは第 2 の出力ノード ND2 に接続され、ソースは接続ノード ND3 に接続される。NMOS トランジスタ 52 のドレインは第 2 の出力ノード ND2 に接続され、ゲートは第 1 の出力ノード ND1 に接続され、ソースは接続ノード ND3 に接続される。
- [0051] LC 共振回路 202 は、NMOS トランジスタ 51, 52 の負荷として増幅部 201 に接続される。LC 共振回路 202 は、出力ノード ND1, ND2 間に互いに並列に接続された、容量部 53、容量部 54、およびインダクタ 55 を含む。容量部 53 は、図 2 のデジタルローパスフィルタ 62 から出力されたトラッキングコード TR の値に応じて容量値が変化する。容量部 54 は、制御部 12 から出力されたキャンセルコード CN の値に応じて容量値が変化する付加的なキャパシタである。LC 共振回路 202 の共振周波数は、主として容量部 53 の容量値とインダクタ 55 のインダクタンス値によって決まる。インダクタ 55 の中点は、電源ノード VDD に接続される。
- [0052] 電流調整部 56 は、接続ノード ND3 と電源ノード VSS (接地ノード) との間に接続される。電流調整部 56 の抵抗値は図 2 の制御部 12 から出力された電流調整コード IC の値に応じて変化するし、これによって、電源ノード VDD から電源ノード VSS に流れる増幅部 201 の駆動電流 (トランジスタ 51, 52 のコレクタ電流) の大きさが変化する。
- [0053] 図 4 は、図 3 に示す容量部 53, 54 の構成の一例を示す図である。図 4 を参照して、容量部 53, 54 の各々は、デジタル・アナログ変換器 (DAC: Digital-to-Analog Converter) 101 と、電圧制御キャパシタ 102 とを含む。デジタル・アナログ変換器 101 は、制御コード (トラッキングコード TR またはキャンセルコード CN) をアナログの制御電圧 V_{cnt} に変換する。電圧制御キャパシタ 102 は、直列接続された MOS トランジスタ・キャパシタ (MOSFET Capacitor) 103, 104 を含む。MOS トラン

ジスタ・キャパシタ 103, 104 の接続ノードに印加された制御電圧 V_{cnt} に応じて電圧制御キャパシタ 102 の容量値が変化する。

[0054] 図 5 は、図 4 の電圧制御キャパシタ 102 において制御電圧と容量値との関係を示す図である。制御コードに対応する制御電圧 V_{cnt} (最小値 V_L 、最大値 V_H) によって電圧制御キャパシタ 102 の容量値が決まる。

[0055] 図 6 は、図 3 に示す容量部 53, 54 の他の構成例を示す図である。図 6 を参照して、容量部 53, 54 の各々は、容量素子 105 (0) ~ 105 (m) と、容量素子 106 (0) ~ 106 (m) と、スイッチング素子としての NMOS トランジスタ 107 (0) ~ 107 (m) とを含む。ただし、m は、制御コード (トラッキングコード TR またはキャンセルコード CN) のビット数に応じて決まる整数である。第 i 番目 ($0 \leq i \leq m$) の容量素子 105 (i)、NMOS トランジスタ 107 (i)、および容量素子 106 (i) は、出力ノード ND1, ND2 間に直列に接続されることによって直列接続体を構成する。これらの m+1 個の直列接続体は互いに並列に接続される。NMOS トランジスタ 107 (0) ~ 107 (m) の各々が制御コード (トラッキングコード TR、キャンセルコード CN) の値に応じてオンまたはオフに切替えられることによって、容量部 53, 54 の容量値が変化する。

[0056] 図 7 は、図 3 に示す電流調整部 56 の構成の一例を示す図である。図 7 を参照して、電流調整部 56 は、スイッチング素子としての NMOS トランジスタ 108 (0) ~ 108 (n) と、抵抗素子 109 (0) ~ 109 (n) とを含む。ただし、n は、制御コード (電流調整コード IC) のビット数に応じて決まる整数である。第 i 番目 ($0 \leq i \leq n$) の NMOS トランジスタ 108 (i) および抵抗素子 109 (i) は、接続ノード ND3 と電源ノード VSS との間に直列に接続されることによって直列接続体を構成する。これらの n+1 個の直列接続体は互いに並列に接続される。NMOS トランジスタ 108 (0) ~ 108 (n) の各々が制御コード (電流調整コード IC) の値に応じてオンまたはオフに切替えられることによって、電流調整部 5

6の抵抗値が変化する。

[0057] [発振周波数の跳びの抑制方法]

次に、電流調整コード I C が切替わったときにおける発振周波数の跳びの抑制方法について説明する。まず、図 3 の容量部 5 4 によって発振周波数の調整が行なわれない場合、すなわち、発振周波数の跳びが抑制されない場合を説明する。

[0058] 図 8 は、図 3 の LC 発振器 5 0 において電流調整コード I C が切替わったときの発振周波数の変化を示す図である。図 8 の上側のグラフ (A) は LC 発振器 5 0 に流れる電流の時間変化を示し、下側のグラフ (B) は LC 発振器 5 0 の発振周波数の時間変化を示す。

[0059] 図 3、図 8 を参照して、時刻 t_1 で電流調整コード I C の値が切替わることによって制御発振器を流れる駆動電流が変化する。この駆動電流の変化に起因して発振周波数に Δf の跳びが生じる。発振周波数は、時間の経過と共に PLL の作用によって元の発振周波数に戻る。発振周波数が許容範囲 F T 内に収まるまでの時間 (時刻 t_1 から時刻 t_2 まで) を再ロック時間 T R L と称する。

[0060] 図 9 は、図 3 の LC 発振器 5 0 において電流調整コード I C が切替わったときの発振周波数の変化を示す図である。図 9 の場合には、図 3 の容量部 5 4 によって発振周波数の調整が行なわれる。図 9 において、(A) のグラフは電流調整コード I C の値に対応する駆動電流の時間変化を示す。(B) のグラフは、キャンセルコード C N を一定にして電流調整コード I C の値を変化させたときの発振周波数の時間変化を示す。(C) のグラフはキャンセルコード C N の値の変化に対応する発振周波数の変化分を示す (トラッキングコード T R および電流調整コード I C は一定とする)。(D) のグラフは、電流調整コード I C とキャンセルコードの値の両方を変化させた場合の発振周波数の時間変化を示す。

[0061] 図 3、図 9 を参照して、時刻 t_1 で電流調整コード I C の値が切替わることによって制御発振器を流れる駆動電流が変化する。キャンセルコード C N

によって容量部 54 の容量値の調整を行なわない場合には、グラフ (B) に示すように、時刻 t_1 の直後に発振周波数の跳び Δf が生じる。この発振周波数の跳び Δf を抑圧するために時刻 t_1 の電流調整コード I_C の切替わりと同時にキャンセルコード C_N が切替えられ、これによって、グラフ (B) における発振周波数の跳びを打ち消すように容量部 54 の容量値を変化させる (グラフ (C) 参照)。グラフ (D) に示すように、電流調整コード I_C とキャンセルコード C_N との両方を変化させることによって、時刻 t_1 における発振周波数の跳びが抑圧され、発振周波数が許容範囲 F_T 内に維持される。時刻 t_1 より後のキャンセルコード C_N は、電流調整コード I_C の値の変化に対応付けてテーブル記憶部 46 に予め記憶された値が用いられる。以下、テーブル記憶部 46 に予め記憶するテーブルの作成方法について説明する。テーブルの作成はキャリブレーション時に行なわれる。

[0062] 図 10 は、図 2 の局部発振器 26 および制御部 12 のうちテーブルの作成に関係する部分を示すブロック図である。図 10 において LC 発振器 50 は、容量部 54 とその他の部分 59 とに分けて示される。

[0063] 図 2、図 3、図 10 を参照して、局部発振器 26 は図 2 の構成に加えて切替部 SW1 をさらに含む。制御部 12 は、図 2 の構成に加えてレジスタ 47 とテーブル設定部 70 とをさらに含む。レジスタ 47 は予め設定された参照コード REF を保持する。参照コード REF として、たとえば、トラッキングコード TR の設定可能範囲の中央値が用いられる。

[0064] 切替部 SW1 は、デジタルローパスフィルタ 62 から出力されたトラッキングコード TR と、レジスタ 47 から出力された参照コード REF とを受け、制御部 12 の指令に応じていずれか一方の制御コードを LC 発振器 50 の容量部 53 に出力する。キャリブレーション時には、切替部 SW1 によってレジスタ 47 と LC 発振器 50 とが接続される (SW1 = “1”) ことによって、LC 発振器 50 の発振周波数はオープンループ制御される。通常動作時には、切替部 SW1 によってデジタルローパスフィルタ 62 と LC 発振器 50 とが接続される (SW1 = “0”) ことによって、LC 発振器 50 の発

振周波数はクローズドループ制御される。

- [0065] テーブル設定部 70 は、周波数カウンタ 71 と、レジスタ 72 と、比較器 73 と、2分探索 (Binary Search) ロジック 74 と、切替部 SW2 とを含む。周波数カウンタ 71 は、LC 発振器 50 から出力された局部発振信号 LO を受け、キャリブレーション時 (SW1 = “1”) に動作状態 (ON 状態) となって局部発振信号 LO の周波数を検出する。検出された周波数のデータ (たとえば、10 ビット) は、比較器 73 および切替部 SW2 に出力される。周波数カウンタ 71 は、通常動作時 (SW1 = “0”) には停止状態 (OFF 状態) になる。
- [0066] 切替部 SW2 は、周波数カウンタ 71 とレジスタ 72 とを接続するか否かを切替える。周波数カウンタ 71 とレジスタ 72 とが接続されているとき (SW2 = “0”) 、レジスタ 72 は、周波数カウンタ 71 から出力された周波数データを保持する。周波数カウンタ 71 とレジスタ 72 とが接続されていないとき (SW2 = “1”) 、レジスタ 72 は比較器 73 の入力端子 b と接続され、保持している周波数データを比較器 73 に出力する。以下、切替部 SW2 によってレジスタ 72 と周波数カウンタ 71 とが接続されている場合 (SW2 = “0”) をモード 1 と称し、レジスタ 72 と周波数カウンタ 71 とが接続されていない場合 (SW2 = “1”) をモード 2 と称する。
- [0067] 比較器 73 は、モード 1 (SW2 = “0”) のとき停止状態 (OFF 状態) となり、モード 2 (SW2 = “1”) のとき動作状態 (ON 状態) となる。比較器 73 は、動作状態のとき、周波数カウンタ 71 から出力された周波数データと、レジスタ 72 に保持されている周波数データとを比較し、比較結果 (1 ビットデータ) を 2分探索ロジック 74 に出力する。たとえば、図 10 の端子 a に入力される値が端子 b に入力される値より大きい場合 ($a > b$) には比較器 73 は “1” を出力し、端子 a に入力される値が端子 b に入力される値以下の場合 ($a \leq b$) には比較器 73 は “0” を出力する。
- [0068] 2分探索ロジック 74 は、モード 1 (SW2 = “0”) のとき停止状態 (OFF 状態) となり、モード 2 (SW2 = “1”) のとき動作状態 (ON 状

態)となる。制御部12は、キャリブレーション時(SW1=“1”)に、モード1(SW2=“0”)からモード2(SW2=“1”)へのモード切替を行なうのと同時に電流調整コードICの値を切替える。2分探索ロジック74は、モード2(SW2=“1”)のときに電流調整コードICの値を切替える前後において検出された局部発振信号LOの周波数が等しくなるように、電流調整コードICの値の切替後に供給すべきキャンセルコードCNの値を2分探索法によって決定する。

[0069] 具体的には、2分探索ロジック74は、初期の探索範囲をキャンセルコードCNの最小値から最大値までの全範囲とし、探索範囲の中央値をテーブル記憶部46に出力する。探索範囲の中央値は、テーブル記憶部46を介してLC発振器50の容量部54に出力され、キャンセルコードCNとして用いられる。このキャンセルコードCNの値に対する比較器73の比較結果に基づいて、2分探索ロジック74は探索範囲を半分に縮小する。以上の過程がキャンセルコードCNのビット数の回数だけ繰返されることによって、キャンセルコードCNの値が最終的に決定される。テーブル記憶部46は、決定されたキャンセルコードCNの値を、電流調整コードICの値の変化に対応付けて記憶する。

[0070] [テーブル作成の具体例]

以下、図11～図15を参照して、電流調整コードICの初期値を“00”、キャンセルコードCNの初期値を“n0”(n0は、10ビットの2進数を意味する)とし、電流調整コードICを初期値“00”から“01”に切替えたとき、切替後に供給すべきキャンセルコードCNの値を決定する手順について説明する。

[0071] 図11は、キャリブレーション時(SW1=“1”)においてモード1(SW2=“0”)の場合の制御部12の動作を説明するための図である。図11を参照して、制御部12は、電流調整コードICとして初期値“00”を出力する。キャリブレーション時には、トラッキングコードTRに代えて一定値の参照コードREFがLC発振器50に入力される。この状態で、テ

ーブル設定部 70 は LC 発振器 50 から出力された局部発振信号 L0 の周波数を検出し、レジスタ 72 に保持する。

[0072] 図 12 は、キャリブレーション時 (SW1 = “1”) においてモード 2 (SW2 = “1”) の場合の制御部 12 の動作を説明するための図である。図 12 を参照して、制御部 12 は、電流調整コード IC として切替後の値 “01” を出力する。キャリブレーション時には、トラッキングコード TR に代えて一定値の参照コード REF が LC 発振器 50 に入力されている。比較器 73 は、この状態で周波数カウンタ 71 によって検出された局部発振信号 L0 の周波数の値と、レジスタ 72 に保持されている周波数のデータとを比較し、比較結果を 2 分探索ロジック 74 に出力する。2 分探索ロジック 74 は、比較器 73 の比較結果に基づいて探索範囲を半分に削減するとともに、新たに設定された探索範囲の中央値をテーブル記憶部 46 に出力する。出力された探索範囲の中央値はキャンセルコード CN として LC 発振器 50 の容量部 54 に与えられる。キャンセルコード CN が 10 ビットの場合には、以上の手順が 10 回繰返されることによって、最終的なキャンセルコード CN の値として “n1” が決定される。決定された値 “n1” は、切替後の電流調整コード IC の値 “01” に対応付けてテーブル記憶部 46 によって記憶される。同様に、電流調整コード IC の値が初期値 “00” から “10” に切替えられたとき、切替後に供給されるキャンセルコード CN の値として “n2” が決定され、テーブル記憶部 46 によって記憶される。電流調整コード IC の値が初期値 “00” から “11” に切替えられたとき、切替後に供給されるキャンセルコード CN の値として “n3” が決定され、テーブル記憶部 46 によって記憶される。

[0073] 図 13 は、通常動作時 (SW1 = “0”) における制御部 12 の動作を説明するための図である。図 13 を参照して、通常動作時には、図 2 のデジタルローパスフィルタから出力されたトラッキングコード TR が LC 発振器 50 に入力される。周波数カウンタ 71 は停止状態 (OFF 状態) である。このとき、制御部 12 から出力される電流調整コード IC が “00” から “0

1”に切替えられると、この切替に応じてテーブル記憶部46から容量部54に出力されるキャンセルコードCNが“n0”から“n1”にテーブルに基づいて切替えられる。この結果、電流調整コードの切替時における発振周波数の跳びが抑制される。

[0074] 図14は、キャリブレーション時において、切替部SW1、SW2の状態、制御コードIC、CNの値の時間変化、および発振周波数の時間変化を示すタイミング図である。グラフ(A)は電流調整コードICの値の時間変化を示し、グラフ(B)は切替部SW1の状態を示し、グラフ(C)は切替部SW2の状態を示し、グラフ(D)はキャンセルコードCNの値の時間変化を示し、グラフ(E)はLC発振器50から出力される局部発振信号LOの周波数(発振周波数)の時間変化を示す。

[0075] 図11、図12、図14を参照して、キャリブレーションモード時には切替部SW1の状態は“1”である。制御部12は、時刻t1で電流調整コードICを“00”から“01”に切替えるとともに、切替部SW2の状態を“0”から“1”に切替えることによってモード1からモード2に動作モードを移行させる。時刻t1以降、制御部12は、発振周波数が時刻t1より前の初期値に等しくなるように、2分探索ロジック74によってキャンセルコードCNの値を調整し、最終的にキャンセルコードCNの値を“n1”に決定する。

[0076] 図15は、通常動作時において、切替部SW1、SW2の状態、制御コードIC、CNの値の時間変化、および発振周波数の時間変化を示すタイミング図である。グラフ(A)は電流調整コードICの値の時間変化を示し、グラフ(B)は切替部SW1の状態を示し、グラフ(C)は切替部SW2の状態を示し、グラフ(D)はキャンセルコードCNの値の時間変化を示し、グラフ(E)はLC発振器50から出力される局部発振信号LOの周波数(発振周波数)の時間変化を示す。

[0077] 図13、図15を参照して、通常動作時には切替部SW1の状態は“0”であり、切替部SW2の状態は制御部12の動作に関係しない。制御部12

は、時刻 t_1 で電流調整コード I_C の値を “00” から “01” に切替えるとともに、キャンセルコード CN の値を “n0” から “n1” に切替える。この結果、時刻 t_1 の前後で発振周波数の値をほとんど変化させずに許容範囲 FT 内に収めることができる。

[0078] 以上のとおり実施の形態 1 による $RFIC10$ によれば、電流調整コード I_C の値を切替えることによって LC 発振器 50 の駆動電流の値を切替えたときには、キャンセルコード CN の値を調整することによって駆動電流が変化する前後での発振周波数の跳びの量を抑制できる。この結果、ロック外れを防止することができ、たとえロック外れが生じたとしても再ロックするまでの時間を短縮することができる。

[0079] <実施の形態 2>

図 16 は、この発明の実施の形態 2 による局部発振器 26A および制御部 12 の構成を示すブロック図である。図 16 の局部発振器 26A は、デジタルローパスフィルタ 62A の構成が実施の形態 1 のデジタルローパスフィルタ 62 と異なる。その他の局部発振器 26A の構成および制御部 12 の構成は、図 2 および図 10 で説明した実施の形態 1 の場合と同じであるので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。

[0080] デジタルローパスフィルタ 62A は、電流調整コード I_C を受け、電流調整コード I_C の値が切替わってから所定の時間の間、通過帯域幅を通常の帯域幅よりも増加させる。この結果、電流調整コード I_C が切替わったときに LC 発振器 50 の発振周波数の跳びを抑制できることに加えて、所望の発振周波数にロックするまでの時間（ロックアップタイム）を短縮することができる。デジタルフィルタを用いているので、通過帯域幅を通常の帯域幅に戻す際に生じる発振周波数の跳びも抑制することができる。

[0081] 図 17 は、図 16 のデジタルローパスフィルタ 62A の構成の一例を概念的に示す図である。図 17 を参照して、デジタルローパスフィルタ 62A は、演算部 110 と、フィルタ係数 N を設定する係数設定部 120 とを含む。

[0082] 演算部 110 は、乗算器 111、112 と、加算器 113、114 と、遅

遅延器 115 とを含む。乗算器 111 は、図 16 のデジタル位相比較器 61 から出力された位相差データ PD を 2^{-N} 倍する（ただし、N はフィルタ係数）。加算器 113 は、乗算器 111 の出力と加算器 114 の出力とを加算して、遅延器 115 に出力する。遅延器 115 の出力はトラッキングコード TR として図 16 の切替部 SW1 に与えられる。乗算器 112 は遅延器 115 の出力を 2^{-N} 倍する（ただし、N はフィルタ係数）。加算器 114 は、遅延器 115 の出力から乗算器 112 の出力を減算する。

[0083] 係数設定部 120 は、排他的論理和（XOR）ゲート 121、122 と、論理和（OR）ゲート 123 と、遅延回路 124、125 と、判定回路 126 とを含む。電流調整コードが 2 ビットの場合、上位ビット対応する信号 IC[1] は、XOR ゲート 121 の第 1 の入力端子と遅延回路 124 とに入力される。遅延回路 124 の出力は、XOR ゲート 121 の第 2 の入力端子に入力される。電流調整コード IC の下位ビットに対応する信号 IC[0] は、XOR ゲート 122 の第 1 の入力端子と遅延回路 125 とに入力される。遅延回路 125 の出力は、XOR ゲート 122 の第 2 の入力端子に入力される。OR ゲート 123 は、XOR ゲート 121、122 の各出力の論理和を判定回路 126 に出力する。

[0084] 判定回路 126 は、OR ゲート 123 の出力 Z が “0” であるか “1” であるかを判定する。電流調整コード IC の値が変更された場合には、遅延回路 124、125 による遅延時間の間、OR ゲート 123 の出力 Z が “1” になる。判定回路 126 は、OR ゲート 123 の出力 Z が “0” の場合にはフィルタ係数 N を比較的大きな値（N = HIGH）に設定し、OR ゲート 123 の出力 Z が “1” の場合にはフィルタ係数 N を比較的小さな値（N = LOW）に設定する。したがって、電流調整コード IC の変更後、遅延回路 124、125 による遅延時間の間、フィルタ係数 N の値が小さくなる（N = LOW）ので、デジタルローパスフィルタ 62A の通過帯域幅が広くなる。

[0085] 電流調整コード IC のビット数が 2 ビット以外の場合には、ビット数に対応する個数の遅延回路と XOR 回路との組み合わせを設け、各ビットに対応す

るXOR回路の出力の論理和を求めることによって、電流調整コードICに変更があったか否かを判定することができる。

[0086] 図18は、デジタルローパスフィルタの通過帯域幅とロックアップタイムとの関係を説明するための図である。図18において、Aのグラフは、フィルタ係数Nを比較的小さくすることによってループ帯域を広げた場合の発振周波数の時間変化を示し、Bのグラフは、フィルタ係数Nを比較的大きくすることによってループ帯域を狭めた場合の発振周波数の時間変化を示す。帯域幅が比較的広いAの場合のロックアップタイムTL1は、帯域幅が比較的狭いBの場合のロックアップタイムTL2よりも短くなる。

[0087] 図19は、PLL回路の位相雑音特性を説明するための図である。図19の横軸は周波数[Hz]であり、縦軸は位相雑音[dBc/Hz]である。フィルタ係数Nが比較的小さい(N=LOW)場合は、フィルタ係数Nが比較的大きい(N=HIGH)場合に比べてループ帯域が広がるために位相雑音特性が劣化する。

[0088] <実施の形態3>

図20は、この発明の実施の形態3による局部発振器26Bおよび制御部12Aの構成を示すブロック図である。図20の局部発振器26Bは、切替部SW1を含まない点で図16の局部発振器26Aと異なる。実施の形態3の場合には、キャリブレーション時にもデジタルローパスフィルタ62AからLC発振器50にトラッキングコードTRが出力される。

[0089] さらに、図20のテーブル設定部70Aは、周波数カウンタ71を含まない点で図10、図16に示したテーブル設定部70と異なる。図20の場合には、トラッキングコードTRが、テーブル設定部70Aに設けられた比較器73と、切替部SW2に入力される。キャリブレーション時において、モード1(SW2="0")の場合、入力されたトラッキングコードTRがレジスタ72に保持される。モード2(SW2="1")の場合、入力されたトラッキングコードTRとレジスタ72に保持されたトラッキングコードTRとが比較器73によって比較される。

- [0090] 制御部 12 は、キャリブレーション時に、モード 1 (SW2 = “0”) からモード 2 (SW2 = “1”) へのモード切替を行なうのと同時に電流調整コード IC の値を切替える。2 分探索ロジック 74 は、電流調整コード IC の値を切替える前後におけるトラッキングコード TR の値が等しくなるように、電流調整コード IC の切替後に供給すべきキャンセルコード CN の値を 2 分探索法によって決定する。
- [0091] 具体的には、2 分探索ロジック 74 は、初期の探索範囲をキャンセルコード CN の最小値から最大値までの全範囲とし、探索範囲の中央値をテーブル記憶部 46 に出力する。探索範囲の中央値は、テーブル記憶部 46 を介して LC 発振器 50 の容量部 54 に出力され、キャンセルコード CN として用いられる。このキャンセルコード CN の値に対する比較器 73 の比較結果に基づいて、2 分探索ロジック 74 は探索範囲を半分に縮小する。以上の過程がキャンセルコード CN のビット数の回数だけ繰返されることによって、キャンセルコード CN の値が最終的に決定される。テーブル記憶部 46 は、決定されたキャンセルコード CN の値を、電流調整コード IC の値の変化に対応付けて記憶する。たとえば、図 20 のテーブル記憶部 46 には、5 ビットの電流調整コード IC を初期値 “00000” から変化させたときに出力すべきキャンセルコード CN の値が、変化後の電流調整コード IC の値に対応付けて記憶されている。
- [0092] 実施の形態 3 によれば、クローズドループ制御によって発振周波数が所望の値に制御された状態で、電流調整コード IC の値を変化させたときに出力すべきキャンセルコード CN の値を決定することができる。したがって、実施の形態 1, 2 の場合に比べて精度良く発振周波数の跳びを抑圧することができる。発振周波数でなくトラッキングコード TR を用いてテーブルを作成するので、周波数カウンタを必要としないというメリットもある。実施の形態 3 のその他の点は図 10、図 16 に示した実施の形態 1, 2 の場合と同じであるので同一または相当する部分には同一の参照符号を付して説明を繰返さない。

[0093] 上述の実施の形態 3 では、位相比較器 6 1 およびローパスフィルタ 6 2 はデジタル回路であるとしたが、これらをアナログ回路によって構成することもできる。この場合には、ローパスフィルタから LC 発振器に出力されるアナログの制御信号を検出し、検出したアナログ制御信号を受けてデジタル信号に変換するアナログ・デジタル変換器をテーブル設定部 7 0 A に設ける必要がある。アナログ・デジタル変換器の出力は比較器 7 3 および切替部 SW 2 に入力される。

[0094] <実施の形態 4>

実施の形態 4 では、図 3 で説明した LC 発振器 5 0 の変形例について説明する。

[0095] 図 2 1 は、実施の形態 1 の変形例としての LC 発振器 5 0 A およびこれを制御する制御部 1 2 B の構成を示す図である。図 2 1 の共振回路 2 0 2 A は、出力ノード ND 1, ND 2 間に接続された容量部 5 7 をさらに含む点で図 3 の共振回路 2 0 2 と異なる。容量部 5 7 の容量値は、制御部 1 2 B 内のレジスタ 4 8 に設定された粗調整コード CT の値に応じて変化する。粗調整コード CT の値を切替えることによって LC 発振器 5 0 A の発振周波数を粗調整することができる。

[0096] 図 2 1 のその他の点は、実施の形態 1, 2 の場合と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。たとえば、粗調整コード CT が一定の状態で電流調整コード IC の値が変更された場合には、発振周波数の跳びを抑制するために、LC 発振器 5 0 A の共振周波数を一定に保つようにキャンセルコード CN の値が変更される。この点は実施の形態 1, 2 の場合と同様である。

[0097] 図 2 2 は、実施の形態 2 の変形例として LC 発振器 5 0 B およびこれを制御する制御部 1 2 C の構成を示す図である。図 2 2 の LC 発振器 5 0 B の構成は図 3 で説明した LC 発振器 5 0 の構成と同じである。制御部 1 2 B は、図 2 で示した構成に加えて、粗調整コード CT を保持するためのレジスタ 4 8 と加算器 4 9 とをさらに含む。加算器 4 9 は、レジスタ 4 8 に保持された

粗調整コードＣＴとテーブル記憶部４６から出力されたキャンセルコードＣＮとを加算し、加算結果ＡＤを容量部５４に出力する。容量部５４の容量値は、加算結果ＡＤに応じて変化する。したがって、粗調整コードＣＴの値を変化させることによってＬＣ発振器５０Ａの発振周波数を粗調整することができる。

[0098] 図２２のその他の点は、実施の形態１，２の場合と同様であるので、同一または相当する部分には同一の参照符号を付して説明を繰返さない。たとえば、粗調整コードＣＴが一定の状態で電流調整コードＩＣの値が変更された場合には、発振周波数の跳びを抑制するために、ＬＣ発振器５０Ｂの共振周波数を一定に保つようにキャンセルコードＣＮを変更する。この点は実施の形態１，２の場合と同様である。

[0099] <実施の形態５>

ＰＬＬ回路のロック外れは、分周器の駆動電流量を切替えることによってＬＣ発振器の負荷が変動するので生じることがある。さらには、時分割復信（ＴＤＤ：Time Division Duplex）において送受信の切替を行なうときに、送信出力段の増幅アンプをオンまたはオフに切替えた場合にも、電源ラインの電圧変動によってＰＬＬ回路のロック外れが生じることがある。実施の形態１～４で説明した発振周波数の跳びの抑制方法は、上記の場合に対しても適用することができる。

[0100] 図２３は、より一般的な場合における発振周波数の跳びの抑制方法について説明するための図である。実施の形態１で説明したように、局部発振器（ＰＬＬ回路）２６は、ＬＣ発振器（制御発振器）５０と、分周器６０と、デジタル位相比較器６１と、デジタルローパスフィルタ６２とを含む。ＬＣ発振器５０は、図３で説明したものと同じ構成を有し、デジタルローパスフィルタ６２から出力されたトラッキングコードＴＲに応じて発振周波数が変化する。

[0101] ここで、ＬＣ発振器５０の発振周波数（局部発振信号ＬＯの周波数）は、ノイズ源１３０の状態が変化することによって跳びが生じるものとする。こ

こで、ノイズ源 130 は、たとえば送信出力段の増幅アンプであり、ノイズ源 130 に供給される制御信号（トリガコード TG と称する）に応じてノイズ源 130 の状態変化（たとえば、増幅アンプのオンオフ）が生じる。ノイズ源 130 の状態変化に起因した発振周波数の跳びを抑圧するために、制御部 12 は、トリガコード TG の値が変化したときには、その値の変化に対応したキャンセルコード CN を予め設定されたテーブルに基づいて LC 発振器 50 に出力する。図 3 で説明したように、LC 発振器 50 に設けられた容量部 54 の容量値がキャンセルコード CN に応じて変化することによって、ノイズ源 130 の状態変化に起因した発振周波数の跳びを生じないようにすることができる。テーブル記憶部 46 に予め記憶されたテーブルは実施の形態 1 で説明したのと同様の方法で作成することができる。

[0102] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。この発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0103] 1 通信機、2 ベースバンド回路、4 電力増幅器、10 RFIC（半導体装置）、11 インターフェース部、12, 12A, 12B, 12C 制御部、26, 26A, 26B, 82 局部発振器、27, 83 移相器、30 直交変調器、46 テーブル記憶部、50, 50A, 50B LC 発振器、53, 53, 54, 54, 57 容量部、55 インダクタ、56 電流調整部、60 分周器、61 デジタル位相比較器、62, 62A デジタルローパスフィルタ、62A デジタルローパスフィルタ、70, 70A テーブル設定部、71 周波数カウンタ、74 2分探索ロジック、81 直交復調器、201 増幅部、202, 202A 共振回路、CK クロック信号、CN キャンセルコード、CT 粗調整コード、FS 周波数設定コード、GC ゲイン調整コード、IC 電流調整コード、LO 局部発振信号、REF 参照コード、SW1, SW2 切替部、TG トリガ

コード、TR トラッキングコード、VDD, VSS 電源ノード。

請求の範囲

[請求項1]

制御発振器（50, 50A, 50B）を備え、前記制御発振器は、
1または複数のインダクタ（55）および容量値が変更可能な第1の容量部（54）を含む共振回路（202, 202A）と、

前記共振回路と接続され、前記共振回路の共振周波数に対応した発振周波数を有する局部発振信号（LO）を出力する増幅部（201）と、

前記増幅部に供給する駆動電流の値を調整する電流調整部（56）とを含み、

前記第1の容量部（54）の容量値および前記電流調整部（56）を制御する制御部（12）をさらに備え、

前記制御部（12）は、前記増幅部（201）に供給する駆動電流の値を変更するように前記電流調整部（56）に指令したときには、前記第1の容量部（54）の容量値も変更する、半導体装置。

[請求項2]

前記共振回路（202, 202A）は、容量値が変更可能な第2の容量部（53）をさらに含み、

前記制御部（12）は、前記第2の容量部（53）の容量値が一定の状態の前記増幅部（201）に供給する駆動電流の値を変更するように前記電流調整部（56）に指令したときには、前記発振周波数を一定に保つように前記第1の容量部（54）の容量値を変更する、請求項1に記載の半導体装置。

[請求項3]

前記半導体装置は、

前記局部発振信号を分周して出力する分周器（60）と、

前記分周器（60）の出力と与えられた基準信号（CK）との位相差に応じた信号を出力する位相比較器（61）と、

前記位相比較器（61）の出力の高周波成分を除去することによってフィードバック信号（TR）を生成するフィルタ部（62, 62A）とをさらに備え、

前記共振回路（５０，５０Ａ，５０Ｂ）は、前記フィードバック信号（ＴＲ）の値に応じて容量値が変化する第２の容量部（５３）をさらに含み、

前記制御部（１２，１２Ａ，１２Ｂ，１２Ｃ）は、前記増幅部（２０１）に供給する駆動電流の値を変更するように前記電流調整部（５６）に指令したときには、前記発振周波数を一定に保つように前記第１の容量部（５４）の容量値を変更する、請求項１に記載の半導体装置。

[請求項４] 与えられたベースバンド信号によって前記局部発振信号（ＬＯ）を変調して出力する変調器（３０）と、

前記変調器（３０）の出力を増幅する、ゲインを調整可能なアンプ（３１）とをさらに備える、請求項３に記載の半導体装置。

[請求項５] 前記制御部は、前記アンプ（３１）のゲインに応じて前記増幅部（２０１）に供給する駆動電流の値を変更するように前記電流調整部（５６）に指令する、請求項４に記載の半導体装置。

[請求項６] 前記半導体装置は、前記フィルタ部（６２，６２Ａ）と前記制御発振器（５０，５０Ａ，５０Ｂ）との間の前記フィードバック信号（ＴＲ）の経路に設けられ、前記フィードバック信号（ＴＲ）および予め定める一定信号（ＲＥＦ）のいずれか一方を前記制御発振器（５０，５０Ａ，５０Ｂ）の前記第２の容量部（５３）に供給する切替部（ＳＷ１）をさらに含み、

前記第１の容量部（５４）の容量値は、前記制御部（１２，１２Ｂ，１２Ｃ）で生成された第１の制御信号（ＣＮ）の値に応じて変化し、

前記電流調整部（５６）は、前記制御部（１２）で生成された第２の制御信号（ＩＣ）の値に応じて前記増幅部（２０１）に供給する駆動電流の値を調整し、

前記制御部（１２，１２Ｂ，１２Ｃ）は、キャリブレーション時に

、前記切替部（SW1）を切替えることによって前記一定信号（REF）を前記第2の容量部（54）に供給した状態で前記第2の制御信号（IC）の値を変化させ、前記制御部は、前記第2の制御信号（IC）の値を変化させた前後で検出された前記局部発振信号（LO）の周波数が等しくなるように、前記第2の制御信号（IC）の値を変化させた後に供給する前記第1の制御信号（CN）の値を決定し、前記制御部（12）は、決定した前記第1の制御信号（CN）の値を前記第2の制御信号（IC）の値の変化に対応付けてテーブルとして記憶し、

前記制御部（12, 12B, 12C）は、前記フィードバック信号（TR）が前記切替部（SW1）を介して前記制御発振器（50, 50A, 50B）に供給される通常動作時において前記第2の制御信号（IC）の値を変化させる場合には、前記第2の制御信号（IC）の値を変化させた後に供給する前記第1の制御信号（CN）の値を前記テーブルに基づいて決定する、請求項3に記載の半導体装置。

[請求項7]

前記第1の容量部（54）の容量値は、前記制御部（12A, 12B, 12C）で生成された第1の制御信号（CN）の値に応じて変化し、

前記電流調整部（56）は、前記制御部（12A, 12B, 12C）で生成された第2の制御信号（IC）の値に応じて前記増幅部（201）に供給する駆動電流の値を調整し、

前記制御部（12A, 12B, 12C）は、キャリブレーション時に、前記第2の制御信号（IC）の値を変化させ、前記制御部（12A, 12B, 12C）は、前記第2の制御信号（IC）の値を変化させた前後で検出された前記フィードバック信号（TR）の値が等しくなるように、前記第2の制御信号（IC）の値を変化させた後に供給する前記第1の制御信号（CN）の値を決定し、前記制御部（12A, 12B, 12C）は、決定した前記第1の制御信号（CN）の値を

前記第2の制御信号（I C）の値の変化に対応付けてテーブルとして記憶し、

前記制御部（12 A, 12 B, 12 C）は、通常動作時に前記第2の制御信号（I C）の値を変化させる場合には、前記第2の制御信号（I C）の値を変化させた後に供給する前記第1の制御信号（C N）の値を前記テーブルに基づいて決定する、請求項3に記載の半導体装置。

[請求項8] 前記フィルタ部（62 A）は、デジタル回路によって構成され、前記制御部（12, 12 A, 12 B, 12 C）からの指令に応じて通過帯域幅を変更可能であり、

前記制御部（12, 12 A, 12 B, 12 C）は、前記増幅部（201）に供給する駆動電流の値を変更するように前記電流調整部（56）に指令したときには、前記フィルタ部（62 A）の通過帯域幅を通常の帯域幅よりも増加させる、請求項3に記載の半導体装置。

[請求項9] 前記半導体装置は、
前記局部発振信号を分周して出力する分周器（60）と、
前記分周器（60）の出力と与えられた基準信号（C K）との位相差に応じた信号を出力する位相比較器（61）と、

前記位相比較器（61）の出力の高周波成分を除去することによってフィードバック信号（T R）を生成するフィルタ部（62, 62 A）とをさらに備え、

前記共振回路（202 A）は、

前記フィードバック信号（T R）の値に応じて容量値が変化する第2の容量部（53）と、

前記制御部（12 B）の指令に応じて容量値が変化する第3の容量部（57）とをさらに含み、

前記制御部（12 B）は、前記第3の容量部（57）の容量値を一定に保った状態で、前記増幅部（201）に供給する駆動電流の値を

変更するように前記電流調整部（５６）に指令したときには、前記発振周波数を一定に保つように前記第１の容量部（５４）の容量値を変更する、請求項１に記載の半導体装置。

[請求項10]

前記半導体装置は、

前記局部発振信号を分周して出力する分周器（６０）と、

前記分周器（６０）の出力と与えられた基準信号（ＣＫ）との位相差に応じた信号を出力する位相比較器（６１）と、

前記位相比較器（６１）の出力の高周波成分を除去することによってフィードバック信号（ＴＲ）を生成するフィルタ部（６２）とをさらに備え、

前記共振回路（２０２）は、前記フィードバック信号（ＴＲ）の値に応じて容量値が変化する第２の容量部（５３）をさらに含み、

前記制御部（１２Ｃ）は、第１の制御信号（ＣＮ）および第２の制御信号（ＣＴ）を生成し、

前記第１の容量部（５４）の容量値は、前記第１の制御信号（ＣＮ）と前記第２の制御信号（ＣＴ）とを加算した信号の値に応じて変化する、

前記制御部（１２Ｃ）は、前記第２の制御信号（ＣＴ）を一定に保った状態で、前記増幅部（２０１）に供給する駆動電流の値を変更するように前記電流調整部（５６）に指令したときには、前記発振周波数を一定に保つように前記第１の制御信号（ＣＮ）の値を変更する、請求項１に記載の半導体装置。

[請求項11]

半導体装置であって、制御発振器（５０）を備え、

前記制御発振器は、

１または複数のインダクタ（５５）、容量値が変更可能な第１の容量部（５４）、フィードバック信号（ＴＲ）の値に応じて容量値が変化する第２の容量部（５３）を含む共振回路（２０２）と、

前記共振回路（２０２）と接続され、前記共振回路（２０２）の共

振周波数に対応した発振周波数を有する局部発振信号（LO）を出力する増幅部（201）とを含み、

前記半導体装置は、さらに、

前記局部発振信号（LO）を分周して出力する分周器（60）と、

前記分周器（60）の出力と与えられた基準信号との位相差に応じた信号を出力する位相比較器（61）と、

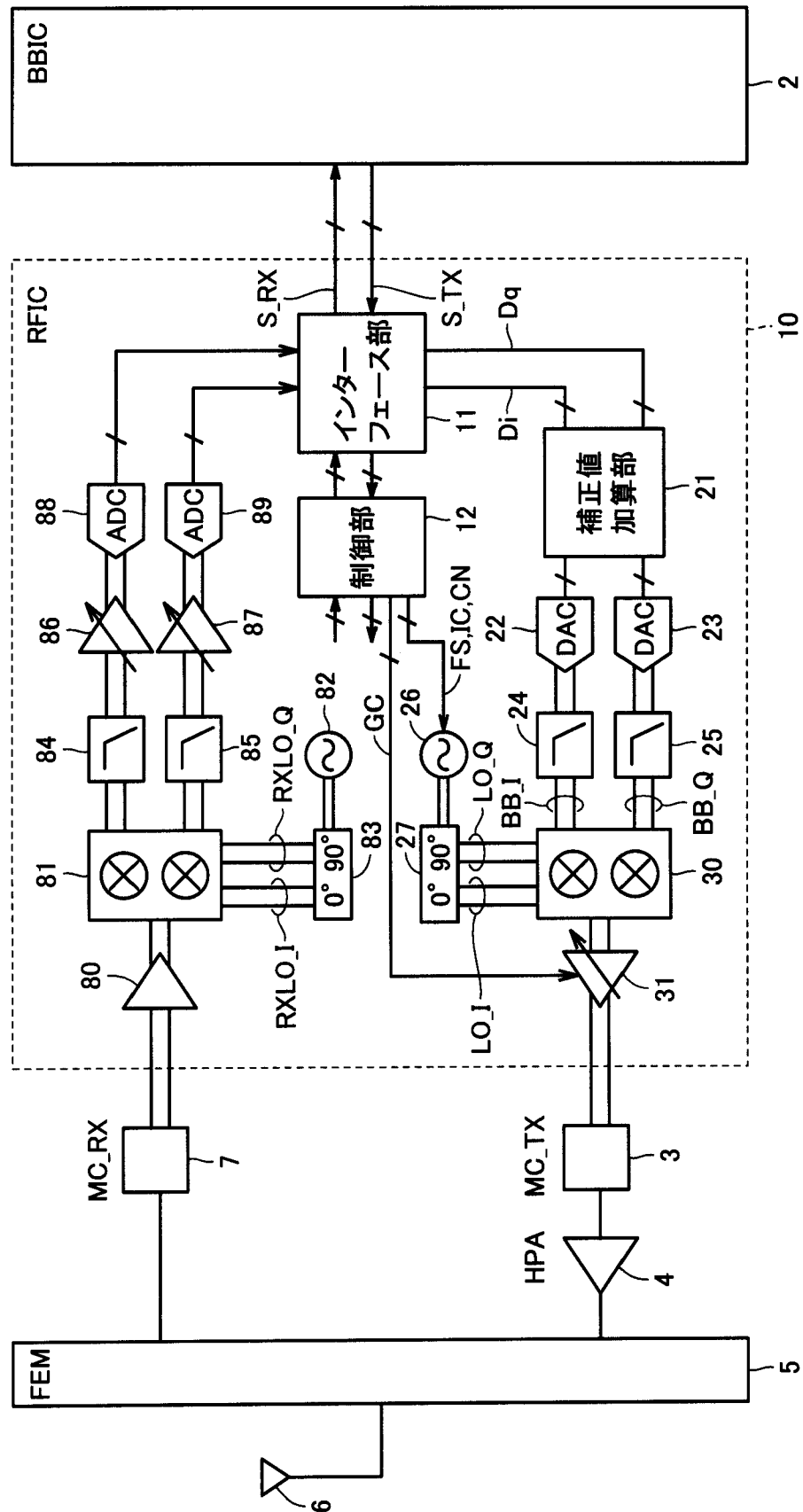
前記位相比較器（61）の出力の高周波成分を除去することによって前記フィードバック信号（TR）を生成するフィルタ部（62）と、

前記第1の容量部（54）の容量値を制御する制御部（12）とを備え、

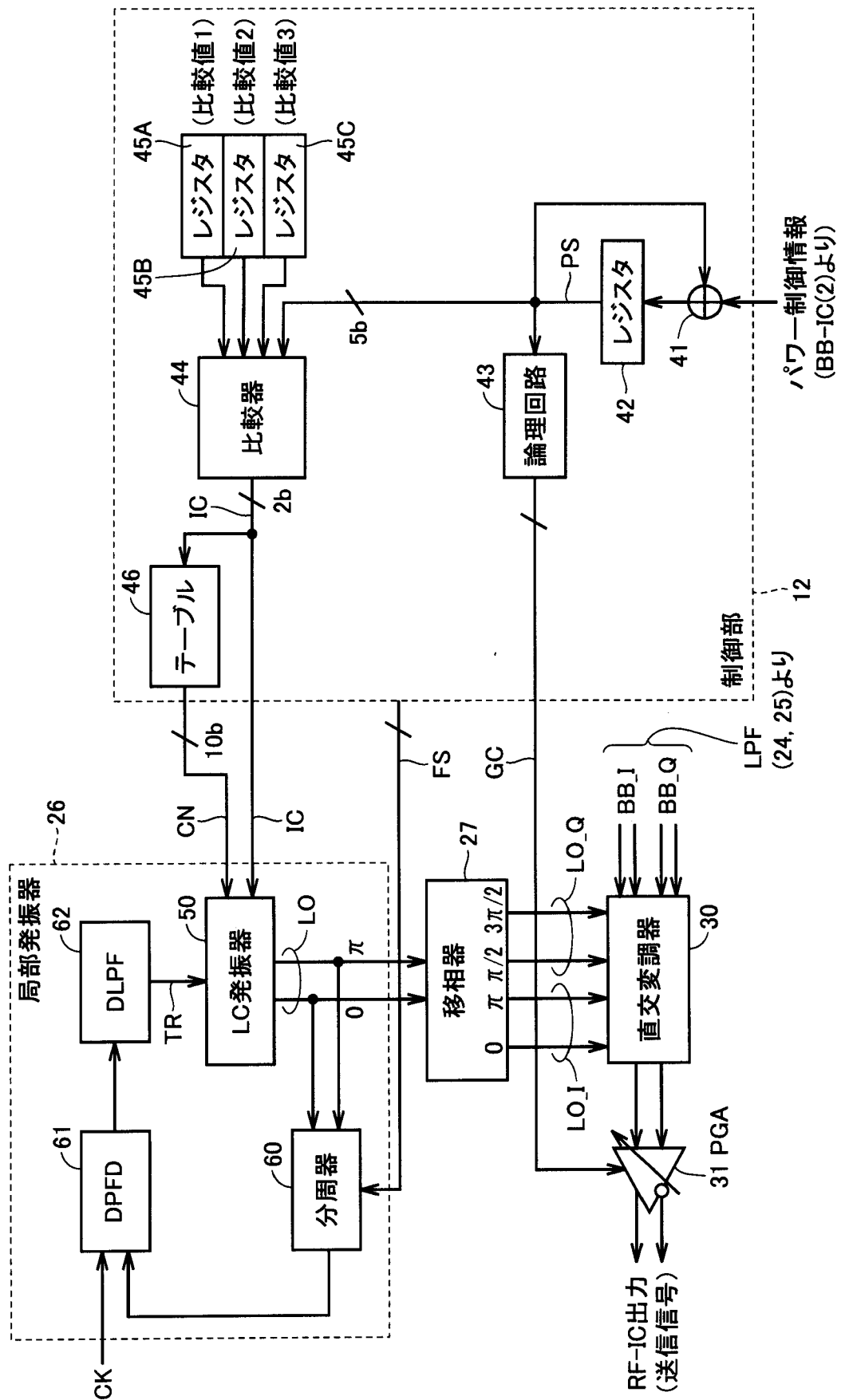
前記制御部（12）は、前記発振周波数を変化させるような状態の変化が前記半導体装置に生じたときには、前記発振周波数を一定に保つように前記第1の容量部（54）の容量値を変更する、半導体装置。

[図1]

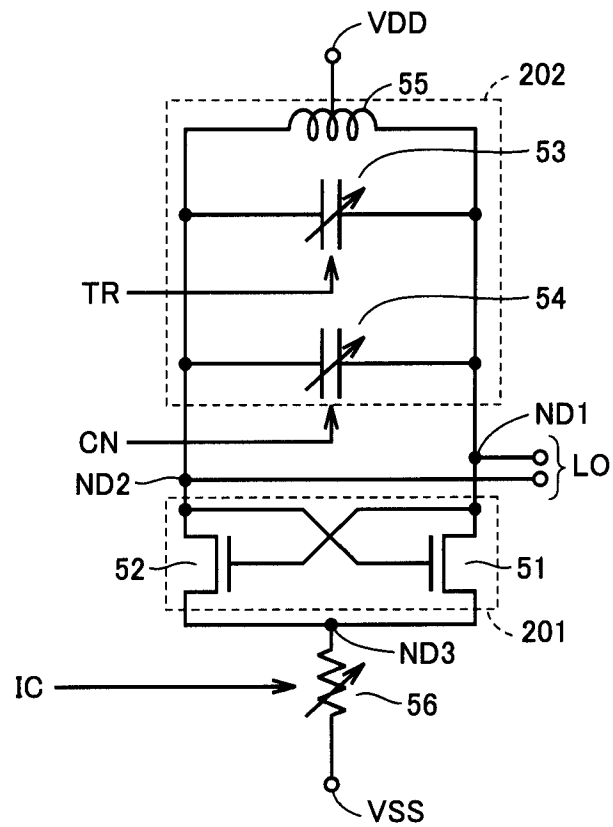
1



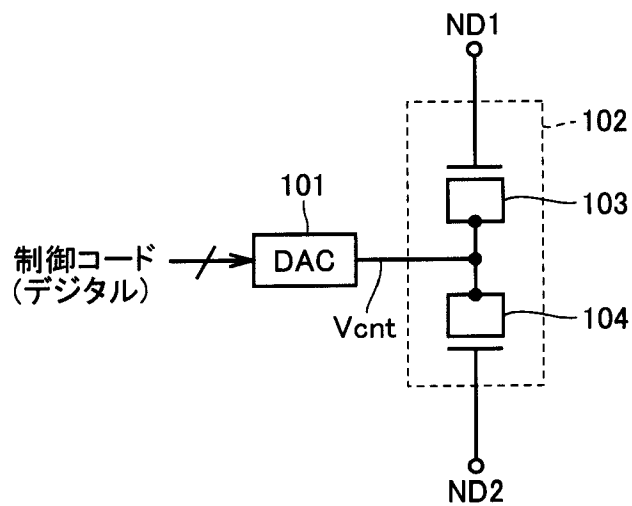
[図2]



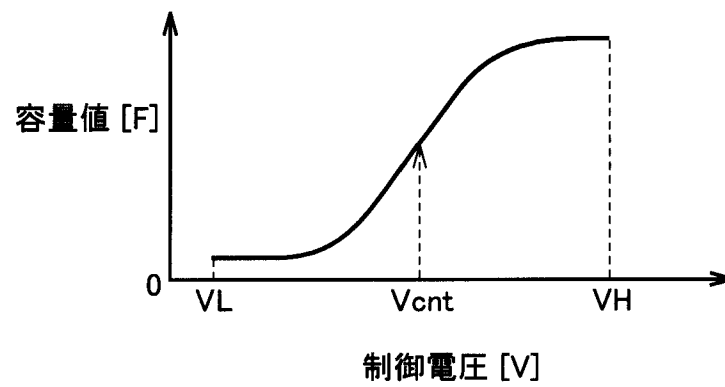
[図3]

50

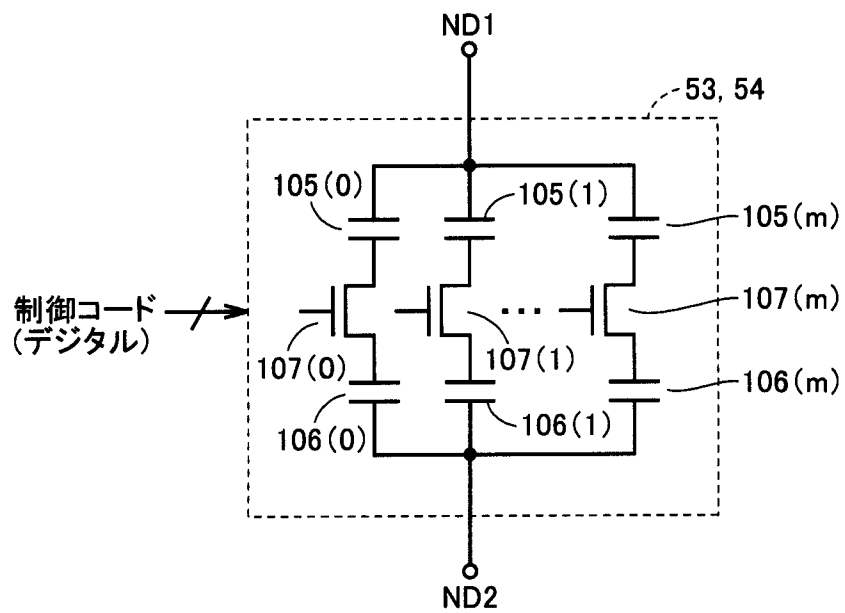
[図4]

53, 54

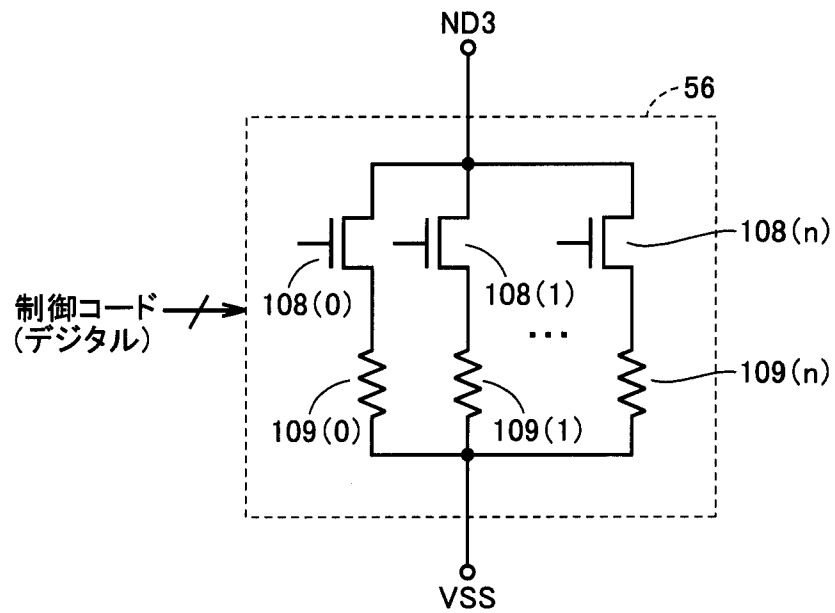
[図5]



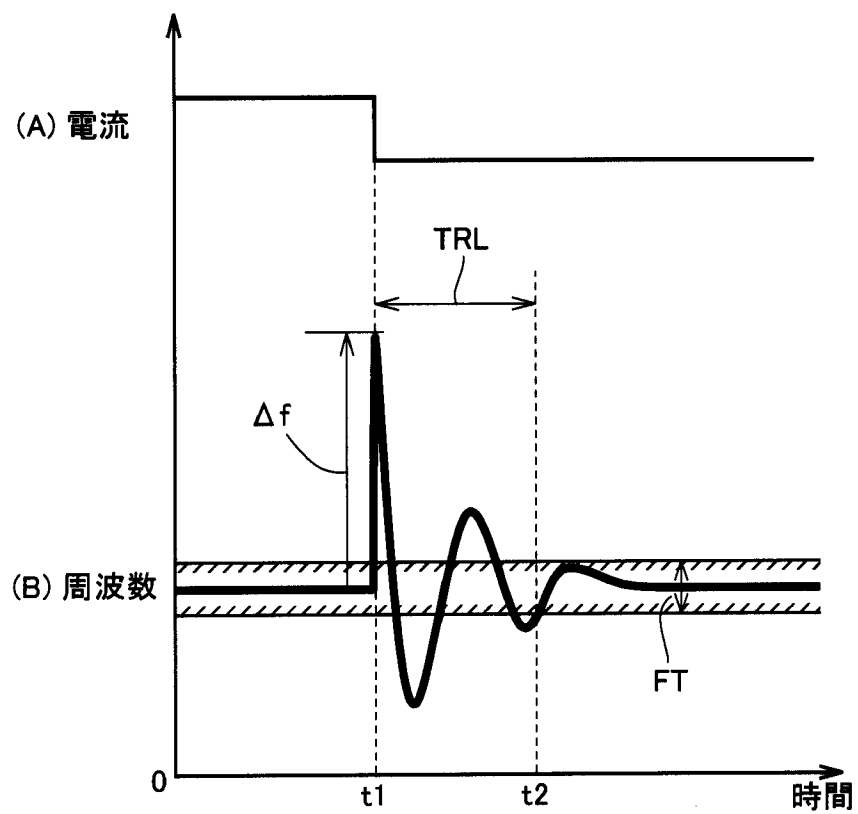
[図6]



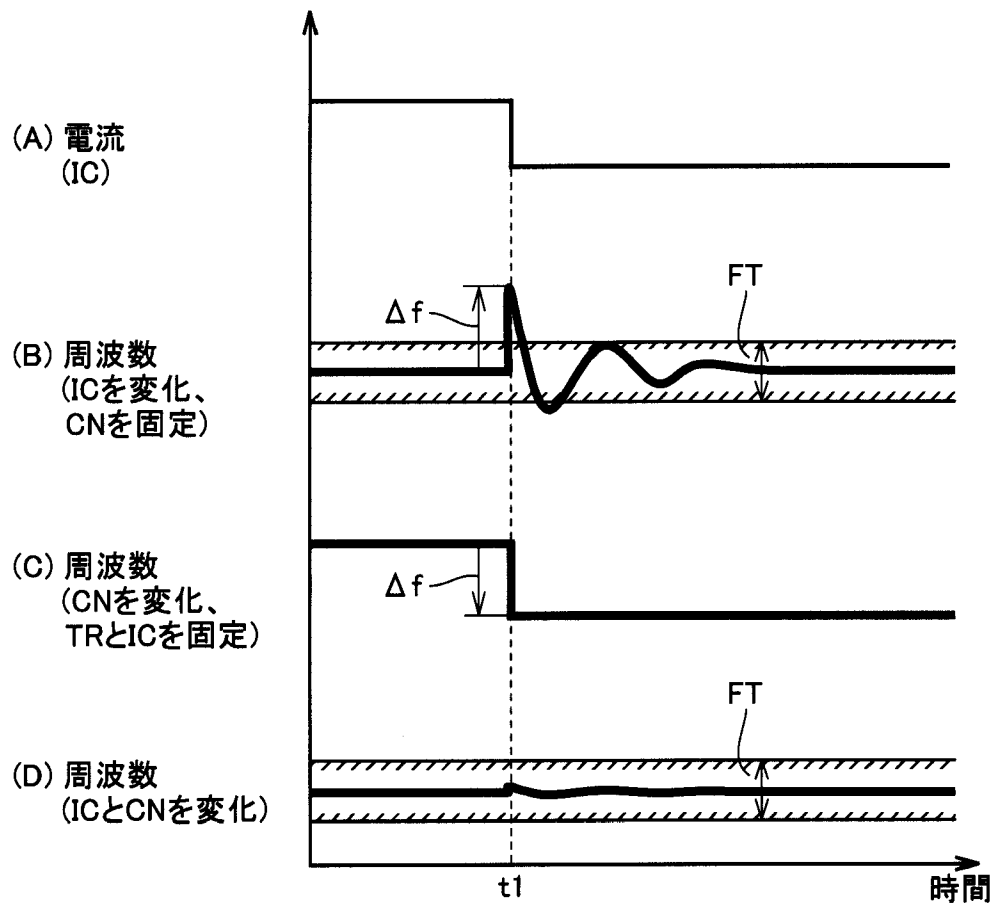
[図7]



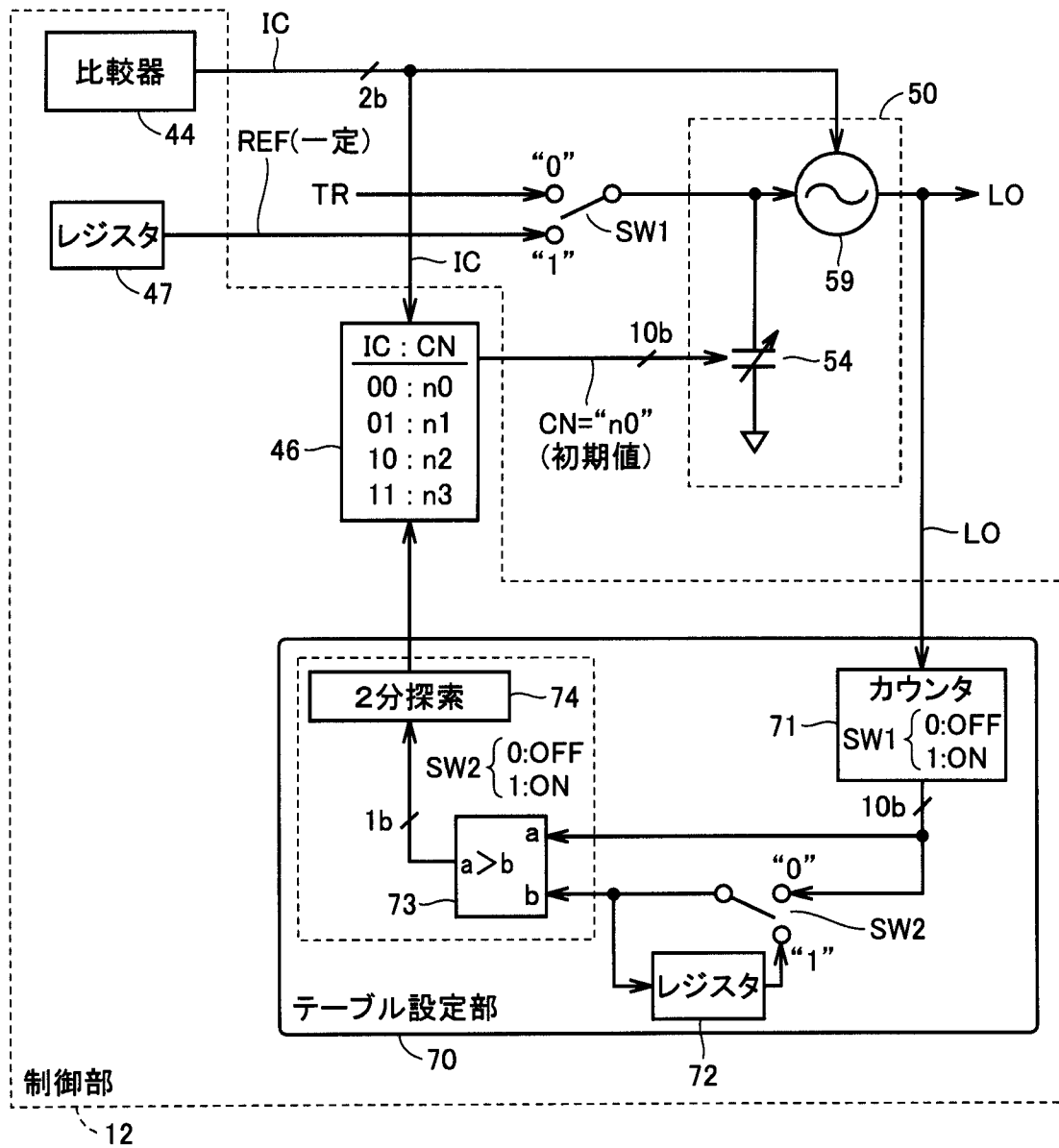
[図8]

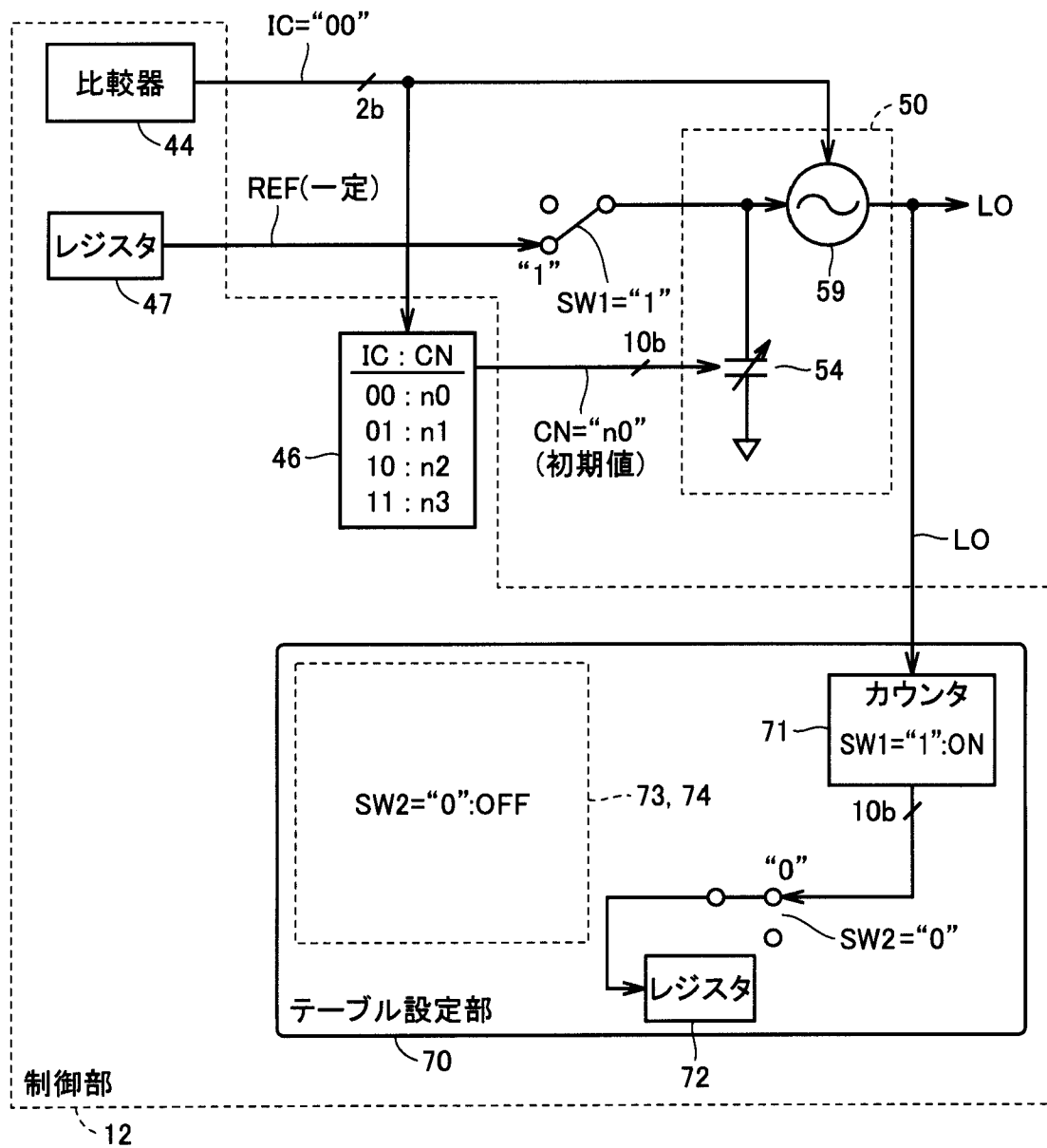


[図9]

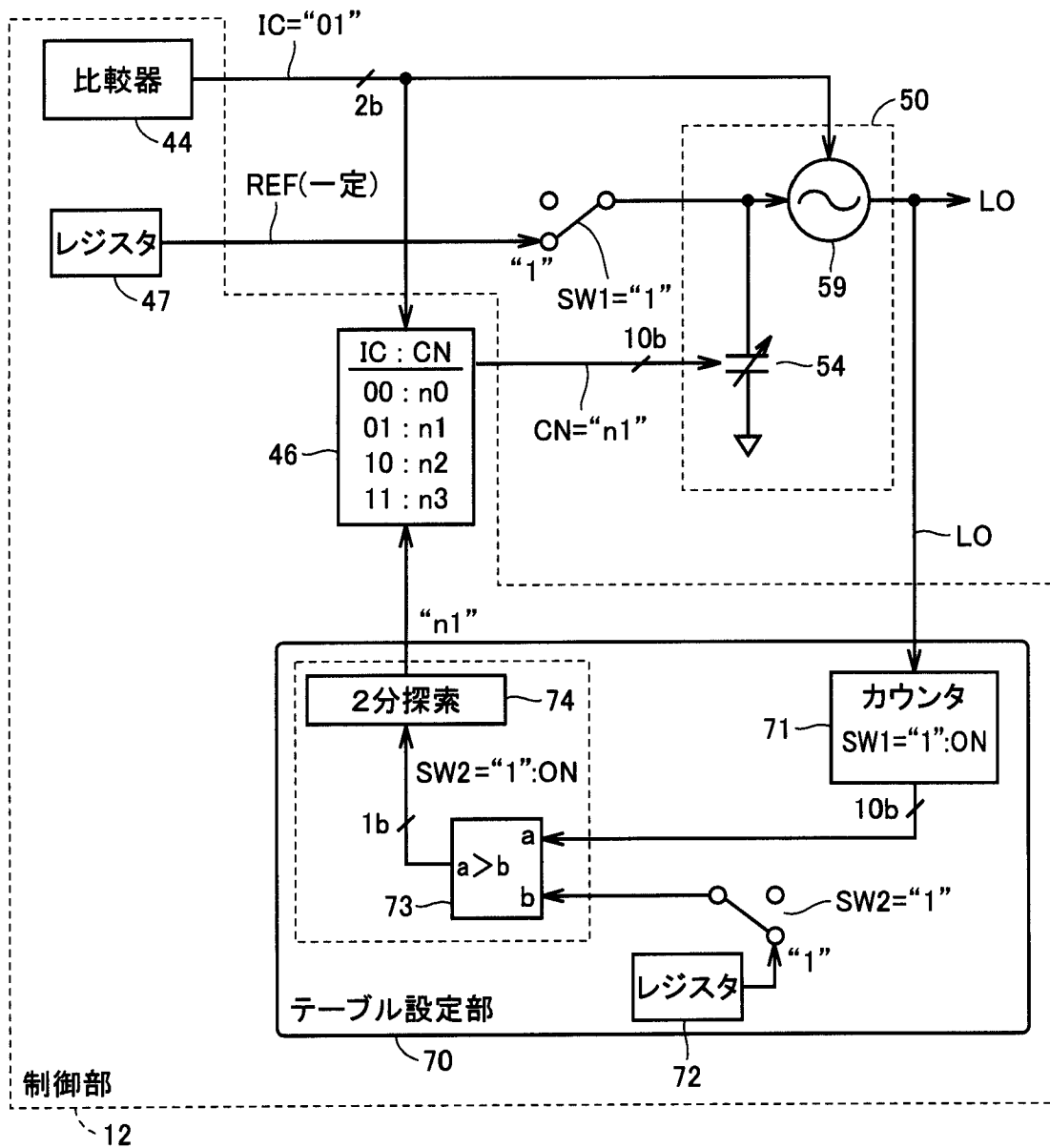


[図10]

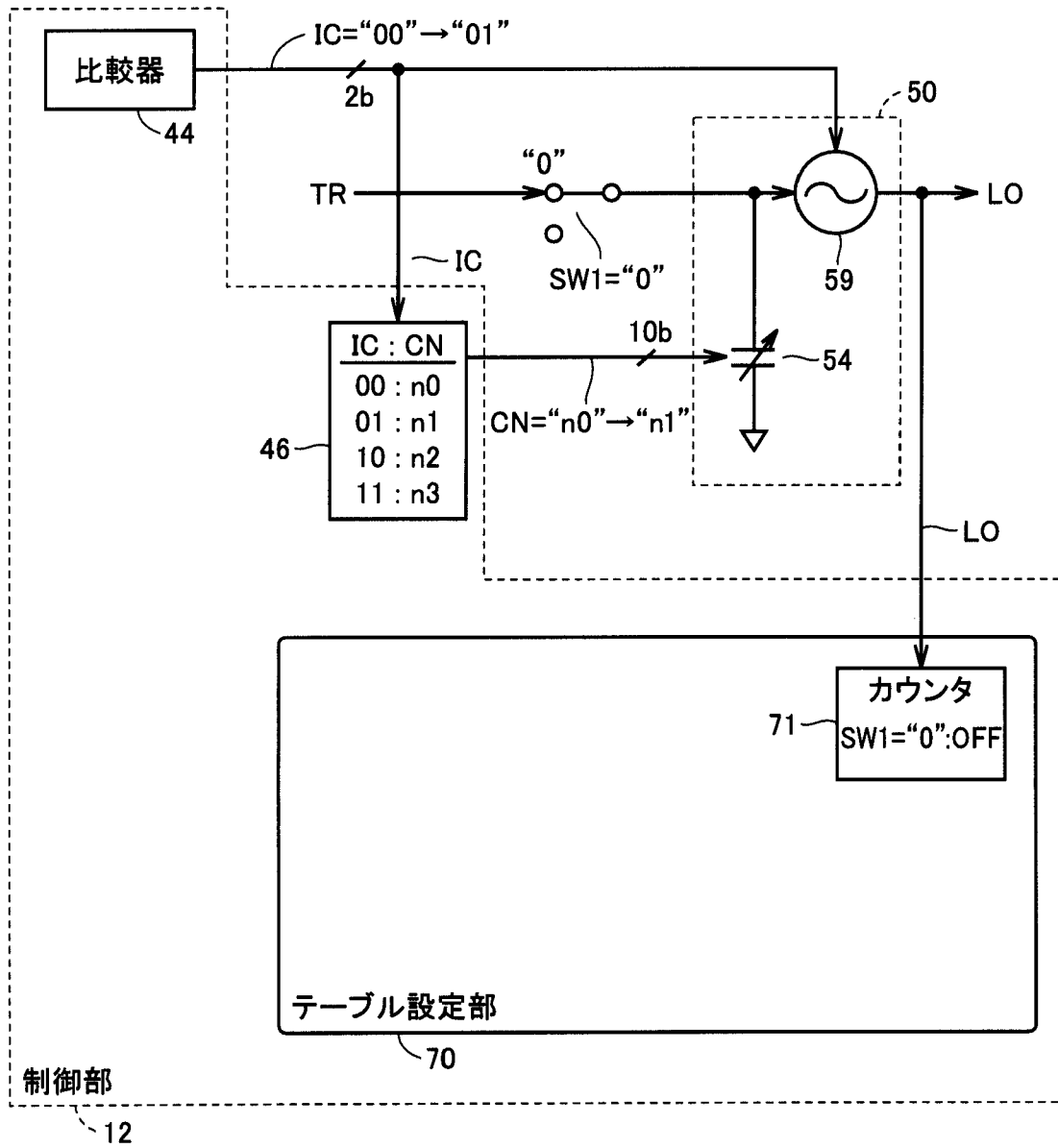




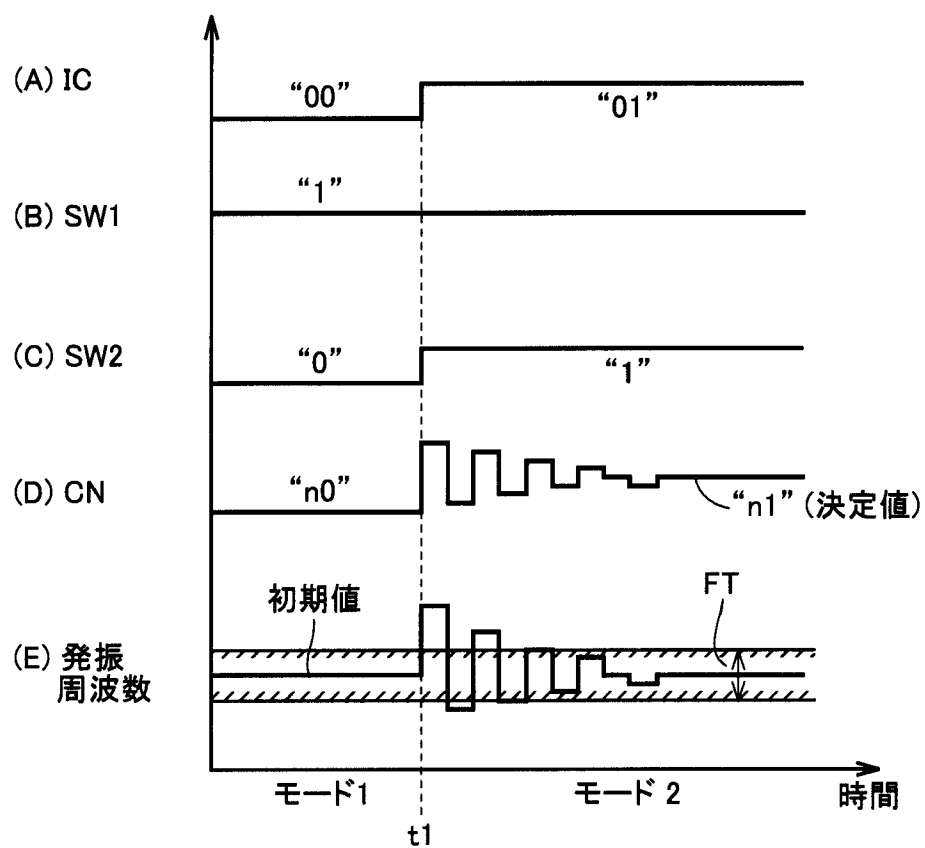
[図12]



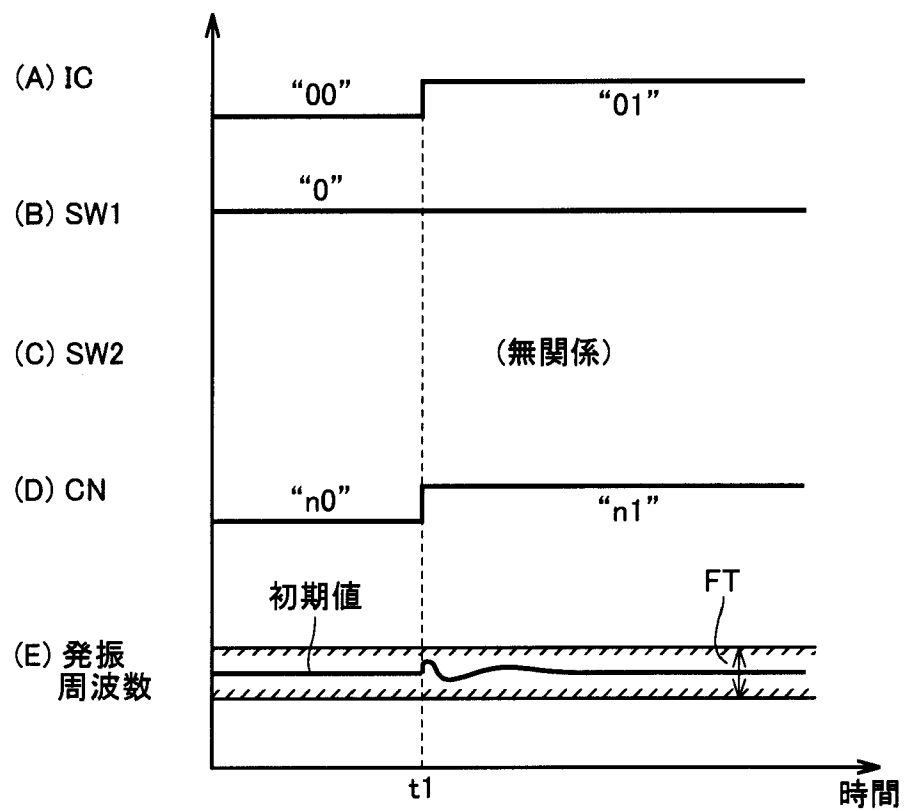
[図13]



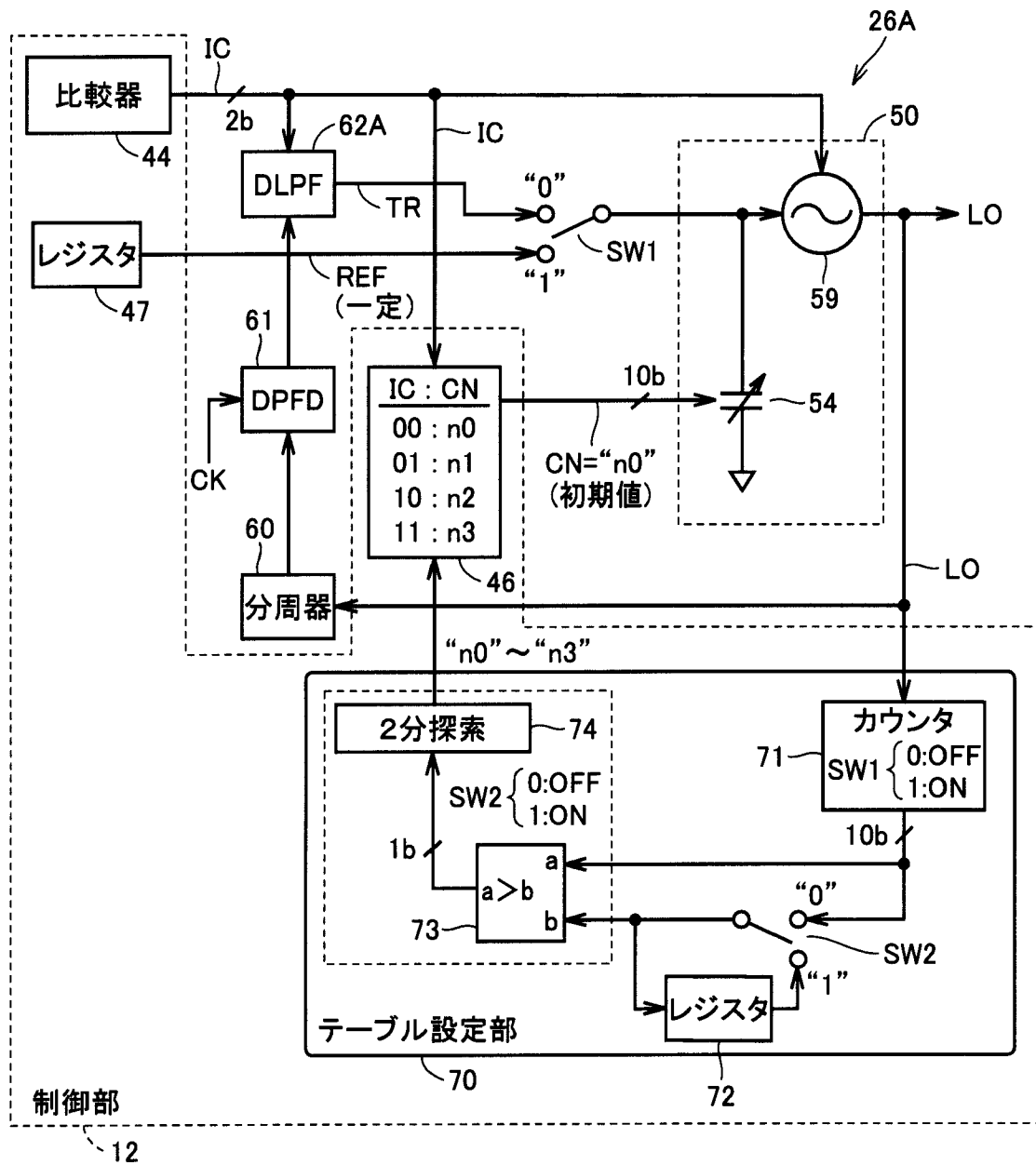
[図14]



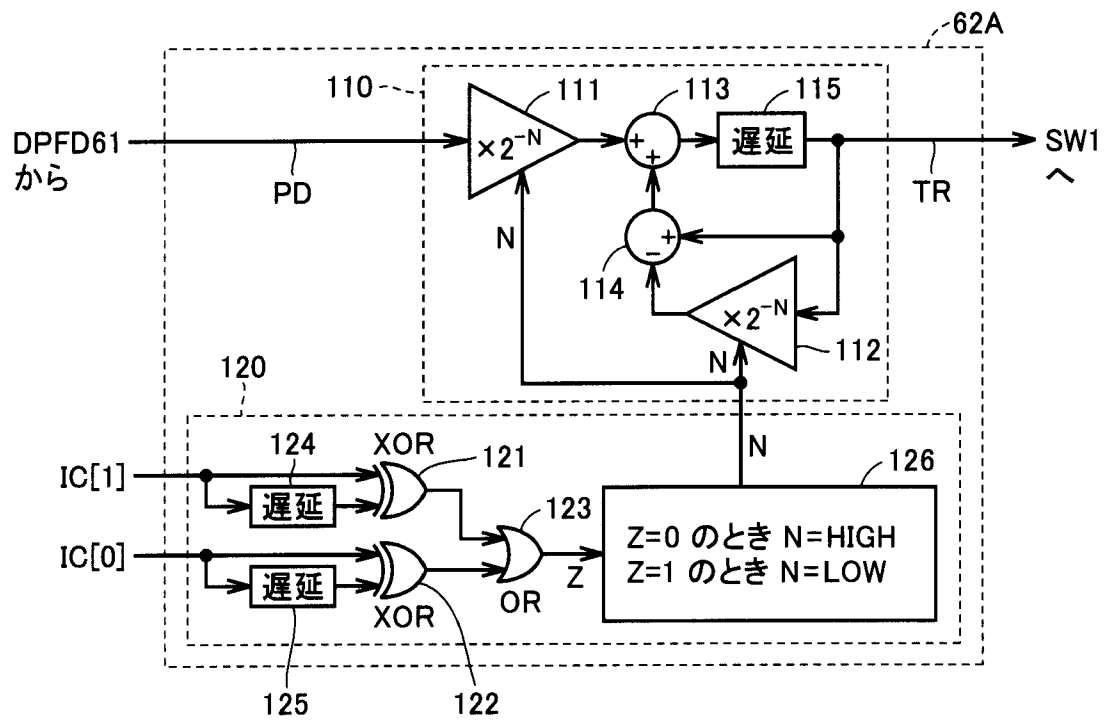
[図15]



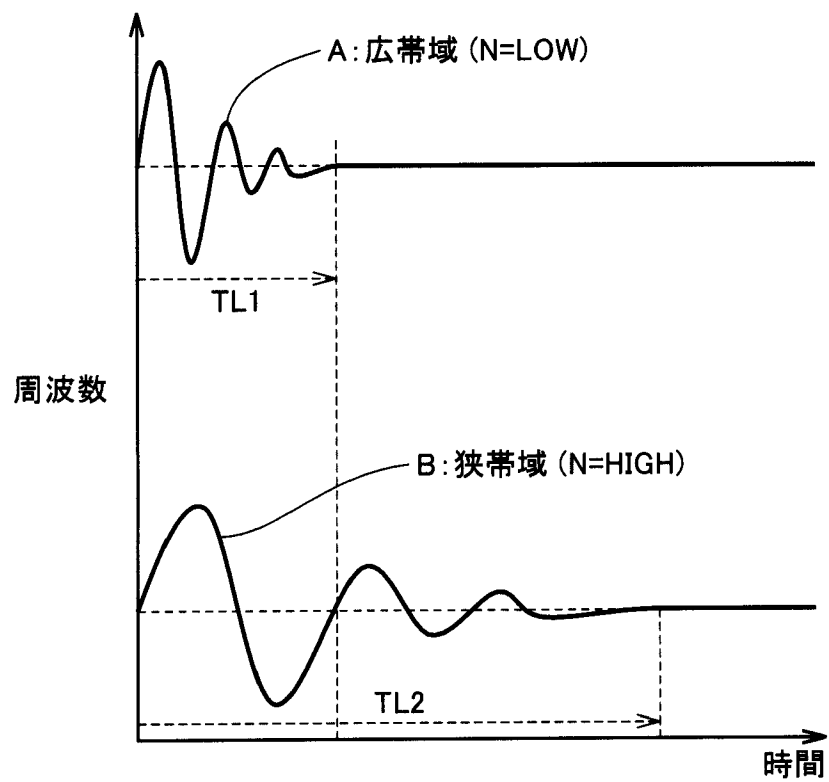
[図16]



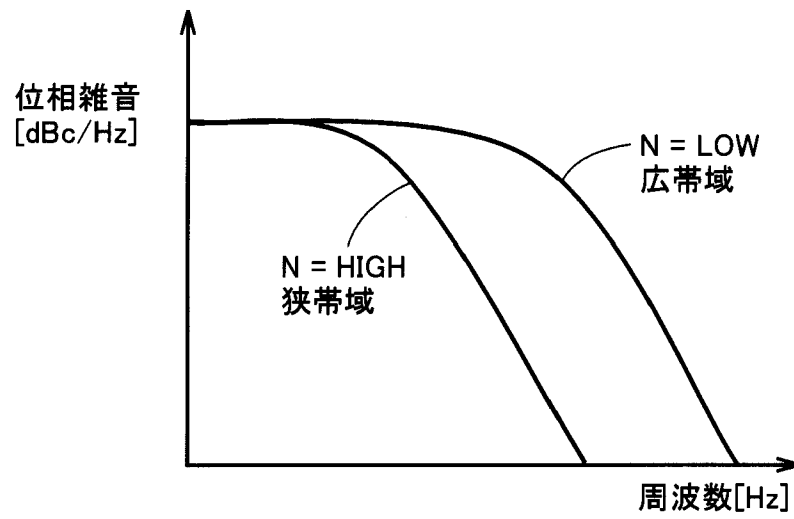
[図17]



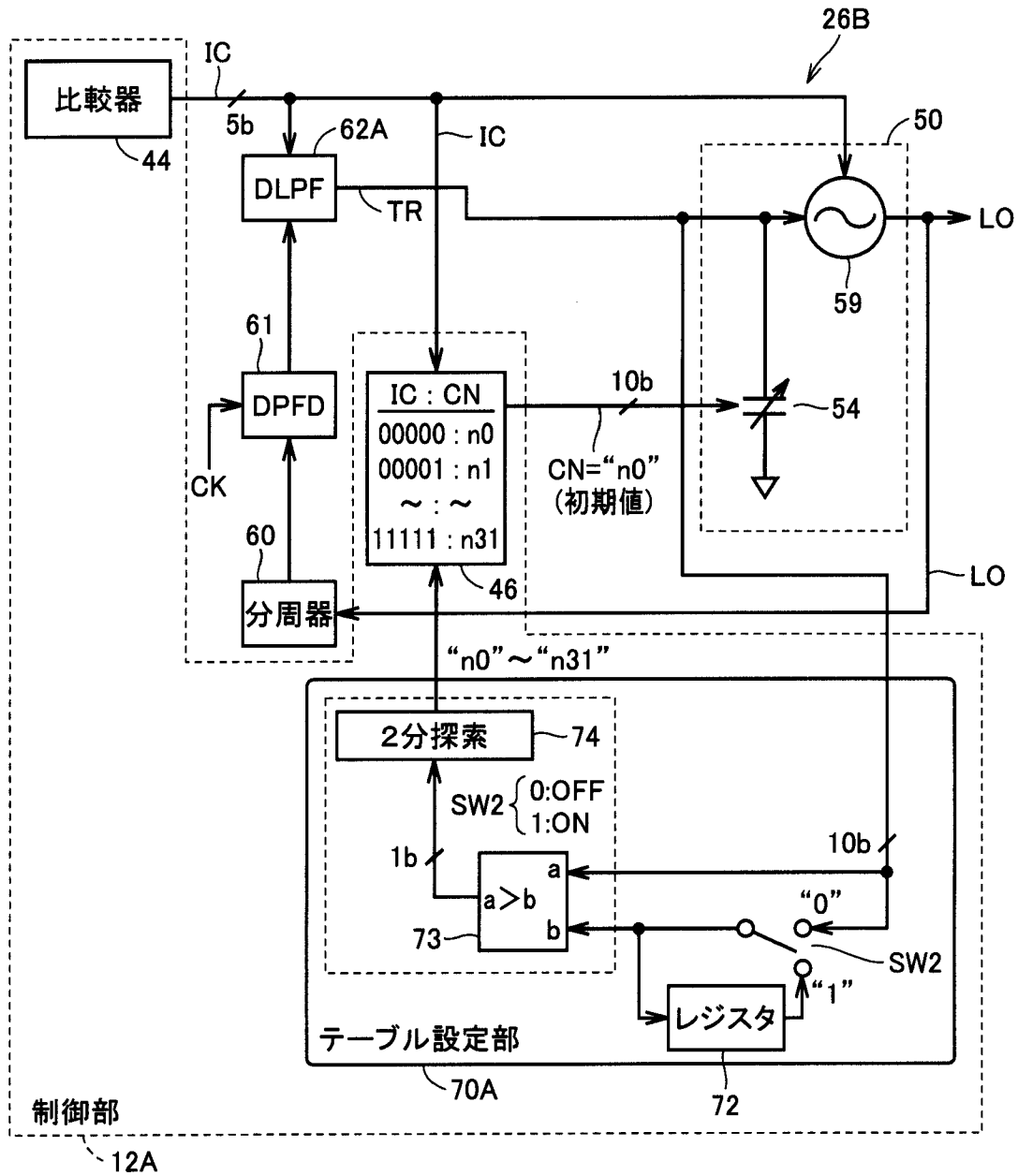
[図18]



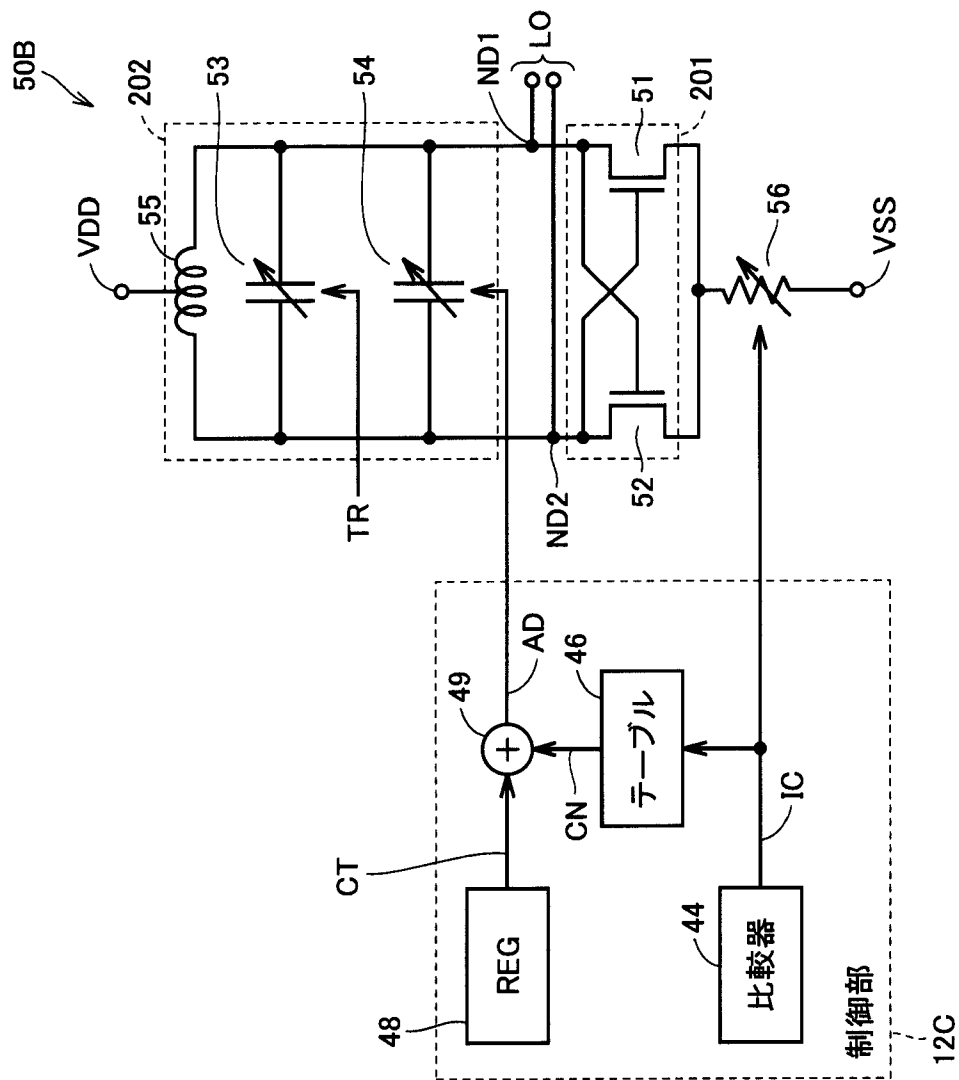
[図19]

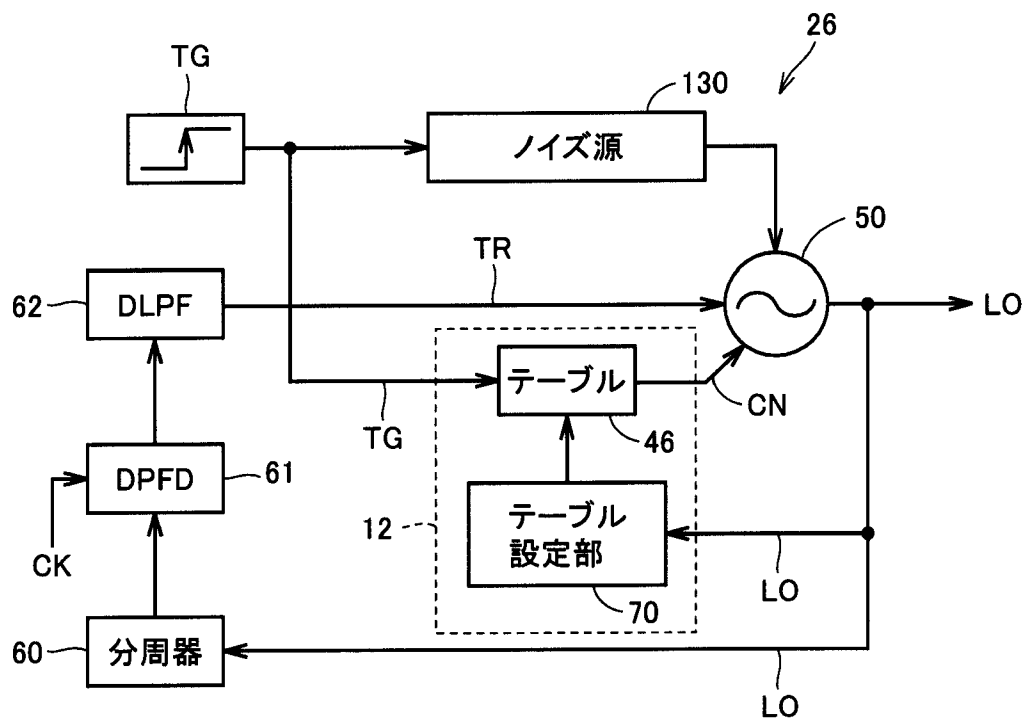


[図20]



[図22]





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/051458

A. CLASSIFICATION OF SUBJECT MATTER

H03L7/099(2006.01) i, H04B1/40(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03L7/06-7/23, H03B5/12, H04B1/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-201016 A (Toshiba Corp.), 03 September 2009 (03.09.2009), entire text; all drawings & US 2009/0212876 A1	1-11
A	JP 2009-27581 A (Renesas Technology Corp.), 05 February 2009 (05.02.2009), entire text; all drawings (Family: none)	1-11
A	JP 2009-182918 A (Toyota Industries Corp.), 13 August 2009 (13.08.2009), entire text; all drawings (Family: none)	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

12 April, 2011 (12.04.11)

Date of mailing of the international search report

26 April, 2011 (26.04.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/051458

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	"A 2.4-GHz low-power all-digital phase-locked loop", Liangge Xu, et al, 2009.09.13, Custom Integrated Circuits Conference, 2009. CICC '09. IEEE, pp.331-pp.334	1-11

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03L7/099(2006.01)i, H04B1/40(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03L7/06-7/23, H03B5/12, H04B1/40

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

IEEE Xplore

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-201016 A (株式会社東芝) 2009.09.03, 全文, 全図 & US 2009/0212876 A1	1-11
A	JP 2009-27581 A (株式会社ルネサステクノロジ) 2009.02.05, 全文, 全図 (ファミリーなし)	1-11

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 2 . 0 4 . 2 0 1 1

国際調査報告の発送日

2 6 . 0 4 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

上田 智志

5 W

3 6 6 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 7 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-182918 A (株式会社豊田自動織機) 2009.08.13, 全文, 全図 (ファミリーなし)	1-11
A	“A 2.4-GHz low-power all-digital phase-locked loop” , Liangge Xu, et al, 2009.09.13, Custom Integrated Circuits Conference, 2009. CICC '09. IEEE, pp. 331-pp. 334	1-11