



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/108 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년08월16일 10-0555445 2006년02월21일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-1997-0038706 1997년08월13일 2002년08월13일	(65) 공개번호 (43) 공개일자	10-1999-0016233 1999년03월05일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	한재현 경기도 용인시 기흥읍 농서리 산24번지
(74) 대리인	리엔목특허법인 이혜영

심사관 : 조지은

전체 청구항 수 : 총 18 항

(54) 고유전체막을 갖는 반도체 장치의 커패시터 전극 및 커패시터 형성 방법

(57) 요약

고유전율 재료를 유전체막으로 채용한 커패시터 전극 및 그 전극을 사용한 커패시터의 제조방법에 관하여 개시한다. 본 발명에 의한 반도체 장치의 커패시터 전극 및 이를 이용한 커패시터의 제조방법은 에칭이 잘되어 스택형으로 형성하기에 용이한 물질, 예컨대 Ru, RuO<sub>2</sub>, Ti, TiN 및 이를 조합한 금속 중에 하나를 선택하여 형성된 제1 금속층과, 에칭이 잘되지 않지만 산화가 잘되지 않아 누설전류 특성이 우수한 물질, 예컨대 Pt, Ir 및 IrO<sub>2</sub> 중에서 선택된 하나의 금속을 사용하여 형성한 제2 금속층(112', 212')을 포함하여 하부전극을 형성하는 것을 특징으로 한다. 따라서, 하부전극을 형성시에 식각 경사도가 발생하여 커패시터 하부전극의 단면적이 줄어드는 것을 방지하고, 커패시터 높이를 높게 형성할 수 있어서 고유전율 재료를 사용하는 반도체 장치의 커패시터에서 커패시턴스를 높일 수 있다.

대표도

도 10

특허청구의 범위

청구항 1.

하부전극과, 상기 하부전극 위에 형성된 고유전체막과, 상기 고유전체막 위에 형성된 상부전극을 구비하는 반도체 장치의 커패시터 전극에 있어서,

상기 하부전극은 에칭이 잘되어 스택형(stack type)으로 만들 수 있는 Ru, RuO<sub>2</sub>, Ti, TiN 및 이를 조합한 금속층에서 선택된 하나로 만들어진 제1 금속층; 및

상기 제1 금속층 위에 형성되고, 상기 제1 금속층보다 두께가 얇고, 에칭이 잘되지 않지만 산화가 잘되지 않아 누설전류 특성이 우수한 Pt, Ir 및 IrO<sub>2</sub> 중에서 선택된 하나로 만들어진 제2 금속층을 포함하는 것을 특징으로 하는 고유전율 재료를 사용하는 반도체 장치의 커패시터 전극.

## 청구항 2.

제1항에 있어서, 상기 고유전체막은 BST, PZT 및 Ta<sub>2</sub>O<sub>5</sub> 중에서 선택된 하나의 물질로 구성된 것을 특징으로 하는 고유전율 재료를 사용하는 반도체 장치의 커패시터 전극.

## 청구항 3.

커패시터 형성용 콘택홀이 형성된 반도체 기판에 플러그를 형성하는 제1 단계;

상기 플러그 상에 오믹층(Ohmic layer)과 장벽층(barrier layer)을 적층하고 평탄화하는 제2 단계;

상기 평탄화된 반도체 기판의 전면에 커패시터 전극용 제1 금속층 및 제2 전극용 금속층을 순차적으로 적층하는 제3 단계;

상기 결과물 위에 마스크층을 형성하는 제4 단계;

상기 마스크층을 사용하여 제1 및 제2 금속층을 패터닝하는 제5 단계;

상기 마스크층을 제거하고 상기 제1 및 제2 금속층의 양측벽에 금속 스페이서를 형성하는 제6 단계;

상기 금속층 스페이서가 형성된 결과물 상에 고유전체막 및 상부전극을 적층하는 제7 단계;

상기 고유전체막 및 상부전극을 패터닝하여 커패시터를 형성하는 제8 단계를 포함하는 것을 특징으로 하는 고유전체 재료를 사용하는 반도체 장치의 커패시터 형성방법.

## 청구항 4.

제3항에 있어서, 상기 제1 단계의 플러그는 콘택홀을 완전히 매립하지 않도록 형성하는 것을 특징으로 하는 고유전율 재료를 사용하는 반도체 장치의 커패시터 형성방법.

## 청구항 5.

제3항에 있어서, 상기 제2 단계의 평탄화는 콘택홀이 형성된 절연막과 동일한 높이를 갖도록 평탄화를 진행하는 것을 특징으로 하는 고유전율 재료를 사용하는 반도체 장치의 커패시터 형성방법.

## 청구항 6.

제3항에 있어서, 상기 제3 단계의 제1 금속층은 Ru, RuO<sub>2</sub>, Ti, TiN 및 이를 조합한 금속층에 선택된 하나의 물질을 사용하여 형성하는 것을 특징으로 하는 고유전율 재료를 사용하는 반도체 장치의 커패시터 형성방법.

### 청구항 7.

제3항에 있어서, 상기 제3 단계의 제2 금속층은 Pt, Ir 및 IrO<sub>2</sub> 중에서 선택된 하나의 물질을 사용하여 형성하는 것을 특징으로 하는 고유전율 재료를 사용하는 반도체 장치의 커패시터 형성방법.

### 청구항 8.

제3항에 있어서, 상기 제1 금속층은 제2 금속층보다 두껍게 형성하는 것을 특징으로 하는 고유전율 재료를 사용하는 반도체 장치의 커패시터 형성방법.

### 청구항 9.

제3항에 있어서, 상기 제6 단계의 금속 스페이서는 Pt, Ir 및 IrO<sub>2</sub> 중에서 선택된 하나의 물질을 사용하여 형성하는 것을 특징으로 하는 고유전율 재료를 사용하는 반도체 장치의 커패시터 형성방법.

### 청구항 10.

제1항에 있어서, 상기 제7 단계의 고유전체막은 BST, PZT 및 Ta<sub>2</sub>O<sub>5</sub>로 이루어진 고유전율 재료 중에서 선택된 하나의 물질을 사용하여 형성하는 것을 특징으로 하는 고유전율 재료를 사용하는 반도체 장치의 커패시터 형성방법.

### 청구항 11.

커패시터 형성용 콘택홀이 형성된 반도체 기판에 플러그를 형성하는 제1 단계;

상기 플러그가 형성된 반도체 기판의 전면에 오믹층(Ohmic layer)과 장벽층(barrier layer)을 순차적으로 적층하는 제2 단계;

상기 장벽층 위에 커패시터 전극용 제1 금속층 및 제2 금속층을 순차적으로 적층하는 제3 단계;

상기 제2 금속층 위에 마스크층을 형성하여 하부의 제2 금속층, 제1 금속층, 장벽층 및 오믹층을 패터닝하여 하부전극을 형성하는 제4 단계;

상기 장벽층 및 오믹층의 양측벽에 절연막 스페이서를 형성하는 제5 단계;

상기 제1 금속층 및 제2 금속층의 양측벽에 금속 스페이서를 형성하는 제6 단계;

상기 금속 스페이서가 형성된 결과물 상에 고유전체막 및 상부전극을 적층하는 제7 단계;

상기 고유전체막 및 상부전극을 패터닝하여 커패시터를 형성하는 제8 단계를 포함하는 것을 특징으로 하는 고유전율 재료를 사용하는 반도체 장치의 커패시터 형성방법.

### 청구항 12.

제11항에 있어서, 상기 제1 단계의 플러그를 형성하는 방법은 플러그가 상기 콘택홀을 완전히 매립하도록 형성하는 것을 특징으로 하는 고유전율 재료를 사용하는 반도체 장치의 커패시터 형성방법.

### 청구항 13.

제11항에 있어서, 상기 제3 단계의 제1 금속층은 Ru, RuO<sub>2</sub>, Ti, TiN 및 이를 조합한 금속층에 선택된 하나의 물질을 사용하여 형성하는 것을 특징으로 하는 고유전율 재료를 사용하는 반도체 장치의 커패시터 형성방법.

### 청구항 14.

제11항에 있어서, 상기 제3 단계의 제2 금속층은 Pt, Ir 및 IrO<sub>2</sub> 중에서 선택된 하나의 금속을 사용하여 형성하는 것을 특징으로 하는 고유전율 재료를 사용하는 반도체 장치의 커패시터 형성방법.

### 청구항 15.

제11항에 있어서, 상기 제1 금속층은 제2 금속층보다 두껍게 형성하는 것을 특징으로 하는 고유전율 재료를 사용하는 반도체 장치의 커패시터 형성방법.

### 청구항 16.

제11항에 있어서, 상기 제5 단계의 절연막 스페이서는 SOG(Silicon On Glass), TEOS를 사용하여 형성하는 것을 특징으로 하는 고유전율 재료를 사용하는 반도체 장치의 커패시터 형성방법.

### 청구항 17.

제11항에 있어서, 상기 제6 단계의 금속 스페이서는 Pt, Ir 및 IrO<sub>2</sub> 중에서 선택된 하나의 금속을 사용하여 형성하는 것을 특징으로 하는 고유전율 재료를 사용하는 반도체 장치의 커패시터 형성방법.

### 청구항 18.

제11항에 있어서, 상기 제7 단계의 고유전체막은 BST, PZT 및 Ta<sub>2</sub>O<sub>5</sub>로 이루어진 고유전율 재료 중에서 선택된 하나의 물질을 사용하여 형성하는 것을 특징으로 하는 고유전율 재료를 사용하는 반도체 장치의 커패시터 형성방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조방법에 관한 것으로, 더욱 상세하게는 고유전율 재료를 유전체막으로 채용한 커패시터 전극 및 그 전극을 사용한 커패시터 제조방법에 관한 것이다.

반도체 메모리 소자가 점차 고집적화 됨에 따라 디램(DRAM: Dynamic Random Access Memory)과 같은 반도체 메모리 소자에서는 높은 커패시턴스를 보유하면서, 적은 면적 내에 형성될 수 있는 커패시터에 대한 필요성이 증대되고 있다. 이

러한 필요를 충족하기 위하여 트렌치(trench)나 실린더(Cylinder)형과 같은 복잡한 공정단계를 갖는 커패시터들이 등장하였다. 그러나 상술한 트렌치형이나 실린더형의 커패시터는 고집적화 된 반도체 메모리 소자에서 필요로 하는 높은 커패시턴스와 고집적화를 실현하는데 한계를 보이고 있는 실정이다.

최근에는 이러한 문제점을 보완하기 위하여 기존의 유전체보다 수백배 이상 높은 유전율(dielectric constant)을 갖는 BST(Barium strontium Titanate), PZT 및 Ta<sub>2</sub>O<sub>5</sub>와 같은 고유전율 물질을 커패시터의 유전체로 이용하여 스택(stack)형으로 커패시터를 형성하는 방법이 일반화되고 있다. 이러한 고유전율 물질을 사용하여 커패시터를 형성할 경우, 커패시터의 상부 및 하부전극으로 사용할 수 있는 도전물질로는 루테늄(Ru), 이산화 루테늄(RuO<sub>2</sub>) 및 백금(Pt)이 있다. 여기서, 상기 루테늄(Ru) 및 이산화 루테늄(RuO<sub>2</sub>)은 식각이 백금막에 비하여 용이하지만, 누설전류 특성이 백금의 10~100배에 이르는 문제점이 있다.

한편, 백금막은 BST 유전체막을 고온 처리하는 과정에서 발생하는 유전체 전극 표면의 산화반응에 대하여 반응을 일으키지 않는 안정된 물질이며, 전기 전도도가 뛰어난 물질인 동시에, 공정 중에 백금막의 표면에서 산화반응을 일으키지 않기 때문에 다른 종류의 도전막과 비교하여 커패시터의 유전체 전극에서 발생하는 누설전류(leakage current)가 작은 특성을 지니고 있다. 그러나, 백금을 이용하여 커패시터의 상부 및 하부전극을 형성하고자 하는 경우, 건식식각을 이용한 패터닝이 매우 어려운 단점이 있다. 이는 백금이 비반응성 금속이므로 다른 화학물질과 반응하기가 어렵기 때문이다. 일반적으로 이온 스퍼터링을 이용하여 백금막을 식각하는데, 이때 식각잔류물(etching residue)이 발생하는 문제점과, 이로 인한 백금막의 식각 경사도(etching slope)가 완만해져서 백금(pt)으로 형성하는 하부전극이 높은 경우, 브릿지(bridge)를 유발하여 패터닝이 어려운 문제점이 발생한다.

이와 같이 백금막을 커패시터의 하부전극으로 사용한 선행기술이 미합중국 특허 제 5,489,548호(Title: Method of forming high-dielectric constant material electrodes comprising side wall spacers, Date of Patent: Feb.6, 1996)로 Texas Instruments사에 의해 특허등록이 된 바 있다.

도 1은 종래 기술에 의한 고유전율 재료를 사용하여 반도체 장치의 커패시터 전극을 형성하였을 때의 단면도이다.

도 1을 참조하면, 반도체 기판(30)에 절연막(32)을 개재하고 패터닝을 진행하여 커패시터 형성을 위한 콘택홀을 형성한다. 상기 콘택홀을 불순물이 도핑된 폴리실리콘으로 구성된 플러그(34)로 완전히 매립한다. 이어서, 상기 플러그(34)와 연결된 TiN으로 이루어진 장벽층(36), 백금을 포함하는 하부전극(42) 및 BST와 같은 고유전체막(44) 및 상부전극을 형성하여 고유전율 재료를 사용하는 커패시터의 형성을 완료한다. 여기서, 참조부호 40은 상기 장벽층(36)에 산화가 진행되어 커패시터의 특성을 저하시키는 것을 방지할 목적으로 구성된 산화막으로 이루어진 절연막 스페이서를 말한다.

그러나, 상술한 종래 기술에 있어서의 문제점은, ① 하부전극(42)으로 사용되는 백금막의 식각시에 백금막의 상부 모서리가 침식(Erosion)되어 경사(Slope)를 갖는다. 따라서 경사되게 식각된 하부전극(42)은 커패시터 전극의 표면적을 줄어들게 하여 커패시턴스 특성을 떨어뜨리고, ② 하부전극의 높이를 높여 커패시턴스를 높인데 커다란 제약조건으로 작용하는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 커패시터 전극을 백금 및 루테늄을 포함하는 2개의 금속층으로 형성하여 식각을 용이하게 하고, 식각경사도를 개선하여 전극의 단면적을 늘리고, 하부전극의 높이를 보다 높게 형성할 수 있는 고유전율 재료를 사용하는 반도체 장치의 커패시터 전극을 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 상기 커패시터 전극을 사용한 반도체 장치의 커패시터 형성방법을 제공하는데 있다.

### 발명의 구성

상기의 기술적 과제를 달성하기 위하여 본 발명은, 고유전율 재료를 유전체막으로 사용하는 반도체 장치의 커패시터 전극에 있어서, 상기 커패시터 하부 전극은 에칭이 잘되어 스택형(stack type)으로 만들 수 있는 제1 금속층과, 에칭이 잘되지 않지만 누설전류 특성이 우수한 제2 금속층을 포함하여 구성되는 것을 특징으로 하는 고유전율 재료를 사용하는 반도체 장치의 커패시터 전극을 제공한다.

본 발명의 바람직한 실시예에 의하면, 상기 제1 금속층은 Ru, RuO<sub>2</sub>, Ti, TiN 및 이를 조합한 금속 중에 선택된 하나의 물질로 형성된 것이 적합하고, 상기 제2 금속층은 Pt, Ir 및 IrO<sub>2</sub> 중에서 선택된 하나의 물질을 사용하여 형성된 것이 적합하다. 또한, 상기 제1 금속층은 제2 금속층의 하부에 위치하며, 전극의 크기를 높여서 커패시턴스를 개선하기 위하여 제2 금속층에 비하여 두께를 두껍게 형성하는 바람직하다.

상기의 다른 기술적 과제를 달성하기 위하여, 본 발명은 제1 실시예를 통하여, 커패시터 형성용 콘택홀이 형성된 반도체 기판에 플러그를 형성하는 제1 단계와, 상기 플러그 상에 오믹층(Ohmik layer)과 장벽층(barrier layer)을 적층하고 평탄화하는 제2 단계와, 상기 평탄화된 반도체 기판의 전면에 커패시터 전극용 제1 금속층 및 제2 전극용 금속층을 순차적으로 적층하는 제3 단계와, 상기 결과물 위에 마스크층을 형성하는 제4 단계와, 상기 마스크층을 사용하여 제1 및 제2 금속층을 패터닝하는 제5 단계와, 상기 마스크층을 제거하고 상기 제1 및 제2 금속층의 양측벽에 금속 스페이서를 형성하는 제6 단계와, 상기 금속층 스페이서가 형성된 결과물 상에 고유전체막 및 상부전극을 적층하는 제7 단계와, 상기 고유전체막 및 상부전극을 패터닝하여 커패시터를 형성하는 제8 단계를 포함하는 것을 특징으로 하는 고유전체 재료를 사용하는 반도체 장치의 커패시터 형성방법을 제공한다.

본 발명의 바람직한 실시예에 의하면, 상기 제1 단계의 플러그는 콘택홀을 완전히 매립하지 않도록 형성하고, 제2 단계의 평탄화는 콘택홀이 형성된 절연막과 동일한 높이를 갖도록 평탄화를 진행하는 것이 적합하다.

또한, 상기 제1 금속층은 Ru, RuO<sub>2</sub>, Ti, TiN 및 이를 조합한 금속 중에 하나를 선택하여 형성하고, 상기 제2 금속층은 Pt, Ir 및 IrO<sub>2</sub> 중에서 하나의 금속을 사용하여 형성하고, 상기 제1 금속층은 하부전극의 면적을 늘릴 수 있도록 제2 금속층에 비하여 두께를 두껍게 형성하는 바람직하다.

바람직하게는, 상기 제6 단계의 금속 스페이서는 제2 금속층과 같은 막질인 Pt, Ir 및 IrO<sub>2</sub> 중에서 하나의 금속을 사용하여 형성하고, 상기 제7 단계의 고유전체막은 BST, PZT 및 Ta<sub>2</sub>O<sub>5</sub> 중에서 선택된 하나의 물질을 사용하여 형성하는 적합하다.

상기의 다른 기술적 과제를 달성하기 위하여, 본 발명은 제2 실시예를 통하여, 커패시터 형성용 콘택홀이 형성된 반도체 기판에 플러그를 형성하는 제1 단계와, 상기 플러그가 형성된 반도체 기판의 전면에 오믹층(Ohmik layer)과 장벽층(barrier layer)을 순차적으로 적층하는 제2 단계와, 상기 장벽층 위에 커패시터 전극용 제1 금속층 및 제2 금속층을 순차적으로 적층하는 제3 단계와, 상기 제2 금속층 위에 마스크층을 형성하여 하부의 제2 금속층, 제1 금속층, 장벽층 및 오믹층을 패터닝하여 하부전극을 형성하는 제4 단계와, 상기 장벽층 및 오믹층의 양측벽에 절연막 스페이서를 형성하는 제5 단계와, 상기 제1 금속층 및 제2 금속층의 양측벽에 금속 스페이서를 형성하는 제6 단계와, 상기 금속 스페이서가 형성된 결과물 상에 고유전체막 및 상부전극을 적층하는 제7 단계와, 상기 고유전체막 및 상부전극을 패터닝하여 커패시터를 형성하는 제8 단계를 포함하는 것을 특징으로 하는 고유전체 재료를 사용하는 반도체 장치의 커패시터 형성방법을 제공한다.

본 발명의 바람직한 실시예에 의하면, 상기 제1 단계의 플러그는 콘택홀을 완전히 매립하도록 형성하고, 상기 제3 단계의 제1 금속층은 Ru, RuO<sub>2</sub>, Ti, TiN 및 이를 조합한 금속 중에 하나를 선택하여 형성하고, 상기 제2 금속층은 Pt, Ir 및 IrO<sub>2</sub> 중에서 하나의 금속을 사용하여 형성하고, 상기 제1 금속층은 제2 금속층에 비하여 두께를 두껍게 형성하는 바람직하다.

또한, 상기 제5 단계의 절연막 스페이서는 SOG 또는 TEOS를 사용하여 형성하고, 제6 단계의 금속 스페이서는 제2 금속층과 같은 막질인 Pt, Ir 및 IrO<sub>2</sub> 중에서 하나의 금속을 사용하여 형성하고, 상기 제7 단계의 고유전체막은 BST, PZT 및 Ta<sub>2</sub>O<sub>5</sub> 중에서 선택된 하나의 물질을 사용하여 형성하는 적합하다.

본 발명에 따르면, 하부전극을 형성시에 식각경사도가 발생하여 커패시터 하부전극의 단면적이 줄어드는 것을 방지하고, 커패시터의 높이를 높게 형성할 수 있어서 고유전체 재료를 사용하는 반도체 장치의 커패시터에서 커패시턴스를 높일 수 있다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

먼저, 도 10 및 도 19를 참조하여 본 발명에 따른 고유전체 재료를 사용하는 반도체 장치의 커패시터 전극의 구조 및 특징에 대하여 설명한다.

도 10 및 도 19를 참조하면, 본 발명에 따른 반도체 장치의 커패시터 하부전극의 구조는 ① 에칭이 잘되어 스택형으로 형성하기에 용이한 물질, 예컨대 Ru, RuO<sub>2</sub>, Ti, TiN 및 이를 조합한 금속 중에 하나를 선택하여 형성된 제1 금속층(110', 210')과, ② 에칭이 잘되지 않지만 누설전류 특성이 우수한 물질, 예컨대 Pt, Ir 및 IrO<sub>2</sub> 중에서 선택된 하나의 금속을 사용하여 형성한 제2 금속층(112', 212')을 포함하여 구성된다. 이러한 제1 금속층(110', 210')은 제2 금속층(112', 212')의 하부에 구성되며, 제2 금속층(112', 212')보다 두께가 두껍게 형성된다.

따라서, 제1 금속층(110', 210')과 제2 금속층(112', 212')의 복합막으로 구성된 커패시터 하부전극의 식각시, 하부전극 표면에서는 제2 금속층(112', 212')에 의하여 누설전류 특성을 개선하면서, 하부전극의 대부분을 구성하는 제1 금속층(110', 210')이 식각이 용이하도록 구성하여, 식각시에 식각 경사도(etching slope) 문제나 이로 인해 하부전극을 높게 형성할 수 없어 단면적을 늘리는데 제한을 받는 문제를 개선할 수 있다.

이어서, 도 2 및 도 19를 참조하여 상기 고유전율 재료를 갖는 커패시터 전극을 사용하는 반도체 장치의 커패시터 형성방법을 설명한다.

### 제1 실시예

도 2내지 도 10은 본 발명의 제1 실시예에 의한 고유전율 재료를 사용하는 반도체 장치의 커패시터 형성방법을 설명하기 위하여 도시한 단면도들이다.

도 2를 참조하면, 트랜지스터 및 비트라인(bit line)과 같은 하부구조가 형성된 반도체 기판(100)에 커패시터 형성을 위한 층간절연막(102)을 형성한다. 상기 층간절연막(102)에 포토레지스트를 코팅하고 사진 및 식각공정을 진행하여 트랜지스터의 소오스 영역을 노출하는 매몰 콘택홀(buried contact hole)을 형성한다. 이어서, 상기 매몰 콘택홀을 매립하는 플러그(plug, 104)를 불순물이 도핑된 폴리실리콘(doped poly silicon)을 사용하여 형성한다. 이때, 플러그(104)가 매몰 콘택홀을 완전히 매립하지 않도록 형성하는 것이 적합하다.

도 3을 참조하면, 상기 플러그(104)가 형성된 반도체 기판에 콘택저항을 낮추는 역할을 하는 오믹층(Ohmik layer, 106)과 하부 플러그(104)로부터 불순물의 확산(diffusion)을 방지하기 위한 장벽층(barrier layer, 108)을 Ti 및 TiN을 사용하여 적층한다. 이때, 상기 폴리실리콘으로 구성된 플러그(104)와 Ti로 구성된 오믹층(106)의 계면에서는 Ti와 Si가 반응하여 TiSix를 생성하여 매몰 콘택홀 내부의 도전특성을 향상시킨다. 계속해서, 상기 오믹층(106)과 장벽층(108)이 적층된 반도체 기판에 에치백(etch back) 또는 화학 기계적 연마(CMP: Chemical Mechanical Polishing) 공정을 상기 층간절연막(102)의 표면이 드러날 때까지 진행하여 전체적인 평탄화를 달성한다.

도 4를 참조하면, 상기 평탄화가 달성된 반도체 기판에 Ru, RuO<sub>2</sub>, Ti, TiN 및 이를 조합한 금속 중에 선택된 하나로 제1 금속층(110)을 적층하고, Pt, Ir 및 IrO<sub>2</sub> 중에서 선택된 하나의 금속을 사용하여 제2 금속층(112)을 MOCVD(Metal Organic CVD) 또는 스퍼터링(sputtering) 방식으로 형성한다. 이때, 상기 제2 금속층(112)은 에칭이 용이하도록 상기 제1 금속층(110)에 비하여 두께를 얇게 형성한다.

도 5를 참조하면, 상기 제2 금속층(112)의 상부에 마스크 형성을 위한 산화막과 같은 마스크층(114)을 적층하고, 상기 마스크층(114) 위에 포토레지스트막을 도포하고 노광 및 현상공정을 통하여 포토레지스트 패턴(116)을 형성한다.

도 6을 참조하면, 상기 포토레지스트 패턴(116)을 마스크로 하부의 산화막으로 구성된 마스크층(114)을 패터닝하여 마스크 패턴(114')을 형성한다. 이어서, 에싱(ashing) 공정의 수행하여 상기 포토레지스트 패턴(116)을 제거한다. 통상, 백금과 같은 제2 금속층을 식각하기 위하여 산화막과 별도의 다른 막을 혼합한 마스크층을 사용하지만, 본 발명에서는 제2 금속층(112)의 두께를 상대적으로 얇기 때문에 별도의 마스크층을 필요로 하지 않는다.

도 7을 참조하면, 상기 산화막으로 구성된 마스크 패턴(114')을 식각마스크로 건식식각을 진행하여 하부의 백금과 같은 제2 금속층(112) 및 루테튬과 같은 제1 금속층(110)을 식각한다. 이때, 제2 금속층(112)은 상대적으로 얇은 두께를 갖기 때문에, 경사지게 식각되어 제2 금속층(112)의 모서리에서 침식(erosion)이 발생하더라도 큰 문제가 되지 않는다. 또한, 하부의 루테튬과 같이 두껍게 형성된 제1 금속층(110)은 비교적 직각에 가깝게 원하는 각도로 식각이 된다. 그러므로 전체적인 하부전극의 형상은 무리한 변형없이 형성할 수 있다.

도 8을 참조하면, 상기 산화막으로 구성된 마스크 패턴(114')을 제거하고, 반도체 기판 전체에 일정한 두께를 갖는 Pt, Ir 및 IrO<sub>2</sub> 중에서 선택된 하나의 금속을 사용하여 스페이서 형성용 금속층(118)을 적층한다.

도 9를 참조하면, 상기 금속층(118)을 에치백하여 상기 제1 금속층(110') 및 제2 금속층(112')의 양측벽에 금속 스페이서(118')를 형성한다. 상기 에치백(etch back) 공정은 반응성 이온 식각(RIE)과 같은 건식식각을 통하여 상기 금속층(118)을 이방성으로 식각함으로써 달성할 수 있다. 여기서, 제1 금속층(110')의 외부를 감싸도록 형성된 Pt, Ir 및 IrO<sub>2</sub> 중에서 선택된 하나의 물질로 구성된 제2 금속층(112') 및 금속 스페이서(118')는 하부전극의 표면에서 누설전류(leakage current)가 발생하는 것을 억제하는 기능을 한다.

도 10을 참조하면, 상기 결과물 상에 BST, PZT 및 Ta<sub>2</sub>O<sub>5</sub> 중에서 선택된 하나의 물질을 사용하여 고유전체막(120)을 형성하고, 상기 고유전체막(120)의 상부전극(122) 형성을 위한 도전층을 형성하고 패터닝을 수행하여 본 발명의 일 실시예에 의한 고유전율 재료를 사용하는 반도체 장치의 커패시터 형성공정을 완료한다.

## 제2 실시예

도 11내지 도 19는 본 발명의 제2 실시예에 의한 고유전율 재료를 사용하는 반도체 장치의 커패시터 형성방법을 설명하기 위하여 도시한 단면도들이다. 여기서, 각 부재의 구성 및 형성방법이 제1 실시예와 중복되는 경우에는 자세한 설명을 생략하고, 모든 참조부호는 제1 실시예와 대응되도록 구성하였다.

도 11을 참조하면, 반도체 기판(200)에 층간절연막(202)을 형성하고, 상기 층간절연막을 패터닝하여 매몰 콘택홀을 형성한다. 이어서, 상기 매몰 콘택홀을 완전히 매립하는 폴리실리콘으로 구성된 플러그(204)를 층간절연막(202)과 같은 높이로 형성한다.

도 12를 참조하면, 상기 결과물 상에 오믹층(206) 및 장벽층(208)을 상기 완전히 매립된 플러그(204)와 연결되도록 층간절연막(202) 상에 형성한다. 이어서, 제1 금속층(210), 제2 금속층(212) 및 마스크층(214)을 순차적으로 적층한다.

도 13을 참조하면, 상기 마스크층(214) 위에 포토레지스트 패턴(216)을 노광 및 현상 공정을 통하여 형성한다.

도 14를 참조하면, 상기 포토레지스트 패턴(216)으로 마스크층(214)을 패터닝하여 산화막으로 구성된 마스크(214')를 형성한 후, 상기 산화막으로 구성된 마스크(214')를 사용하여 하부의 제2 금속층(212), 제1 금속층(210), 장벽층(208) 및 오믹층(206)을 패터닝하여 하부전극을 형성한다.

도 15를 참조하면, 상기 결과물 상에 스페이서 형성을 위한 절연막(230), 예컨대 SOG(Silicon On Glass)나 TEOS와 같이 낮은 온도에서 침적이 가능한 막질을 반도체 기판 전체에 침적(Deposition)한다.

도 16을 참조하면, 상기 스페이서 형성을 위한 절연막(230)에 반응성 이온 식각(RIE)을 진행하여 상기 장벽층(208') 및 오믹층(206')의 양측벽을 완전히 덮도록 절연막 스페이서(232)를 형성한다. 여기서, 절연막 스페이서(232)는 후속공정에서 오믹층(206') 및 장벽층(208')이 산화되어 커패시턴스 특성이 저하되는 것을 막기 위해서 형성한다.

도 17을 참조하면, 상기 절연막 스페이서(232)가 형성된 결과물 상에 제2 금속층(210)과 동일한 재질을 사용한 금속층(218)을 일정한 두께로 적층한다.

도 18을 참조하면, 상기 금속층(218)에 건식식각에 의한 이방성 식각을 진행하여 제1 금속층(210')과 제2 금속층(212')의 양측벽에 금속 스페이서(218')를 형성한다. 따라서 상기 금속 스페이서(218')는 절연막 스페이서(232)의 상부에 있게 되고, 제1 금속층(210')의 외부를 감싸는 형태로 형성되어 커패시터 하부전극의 표면에서 발생하는 누설전류를 억제하는 기능을 수행하게 된다.

도 19를 참조하면, 상기 금속 스페이서(218')가 형성된 결과물에 고유전체막(220)과 상부전극(222) 형성을 위한 도전막을 적층하고 패터닝하여 본 발명의 제2 실시예에 의한 반도체 장치의 커패시터 형성 공정을 완료한다.

본 발명은 상기한 실시예에 한정되지 않으며, 본 발명이 속한 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 많은 변형이 가능함은 명백하다.

## 발명의 효과



따라서, 상술한 본 발명에 따르면, 커패시터의 하부전극이 식각과정에서 침식(erosion)되어서 완만한 경사도로 식각되는 문제점을 개선하고, 커패시터 하부전극의 높이를 높여서 전극의 단면적을 증가시킴으로써 커패시턴스를 효율적으로 증대시킬 수 있다.

### 도면의 간단한 설명

도 1은 종래 기술에 의한 고유전율 재료를 사용하여 반도체 장치의 커패시터 전극을 형성하였을 때의 단면도이다.

도 2내지 도 10은 본 발명의 제1 실시예에 의한 고유전율 재료를 사용하는 반도체 장치의 커패시터 형성방법을 설명하기 위하여 도시한 단면도이다.

도 11 내지 도 19는 본 발명의 제2 실시예에 의한 고유전율 재료를 사용하는 반도체 장치의 커패시터 형성방법을 설명하기 위하여 도시한 단면도들이다.

\* 도면의 주요부분에 대한 부호의 설명 \*

100, 200: 반도체 기판, 102, 202: 층간 절연막,

104, 204: 플러그(plug) 106, 206': 오믹층(Ohmic layer),

108, 208': 장벽층(barrier layer),

110:, 210': 제1 금속층, 112', 212': 제2 금속층,

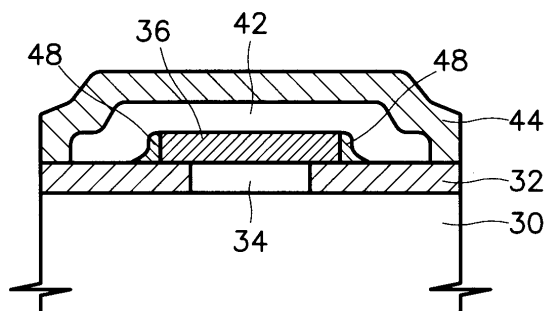
114:, 214': 마스크층, 116, 216: 포토레지스트 패턴,

118', 218': 금속 스페이서, 120, 220: 고유전체막,

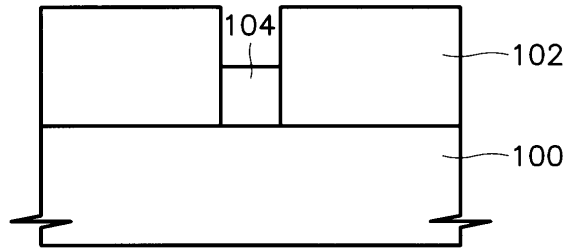
122, 222: 상부전극, 232: 절연막 스페이서

### 도면

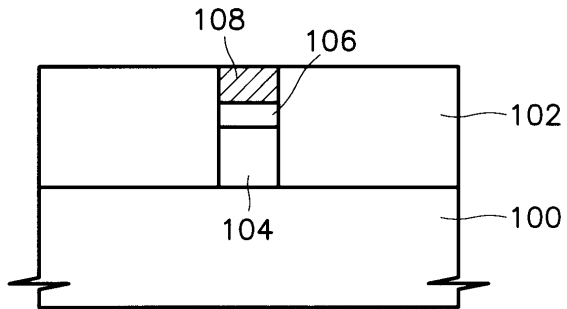
도면1



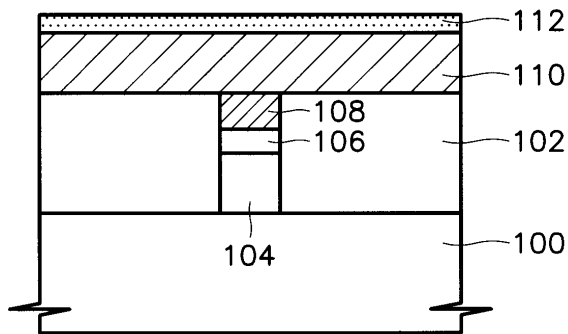
도면2



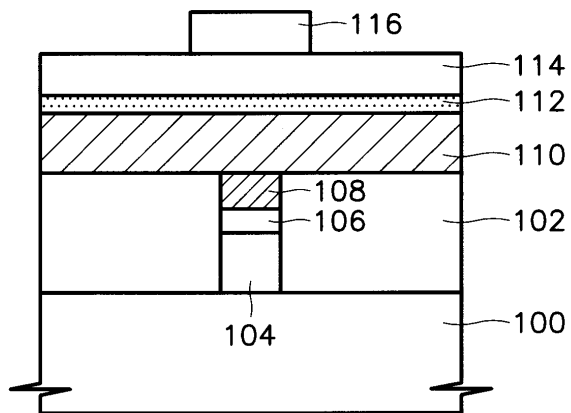
도면3



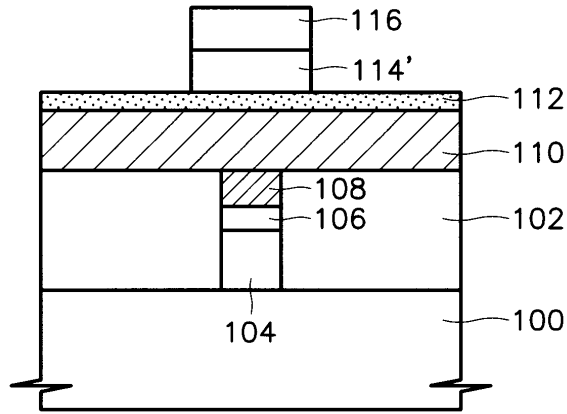
도면4



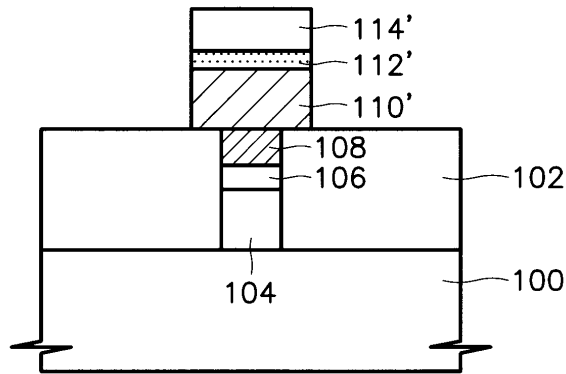
도면5



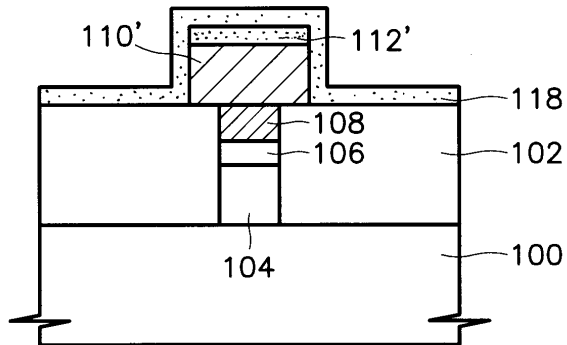
도면6



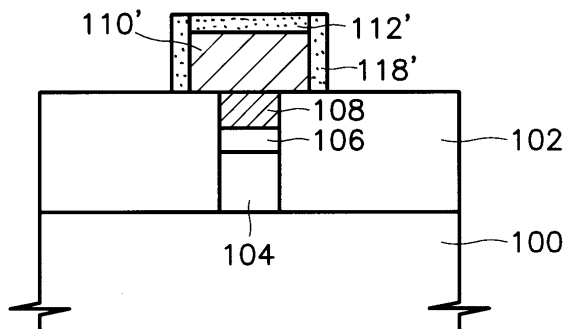
도면7



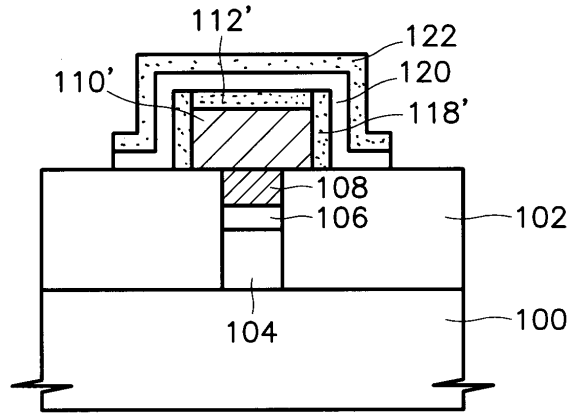
도면8



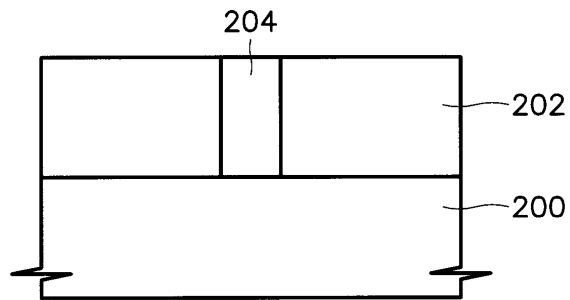
도면9



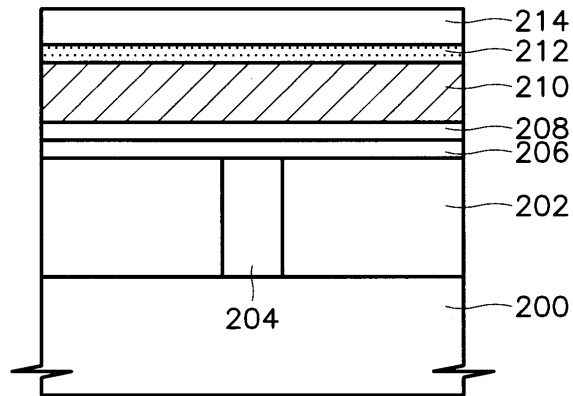
도면10



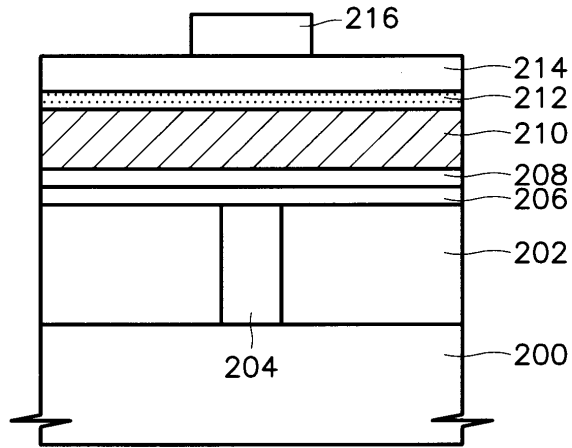
도면11



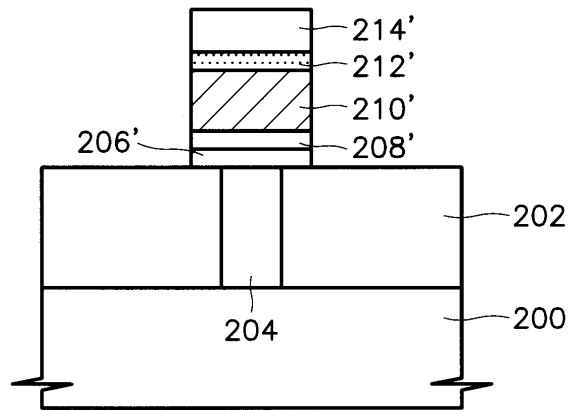
도면12



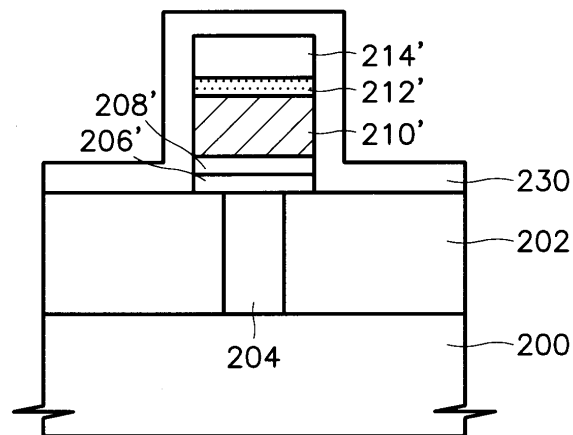
도면13



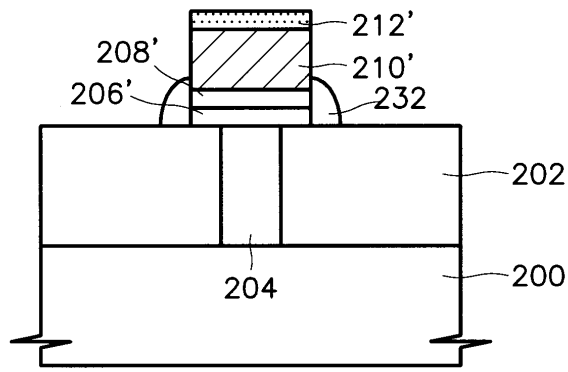
도면14



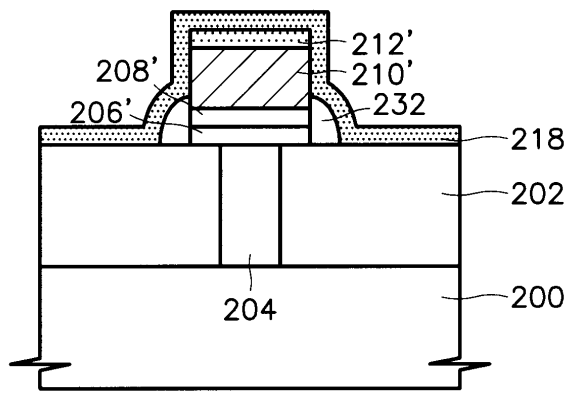
도면15



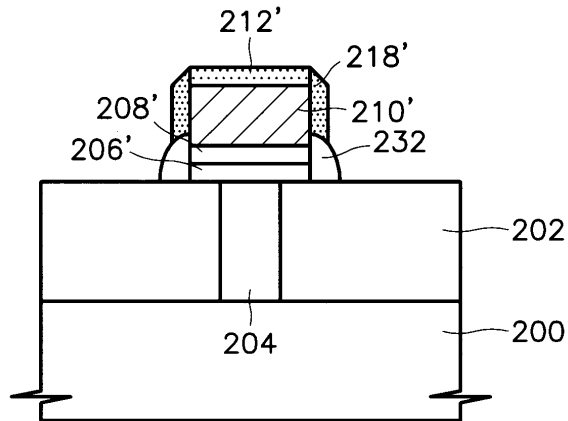
도면16



도면17



도면18



도면19

